



(12)发明专利

(10)授权公告号 CN 104465730 B

(45)授权公告日 2017.10.10

(21)申请号 201410412444.6

(51)Int.Cl.

(22)申请日 2014.08.20

H01L 29/51(2006.01)

(65)同一申请的已公布的文献号

H01L 29/78(2006.01)

申请公布号 CN 104465730 A

H01L 21/28(2006.01)

(43)申请公布日 2015.03.25

(56)对比文件

(30)优先权数据

JP 特开2013-177255 A, 2013.09.09,

2013-196230 2013.09.20 JP

CN 1367937 A, 2002.09.04,

(73)专利权人 株式会社东芝

US 2005/0017272 A1, 2005.01.27,

地址 日本东京都

审查员 李水丽

(72)发明人 清水达雄

(74)专利代理机构 永新专利商标代理有限公司

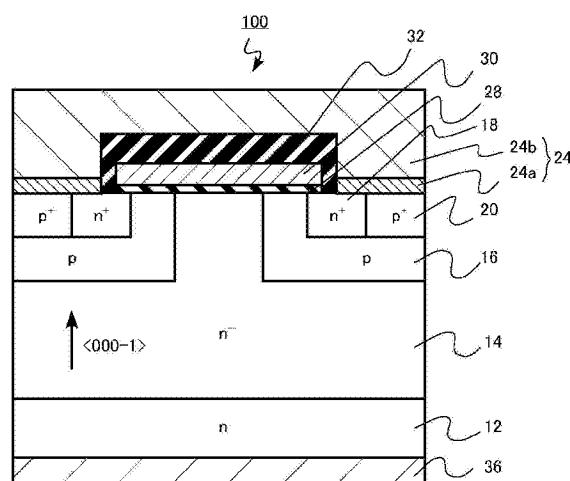
权利要求书2页 说明书14页 附图15页

(54)发明名称

半导体装置及其制造方法

(57)摘要

实施方式的半导体装置具备SiC层、设置在上述SiC层的表面上的栅绝缘膜和设置在栅绝缘膜上的栅电极，所述栅绝缘膜含有与上述SiC层的表面接触的氧化膜或氧氮化膜，所述氧化膜或氧氮化膜含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素，栅绝缘膜中的上述元素的峰位于栅绝缘膜的SiC侧，上述元素的峰位于氧化膜或氧氮化膜中，并且在峰的与所述SiC层相反的一侧具有元素的浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下的区域。



1. 一种半导体装置，其特征在于，其具备：

SiC层，

设置在所述SiC层的表面上的栅绝缘膜，和

设置在所述栅绝缘膜上的栅电极，

其中，所述栅绝缘膜含有与所述SiC层的表面接触的氧化膜或氮化膜，所述氧化膜或氮化膜含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素，所述栅绝缘膜中的所述元素的峰位于所述栅绝缘膜的所述SiC层侧，所述元素的峰位于所述氧化膜或氮化膜中，并且在所述峰的与所述SiC层相反的一侧具有所述元素的浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下的区域，

所述元素的峰的所述元素的浓度为 $5.6 \times 10^{17} \text{ cm}^{-3}$ 以上且 $5 \times 10^{20} \text{ cm}^{-3}$ 以下。

2. 根据权利要求1所述的装置，其特征在于，所述元素的峰位于距离所述SiC层与所述栅绝缘膜的界面为5nm以下的范围。

3. 根据权利要求1所述的装置，其特征在于，所述栅绝缘膜中含有C(碳)，所述栅绝缘膜中的C(碳)的峰位于所述栅绝缘膜的所述SiC侧，所述C(碳)的峰位于所述氧化膜或氮化膜中。

4. 根据权利要求3所述的装置，其特征在于，所述C(碳)的峰位于距离所述SiC层与所述栅绝缘膜的界面为5nm以下的范围。

5. 一种半导体装置，其特征在于，其具备：

SiC层，

设置在所述SiC层的表面上的栅绝缘膜，和

设置在所述栅绝缘膜上的栅电极，

其中，所述栅绝缘膜含有与所述SiC层的表面接触的氧化膜或氮化膜，所述氧化膜或氮化膜含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素，所述栅绝缘膜中的所述元素的峰位于所述栅绝缘膜的所述SiC层侧，所述元素的峰位于所述氧化膜或氮化膜中，并且在所述峰的与所述SiC层相反的一侧具有所述元素的浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下的区域，

所述栅绝缘膜中含有C(碳)，所述栅绝缘膜中的C(碳)的峰位于所述栅绝缘膜的所述SiC侧，所述C(碳)的峰位于所述氧化膜或氮化膜中，

所述C(碳)的峰位于距离所述SiC层与所述栅绝缘膜的界面为5nm以下的范围，

所述元素的峰的所述元素的浓度为所述C(碳)的峰的C(碳)的浓度的80%以上且120%以下。

6. 根据权利要求5所述的装置，其特征在于，所述元素的浓度的膜厚方向的分布与所述C(碳)的浓度的膜厚方向的分布在80%以上且120%以下的范围内一致。

7. 根据权利要求1所述的装置，其特征在于，在所述SiC层与所述栅绝缘膜的界面上存在使所述SiC层侧为正、使所述栅绝缘膜侧为负的固定偶极子。

8. 根据权利要求1所述的装置，其特征在于，所述氧化膜或氮化膜为硅氧化膜或硅氮化膜。

9. 根据权利要求1所述的装置，其特征在于，所述栅绝缘膜是所述氧化膜或氮化膜与所述元素的浓度低于所述氧化膜或氮化膜的膜的层叠膜。

10. 根据权利要求9所述的装置，其特征在于，所述元素的浓度低于所述氧化膜或氧氮化膜的膜的所述元素的浓度为 $1\times 10^{16}\text{cm}^{-3}$ 以下。

半导体装置及其制造方法

[0001] 相关申请的交叉参考

[0002] 本申请基于2013年9月20日提出的日本专利申请2013-196230号主张优先权，在此援引其全部内容以作参考。

技术领域

[0003] 本发明主要涉及半导体装置及其制造方法。

背景技术

[0004] SiC(碳化硅)作为新一代功率半导体设备用的材料受到期待。SiC与Si(硅)相比，具有带隙为3倍、击穿电场强度为约10倍及导热系数为约3倍的优良的物理性能。当活用该特性时，可实现低损耗且能够高温工作的功率半导体设备。

[0005] 另一方面，已知当在4H-SiC的C面上形成MOS(Metal Oxide Semiconductor，金属氧化物半导体)结构时，与Si面相比栅漏电流增大。

发明内容

[0006] 本发明要解决的课题在于提供抑制设置在SiC层上的栅绝缘膜的漏电流、可实现高的载流子迁移率的半导体装置。

[0007] 实施方式的半导体装置具备SiC层、设置在上述SiC层的表面上的栅绝缘膜和设置在栅绝缘膜上的栅电极，所述栅绝缘膜含有与上述SiC层的表面接触的氧化膜或氮化膜，氧化膜或氮化膜含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素，栅绝缘膜中的上述元素的峰位于栅绝缘膜的SiC层侧，上述元素的峰位于氧化膜或氮化膜中，并且在上述峰的与SiC层相反的一侧具有上述元素的浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下的区域。

[0008] 根据上述构成，可提供抑制设置在SiC层上的栅绝缘膜的漏电流、可实现高的载流子迁移率的半导体装置。

附图说明

[0009] 图1是表示第1实施方式的半导体装置的示意截面图。

[0010] 图2A、B是第1实施方式的栅绝缘膜及栅电极部分的放大图及表示元素分布的图。

[0011] 图3是第1实施方式的作用及效果的说明图。

[0012] 图4A、B是第1实施方式的作用及效果的说明图。

[0013] 图5A、B是第1实施方式的作用及效果的说明图。

[0014] 图6是第1实施方式的作用及效果的说明图。

[0015] 图7是第1实施方式的作用及效果的说明图。

[0016] 图8是第1实施方式的作用及效果的说明图。

[0017] 图9是表示第1实施方式的半导体装置的制造方法的工序流程图。

- [0018] 图10是表示第1实施方式的半导体装置的第1制造方法的示意截面图。
- [0019] 图11是表示第1实施方式的半导体装置的第1制造方法的示意截面图。
- [0020] 图12是表示第1实施方式的半导体装置的第1制造方法的示意截面图。
- [0021] 图13是表示第1实施方式的半导体装置的第1制造方法的示意截面图。
- [0022] 图14是表示第1实施方式的半导体装置的第1制造方法的示意截面图。
- [0023] 图15是表示第1实施方式的半导体装置的第1制造方法的示意截面图。
- [0024] 图16是表示第1实施方式和比较方式的栅绝缘膜的元素分布的图。
- [0025] 图17是表示第2实施方式的半导体装置的示意截面图。

具体实施方式

[0026] 以下一边参照附图一边说明本发明的实施方式。还有，在以下的说明中，相同的构件等带有相同的符号，对于曾经说明过的构件等适当省略其说明。

[0027] 另外，在以下的说明中， n^+ 、 n 、 n^- 及 p^+ 、 p 、 p^- 的标记表示各导电型的杂质浓度的相对高低。即， n^+ 表示与n比较、n型的杂质浓度相对高， n^- 表示与n比较、n型的杂质浓度相对低。另外， p^+ 表示与p比较、p型的杂质浓度相对高， p^- 表示与p比较、p型的杂质浓度相对低。另外，有时将 n^+ 型、 n^- 型仅记载为n型，将 p^+ 型、 p^- 型仅记载为p型。

[0028] (第1实施方式)

[0029] 本实施方式的半导体装置具备SiC层、设置在SiC层的表面上的栅绝缘膜和设置在栅绝缘膜上的栅电极，所述栅绝缘膜含有与SiC层的表面接触的氧化膜或氮化膜，氧化膜或氮化膜含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素，栅绝缘膜中的上述元素的峰位于栅绝缘膜的SiC层侧，上述元素的峰位于氧化膜或氮化膜中，并且在上述峰的与SiC层相反的一侧具有上述元素的浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下的区域。

[0030] 特别地为一种半导体装置，其具备具有第1面和第2面的SiC基板、设置在SiC基板的第1面侧的第1导电型SiC层、设置在SiC层的表面上的第2导电型第1SiC区域、设置在第1SiC区域的表面上的第1导电型第2SiC区域、连续地设置在SiC层、第1SiC区域的表面上的栅绝缘膜、形成于栅绝缘膜上的栅电极、形成于第2SiC区域上的第1电极、和形成于SiC基板的第2面侧的第2电极，所述栅绝缘膜含有与SiC层的表面接触的氧化膜或氮化膜，氧化膜或氮化膜含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素，栅绝缘膜中的上述元素的峰位于栅绝缘膜的第1SiC区域侧，上述元素的峰位于氧化膜或氮化膜中，并且在上述峰的与SiC层相反的一侧具有上述元素的浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下的区域。

[0031] 图1是表示本实施方式的半导体装置MOSFET的构成的示意截面图。该MOSFET (Metal Oxide Semiconductor Field Effect Transistor, 金属氧化物半导体场效应晶体管) 100是通过离子注入形成p阱和源区域的Double Implantation MOSFET (DIMOSFET, 双注入金属氧化物半导体场效应晶体管)。

[0032] MOSFET 100是以电子为载流子的n沟道型晶体管。另外，MOSFET 100是使载流子在半导体基板的表面侧的源电极与背面侧的漏电极之间移动的立式晶体管。

[0033] 该MOSFET 100具备具有第1面和第2面的SiC基板(碳化硅基板) 12。图1中，第1面是

指图的上侧的面、第2面是指图的下侧的面。该SiC基板12是例如含有杂质浓度为 $1 \times 10^{18} \text{ cm}^{-3}$ 以上且 $1 \times 10^{19} \text{ cm}^{-3}$ 以下的例如N(氮)作为n型杂质的4H-SiC的SiC基板(n基板)。

[0034] 第1面为C面、即为(000-1)面。第1面相对于C面，例如还可以以8度以下的范围偏移。

[0035] 该SiC基板12的第1面上例如形成有n型杂质的杂质浓度为 $5 \times 10^{15} \text{ cm}^{-3}$ 以上且 $2 \times 10^{16} \text{ cm}^{-3}$ 以下的n型SiC层(n-SiC层)14。n-SiC层14的膜厚例如为5~20μm左右。

[0036] 在n-SiC层14的一部分表面上形成有p型杂质的杂质浓度例如为 $5 \times 10^{15} \text{ cm}^{-3}$ 以上且 $1 \times 10^{17} \text{ cm}^{-3}$ 以下的p型的第1SiC区域(p阱区域)16。p阱区域16的深度例如为0.6μm左右。p阱区域16作为MOSFET 100的沟道区域发挥功能。

[0037] 在第1SiC区域(p阱区域)16的一部分表面上形成有n型杂质的杂质浓度例如为 $1 \times 10^{18} \text{ cm}^{-3}$ 以上且 $1 \times 10^{22} \text{ cm}^{-3}$ 以下的n⁺型的第2SiC区域(源区域)18。源区域18的深度比第1SiC区域(p阱区域)16的深度更浅，例如为0.3μm左右。

[0038] 另外，在作为第1SiC区域(p阱区域)16的部分表面的n⁺型第2SiC区域(源区域)18的侧方上例如形成有p型杂质的杂质浓度为 $1 \times 10^{18} \text{ cm}^{-3}$ 以上且 $1 \times 10^{22} \text{ cm}^{-3}$ 以下的p⁺型的第3SiC区域(p阱接触区域)20。p阱接触区域20的深度比第1SiC区域(p阱区域)16的深度更浅，例如为0.3μm左右。

[0039] 在n-SiC层14及第1SiC区域(p阱区域)16的表面上具有按照跨越这些区域及层的方式连续地形成的栅绝缘膜28。然后，在栅绝缘膜28上形成有栅电极30。栅电极30例如可应用多晶硅等。

[0040] 图2A、B是本实施方式的栅绝缘膜及栅电极部分的放大图及表示元素分布的图。图2A是栅绝缘膜28及栅电极30部分的放大图、图2B是表示元素分布的图。

[0041] 栅绝缘膜28含有与第1SiC区域16的表面接触的氧化膜或氧氮化膜，氧化膜或氧氮化膜含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素。然后，栅绝缘膜28中的上述元素的峰位于栅绝缘膜28的第1SiC区域16侧、上述元素的峰位于氧化膜或氧氮化膜中。

[0042] 以下，以上述元素为B(硼)、氧化膜或氧氮化膜为硅氧化膜、栅绝缘膜28整体也为硅氧化膜的情况为例进行说明。

[0043] 如图2A所示，栅绝缘膜28与SiC的表面、即第1SiC区域16的表面接触，由B浓度高的界面掺杂区域28a和栅电极30侧的未掺杂B的无掺杂区域28b构成。这里，未掺杂的无掺杂区域28b中，利用各种物理分析(SIMS、原子探针、XPS等)，B的浓度为测定限以下。因此，栅绝缘膜28中的B的浓度分布如图2B所示，B的峰存在于栅绝缘膜28中的第1SiC区域16侧。另外，栅绝缘膜28在上述B的峰的与第1SiC区域(SiC层)16相反的一侧具有B的浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下的区域。

[0044] 例如，在使B等自栅电极侧扩散时或者将B导入至绝缘膜整体时，难以形成所谓的无掺杂区域28b/界面掺杂区域28a的构成的绝缘膜。为了获得该构成的绝缘膜，如后所示，需要进行B掺杂膜与B无掺杂膜的层叠等一些制作方法的努力。

[0045] 在栅电极30上例如形成有由SiO₂膜形成的层间绝缘膜32。被栅电极下的第2SiC区域(源区域)18和n-SiC层14夹持的第1SiC区域16作为MOSFET 100的沟道区域发挥功能。

[0046] 还有，具备与第2SiC区域(源区域)18和第3SiC区域(p阱接触区域)20电连接的导

电性的第1电极(源-p阱通用电极)24。第1电极(源-p阱通用电极)24例如由Ni(镍)的阻挡金属层24a和阻挡金属层24a上的Al的金属层24b构成。Ni的阻挡金属层24a与Al的金属层24b还可通过反应形成合金。

[0047] 另外,在SiC基板12的第2面侧上形成有导电性的第2电极(漏电极)36。第2电极(漏电极)36例如为Ni。

[0048] 另外,本实施方式中,n型杂质例如优选为N(氮)或P(磷),但也可应用As(砷)等。另外,p型杂质例如优选为Al(铝),但也可应用B(硼)、Ga(镓)、In(铟)等。

[0049] 以下,对本实施方式的作用及效果详细地叙述。图3~图8是本实施方式的作用及效果的说明图。

[0050] 图3是表示SiC和在SiC上形成的SiO₂的栅绝缘膜28的带结构的图。左图表示4H-SiC的Si(硅)面、即(0001)面的情况。右图表示4H-SiC的C(碳)面、即(000-1)面的情况。

[0051] 如图所示,对Si面和C面进行比较时,SiC与SiO₂的传导带下端的能量差(以下也记载为能带偏移(ΔE_C))是C面的小0.4eV~0.6eV左右。因此,当在SiC上形成有栅绝缘膜28和栅电极30时,C面会发生栅漏电流增大的问题。

[0052] 另一方面,关于载流子的迁移率,C面的高于Si面的。

[0053] 发明人为了弄清楚Si面和C面上的能带偏移和迁移率的差异,进行了利用第1原理计算的探讨。以下根据其探讨结果,对本实施方式的作用及效果详细地叙述。

[0054] 在SiC/SiO₂界面附近,由于形成栅绝缘膜28时的氧化,因而在SiC侧产生C(碳)缺陷。在SiC的表面附近,C缺陷的生成能量低。因此,如果为原子状氧,则简单地变为CO被放出。

[0055] 进而,在SiC表面附近被氧化的过程中释放出碳原子。此时,由于碳原子间的键(CC键)很强,因此在SiO₂侧形成C₂二聚物结构。该C₂二聚物结构是SiO₂的O(氧)被C(碳)取代的结构。以下,将C₂二聚物结构记载为CoCo结构。

[0056] 图4A、B是CoCo结构的说明图。图4A是第2邻接氧取代结构、图4B是第1邻接氧取代结构。

[0057] CoCo结构具有数个变化。根据第1原理计算,在由Si-O-Si键形成的6边形的结构中,图4A所示那样的碳将第2邻接的氧取代、C与剩余的Si键连接的结构(称作第2邻接氧取代结构)是最为稳定的。此时,碳之间变成代替乙烯(H₂C=CH₂)的氢原子而与Si组装成键的结构。该结构由于C可稳定地采取3配位结构而出现,为Si时并不出现。

[0058] 图5A、B是CoCo结构的电子状态的说明图。图5A是第2邻接氧取代结构、图5B是第1邻接氧取代结构。

[0059] 第2邻接氧取代结构的电子状态是存在1个在带隙中电子为空的状态、1个在带隙中电子填满的状态。认为电子为空的状态位于4H-SiC的传导带下端的位置,此状态会引起迁移率劣化。即,认为在沟道移动的电子被诱捕至空的状态、从而迁移率降低。

[0060] 另一方面,电子填满的状态比价电子带上端更深、不会造成很大的影响。在Si面上,由于主要形成该第2邻接氧取代结构,因此载流子的迁移率劣化大。

[0061] 在CoCo结构中,第二稳定的结构是图4B所示那样的碳将第1邻接的氧取代、C与剩余的Si键连接的结构(称作第1邻接氧取代结构)。如图5B所示,第1邻接氧取代结构的电子状态是电子为空的状态相比较于4H-SiC的传导带下端高1.9eV左右。该状态不会引起迁移

率劣化。另一方面，电子填满的状态相比较于4H-SiC的VB高0.6eV左右。

[0062] 图6是表示Si面和C面的CoCo结构的图。C面中，在4H-SiC的价电子带上端存在界面状态。因此，在第1邻接氧取代结构中，可以将电子摄入至C面的界面状态。因此，从SiO₂膜中的第1邻接氧取代结构中夺取电子，整体体系稳定。通过该稳定化，在C面中，由第2邻接氧取代结构变换成第1邻接氧取代结构。因此，在C面的界面附近，主要形成第1邻接氧取代结构。

[0063] 此时，如图6的右图所示，在SiC/SiO₂界面产生拉低SiC/SiO₂界面的ΔEc的方向的固定偶极子。因此，在C面上，与Si面相比，ΔEc降低0.4~0.6eV左右。另外，主要形成第1邻接氧取代结构、第2邻接氧取代结构的比例低，因此C面上的迁移率劣化比Si面小。

[0064] 如此，当比较Si面和C面时，在Si面上第2邻接氧取代结构变得更为稳定，在C面上第1邻接氧取代结构变得更为稳定。因此，相对地说，在Si面上迁移率小、ΔEc大。换句话说，在C面上迁移率大、但ΔEc变小。

[0065] 本实施方式中，在栅绝缘膜28的与SiC接触的界面掺杂区域28a中含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素。SiO₂中的CoCo结构通过导入B、Al、Ga、In、Sc、Y、La、Mg、Ca、Sr、Ba等3价或2价的元素，可以变换成电子阱。以下示出在为B的情况下计算结果，其他元素也同样。

[0066] 当SiO₂中具有B时，碳在SiO₂中形成比CoCo结构更稳定的CsOB结构。CsOB结构是将Si原子取代的C(碳)、与该C相接触的O(氧)、和将在相反侧与该O相接触的Si原子取代的B(硼)键合而成的结构。即，是Si-O-Si键部分变为C-O-B键的结构。这里，代替B还可使用Al、Ga、In、Sc、Y、La、Mg、Ca、Sr、Ba。

[0067] 特别是，当在发生向SiO₂中的碳扩散的阶段中存在B时，在形成CoCo结构之前，形成CsOB结构。因此，可确实地形成CsOB结构。根据第1原理计算，与CoCo结构相比、CsOB结构具有相对于每个CsOB结构为至少1.2eV的获利，能量上更稳定。

[0068] 图7是CsOB结构的电子状态的说明图。另外，图8是由CsOB结构形成的固定偶极子的说明图。

[0069] 如图7所示，在计算CsOB结构的电子状态时，在SiO₂的价电子带的正上方形成电子阱能级。由此，可以使电子从SiC/SiO₂界面的界面状态向该电子阱能级移动。因此，通过电子向SiO₂侧的移动，如图8所示，SiC侧形成正的固定偶极子、SiO₂侧形成负的固定偶极子。

[0070] 当形成CsOB结构时，在Si面和C面上SiO₂中的CoCo结构均消失。因此，可抑制迁移率的降低。

[0071] 进而，通过界面的固定偶极子，ΔEc提高。由于电子从SiC/SiO₂界面的界面状态向该电子阱能级移动，因此与面方位无关地(例如Si面、C面、A面、M面为代表的)形成固定偶极子。因此，与面方位无关，自本来的位置开始，ΔEc提高0.2eV~0.6eV左右。因而，与导入CsOB结构之前相比，可抑制栅漏电流。例如，当描绘栅漏与栅极施加电压的图表时，栅漏开始的电压向大者偏移。

[0072] 例如，C面与Si面相比，ΔEc降低了0.4eV左右(由于CoCo结构中的电荷陷阱、ΔEc降低)，但提高0.5eV左右(通过向CsOB导入电荷陷阱，形成与之前反方向的偶极子)。因此，作为差，可预料0.9~1.0eV左右的提高。

[0073] 另外，即便是C面，认为也会残留第2邻接氧取代结构，因此C面的迁移率也提高。因此，与面方位无关，预料迁移率达到50cm²/Vs以上。

[0074] 本实施方式中, B的峰存在于栅绝缘膜28中的第1SiC区域16侧。B以高浓度存在于SiC/SiO₂界面附近的界面掺杂区域28a,因此有效地形成CsOB结构。

[0075] 还有,在远离SiC/SiO₂界面的栅电极30侧的无掺杂区域28b中,尽量地不掺杂B。能够防止因CsOB结构或晶格间的B的存在所导致的可靠性劣化。即,必须排除在膜的内部产生多余的电子阱能级。优选无掺杂区域28b中完全不含B,但不排除含有一定量的B。无掺杂区域28b的B浓度优选尽量地少($1 \times 10^{16} \text{ cm}^{-3}$ 以下左右),优选至少为测定限以下(例如当使用SIMS时为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下左右、当使用原子探针时为 $1 \times 10^{15} \text{ cm}^{-3}$ 以下左右)。这里,当为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下时,认为不会对迁移率或可靠性造成很大的影响,因此只要是该程度的量,也可看作是与没有B时大致同等的栅绝缘膜。

[0076] SiO₂中的CsOB结构优选按照能够使电子自SiC/SiO₂界面的界面状态移动的方式存在于SiC/SiO₂界面附近。因此,优选B的峰位于距离SiC(第1SiC区域16)与栅绝缘膜28的界面为5nm以下的范围内。当较该距离更远时,电子难以自界面状态移动、有不能形成固定偶极子的可能性。进而,为了使电子移动变得确实,优选使其小于1nm。波动函数的后尾拉至2.5nm左右,但基本集中存在于1nm以内。因此,为了确保充分的重叠,优选为5nm以下的范围,当小于1nm时是可靠的。

[0077] B的峰的B浓度优选为 $5.6 \times 10^{17} \text{ cm}^{-3}$ 以上且 $5 \times 10^{20} \text{ cm}^{-3}$ 以下。低于上述范围时,固定偶极子的量不足,有无法实现足够的 ΔE_c 提高的可能性。优选确保 $\Delta E_c > 0.01 \text{ V}$ 。

[0078] 由绝缘膜和SiC界面构成的、由固定极化量产生的位移X(伏特)可由 $X = (\text{电荷}) \times (\text{表面密度}) \times (\text{极化长度}) / \text{介电常数}$ 计算。当更详细地进行说明时,为:

$$\begin{aligned} [0079] X(\text{伏特}) &= (\text{电荷}) \times (\text{表面密度}) \times (\text{极化长度}) / \text{介电常数} = (\text{电荷} 2 \times 1.602 \times 10^{-19} \\ &\text{库仑}) \times (\text{表面密度} \text{cm}^{-2}) \times (\text{极化长度} \times 10^{-8} \text{cm}) / (\text{相对介电常数} \epsilon) / [8.854 \times 10^{-12} (\text{fard/m})] \\ &= 1.81 \times 10^{-14} (\text{数表面密度} \text{cm}^{-2} \text{单位}) \times (\text{极化长度} \text{\AA} \text{单位}) / (\text{相对介电常数}) \end{aligned}$$

[0080] 这里,SiC界面的悬空键的电荷为1、数表面密度最大为 10^{13} cm^{-2} 左右、介电常数为10。由于考虑了数密度的下限,因此极化长度采用最大值,为10nm、即100\AA(埃)左右。由此为 $X = 1.81 \times 10^{-14} \times 1 \times 10^{13} \times 100 / 10 = 1.8 (\text{V})$ 。由于想确保0.01V,因此有必要为 $0.0056 \times 10^{13} \text{ cm}^{-2}$ 以上。当为其以下时,有无法获得必要的位移量的可能性。将其单纯地换算成同样的1nm膜厚的密度,优选为 $5.6 \times 10^{17} \text{ cm}^{-3}$ 以上。

[0081] 另外,当超过上述范围时,剩余的B形成电子阱,有导致迁移率的降低或栅绝缘膜的可靠性的劣化的可能性。自基板中渗出的碳量例如当在制作SiC/SiO₂(热氧化膜)结构进行测定时,为 $5 \times 10^{20} \text{ cm}^{-3}$ 以下。因此,当导入更多的B时,无法形成CsOB结构、B向绝缘膜的电极侧的扩散的可能性提高。因此,优选为 $5 \times 10^{20} \text{ cm}^{-3}$ 以下。

[0082] 另外,从适当地使电子自存在于SiC/SiO₂界面的界面状态移动至CsOB结构的观点出发,优选B的量与界面状态的量同等。由此观点出发,更优选峰的B浓度为 $5 \times 10^{18} \text{ cm}^{-3}$ 以上且 $5 \times 10^{19} \text{ cm}^{-3}$ 以下。界面状态的表面密度通过氮等的导入,可降低至 $5 \times 10^{12} \text{ cm}^{-2}$ 左右。因此,为了观察上限,以1nm宽度计优选为 $5 \times 10^{19} \text{ cm}^{-3}$ 以下。作为下限,以10nm宽度计优选为 $5 \times 10^{18} \text{ cm}^{-3}$ 以上。

[0083] 由以上可知,B的峰的B浓度优选为 $5.6 \times 10^{17} \text{ cm}^{-3}$ 以上且 $5 \times 10^{20} \text{ cm}^{-3}$ 以下。进而优选为 $5 \times 10^{18} \text{ cm}^{-3}$ 以上且 $5 \times 10^{19} \text{ cm}^{-3}$ 以下。B量的目标值例如为 $3 \times 10^{19} \text{ cm}^{-3}$ 左右。

[0084] 另外,为了形成CsOB结构,有必要在栅绝缘膜28的B的界面掺杂区域28a中含有与B配对的C(碳)。另一方面,从不使可靠性劣化的观点出发,优选在远离SiC/SiO₂界面的栅电极30侧的无掺杂区域28b上形成变为电子阱的电子状态的C(碳)的浓度尽量低。即,采用尽量不含C的工艺,优选至少在初期的成膜阶段不含C。

[0085] 因此,优选在栅绝缘膜28的一部分中含有C(碳)、栅绝缘膜28中的C(碳)的峰位于栅绝缘膜28的SiC(第1SiC区域16)侧。进而,优选C(碳)的峰位于距离SiC(第1SiC区域16)与栅绝缘膜28的界面为10nm以下的范围内。在无掺杂区域28b优选完全不含C,但不排除含有一定量的C。无掺杂区域28b的碳浓度优选尽量地少($1 \times 10^{16} \text{ cm}^{-3}$ 以下左右),优选至少为测定限以下(例如当使用SIMS时为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下左右,当使用原子探针时为 $1 \times 10^{15} \text{ cm}^{-3}$ 以下左右)。这里,当为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下时,认为不会对迁移率或可靠性造成大的影响,因此为该程度的量时,可看作是与没有C时大致同等的栅绝缘膜。

[0086] 另外,为了形成CsOB结构,优选栅绝缘膜28的SiC/SiO₂界面附近的C(碳)与B(硼)的量比接近1:1。因此,优选B的峰的B浓度为C(碳)的峰的C(碳)浓度的80%以上且120%以下。另外,C(碳)的峰的C(碳)浓度优选为 $4.5 \times 10^{17} \text{ cm}^{-3}$ 以上且 $6 \times 10^{20} \text{ cm}^{-3}$ 以下、更优选为 $5.6 \times 10^{17} \text{ cm}^{-3}$ 以上且 $5 \times 10^{20} \text{ cm}^{-3}$ 以下。进而优选为 $4 \times 10^{18} \text{ cm}^{-3}$ 以上且 $6 \times 10^{19} \text{ cm}^{-3}$ 以下、更优选为 $5 \times 10^{18} \text{ cm}^{-3}$ 以上且 $5 \times 10^{19} \text{ cm}^{-3}$ 以下。

[0087] 另外,优选C浓度与B浓度的膜厚方向的分布在80%以上且120%以下的范围内是一致的。例如,当使用下述实施方式的第2制造方法所示的工艺时,通过调整B浓度,可以使B浓度接近C浓度。此时,C浓度与B浓度的膜厚方向的分布良好地一致、约为1:1。利用第2制造方法获得的栅绝缘膜中,B与C制作CsOB结构,剩余的B残留在膜上部。然后,利用HF刻蚀将剩余的B除去。

[0088] 栅绝缘膜28中的B(硼)或C(碳)的浓度及浓度分布例如可使用SIMS(Secondary Ion Mass Spectrometry,二次离子质谱)或原子探针(Atom Probe)进行测定。

[0089] 另外,本实施方式中,在SiC(第1SiC区域16)与栅绝缘膜28的界面上存在使SiC(第1SiC区域16)侧为正、使栅绝缘膜28侧为负的固定偶极子。固定偶极子的有无及极性例如可通过测定C-V特性的栅绝缘膜28的膜厚依赖性来判别。

[0090] 改变栅绝缘膜的膜厚、测定栅电极的有效功函数。测定CV曲线的平带位移(V_{fb})与栅绝缘膜的膜厚依赖性,通过绝缘膜在零的地点的外插、即V_{fb}轴的截距值,可以求出有效功函数(Φ_{eff})。

[0091] 例如,磷掺杂多晶硅的功函数为4.1eV左右,但当在SiC基板的C面上形成有SiO₂时,有效功函数变为4.6eV左右。这表示在界面上形成了绝缘膜侧为正、基板侧为负的引起0.5eV位移的偶极子。

[0092] 接着,例如在利用下述第2制造方法制造的本实施方式的情况下进行测定时,有效功函数变为3.6eV左右。这表示在界面上形成了绝缘膜侧为正、基板侧为负的引起0.5eV位移的偶极子。如此,可以测定固定偶极子的特性。

[0093] 另外,以栅绝缘膜28所含的元素为B(硼)、氧化膜或氧氮化膜为硅氧化膜、栅绝缘膜28整体也为硅氧化膜的情况为例进行了说明,但也可应用该构成以外的构成。

[0094] 除氧化膜以外,即便是氧氮化膜,通过含有O(氧),也可在膜中形成CsOB结构、在界面上形成固定偶极子。

[0095] 作为氧化膜或氧氮化膜中含有的元素,如上所述,除了B(硼)之外,还可应用选自Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的元素。作为氧化膜或氧氮化膜中含有的元素,由于与Si的取代是容易的、易于形成CsOB结构,因此优选应用B(硼)或Al(铝)。另外,由于与Al相比更难形成氧化物或硅化物、更易形成CsOB结构,因此更优选为B(硼)。

[0096] 作为氧化膜或氧氮化膜,除了硅氧化膜(SiO₂)、硅氧氮化膜(SiON)以外,例如还可应用铪氧化膜(HfO₂)、铪氧氮化膜(HfON)、铪硅酸盐氧化膜(HfSiO)、铪硅酸盐氧氮化膜(HfSiON)、锆氧化膜(ZrO₂)、锆氧氮化膜(ZrON)、锆硅酸盐氧化膜(ZrSiO)、锆硅酸盐氧氮化膜(ZrSiON)、氧化铝(Al₂O₃)、氮化氧化铝(AlON)等高电介质膜。

[0097] 但是,考虑到势垒的高度时,界面附近SiO₂膜或SiON膜是适合的。例如,利用SiO₂膜、SiON膜形成SiC侧界面附近的至少一部分,从基板界面侧开始,按照B掺杂SiON(1nm)/无掺杂SiO₂(HTO膜、9nm)/无掺杂HfSiON(30nm)等的方式也可变为实质上3层以上的结构。此时,认为具有稍微的B扩散,但随着该扩散,也可将SiC侧的第一层和第二层的一部分看作界面掺杂区域,将(扩散少的)第二层的剩余部分和最上层看作无掺杂区域。

[0098] 这里,需要注意Al₂O₃中的Al。本实施方式中的Al重要的是在SiO₂中在Si位置取代来制作CsOA1结构。与其相对,Al₂O₃并非是用Al将SiO₂中的Si取代的结构、成为Al₂O₃材料特有的结构。

[0099] 另外,栅绝缘膜28也可以是B等元素的浓度高的氧化膜或氧氮化膜与B等元素的浓度比氧化膜或氧氮化膜足够低的膜、即仅检测到测定限以下的量的B的膜的层叠膜。例如,氧化膜或氧氮化膜是B浓度高的硅氧化膜,在其上也可层叠B浓度足够低的铪氧化膜。或者,也可以是B浓度高的硅氧化膜与B浓度足够低的硅氮化膜的层叠膜。或者,也可以是B浓度及C浓度高的硅氧化膜与B浓度及碳浓度足够低的HTO(High Temperature Oxide,高温氧化物)膜的层叠膜。当然,在无掺杂区域中不掺杂B更好。只要存在,则会相应地使特性劣化。

[0100] 接着,对本实施方式的半导体装置的第1制造方法进行说明。

[0101] 本实施方式的半导体装置的第1制造方法为在SiC层上形成由含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素的氧化膜或氧氮化膜构成的第1绝缘膜,在第1绝缘膜上形成元素的浓度比第1绝缘膜足够低的绝缘膜,在绝缘膜上形成栅电极。这里,足够低是指无掺杂,现实中是指测定限以下。例如为 $1 \times 10^{16} \text{ cm}^{-3}$ 以下。

[0102] 图9是表示本实施方式的半导体装置的第1制造方法的工序流程图。图10~图15是表示本实施方式的半导体装置的第1制造方法的示意截面图。

[0103] 如图9所示,半导体装置的第1制造方法具备n-SiC层形成(步骤S100)、p型杂质离子注入(步骤S102)、n型杂质离子注入(步骤S104)、p型杂质离子注入(步骤S106)、退火(步骤S108)、第1绝缘膜形成(步骤S110)、第2绝缘膜形成(步骤S112)、栅电极形成(步骤S114)、层间膜形成(步骤S116)、第1电极形成(步骤S118)、第2电极形成(步骤S120)及退火(步骤S122)。

[0104] 首先,准备含有杂质浓度为 $5 \times 10^{18} \text{ cm}^{-3}$ 左右的P(磷)或N(氮)作为n型杂质、例如厚度为300μm、4H-SiC的低电阻的n型SiC基板12。

[0105] 步骤S100中,利用外延生长法在SiC基板12的C面上外延生长含有杂质浓度为 $1 \times$

10^{16} cm^{-3} 左右的例如N作为n型杂质、厚度为 $10\mu\text{m}$ 左右的高电阻的n-SiC层14。

[0106] 之后,通过利用光刻和刻蚀的图案形成,例如形成SiO₂的第1掩模材料42。步骤S102中,使用该第1掩模材料42作为离子注入掩模,将作为p型杂质的Al离子注入到n-SiC层14中,形成第1SiC区域(p阱区域)16(图10)。

[0107] 之后,通过利用光刻和刻蚀的图案形成,例如形成SiO₂的第2掩模材料44。步骤S104中,使用该第2掩模材料44作为离子注入掩模,将作为n型杂质的N(或P)离子注入到n-SiC层14中,形成第2SiC区域(源区域)18(图11)。

[0108] 之后,通过利用光刻和刻蚀的图案形成,例如形成SiO₂的第3掩模材料46。步骤S106中,使用该第3掩模材料46作为离子注入掩模,将作为p型杂质的Al离子注入到n-SiC层14中,形成第3SiC区域(p阱接触区域)20(图12)。

[0109] 步骤S108中,进行用于p型杂质和n型杂质的活化的退火。该退火例如使用氩(Ar)气作为气氛气体,使用加热温度为1600℃、加热时间为30分钟的条件。此时,可以实现导入至SiC内部的杂质的活化,但扩散很轻微。

[0110] 通过步骤S110和步骤S112形成栅绝缘膜28(图13)。步骤S110中形成的第1绝缘膜对应于图2(a)所示的界面掺杂区域28a。另外,步骤S112中形成的第2绝缘膜对应于图2(b)所示的无掺杂区域28b。

[0111] 步骤S110中,形成由含有选自B(硼)、Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)中的至少1种元素的氧化膜或氧氮化膜构成的第1绝缘膜。

[0112] 第1绝缘膜的形成例如用以下的工艺进行。首先,利用CVD(Chemical Vapor Deposition,化学气相沉积)法堆积含有B(硼)的硅膜。然后,对该硅膜进行热氧化,形成以高浓度含有B的硅氧化膜。

[0113] 含有B(硼)的硅膜的膜厚例如为1nm以上且5nm以下。另外,通过热氧化形成的硅氧化膜的膜厚例如为2nm以上且10nm以下。本实施方式中,形成约3nm的B掺杂多晶硅、获得约6nm的B掺杂SiO₂。通过铲雪效应(当Si中的B被氧化时,被挤入到Si侧),B集中于SiC/SiO₂的界面附近。进而,由于只有在CsOB结构处于界面附近时才会获得向CsOB的电子移动所带来的稳定化,因此CsOB结构集中在界面。如此,通过2个效应,B、C集中至SiC/SiO₂的界面而具有峰。

[0114] 此例中,在SiC表面被氧化、C(碳)被放出之前,将含有B的膜堆积在SiC表面。因此,在硅氧化膜形成时,在硅氧化膜的SiC/SiO₂界面附近形成CoCo结构之前,可以形成CsOB结构。因此,可利用比较低温的工艺形成CsOB结构。为了破坏暂时形成的CoCo结构而制成CsOB结构需要高温(例如1200℃),但这里在700℃~900℃下进行氧化。选择Si会发生氧化、但SiC几乎不会氧化的温度。该温度为600℃以上且1,000℃以下、考虑界面劣化时低的温度更好,但考虑产量时高的温度更好。考虑SiC的氧化的面方位依赖性时,C面处为700℃是适当的、A面-M面处为800℃是适当的、Si面处为900℃左右是适当的。

[0115] 第1绝缘膜也可以通过对上述含有B(硼)的硅膜进行氧氮化来形成。另外,第1绝缘膜例如也可通过利用例如CVD法形成含有B(硼)的硅氧化膜来形成。

[0116] 步骤S112中,在第1绝缘膜上形成B(硼)等元素的浓度低于第1绝缘膜的第2绝缘膜。例如形成不含B等元素的膜。第2绝缘膜是通过例如CVD法形成的HTO膜。HTO膜由于C(碳)

的含量低,因此作为第2绝缘膜是优选的膜。在步骤S112之后,为了HTO膜的致密性,也可进行非氧化性气氛下的退火(例如N₂中、1,000℃、30分钟)。

[0117] 第2绝缘膜的膜厚例如为30nm以上且100nm以下。越薄,则越提高驱动性能,但增大泄露。当最薄时,认为是避免绝缘破坏的膜厚、为30nm左右。为了增大绝缘耐受性,膜厚越厚越好,但驱动性能过于降低。其极限为100nm左右。实际上,通常换算成SiO₂膜厚、使用50nm左右。其原因在于,当ΔEc低时,如果没有50nm左右,则无法阻止泄露。但是,本实施方式中,由于ΔEc提高,因此能够以更薄的区域为目标。本实施方式中,以40nm前后为目标。这里,使用约40nm的HTO膜。

[0118] 步骤S114中,在栅绝缘膜28上形成例如多晶硅的栅电极30(图14)。然后,在步骤S116中,在栅电极30上形成例如SiO₂膜的层间绝缘膜32(图15)。

[0119] 之后,在步骤S118中形成与第2SiC区域(源区域)18和第3SiC区域(p阱接触区域)20电连接的导电性的第1电极(源-p阱通用电极)24。第1电极(源-p阱通用电极)24例如通过Ni(镍)和Al的溅射来形成。

[0120] 步骤S120中,在n⁻SiC基板12的第2面侧形成导电性的第2电极(漏电极)36。第2电极(漏电极)36例如通过Ni的溅射来形成。

[0121] 步骤S122中,为了降低第1电极24和第2电极36的接触电阻,优选进行尽量低温下的退火。退火例如是在氩气气氛下、400℃~1000℃下进行。这里,为800℃。

[0122] 通过以上的制造方法,形成图1所示的MOSFET 100。

[0123] 本实施方式的MOSFET 100在栅绝缘膜28的SiC侧具备CsOB结构和固定偶极子。因此,能带偏移(ΔEc)增大,可抑制在C面上形成的栅绝缘膜的漏电流。另外,由于栅绝缘膜28的SiC侧没有CoCo结构(膜中C转换成CsOB结构),因此载流子的迁移率进一步提高。通过本实施方式的MOSFET 100的制造方法,可以形成具备上述优良效果的MOSFET 100。

[0124] 当利用上述第1制造方法制造半导体装置时,ΔEc与初期值相比,上升约0.9eV。如此,例如即使为46nm的薄膜时,栅漏也几乎消失。而且,迁移率增高、约为100cm²/Vs。该100cm²/Vs的值在使用MOSFET的方面是足够的值。由于界面附近没有陷阱,因此可靠性也提高,施加±20V、经过1000小时的阈值位移小于0.1V。如此获得(1)驱动性能优良(薄膜化的效果)、(2)没有栅漏、(3)高迁移率(CsOB集中于界面数nm的效果)、(4)高可靠的SiC的MOSFET。

[0125] 当观察通过上述第1制造方法制造的栅绝缘膜的SIMS数据时,B及C在较界面为SiO₂内侧的约0.8nm的位置具有峰、为2×10¹⁹/cm³左右(以表面密度计为2×10¹³/cm²左右),位置良好地一致。由此认为,ΔEc与初期值相比,上升约0.9eV。另外,在距离峰为5nm以上的位罝,B、C的浓度变为测定限以下。

[0126] 进而,在n⁻SiC层14与栅绝缘膜28的界面(以下称作JFET区域界面)上,也形成CsOB结构。这里,由于ΔEc增高,因此对于该部分的绝缘破坏的耐受性也提高。

[0127] 接着,对本实施方式的半导体装置的第2制造方法进行说明。第2制造方法相对于第1制造方法,栅绝缘膜的制造方法不同。

[0128] 第1绝缘膜的形成例如通过以下工艺进行。首先,例如利用CVD(Chemical Vapor Deposition,化学气相沉积)法堆积含有B(硼)的硅膜。然后,对该硅膜进行热氧化,形成以高浓度含有B的硅氧化膜。含有B(硼)的硅膜的膜厚例如为3nm左右,通过热氧化形成6nm左

右的B掺杂SiO₂膜。

[0129] 在热氧化的过程中,(1)B集中于SiC侧(氧化时被挤出至Si侧:铲雪效应)、(2)C从基板中放出、(3)形成CsOB结构形成,结果形成界面偶极子。B和C在SiO₂绝缘膜中的SiC侧形成一对,自SiC界面状态引起电子移动、形成偶极子、稳定化。如此,CsOB结构集中在SiC层附近。

[0130] 这里,对B掺杂SiO₂表面追加HF处理。远离基板的区域的B或C由于变为陷阱,因此需要尽量地减少。因此,有效的是通过刻蚀处理、例如HF处理而薄膜化至10nm以下。1nm以下是理想的,尽量地成为薄膜。例如,减薄至1nm。由此,形成第1绝缘膜。该1nm的区域为界面区域、CsOB结构被关在该区域中。

[0131] 接着,在第1绝缘膜上,形成例如40nm的原本基本上不含B、C的HTO(High Temperature oxide,高温氧化物)膜作为第2绝缘膜。当将界面减薄至1nm时,栅绝缘膜整体的换算膜厚变为41nm左右。

[0132] 通过上述第2制造方法,形成第1绝缘膜为1nm、第2绝缘膜为40nm的栅绝缘膜。此时,在距离基板1nm以上的HTO中,完全未导入B或C。当使用原子探针法进行确认时,在SiO₂中距离界面小于1nm的位置上观测到B、C的峰,均约为 $2 \times 10^{19}/\text{cm}^3$,量、分布均良好地一致。

[0133] 另一方面,在其上的无掺杂区域中,B、C的量变为测定限以下(为 $1 \times 10^{16}/\text{cm}^3$,但现实中几乎没有)。SiO₂中的B或C由于形成陷阱,因此希望不会被导入至SiC/SiO₂的恰当界面以外。根据上述第2制造方法,B或C在界面1nm形成所谓CsOB的稳定结构,形成偶极子,不会变为新的陷阱。C、B被关在1nm中,几乎不会扩散至成膜于距离界面1nm以上的位置的HTO膜中。

[0134] 结果是,通过上述第2制造方法制造的栅绝缘膜的ΔEc比初期值上升约1.0eV。如此,尽管是41nm的薄膜,也几乎没有栅漏。而且,迁移率增高,约为 $120\text{cm}^2/\text{Vs}$ 。由于在界面附近没有陷阱,因此可靠性也提高,施加±20V、经过1000小时的阈值位移小于0.1V。

[0135] 如此,可获得(1)驱动性能优良(薄膜化的效果)、(2)没有栅漏、(3)高迁移率(CsOB集中于界面1nm的效果)、(4)高可靠的SiC的MOSFET。另外,JFET区域界面的绝缘破坏耐受性提高的方面与利用第1制造方法制造的情况同样。

[0136] 当观察SIMS数据时,B及C在较界面为SiO₂内侧的约1nm的位置上具有峰、为 $3 \times 10^{19}/\text{cm}^3$ 左右(以表面密度计为 $3 \times 10^{13}/\text{cm}^2$ 左右),位置良好地一致。由此认为,ΔEc与初期值相比,上升约1.0eV。另外,在距离峰2nm以上的位置,B、C的浓度变为测定限以下。形成了极薄的界面掺杂层。

[0137] 这里,对于B以外的物质,可以同样地形成。成膜数nm的含有Al(铝)、Ga(镓)、In(铟)、Sc(钪)、Y(钇)、La(镧)、Mg(镁)、Ca(钙)、Sr(锶)、Ba(钡)的硅。例如,可以以这些物质的硅化物的颗粒为靶,通过溅射形成。或者,还可交替地对这些物质和硅进行CVD成膜。如此,可以形成含有这些物质的无定形硅且对其进行氧化。对如此形成的氧化膜进行HF处理,经过基于上述第2制造方法的工艺形成具有同程度特性的MOS界面。

[0138] 接着,对本实施方式的半导体装置的第3制造方法进行说明。第3制造方法相对于第1制造方法、栅绝缘膜的制造方法不同。代替第1制造方法的热氧化而进行了NO氮化(使用N₂O也同样)。

[0139] 第1绝缘膜的形成例如通过以下工艺进行。首先利用例如CVD(Chemical Vapor

Deposition, 化学气相沉积) 法堆积含有B(硼)的硅膜。然后, 对该硅膜进行NO_x氮化, 形成以高浓度含有B的硅氮化膜。含有B(硼)的硅膜的膜厚例如为3nm左右, 通过NO_x氮化, 形成成为第1绝缘膜的6nm左右的B掺杂SiO₂膜。

[0140] 在NO_x氮化的过程中, (1) B集中于SiC侧(氧化时被挤出至Si侧: 铲雪效应)、(2) C从基板中放出、(3) 形成CsOB结构形成, 结果形成界面偶极子。B和C在SiO₂绝缘膜中的SiC侧形成一对, 自SiC界面状态引起电子移动、形成偶极子、稳定化。如此, CsOB结构集中在SiC层附近。(4) 在NO_x氮化中, 进一步将N导入至界面、进而将剩余的界面缺陷修复。

[0141] 当界面具有悬空键时, 变为高能量状态, 但当氮进入时, 将其变换为低的能量状态。即, 引起处于高能量状态的一部分表面元素(Si面中为Si、C面中为C、A面或M面中为Si及C)的利用N进行的取代以及向基板中碳Vc的氮导入。这里, 在薄膜SiO₂表面追加HF处理的方面是同样的。

[0142] 接着, 在第1绝缘膜上形成B(硼)等元素的浓度低于第1绝缘膜的第2绝缘膜。例如, 形成不含B等元素的膜。第2绝缘膜例如是通过CVD法形成的HTO膜。

[0143] 通过第3制造方法形成的栅绝缘膜完全未将B或C导入至距离基板1nm以上的HTO中。使用原子探针法进行确认时, 在SiO₂中距离界面小于1nm的位置上观测到B、C的峰, 均约为 $2 \times 10^{19}/\text{cm}^3$, 量、分布均良好地一致。

[0144] 另一方面, 在其上的无掺杂区域中, B、C的量变为测定限以下。根据第3制造方法, B或C在界面1nm处形成所谓CsOB的稳定结构, 形成偶极子, 不会变为新的陷阱。C、B被关在1nm中, 几乎不会扩散至成膜于距离界面1nm以上的位置的HTO膜中。进而将氮导入至恰当界面中, 抑制迁移率劣化。

[0145] 结果是, 通过上述第3制造方法制造的栅绝缘膜的ΔEc比初期值上升约1.0eV。如此, 尽管是41nm的薄膜, 也几乎没有栅漏。而且, 迁移率增高, 约为 $250\text{cm}^2/\text{Vs}$ 。由于附加了氮所产生的恰当界面的悬空键的终端和基板中碳缺陷的终端, 因此获得如此高的迁移率。由于在界面附近没有陷阱, 可靠性也提高, 施加±20V、经过1000小时的阈值位移小于0.1V。

[0146] 如此, 可获得(1)驱动性能优良(薄膜化的效果)、(2)没有栅漏、(3)高迁移率(CsOB集中于界面1nm的效果和氮终端效果)、(4)高可靠的SiC的MOSFET。另外, JFET区域界面的绝缘破坏耐受性提高的方面与利用第1或第2制造方法制造的情况同样。

[0147] 当观察SIMS数据时, B及C在较界面为SiO₂内侧的约1nm的位置上具有峰、为 $3 \times 10^{19}/\text{cm}^3$ 左右(以表面密度计为 $3 \times 10^{13}/\text{cm}^2$ 左右), 位置良好地一致。由此认为, ΔEc与初期值相比, 上升约1.0eV。另外, 在距离峰2nm以上的位置, B、C的浓度变为测定限以下。形成了极薄的界面掺杂层。另外, 氮在恰当界面处具有峰、也拖尾至SiC基板侧。如此高的迁移率对MOSFET认为是大材小用, 但在IGBT等双极设备中需要高能量密度的MOS界面时, 最为合适。

[0148] 作为比较方式的制造方法, 考虑形成厚膜SiO₂(55nm左右)作为栅绝缘膜、之后使B扩散的制造方法。图16是表示本实施方式和比较方式的栅绝缘膜的元素(B)分布的图。如图16所示, 在比较方式中在绝缘膜的电极侧形成B或C无掺杂的绝缘膜、且使足够的B集中于SiC侧的界面, 极难制作本实施方式中所示的元素分布。

[0149] 结果, 难以提高ΔEc, 当薄地制作绝缘膜厚时, 栅漏增大。因此, 无法使栅绝缘膜变薄, 无法预料驱动特性提高。另外, 由于在绝缘膜中形成了CoCo结构, 因此残留未变换为CsOB结构的部分, 引起迁移率劣化。同时, 扩散至绝缘膜整体的B或C形成了陷阱, 因此引起

大的阈值变动。

[0150] 当观察通过比较方式制造的栅绝缘膜的SIMS数据时,B在较界面为SiO₂内侧的约6nm的位置上具有宽峰、为 $1 \times 10^{17}/\text{cm}^3$ 左右(以表面密度计为 $1 \times 10^{10}/\text{cm}^2$ 左右)。另外,仅C的分布同样地分布、没有峰,因此无法形成CsOB结构。

[0151] 结果可知,通过上述比较方式制造的栅绝缘膜的ΔEc没有变化。另外,在绝缘膜中、距离界面10nm以上的位置上,B及C的浓度不是变为测定限以下、而是分布有电荷陷阱。如此,迁移率低、为 $10\text{cm}^2/\text{Vs}$ 左右。阈值变动也大,在±20V、1000小时下的测定中,观察到2V以上的变动。

[0152] (第2实施方式)

[0153] 第1实施方式中是形成于C面、即(000-1)面上的MOSFET,相对于此,本实施方式是形成在Si面、即(0001)面上,除此之外与第1实施方式同样。因此,对于与第1实施方式重复的内容省略描述。

[0154] 图17是表示作为本实施方式半导体装置的MOSFET的构成的示意截面图。MOSFET 200是使载流子在半导体基板的表面侧的源电极与背面侧的漏电极之间移动的立式晶体管。

[0155] 该MOSFET 200具备具有第1面和第2面的SiC基板12。图17中,第1面为图的上侧的面、第2的面是图的下侧的面。该SiC基板12是含有例如杂质浓度为 $1 \times 10^{18}\text{cm}^{-3}$ 以上且 $1 \times 10^{19}\text{cm}^{-3}$ 以下的例如N(氮)作为n型杂质的4H-SiC的SiC基板(n基板)。

[0156] 第1面为Si面、即(0001)面。第1面相对于Si面,例如可以以8度以下的范围偏移。

[0157] 除在SiC基板12上形成的SiC的表面为Si面以外的结构及制造方法与第1实施方式同样。但是,当堆积含有B的硅、进行对其氧化的工艺时,可以考虑SiC的氧化的面方位依赖性。C面为700°C是适当的、A面-M面为800°C是适当的、Si面为900°C左右是适当的。

[0158] 本实施方式的MOSFET 200也与第1实施方式的MOSFET 100同样,在栅绝缘膜28的SiC侧具备CsOB结构和固定偶极子。因此,能带偏移(ΔEc)增大、可进一步抑制形成于Si面上的栅绝缘膜的漏电流。另外,由于在栅绝缘膜28的SiC侧没有CoCo结构,因此载流子的迁移率提高。

[0159] 以上的结果为,ΔEc与初期值相比、上升约0.5eV。如此,尽管是46nm的薄膜,也几乎没有栅漏。而且,迁移率增高,约为 $80\text{cm}^2/\text{Vs}$ 。由于在界面附近没有陷阱,因此可靠性也提高,施加±20V、经过1000小时的阈值位移小于0.1V。

[0160] 如此,获得(1)驱动性能优良(薄膜化的效果)、(2)没有栅漏、(3)高迁移率(CsOB集中于界面附近的效果)、(4)高可靠的SiC的MOSFET。另外,JFET区域界面的绝缘破坏耐受性提高的方面与第1实施方式同样。

[0161] 以上,在实施方式中以4H-SiC的C面、Si面为例进行了说明,但CsOB结构和固定偶极子的效果在A面、M面等其他的面方位上也得以显现。另外,作为碳化硅的结晶结构以4H-SiC的情况为例进行说明,但本发明还可应用于6H-SiC、3C-SiC等其他的结晶结构的碳化硅。

[0162] 另外,实施方式中,以在SiC上面形成栅绝缘膜和栅电极的立式MOSFET为例进行了说明,但也可将本发明应用于在SiC上形成的沟道的内面形成有栅绝缘膜和栅电极的立式MOSFET。

[0163] 另外,实施方式中以电子为载流子的n沟道型晶体管为例进行了说明,但也可将本发明应用于以空穴为载流子的p沟道晶体管。

[0164] 另外,还可将本发明应用于在SiC表面上形成有栅绝缘膜和栅电极的构成的其他设备,例如立式IGBT等中。特别是在IGBT中,如第1实施方式的第2制造方法所示那样,具有通过导入氮来提高迁移率的重大意义。双极设备与单极设备相比,流过100倍以上的密度的电流。因此,需要MOS界面为尽量低的电阻。导入氮的最大意义(氧氮化膜导入的最大意义)在于此。立式IGBT的JFET区域界面的绝缘破坏耐受性提高的方面与第1实施方式同样。立式IGBT与立式MOSFET相比,优选为高的绝缘破坏耐受性,因此对于JFET区域界面的绝缘破坏耐受性提高非常有效。

[0165] 虽然描述了特定的实施方式,但这些实施方式仅是示例,并非用来限定本发明的范围。此处所描述的半导体装置及其制造方法可以以其他多种方式来实施,此外,在不脱离本发明主旨的所描述的装置和方法的范围内可进行各种省略、替换和变更。所附的权利要求书及其等同范围包括落入本发明的范围和主旨的方式或变形。

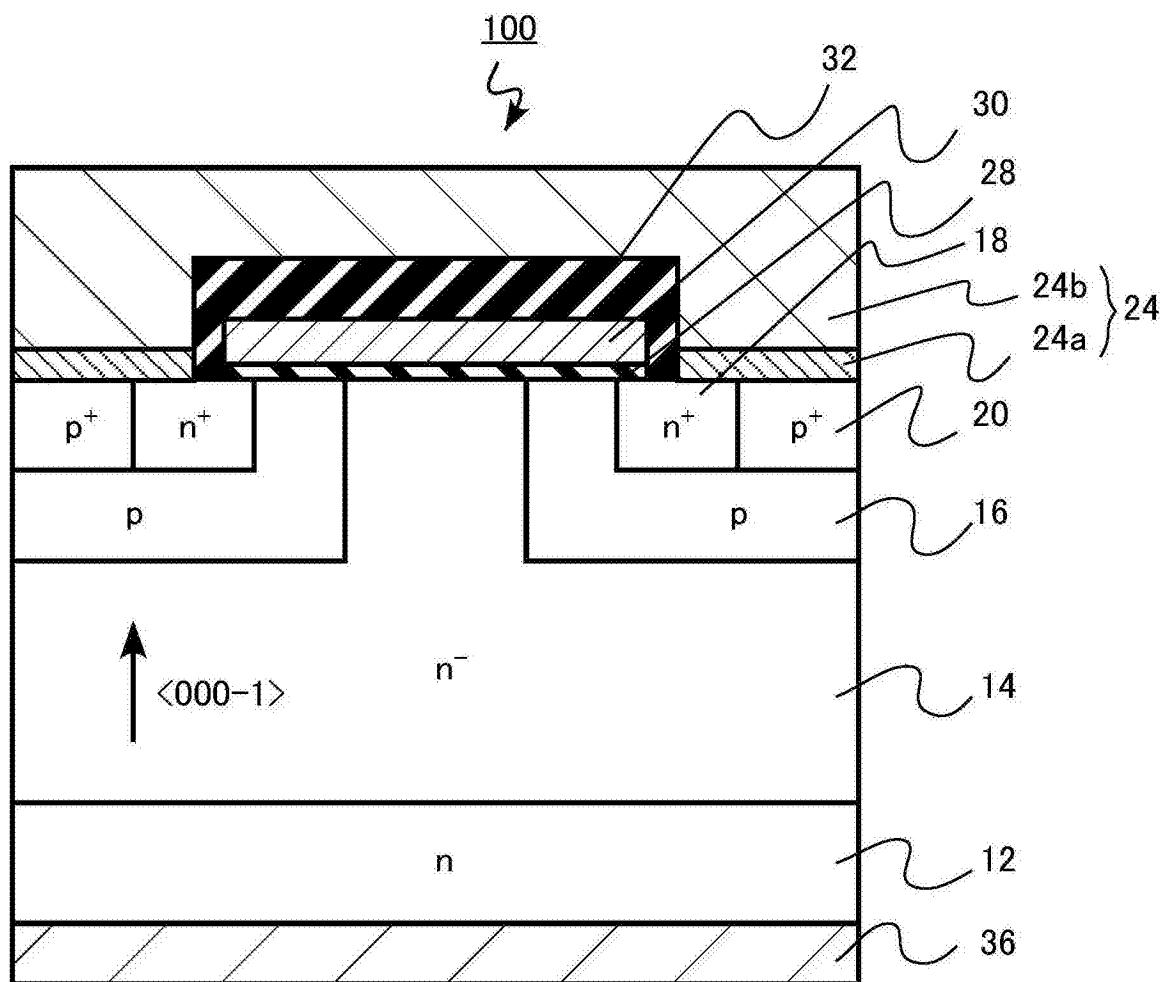


图1

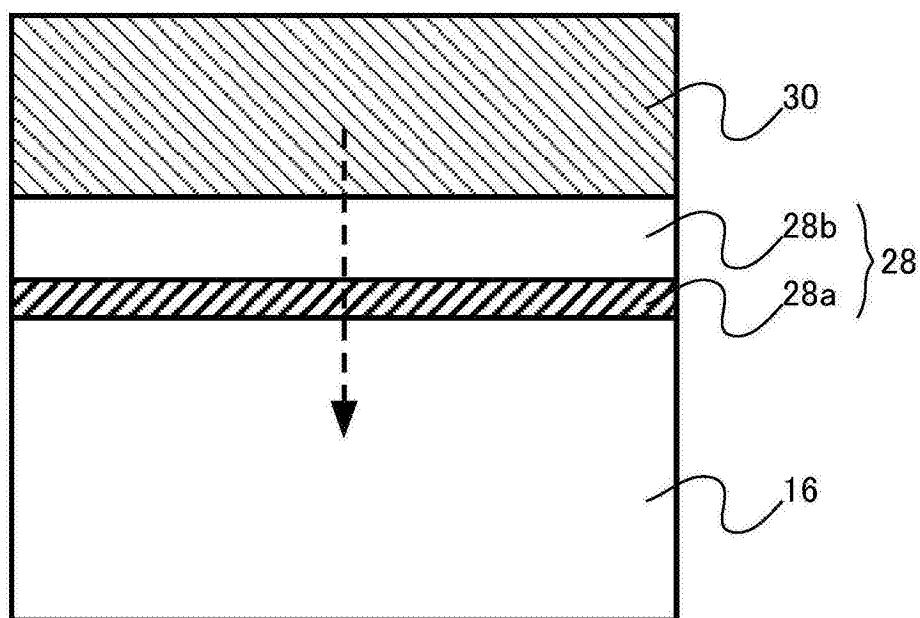


图2A

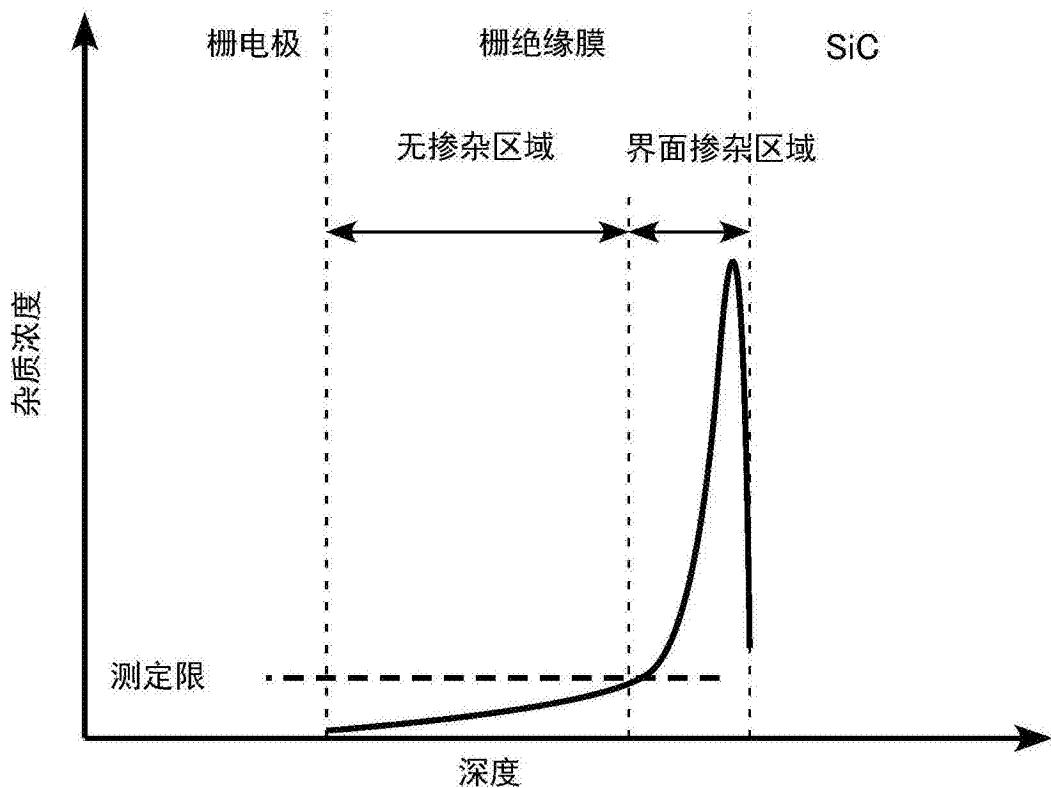


图2B

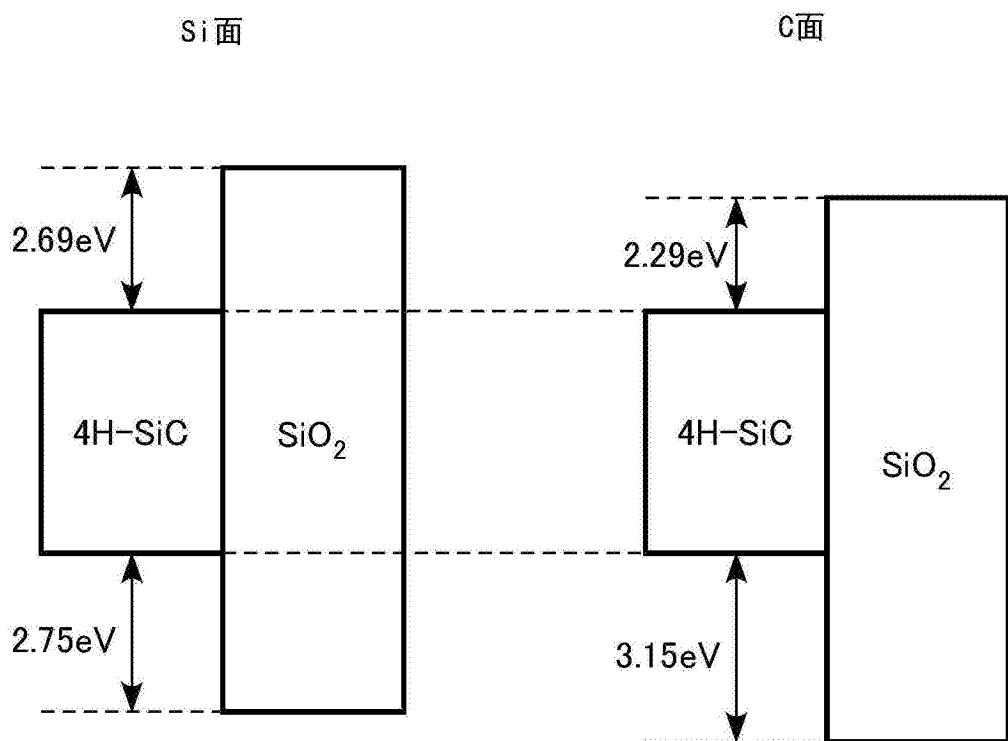


图3

第2邻接氧取代结构

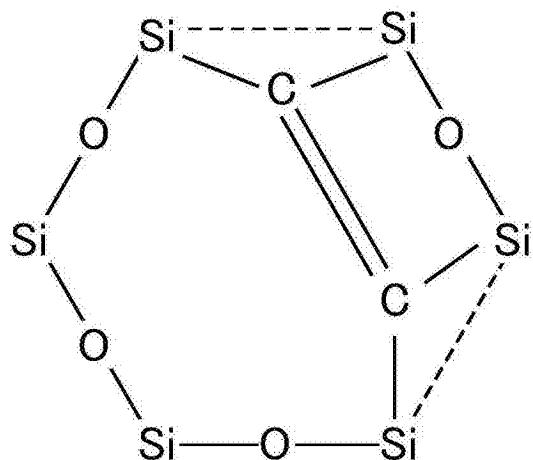


图4A

第1邻接氧取代结构

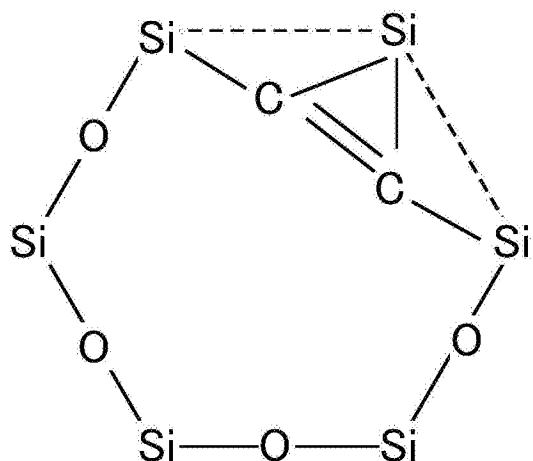


图4B

第2邻接氧取代结构

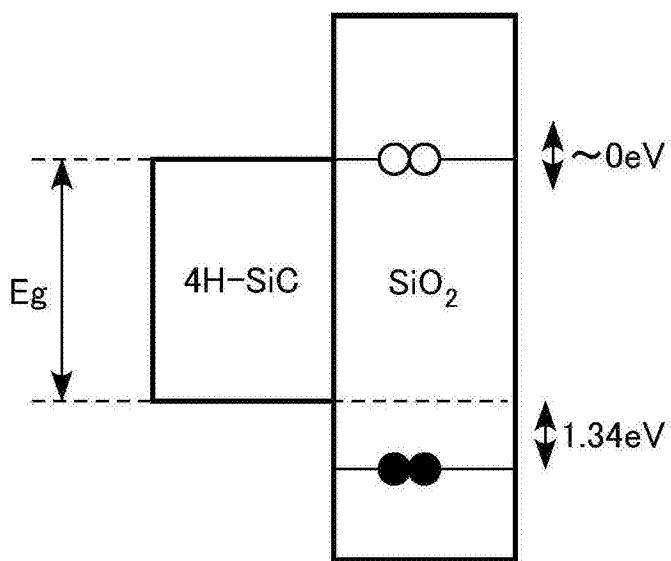


图5A

第1邻接氧取代结构

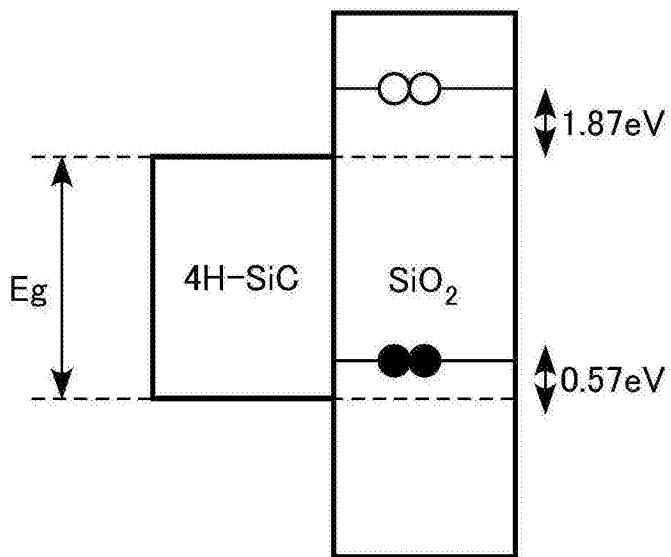


图5B

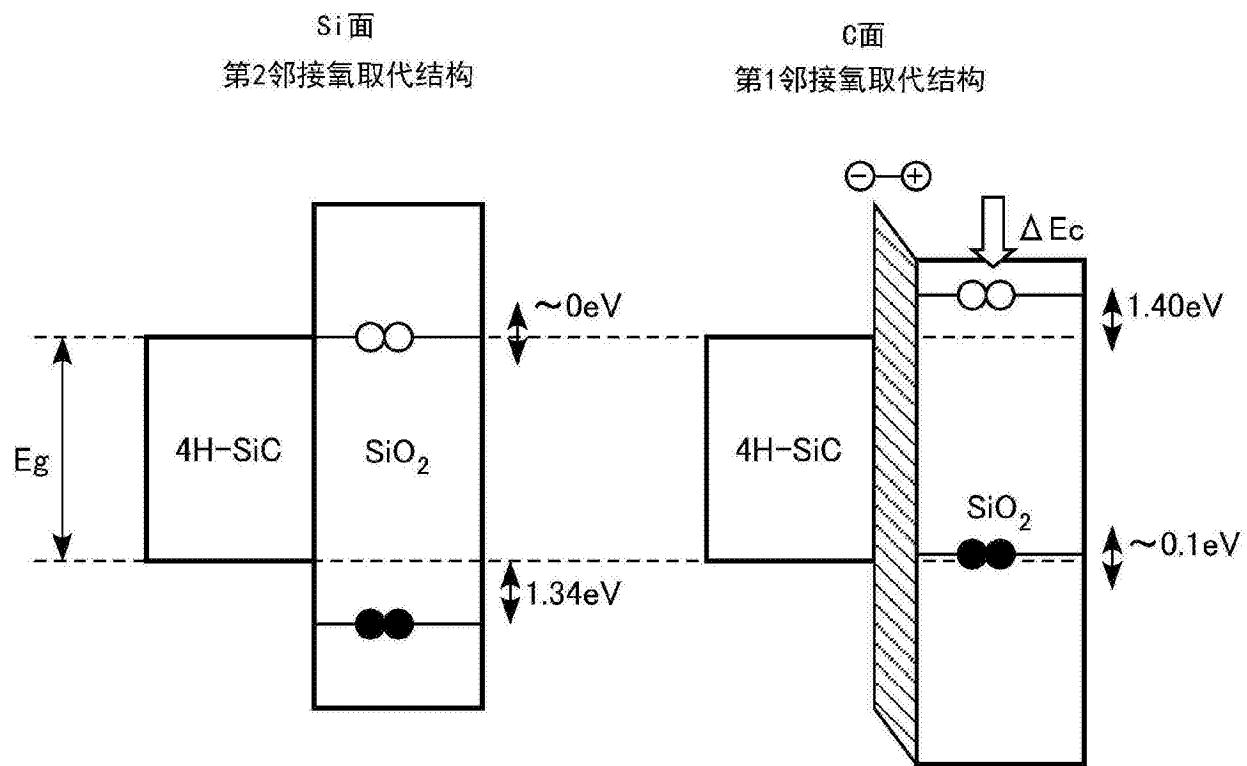


图6

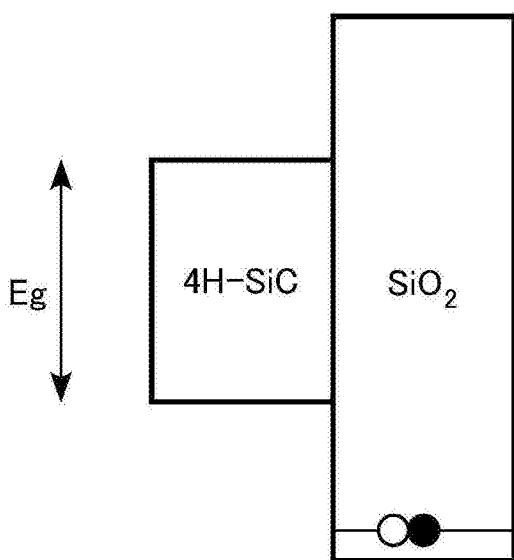


图7

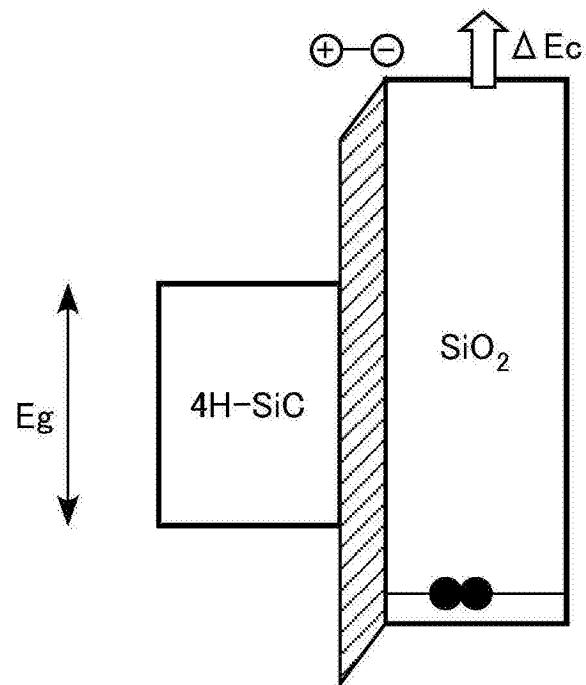


图8

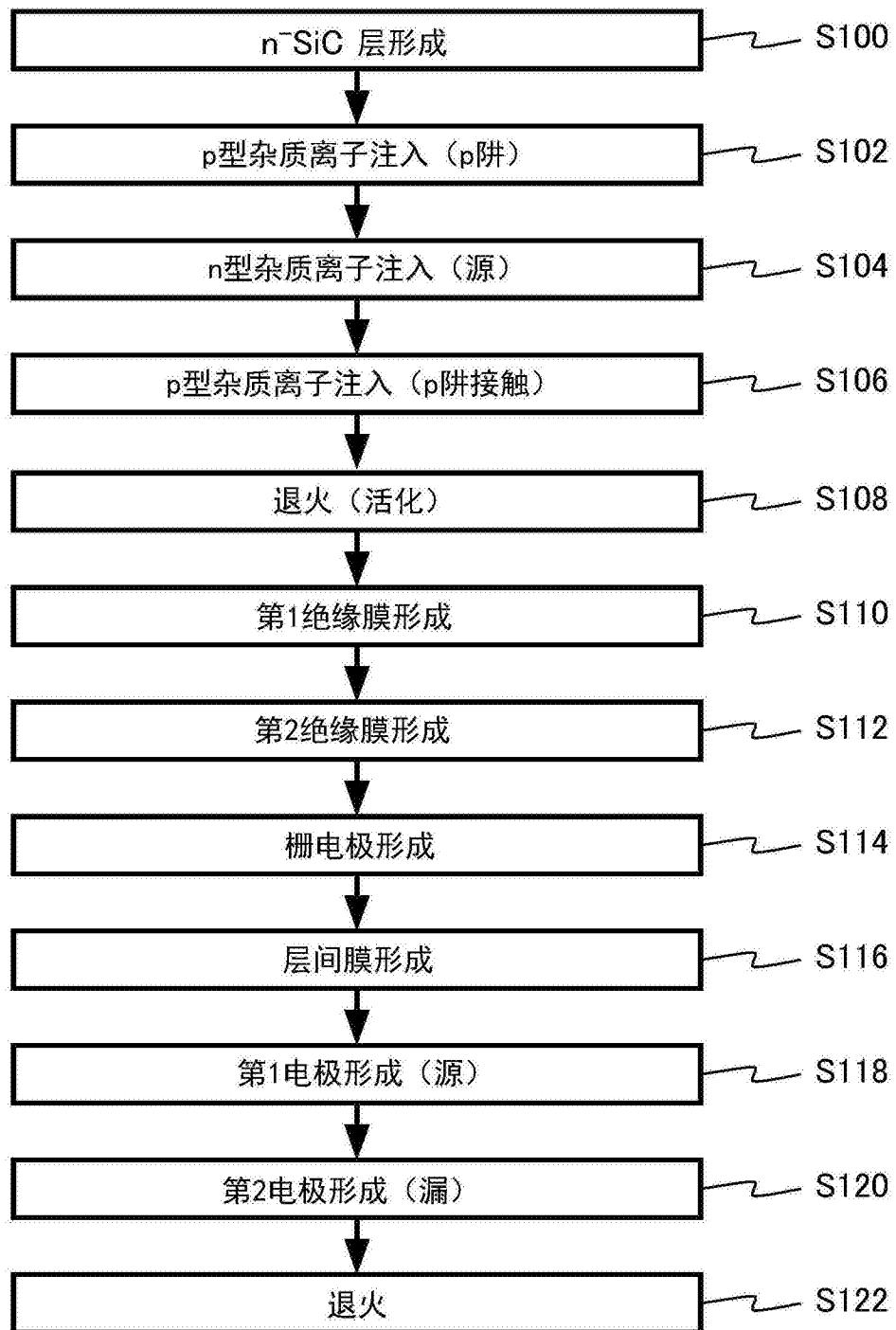


图9

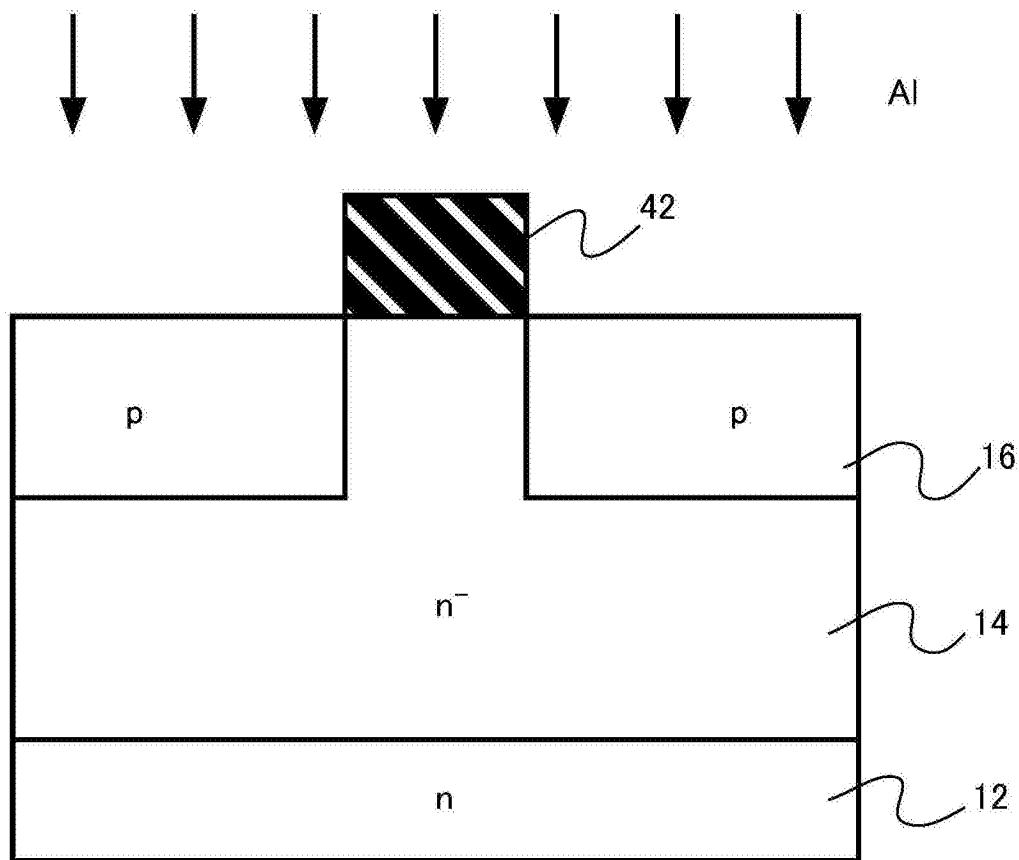


图10

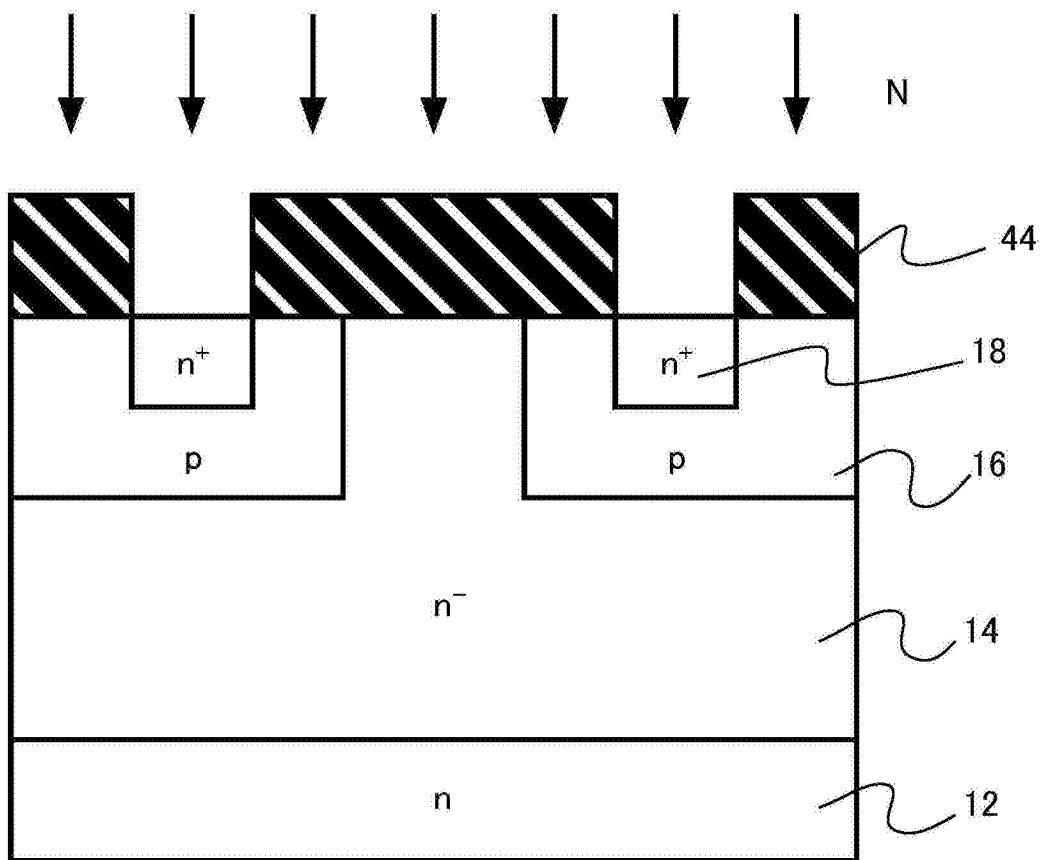


图11

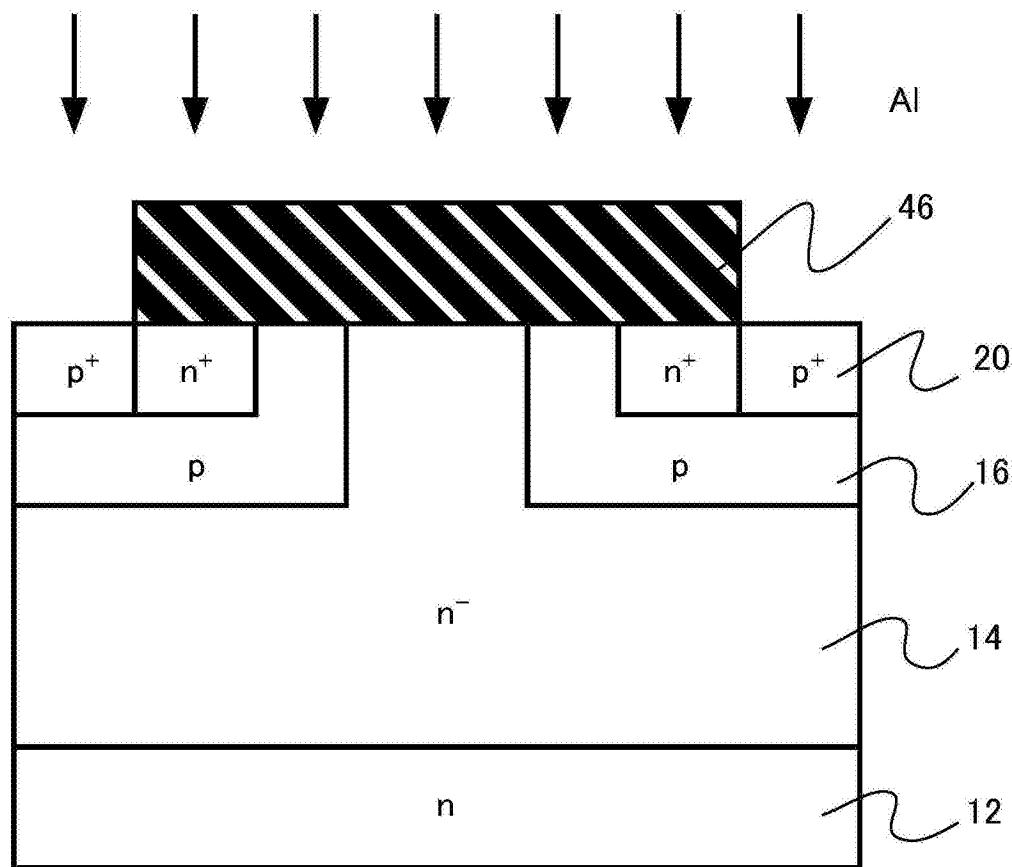


图12

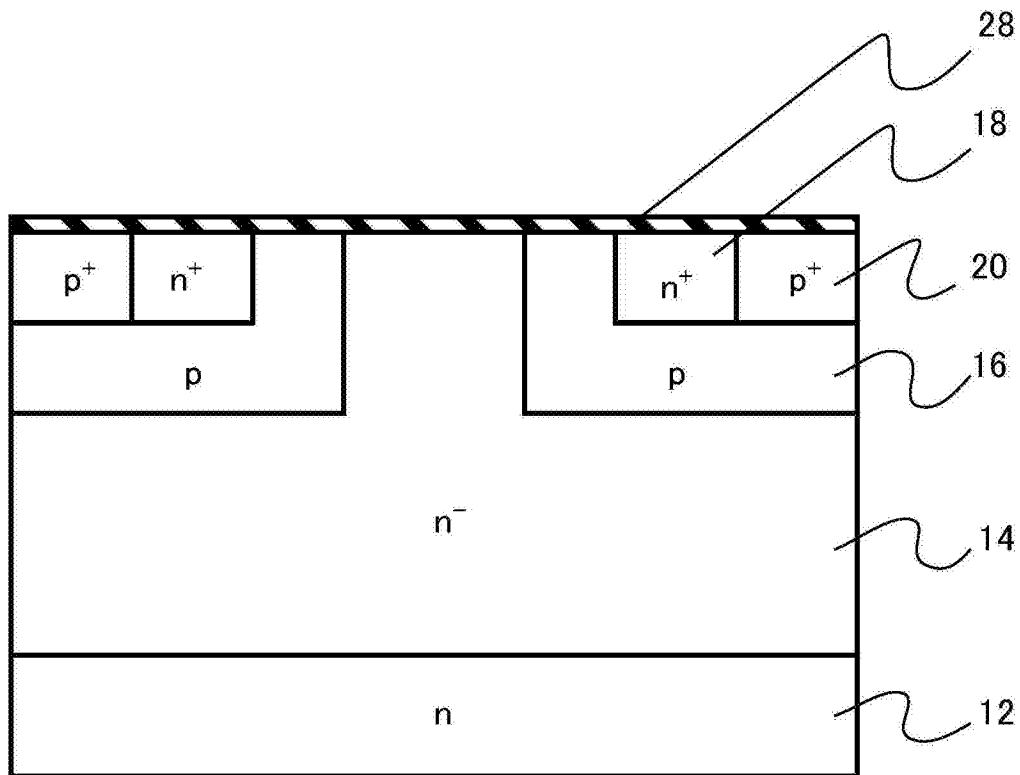


图13

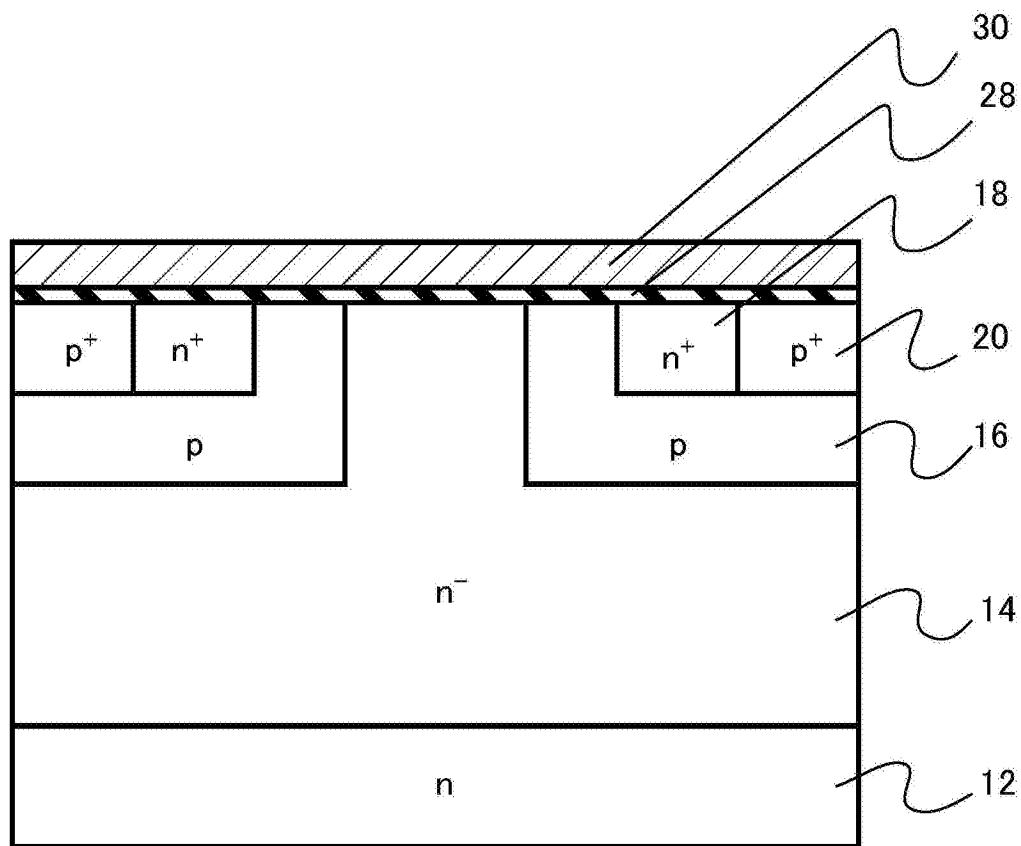


图14

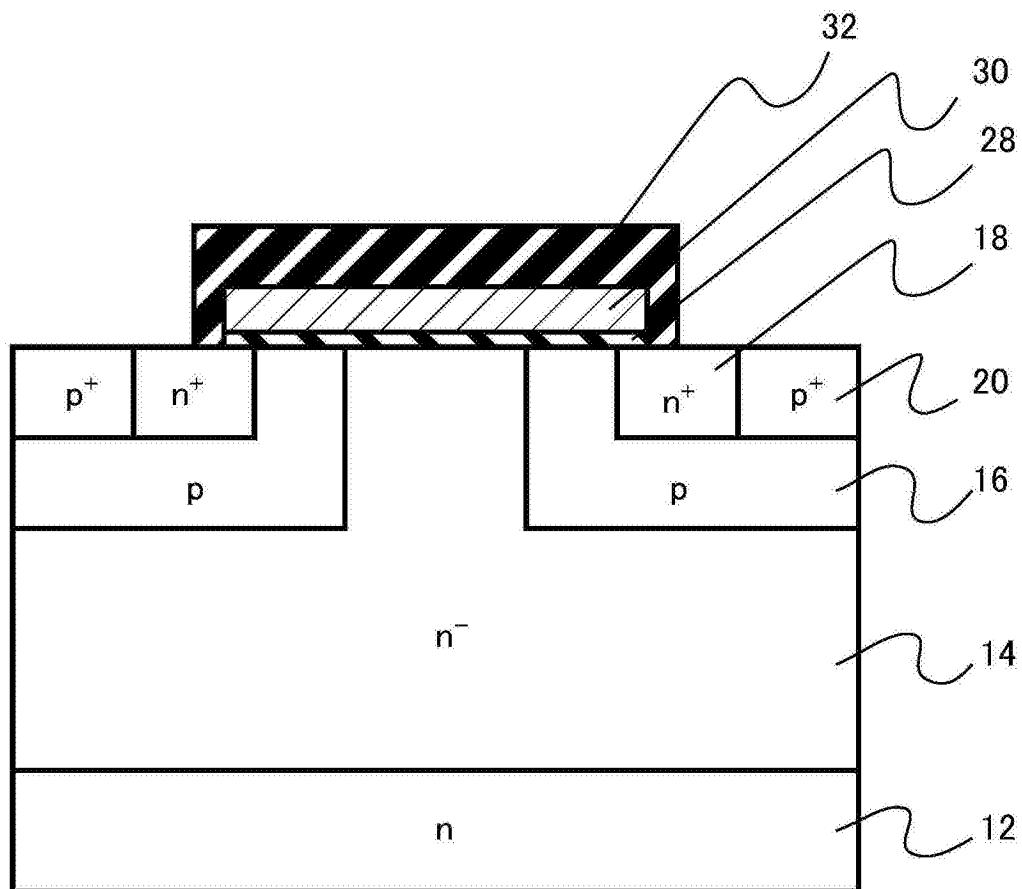


图15

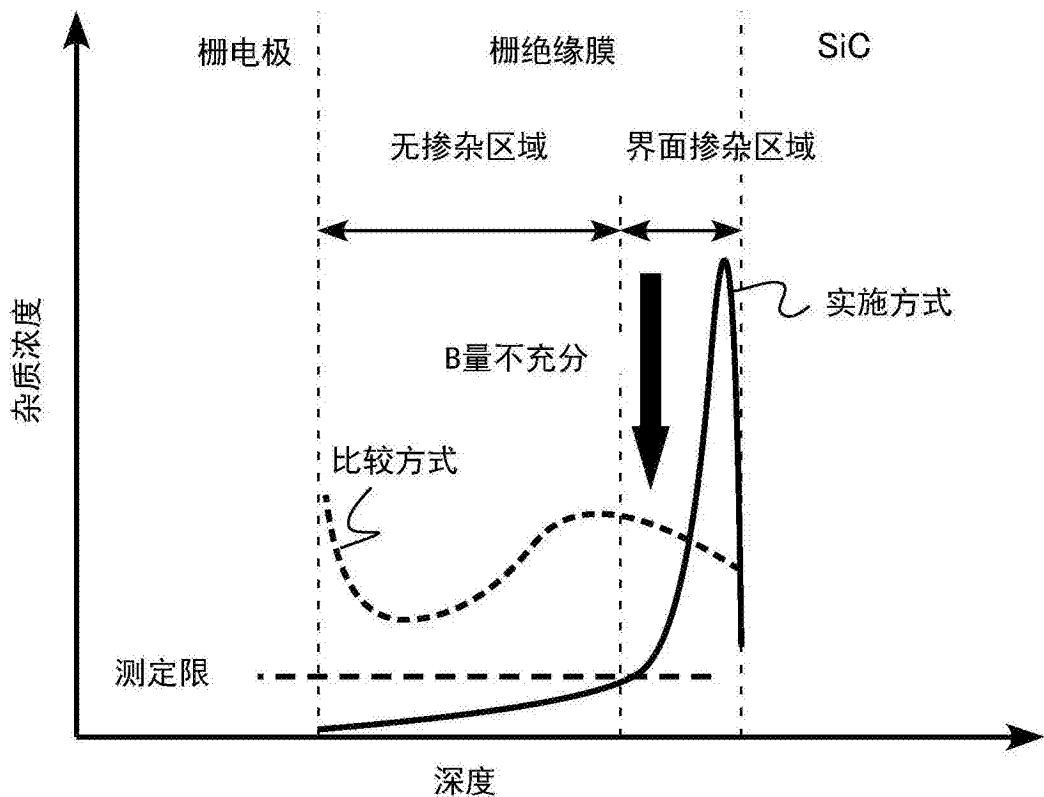


图16

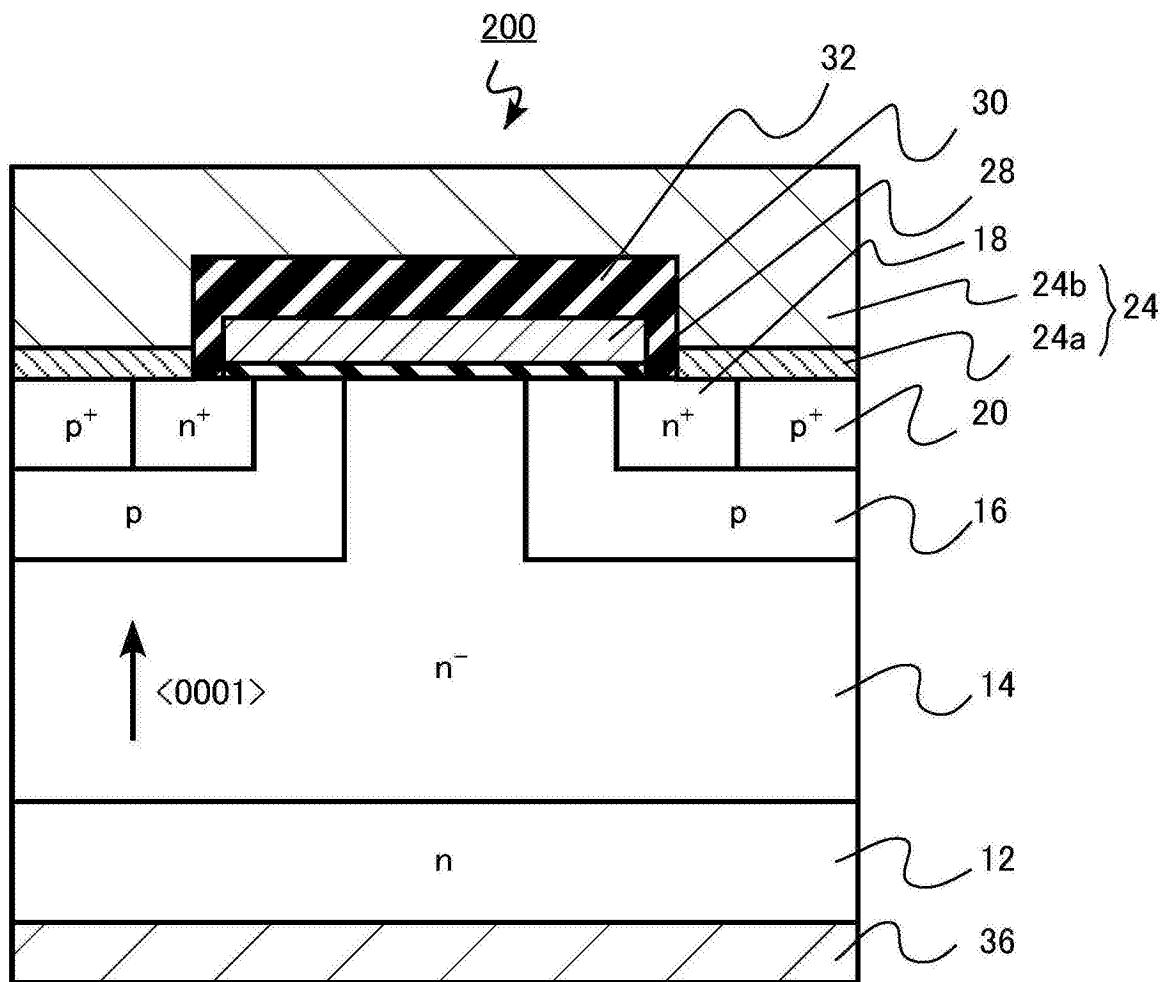


图17