(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3637075号
(P3637075)
(45)発行日　平成17年4月6日(2005.4.6)　(24)登録日　平成17年1月14日(2005.1.14)

(51)Int.Cl.[7]　F I
G09G 3/36　G09G 3/36
G02F 1/133　G02F 1/133 550

請求項の数 2　(全 9 頁)

(21)出願番号　特願平5-347674
(22)出願日　平成5年12月25日(1993.12.25)
(65)公開番号　特開平7-191640
(43)公開日　平成7年7月28日(1995.7.28)
審査請求日　平成11年8月24日(1999.8.24)
審判番号　不服2002-990(P2002-990/J1)
審判請求日　平成14年1月17日(2002.1.17)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

合議体
審判長　瀧　廣往
審判官　山川　雅也
審判官　福田　裕司

最終頁に続く

(54)【発明の名称】アクティブマトリクス型液晶表示装置の信号線駆動回路

(57)【特許請求の範囲】

【請求項１】

アクティブマトリクス型液晶表示装置を駆動する信号線駆動回路において、

前記信号線駆動回路は、階調信号入力端子から印加される階調信号をサンプリングして信号線に印加するサンプリング回路を有しており、

前記サンプリング回路は、保持容量と、前記保持容量に接続された保持容量接続端子と、前記保持容量接続端子と前記階調信号入力端子との間に直列に接続された第１のスイッチ及び第２のスイッチと、固定電位に保たれた定電圧入力端子と、前記第１のスイッチ及び前記第２のスイッチの接続点と前記定電圧入力端子との間に接続された第３のスイッチとを有し、

前記第１のスイッチは、前記階調信号入力端子と前記第２のスイッチとの断接を制御する手段であって、オン時に前記階調信号入力端子を前記接続点を経て前記第２のスイッチと導通状態にし、オフ時に前記階調信号入力端子と前記第２のスイッチとを非導通状態にし、

前記第２のスイッチは、前記第１のスイッチと前記信号線との断接を制御する手段であって、オン時に前記第１のスイッチと前記信号線とを導通状態にし、オフ時に前記第１のスイッチと前記信号線とを非導通状態にし、

前記第３のスイッチは、前記固定電位に保たれた定電圧入力端子と前記接続点との断接を制御する手段であり、

前記定電圧入力端子は、対向電極の電位に等しい固定電位に保たれており、

サンプリング時にあっては、前記第１のスイッチと前記第２のスイッチが同時にオンとなり、前記階調信号入力端子の電位と前記保持容量接続端子の電位が等しくなり、前記保持容量に前記階調信号が印加され、

非サンプリング時にあっては、前記第１のスイッチと前記第２のスイッチが同時にオフとなるとともに、前記第３のスイッチがオンとなることで、前記保持容量は次のサンプリングまでの期間電荷を維持し、前記接続点が前記定電圧入力端子に接続されることを特徴とするアクティブマトリクス型液晶表示装置の信号線駆動回路。

【請求項２】

前記第１のスイッチ及び前記第２のスイッチは、それぞれ少なくとも１つの薄膜トランジスタを有していることを特徴とする請求項１に記載のアクティブマトリクス型液晶表示装置の信号線駆動回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明はアクティブマトリクス型の液晶表示装置の駆動回路に関し、特に信号線駆動回路に関する。

【０００２】

【従来の技術】

第２図はアクティブマトリクス型アナログ階調線順次駆動の液晶表示装置の例である。アクティブマトリクス型の液晶表示装置は大まかに画素マトリクス部、信号線駆動回路、走査線駆動回路の３つに分割できる。以下図面に基づき動作を説明していく。

【０００３】

画素マトリクスは信号線と走査線をマトリクス状に配置し、その交点部分に画素ＴＦＴを配置し、画素ＴＦＴのゲートは走査線に、ソースは信号線に、ドレインは画素電極に接続している。また、一般に画素電極と対向電極の間の液晶容量は大きな値をとりえないため、画素電極の近傍に電荷を保持する保持容量を配置することが行われる。走査線にＴＦＴのスレッショルド電圧を越える電圧が印加され、ＴＦＴがオンすると、ＴＦＴのドレインとソースはショート状態となり、信号線の電圧が画素電極に印加され液晶と保持容量に充電される。そして、ＴＦＴがオフとなるとドレインは開放状態となり、液晶と保持容量に蓄えられた電荷はつぎにＴＦＴがオンするまで保持される。

【０００４】

第３図に信号線駆動回路の一例を示す。信号線駆動回路はシフトレジスタ回路、サンプリング回路、トランスファ回路、アナログバッファ回路で構成される。アナログ階調の場合、信号線駆動回路に入力される階調信号は時間的に連続なビデオ信号が用いられ、液晶がノーマルホワイトの場合電圧の絶対値が大きいほど表示は黒表示に近づくように、設定される。シフトレジスタにはビデオ信号に同期したスタートパルスが入力端子３０２に入力され、クロックパルスによって順次シフトされる。シフトレジスタの出力はインバータ形式のバッファ回路３０８～３１３を介してサンプリング回路に入力される、

【０００５】

サンプリング回路は第４図に示すようにＮチャンネルとＰチャンネルのＴＦＴを組み合わせたトランスミッションゲートと呼ばれるスイッチ３１４～３１６と保持容量３１７～３１９で構成される、トランスミッションゲートは前記のバッファ回路によってオン、オフが制御され、オン状態ではビデオ信号線と保持容量３１７～３１９がショートされ、保持容量に電荷が蓄電される。スタートパルスがシフトレジスタを通過するとバッファ回路の出力は反転し、スイッチはオフとなる。保持容量の電荷はそのまま保持され、次にスイッチがオンになるまで、電位は保たれる。１ライン分のサンプリングが終了し、次のサンプリングが開始されるまでの間に、トランスファ信号入力端子３０４よりトランスファ信号が入力される、これによってスイッチ３２０～３２２がオンになり、保持容量３１７～３１９と保持容量３２３～３２５がショートされ、保持容量３２３～３２５に電位が伝達される。スイッチ３２０～３２２もスイッチ３１４～３１６と同様にトランスミッションゲ

ートで構成される。このとき保持容量３２３～３２５の値が保持容量３１７～３１９の値より十分小さければ保持容量をショートしたことによる電位の変化は小さい。スイッチ３２０～３２２がオフになると保持容量３２３～３２５に電位は保持される。

【０００６】

保持容量３２３～３２５にはアナログバッファが接続され、アナログバッファを介して信号線は駆動される。アナログバッファ回路は保持容量の電位に影響を与えずに信号線を駆動するために必要である。第５図に走査線駆動回路の一例を示す。走査線駆動回路はシフトレジスタとＮＡＮＤ回路インバータ型バッファによって構成され、垂直同期信号に同期したスタートパルスと水平同期信号に同期したクロックを入力し、順次走査線を駆動していく。

【０００７】

【発明が解決しようとする課題】

従来の信号線駆動回路では、前記したようにサンプリング回路にトランスミッションゲート等のアナログスイッチを使用していたが、このサンプリング回路等は一般に高速性が求められ、使用するＴＦＴには高い移動度や小さい容量などの性能が求められていた。ところがこれらの特性はＴＦＴの耐圧等の特性と背反することが多く、耐圧を確保しようとすると高速性を犠牲にせざるをえなかった。

第６図はサンプリング回路を抜き出したものであり、第７図（Ａ）（Ｂ）（Ｃ）に階調信号入力端子６０３、保持容量接続端子６０４、制御端子６０５の電圧波形をしめす。液晶は直流電圧を長時間かけると特性が劣化するという問題点があり、（Ａ）に示すような交流波形が印加される。

【０００８】

第７図の例では１４Ｖｐｐの交流信号を印加している。制御端子６０５にはパルス信号が（Ｃ）のように印加され、パルスがハイのときサンプリングが行われ、保持容量６０２にそのときの電圧が印加される。パルス信号がロウになるとスイッチ６０１は開放となり保持容量６０２に蓄えられた電荷はつぎにサンプリングが行われるまで維持される。そのため、階調信号入力端子６０３と保持容量接続端子６０４の間には交流信号の振幅と同じだけの電圧が印加されることがあり、したがって、スイッチを構成するＴＦＴはその電圧に十分耐えなければならない。よって、前記したように、高速性を犠牲にするといった問題点をまねいていた。

【０００９】

【課題を解決するための手段】

本発明は、アクティブマトリクス型液晶表示装置を駆動する信号線駆動回路において、

前記信号線駆動回路は、階調信号入力端子から印加される階調信号をサンプリングして信号線に印加するサンプリング回路を有しており、

前記サンプリング回路は、保持容量と、前記保持容量に接続された保持容量接続端子と、前記保持容量接続端子と前記階調信号入力端子との間に直列に接続された第１のスイッチ及び第２のスイッチと、固定電位に保たれた定電圧入力端子と、前記第１のスイッチ及び前記第２のスイッチの接続点と前記定電圧入力端子との間に接続された第３のスイッチとを有し、

前記第１のスイッチは、前記階調信号入力端子と前記第２のスイッチとの断接を制御する手段であって、オン時に前記階調信号入力端子を前記接続点を経て前記第２のスイッチと導通状態にし、オフ時に前記階調信号入力端子と前記第２のスイッチとを非導通状態にし、

前記第２のスイッチは、前記第１のスイッチと前記信号線との断接を制御する手段であって、オン時に前記第１のスイッチと前記信号線とを導通状態にし、オフ時に前記第１のスイッチと前記信号線とを非導通状態にし、

前記第３のスイッチは、前記固定電位に保たれた定電圧入力端子と前記接続点との断接を制御する手段であり、

前記定電圧入力端子は、対向電極の電位に等しい固定電位に保たれており、

サンプリング時にあっては、前記第１のスイッチと前記第２のスイッチが同時にオンとなり、前記階調信号入力端子の電位と前記保持容量接続端子の電位が等しくなり、前記保持容量に前記階調信号が印加され、

非サンプリング時にあっては、前記第１のスイッチと前記第２のスイッチが同時にオフとなるとともに、前記第３のスイッチがオンとなることで、前記保持容量は次のサンプリングまでの期間電荷を維持し、前記接続点が前記定電圧入力端子に接続されることを特徴とする。

上記「保持容量」、「第１のスイッチ」、「第２のスイッチ」、「第３のスイッチ」はそれぞれ、第１図における「１１６」、「１０８」、「１０９」、「１１０」に対応する。

【００１０】

【作用】

第８図は本発明の概略図である。サンプリング時には、スイッチ８０１と８０２が同時にオンとなり、階調信号入力端子８０６の電位と保持容量接続端子８０８の電位が等しくなり、保持容量８０４に階調信号が印加される。非サンプリング時にはスイッチ８０１と８０２はオフとなり、スイッチ８０３がオンとなる。保持容量８０４はスイッチ８０２が開放になるため、次のサンプリングまでの期間電荷を維持する。またスイッチ８０３は定電圧端子８０７に接続しているため、スイッチ８０１、８０２の接続点は端子８０７の電位に固定される。ここで、端子８０７の電位を対向電極の電位に等しくなるように設定すれば、第７図で示すような、交流信号が印加された場合、スイッチ８０１、８０２に印加される電圧を交流振幅の半分の７Ｖとすることができる。

【００１１】

【実施例】

第１図に本発明の第一の実施例を示す。本発明を信号線駆動回路のサンプリング回路に適応した場合の例である。サンプリング時にはインバータ型バッファ１０７の出力によってスイッチ１０８、１０９がオンとなり、ビデオ信号線１０３の電位は保持容量１１６に保持される、非サンプリング時にはスイッチ１０８、１０９はオフとなり、代わりにスイッチ１１０がオンとなる。スイッチ１１０は定電圧線１０４に接続されているため、スイッチ１０８とスイッチ１０９の接続点は定電圧線１０４の電位と等しくなる。ここで定電圧線に印加する電位を対向電極の電位とすれば、スイッチ１０８、１０９に加わる電圧をビデオ信号の振幅の半分以下にすることができる。また、同様にトランスファ回路のスイッチ１１１、１１２についても印加電圧を低減することが可能である。

【００１２】

第９図は４階調のデジタル階調の信号線駆動回路の階調電圧信号選択回路を示す参考例である。デジタル階調の信号線駆動回路ではスイッチ回路が階調電圧線９０４、９０５、９０６、９０７のうちのいずれかを選択し、信号線９２５にショートする役割をもつ。ここで、階調信号線９０４を選択する場合、スイッチ９１３、９１４、９１８、９２１、９２４がオンとなり、スイッチ９１５、９１６、９１７、９１９、９２０、９２２、９２３がオフとなる。定電圧端子９０８の電圧を階調電圧線９０４、９０５、９０６、９０７のとりうる電圧の間の適切な電圧に設定しておけば、オフしているスイッチ９１６、９１７、９１９、９２０、９２２、９２３の両端に印加される電圧を低減することが可能である。

【００１３】

【発明の効果】

以上説明したように、本発明にはスイッチを構成するＴＦＴに印加される電圧を低減し、高耐圧性を要求しないため、スイッチにおいて高速なトランジスタをしようできるという効果がある。

【図面の簡単な説明】

【図１】本発明を使用したアナログ階調信号線駆動回路を示す。

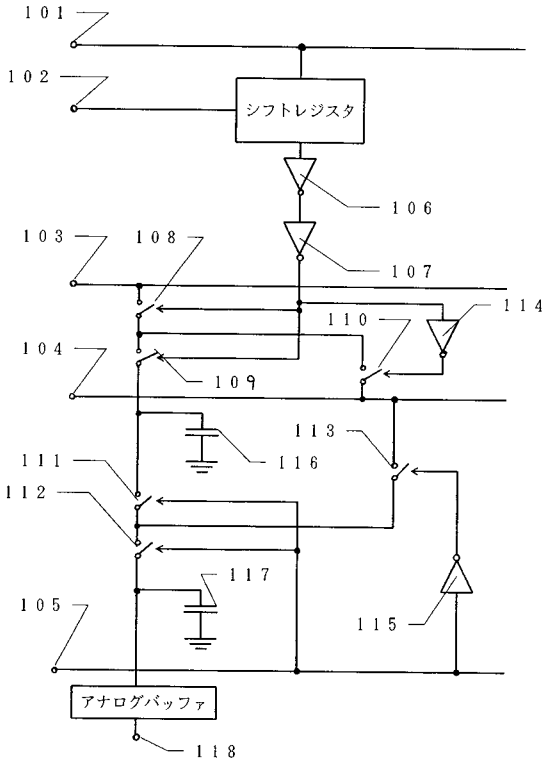
【図２】従来のアクティブマトリクス型液晶表示装置を示す。

【図３】従来の信号線駆動回路のブロック図を示す。
【図４】トランスミッションゲートの等価回路を示す。
【図５】走査線駆動回路のブロック図を示す。
【図６】従来のサンプリング回路の概念図を示す。
【図７】従来のサンプリング回路の電圧波形を示す。
【図８】本発明のサンプリング回路の概念図を示す。
【図９】デジタル階調信号線駆動回路を示す。
【符号の説明】

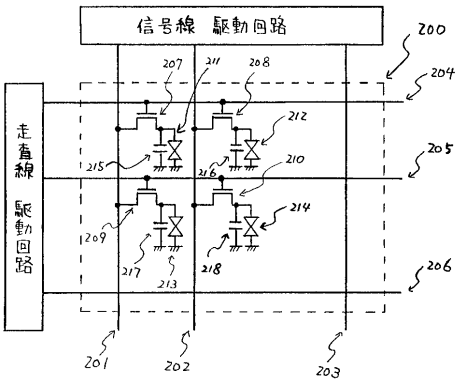
クロック入力端子	：１０１
スタートパルス入力端子	：１０２
ビデオ信号入力端子	：１０３
定電圧入力端子	：１０４
トランスファ信号入力端子	：１０５
信号線接続端子	：１１８
インバータ型バッファ	：１０６、１０７、１１４、１１５
スイッチ	：１０８～１１３
保持容量	：１１６、１１７
画素マトリクス	：２００
信号線	：２０１～２０３
走査線	：２０４～２０６
ＴＦＴ	：２０７～２１０
液晶	：２１１～２１４
保持容量	：２１５～２１８
クロック入力端子	：３０１
スタートパルス入力端子	：３０２
ビデオ信号入力端子	：３０３
トランスファ信号入力端子	：３０４
信号線接続端子	：３０５～３０７
インバータ型バッファ	：３０８～３１３
スイッチ	：３１４～３１６
	３２０～３２２
保持容量	：３１７～３１９
	：３２３～３２５
制御端子	：４０１
入力端子	：４０２
出力端子	：４０３
Ｎｃｈトランジスタ	：４０４
Ｐｃｈトランジスタ	：４０５
インバータ	：４０６
クロック入力端子	：５０１
スタートパルス入力端子	：５０２
ＮＡＮＤ	：５０３、５０４
インバータ型バッファ	：５０５、５０６
走査線接続端子	：５０７、５０８
スイッチ	：６０１
保持容量接続端子	：６０４
階調信号入力端子	：６０３
制御信号入力端子	：６０５
保持容量	：６０２
階調信号波形	（Ａ）

保持容量電圧波形　　（Ｂ）
制御電圧波形　　（Ｃ）
スイッチ　　：８０１、８０２、８０３
保持容量接続端子　　：８０８
階調信号入力端子　　：８０６
制御信号入力端子　　：８０９
保持容量　　：８０４
定電圧入力端子　　：８０７
インバータ　　：８０５
クロック入力端子　　：９０１
スタートパルス入力端子　：９０２、９０３
階調信号入力端子　　：９０４～９０７
定電圧入力端子　　：９０８
インバータ　　：９０９～９１２
スイッチ　　：９１３～９２４
信号線出力端子　　：９２５

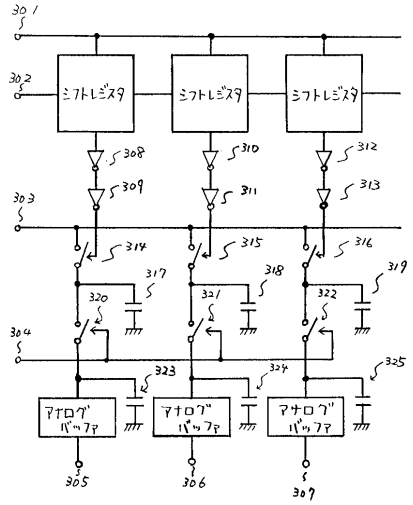
【図１】



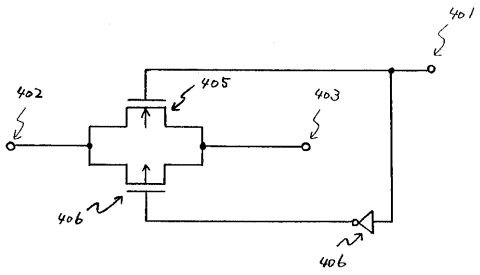
【図２】



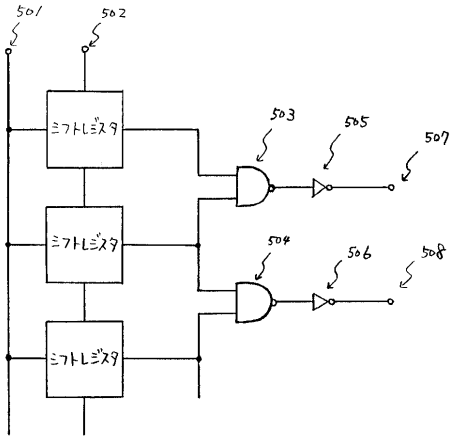
【図３】



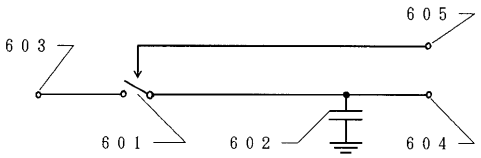
【図４】



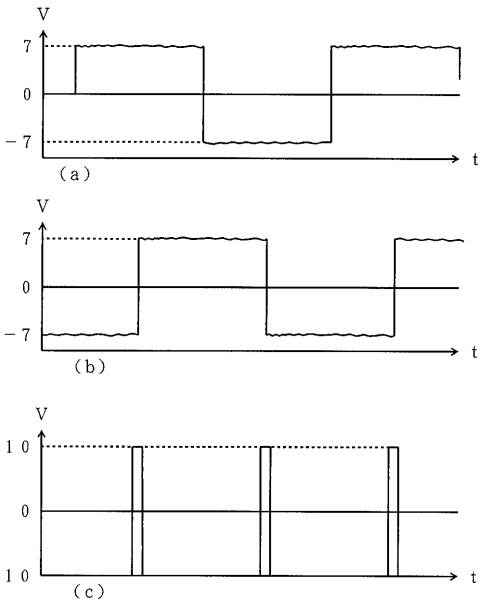
【図５】



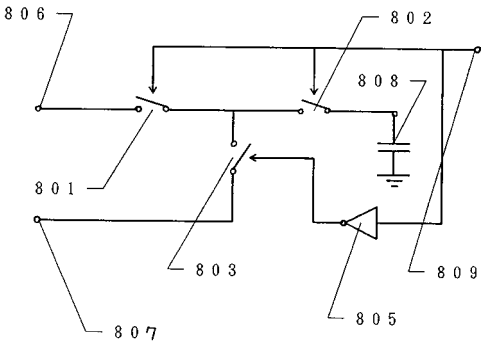
【図６】



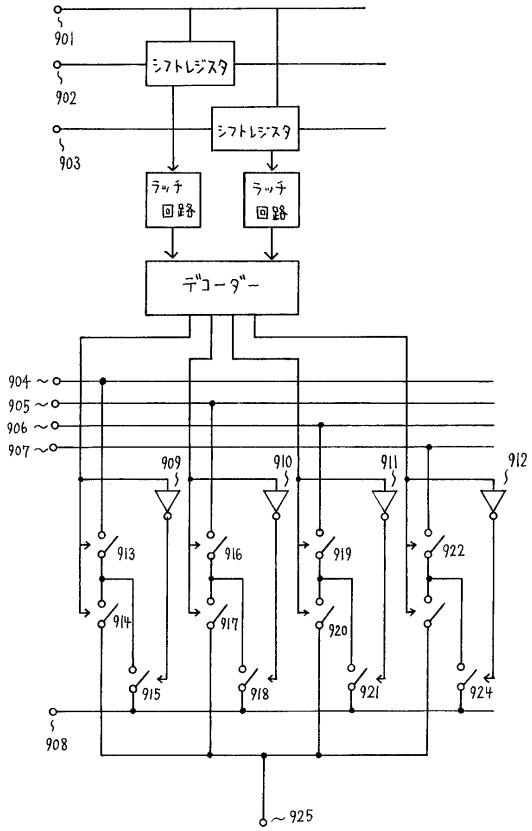
【図７】



【図８】



【図９】


901
902
903
シフトレジスタ
シフトレジスタ
ラッチ回路
ラッチ回路
デコーダー
904
905
906
907
908
909
910
911
912
913
914
915
916
917
918
919
920
921
922
924
925

フロントページの続き

(56)参考文献 特開平５－１５０２１６（ＪＰ，Ａ）
特開平１－９２７９７（ＪＰ，Ａ）
特開平４－２０８９９４（ＪＰ，Ａ）
特開平４－２９９３８６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G 3/36
G02F 1/133