

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 16/12 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월19일 10-0624301 2006년09월07일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0057313 2005년06월29일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	송병옥 충북 청주시 흥덕구 향정동 50 남자기숙사 B-327
(74) 대리인	신영무

심사관 : 조명관

(54) 낸드형 플래시 메모리 소자의 프로그램 방법

요약

본 발명은 선택 트랜지스터들에 가장 인접한 메모리 셀들에 접속된 옛지 워드라인들에 다른 워드라인에 인가되는 프로그램 금지 전압보다 낮은 채널 부스팅 디스터브 방지 전압을 인가하여, 옛지 워드라인들에 접속된 메모리 셀들과 선택 트랜지스터들 간의 전기장을 줄임으로써, 즉 핫 일렉트론의 에너지를 줄임으로써, 핫 일렉트론에 의한 프로그램 디스터브를 방지하는 비휘발성 메모리 장치에 관한 것이다.

대표도

도 4

색인어

핫 일렉트론, 옛지 워드라인, 프로그램 디스터브

명세서

도면의 간단한 설명

도 1은 일반적인 낸드형 플래시 메모리 소자를 나타낸 도면이다.

도 2는 도 1에서 각 워드라인에 따른 문턱전압(프로그램 속도)을 나타내는 그래프이다.

도 3은 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 소자의 시퀀셜 프로그램 방법을 나타낸 흐름도이다.

도 4는 ISPP(Incremental Step Pulse Program)에 따른 프로그램 전압을 나타낸 타이밍도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

MC : 메모리 셀 DSL : 드레인 선택 라인

SSL : 소스 선택 라인 CSL : 공통 소스 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 낸드형 플래시 메모리 소자의 프로그램 방법에 관한 것으로, 특히 프로그램 문턱전압 분포를 향상시키는 낸드형 플래시 메모리 소자의 시퀀셜 프로그램 방법에 관한 것이다.

플래시 메모리란 전원이 차단되었을 때 데이터를 보관할 수 있는 비휘발성 메모리의 하나로 전기적으로 프로그램(program)과 소거(erase)가 가능하며, 일정 주기로 데이터(data)를 재작성하는 리프레쉬(refresh) 기능이 필요 없는 소자를 일컫는다. 여기서, 프로그램이란 데이터를 메모리 셀에 기록(write)하는 동작을 가리키며, 소거란 데이터를 메모리에서 삭제(erase)하는 동작을 가리킨다. 이러한 플래시 메모리 소자는 셀의 구조 및 동작 조건에 의해 크게 노아(NOR)와 낸드(NAND) 플래시로 나뉜다. 노아형 플래시 메모리는 각 메모리 셀 트랜지스터의 소스가 접지단자(VSS)에 연결되어 임의의 주소에 대한 프로그램 및 소거가 가능하며, 고속 동작을 요구하는 응용분야에 주로 사용되고 있다. 반면에 낸드형 플래시 메모리는 도 1에 도시한 바와 같이, 복수의 메모리 셀 트랜지스터 MC0~MC31이 직렬로 연결되어 한 개의 스트링(string)을 구성하고, 한 개의 스트링이 소스와 드레인에 연결되어 있는 구조로서 고집적 데이터 보관 응용분야에서 주로 사용된다.

도 1을 참조하면, 드레인 선택 트랜지스터(DST)와 소스 선택 트랜지스터(SST) 사이에 직렬로 연결되는 메모리 셀들(MC0~MC31)의 개수는 디바이스(device) 및 밀도(density)를 고려하여 16개, 32개, 또는 64개 등으로 한다. 도 1에서는 32개의 메모리 셀을 하나의 스트링으로 하여 N개의 스트링(1-1, 1-n)이 존재한다. 메모리 셀들(예컨대 MC0)은 하나의 워드라인 WL0에 의해 제어되며, 하나의 페이지를 형성한다. 도 1에서는 32개의 페이지가 존재한다.

도 2는 시퀀셜(sequential) 방식을 사용하고 있는 도 1에 도시한 낸드형 플래시 메모리 소자의 프로그램 방법을 나타낸 흐름도이다.

낸드형 플래시 메모리 소자의 프로그램 방법은, 먼저 첫번째 워드라인 WL0에 프로그램 바이어스, 즉 프로그램 전압을 인가하여 메모리 셀 MC0에 데이터를 프로그램한다(S11). 다음에, 메모리 셀 MC0에 데이터가 프로그램되었는지 아닌지를 검증한다(S12). 이때, 프로그램된 메모리 셀 MC0의 문턱전압 V_t 가 타겟 문턱전압 V_t 보다 작으면(S13), 메모리 셀 MC0에 정상적으로 데이터가 프로그램된 것이 아니므로 워드라인 WL0에 프로그램 전압에 다시 프로그램 바이어스 + 0.5V를 더해 워드라인 WL0에 인가하여(S14), 메모리 셀 MC0를 다시 프로그램한다. 반면에, 프로그램된 메모리 셀 MC0의 문턱전압 V_t 가 타겟 문턱전압 V_t 보다 크면(S13), 메모리 셀 MC0에 정상적으로 데이터가 프로그램된 것이므로, 메모리 셀 MC0에 대한 프로그램을 종료하고, 다음 워드라인 WL1에 프로그램 전압을 인가하여 MC1을 프로그램한다. 상술한 MC0의 프로그램 방법과 같은 방법으로 마지막 워드라인 WL31에 접속된 메모리 셀 MC31까지 프로그램을 순차적으로 진행한다.

그러나, 이러한 종래의 낸드형 플래시 메모리 소자의 시퀀셜 방법은, 마지막 워드라인 WL31에 접속되는 메모리 셀 MC31의 프로그램 속도가 다른 메모리 셀들 MC0~MC30의 프로그램 속도보다 느리게 된다. 그 이유는 마지막 워드라인 WL31이 드레인 선택 라인 DSL에 인접해 있어 이들 드레인 선택 라인 DSL에 인가되는 전원전압 VCC에 의한 간섭을 받기 때문이다. 좀 더 구체적으로 설명하면, 프로그램 동작 시에는 선택되지 않은 워드라인에는 대략 8V~10V에 해당하는 프로그램 금지 전압(V_{pass})이 인가되는 것에 반해, 드레인 선택 라인 DSL에는 전원전압 VCC가 인가된다. 이렇게 되면, 메모리 셀들 MC31이 드레인 선택 트랜지스터 DST의 전위에 의해 간섭(interference effect)을 받게 되어, 메모리 셀 MC31의 프로그램 속도가 다른 메모리 셀들 MC0~MC30의 프로그램 속도보다 느리게 된다.

도 3은 각 워드라인에 따른 문턱전압을 나타낸 그래프인데, 문턱전압이 낮다는 것은 프로그램 속도가 느리다는 것을 의미한다. 그리고, 도면에서, 문자 A, B는 서로 다른 칩을 나타낸다.

도 3에 도시한 바와 같이, 드레인 선택 라인(DSL)에 가장 인접한 마지막 워드라인 WL31에 접속된 메모리 셀 MC31의 문턱 전압 V_t 이 가장 낮다는 것을 알 수 있다.

상술한 바와 같이 특정 메모리 셀(예컨대, DST에 인접한 MC31)의 문턱전압 V_t 이 다른 메모리 셀 MC0~MC30의 문턱전압 V_t 보다 낮게 됨으로써, 낸드형 플래시 메모리 소자의 칩 내의 문턱전압 분포가 넓어지게 된다. 그 결과, 낸드형 플래시 메모리 소자의 성능이 저하된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 드레인 선택 라인에 가장 인접한 마지막 워드라인에 접속되는 메모리 셀들의 프로그램 문턱전압을 보상해주는 낸드형 플래시 메모리 소자를 제공하는데 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른, N(N은 자연수)개의 워드라인 각각에 연결된 복수개의 메모리 셀들을 포함하는 낸드형 플래시 메모리 장치의 프로그램 방법은, (a) 상기 N개 워드라인 중 하나에 프로그램 전압을 인가하여 상기 프로그램 전압이 인가된 워드라인에 연결된 제1 그룹의 메모리 셀들에 데이터를 프로그램하는 단계; (b) 상기 제1 그룹의 메모리 셀들에 데이터가 정상적으로 프로그램되었는지 검증하는 단계; (c) 상기 제1 그룹의 메모리 셀들에 데이터가 정상적으로 프로그램되었으면, 상기 프로그램 전압이 인가된 워드라인이 마지막 워드라인에 해당하는 N번째 워드라인인지를 판단하는 단계; (d) 상기 프로그램 전압이 인가된 워드라인이 상기 N번째 워드라인이면, 상기 프로그램 전압에 제1 포지티브 전압을 더해서 상기 N번째 워드라인에 인가하여 상기 N번째 워드라인에 접속된 상기 제1 그룹의 메모리 셀들에 데이터를 다시 프로그램하는 단계; 및 (e) 상기 프로그램 단계 (d) 후에, 상기 프로그램 검증 단계 (b)로 되돌아가지 않고, 모든 프로그램을 종료하는 단계를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면 상에서 동일 참조부호는 동일한 기능을 수행하는 동일 부재(member)를 나타낸다.

도 4는 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 소자의 프로그램 방법을 나타낸 흐름도이고, 도 5는 ISPP 프로그램 방법을 설명하기 위한 도면이다. 도 5에서 T_{pw} 는 펄스 폭, T_{ur} 는 검증 시간, T_{pgm} 은 총 프로그램 시간을 나타낸다.

이하, 도 1에 나타낸 일반적인 낸드형 플래시 메모리 셀의 프로그램 문턱전압 분포를 좁혀서 프로그램 속도를 균일하게 하는 프로그램 방법을 도 4 및 도 5를 참조하여 설명하기로 한다.

먼저, 첫번째 워드라인 WL0에 프로그램 바이어스로서 예컨대 15.5V를 인가하여 선택된 스트링 내의 메모리 셀들 MC0에 데이터를 프로그램한다(S21).

다음에, 메모리 셀들 MC0에 데이터가 정상적으로 프로그램되었는지를 검증한다(S22). 이때, 프로그램된 메모리 셀들 MC0의 문턱전압 V_t 가 타겟 문턱전압 V_t 보다 작으면(S23), 메모리 셀들 MC0에 데이터가 정상적으로 프로그램되지 않은 것이므로 상기 언급한 프로그램 바이어스 15.5V에 0.5V를 더해서(S24), 16V의 프로그램 바이어스를 워드라인 WL0에 인가하여 다시 메모리 셀들 MC0에 데이터를 프로그램한다.

한편, 프로그램된 메모리 셀 MC0의 문턱전압 V_t 가 타겟 문턱전압 V_t 보다 크면(S23), 메모리 셀들 MC0에 데이터가 정상적으로 프로그램된 것이므로, 단계 S25로 가서 워드라인 WL0가 마지막 워드라인 WL31에 해당하는지를 판단한다. 이때, 워드라인 WL0는 마지막 워드라인 WL31이 아니므로, 어드레스를 +1증가시켜서(S26), 다음 워드라인 WL1에 프로그램 바이어스를 인가하여 선택된 스트링 내의 메모리 셀들 MC1에 데이터를 프로그램한다. 상기와 같은 방법으로 메모리 셀 MC30까지 프로그램 동작을 수행한다.

마지막으로, 워드라인 WL31에 프로그램 바이어스로서 예컨대 15.5V를 인가하여 선택된 스트링 내의 메모리 셀들 MC31에 데이터를 프로그램한다.

그 다음, 메모리 셀들 MC31에 데이터가 정상적으로 프로그램되었는지를 검증한다(S22). 이때, 프로그램된 메모리 셀 MC31의 문턱전압 V_t 가 타겟 문턱전압 V_t 보다 작으면(S23), 메모리 셀들 MC31에 데이터가 정상적으로 프로그램되지 않은 것이므로, 상기 언급한 프로그램 바이어스 15.5V에 0.5V를 더해서(S24), 16V의 프로그램 바이어스를 워드라인 WL31에 인가하여 다시 메모리 셀 MC31에 데이터를 프로그램한다.

한편, 프로그램된 메모리 셀들 MC31의 문턱전압 V_t 가 타겟 문턱전압 V_t 보다 크면(S23), 메모리 셀들 MC31에 데이터가 정상적으로 프로그램된 것이므로, 단계 S25로 가서 워드라인 WL31이 마지막 워드라인 WL31에 해당하는지를 판단한다. 이때, 워드라인 WL31은 마지막 워드라인 WL31이므로, 단계 S27로 가서 워드라인 WL31에 프로그램 바이어스, 예컨대 16V에 0.5V를 더한 16.5V를 인가하여 메모리 셀 MC31에 대한 프로그램을 다시 수행한다. 여기서, 마지막에 해당하는 워드라인 WL31에 접속된 메모리 셀들 MC31에 대한 프로그램 동작 후에는 프로그램 검증 없이 프로그램 동작을 종료한다.

도 4에 도시한 바와 같이 프로그램 검증 없이 프로그램 전압에 무조건적으로 0.5V를 더해서 메모리 셀들 MC31을 프로그램하는 이유는 마지막 워드라인 WL31에 접속된 메모리 셀들 MC31의 문턱전압 V_t 를 높여서 프로그램 속도를 향상시키기 위함이다.

이렇게 드레인 선택 라인 DSL에 가장 인접한 워드라인 WL31에 프로그램 검증동작 없이 프로그램 바이어스에 +0.5V를 추가로 더해서 인가하여 메모리 셀 MC31을 프로그램하면, 메모리 셀 MC31의 문턱전압 V_t 이 높아져서, 전체 문턱전압 분포가 좁아진다. 이렇게 되면, 이들 메모리 셀 MC31의 프로그램 속도가 다른 메모리 셀들 MC0 내지 MC30의 프로그램 속도와 비슷해진다.

본 발명은, 셀 스트링에서의 메모리 셀의 개수가 증가하는 경우에 더 효과적이다.

또한, 본 발명은 싱글레벨 셀(single-level cell)의 플래시 메모리 소자에 대해서만 설명했지만, 보다 빠른 프로그램 속도와 좁은 프로그램 문턱전압 분포를 이용하는 멀티레벨 셀(multi-level cell)의 플래시 메모리 소자에서 더 효과적이다.

상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 의하면, 드레인 선택 라인에 인접한 마지막 워드라인에 접속되는 메모리 셀들의 문턱전압을 종래보다 높여서 프로그램 문턱전압 분포를 종래보다 좁힐 수 있다. 그 결과, 낸드형 플래시 메모리 소자의 성능을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

N(N은 자연수)개의 워드라인 각각에 연결된 복수개의 메모리 셀들을 포함하는 낸드형 플래시 메모리 장치의 프로그램 방법에 있어서,

- (a) 상기 N개 워드라인 중 하나에 프로그램 전압을 인가하여 상기 프로그램 전압이 인가된 워드라인에 연결된 제1 그룹의 메모리 셀들에 데이터를 프로그램하는 단계;
- (b) 상기 제1 그룹의 메모리 셀들에 데이터가 정상적으로 프로그램되었는지 검증하는 단계;

- (c) 상기 제1 그룹의 메모리 셀들에 데이터가 정상적으로 프로그램되었으면, 상기 프로그램 전압이 인가된 워드라인이 마지막 워드라인에 해당하는 N번째 워드라인인지를 판단하는 단계;
- (d) 상기 프로그램 전압이 인가된 워드라인이 상기 N번째 워드라인이면, 상기 프로그램 전압에 제1 포지티브 전압을 더해서 상기 N번째 워드라인에 인가하여 상기 N번째 워드라인에 접속된 상기 제1 그룹의 메모리 셀들에 데이터를 다시 프로그램하는 단계; 및
- (e) 상기 프로그램 단계 (d) 후에, 상기 프로그램 검증 단계 (b)로 되돌아가지 않고, 모든 프로그램을 종료하는 단계를 포함하는 것을 특징으로 하는 낸드형 플래시 메모리 소자의 프로그램 방법.

청구항 2.

제 1 항에 있어서,

상기 제1 그룹의 메모리 셀들에 데이터가 정상적으로 프로그램되어 있지 않으면, 상기 프로그램 전압에 상기 제1 포지티브 전압을 더해서 상기 워드라인에 다시 인가하여 상기 제1 그룹의 메모리 셀들을 다시 프로그램하는 단계를 더 포함하는 것을 특징으로 하는 낸드형 플래시 메모리 소자의 프로그램 방법.

청구항 3.

제 1 항에 있어서,

상기 프로그램 전압이 인가된 워드라인이 상기 N번째 워드라인이 아니면, 어드레스를 순차적으로 하나씩 증가시켜서 상기 N번째 워드라인이 될 때까지 상기 (a) 내지 (c)를 반복적으로 수행하는 것을 특징으로 하는 낸드형 플래시 메모리 소자의 프로그램 방법.

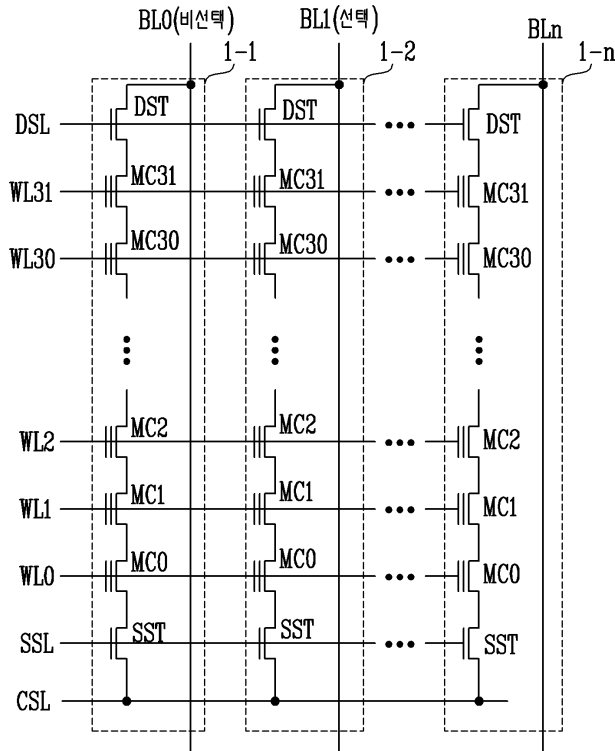
청구항 4.

제 1 항 또는 제 2 항에 있어서,

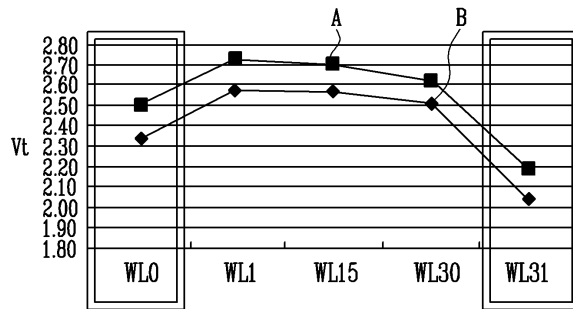
상기 제1 포지티브 전압은 0.5V인 것을 특징으로 하는 낸드형 플래시 메모리 소자의 프로그램 방법.

도면

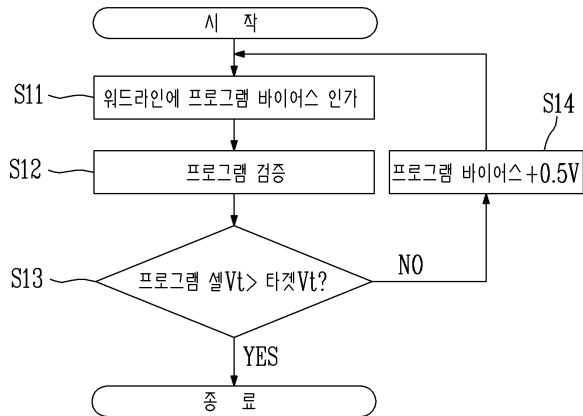
도면1



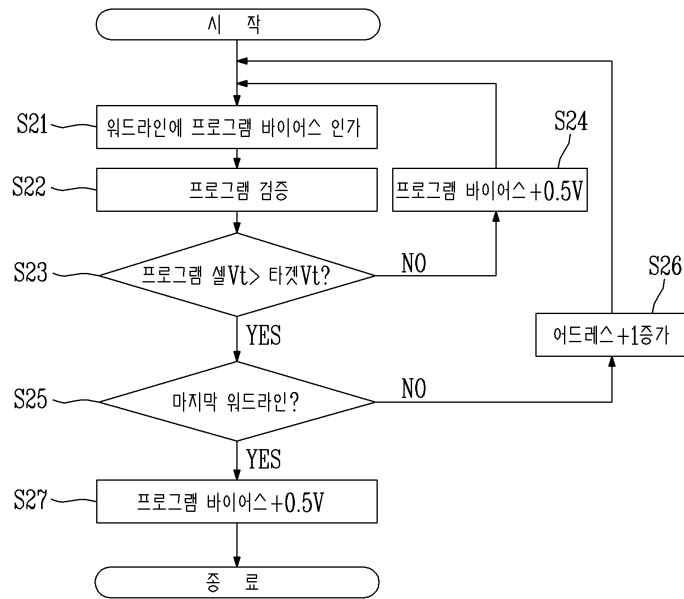
도면2



도면3



도면4



도면5

