



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I404140B1

(45)公告日：中華民國 102 (2013) 年 08 月 01 日

(21)申請案號：098124871

(22)申請日：中華民國 98 (2009) 年 07 月 23 日

(51)Int. Cl. : **H01L21/3065(2006.01)**

(30)優先權：2009/05/11 日本

2009-114109

(71)申請人：日立全球先端科技股份有限公司 (日本) HITACHI HIGH-TECHNOLOGIES CORPORATION (JP)

日本

(72)發明人：島剛志 SHIMA, TAKESHI (JP)；桑原謙一 KUWABARA, KENICHI (JP)；市丸朋祥 ICHIMARU, TOMOYOSHI (JP)；今本賢司 IMAMOTO, KENJI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 580733

CN 1538504A

審查人員：王順德

申請專利範圍項數：4 項 圖式數：6 共 0 頁

(54)名稱

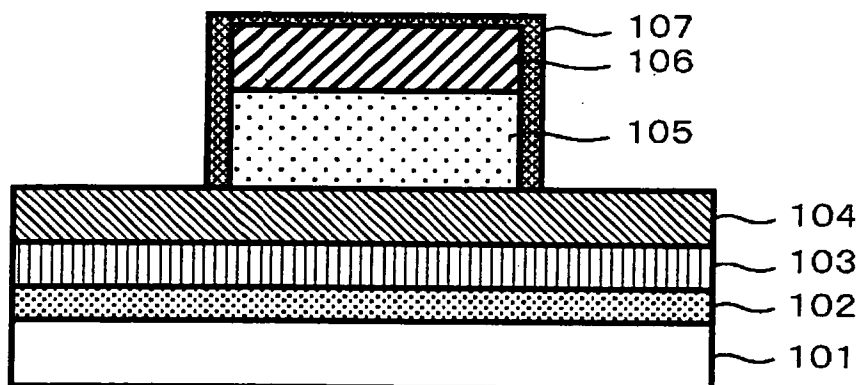
乾蝕刻方法

DRY ETCHING METHOD

(57)摘要

蝕刻多晶矽膜之後，藉由含碳電漿於多晶矽膜之側壁形成碳聚合物之保護膜，如此則，即使在藉由晶圓之高溫化、或處理壓力之低溫化來提升揮發性之蝕刻條件下，藉由鹵素系列氣體之電漿進行下層膜、亦即金屬材料之蝕刻處理時，亦可防止側壁蝕刻及側壁粗糙。另外，藉由該碳聚合物之保護膜，蝕刻金屬材料時飛散之金屬物質不會直接附著於多晶矽膜，因此可以藉由灰化工程簡單同時除去碳聚合物之保護壁。

圖 1C



101 . . . 半導體基板

102 . . . SiO₂ 膜103 . . . HfO₂ 膜

104 . . . TiN 膜

105 . . . 多晶矽膜

106 . . . SiO₂ 膜

107 . . . 碳聚合物之保護膜

774853

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98124871

※申請日：98年07月23日

※IPC分類：H01L 21/304 2006.01

一、發明名稱：(中文／英文)

乾蝕刻方法

Dry etching method

二、中文發明摘要：

蝕刻多晶矽膜之後，藉由含碳電漿於多晶矽膜之側壁形成碳聚合物之保護膜，如此則，即使在藉由晶圓之高溫化、或處理壓力之低溫化來提升揮發性之蝕刻條件下，藉由鹵素系列氣體之電漿進行下層膜、亦即金屬材料之蝕刻處理時，亦可防止側壁蝕刻及側壁粗糙。另外，藉由該碳聚合物之保護膜，蝕刻金屬材料時飛散之金屬物質不會直接附著於多晶矽膜，因此可以藉由灰化工程簡單同時除去碳聚合物之保護壁。

三、英文發明摘要：

四、指定代表圖：

(一) 本案指定代表圖為：第(1C)圖。

(二) 本代表圖之元件符號簡單說明：

101：半導體基板

102：SiO₂膜

103：HfO₂膜

104：TiN膜

105：多晶矽膜

106：SiO₂膜

107：碳聚合物之保護膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於半導體裝置（device）之製造方法，特別是關於金屬閘極之乾蝕刻方法。

【先前技術】

半導體元件中之閘極絕緣膜長久以來係使用 SiO_2 或 SiON 等之矽氧化膜系列之膜。但是，由於圖案之微細化、半導體裝置之動作速度之高速化要求，閘極絕緣膜之薄膜化被進展，近年來彼等閘極絕緣膜之薄膜化已達極限。因此，可以將等效之閘極絕緣膜膜厚設為同樣膜厚之 SiO_2 閘極氧化膜之數分之一的 HfSiO 或 HfO_2 等之高介電體被使用作為替代材料。

但是，單純以彼等高介電體膜取代目前之閘極氧化膜而作為閘極絕緣膜使用時，在其與閘極之多晶矽膜間之界面，會產生多晶矽膜之空乏化等電晶體特性降低之問題。該現象可藉由在高介電體閘極氧化膜與多晶矽膜之間挾持金屬層加以迴避，實際上此種金屬/高介電體閘極之構造成為次世代之閘極構造。本技術之關連習知例有例如特表 2008-502141 號公報（JP-T2008-502141:the term "JP-T" as used herein means a published Japanese translation of a PCT application）。

通常蝕刻金屬材料時使用鹵素系列氣體。另外，彼等蝕刻氣體與金屬材料之反應生成物之揮發性低，因而蝕刻

不容易進行。因此，欲加工金屬材料時，藉由晶圓溫度之高溫化、或處理壓力之低壓化，來提升反應生成物之揮發性而進行蝕刻乃必要者。

另外，特開 2007-250940 號公報（JP-A-2007-250940）揭示：針對多晶矽膜之主蝕刻後之蝕刻處理產生之側壁蝕刻形狀，藉由添加氣體（碳化氫）所產生之反應生成物予以抑制的技術。

【發明內容】

（發明所欲解決之課題）

但是，JP-T2008-502141 之習知技術存在以下問題，在提升揮發性條件下進行金屬材料之蝕刻加工時，與先前被加工之多晶矽膜間之反應亦被促進，於多晶矽膜會產生側壁蝕刻或側壁粗糙（側壁之凹凸）等問題。

另外，蝕刻金屬材料時飛散之金屬物質再度附著於多晶矽側壁，最後成為殘渣而殘留之問題亦存在。

另外，JP-A-2007-250940 之習知技術存在之問題為，針對被蝕刻加工之多晶矽膜之側壁無法形成保護用的碳聚合物之保護膜。

（用以解決課題的手段）

為解決上述問題，本發明係在蝕刻多晶矽膜之後，藉由含碳電漿於多晶矽膜之側壁形成碳聚合物之保護膜，如此則，即使藉由鹵素系列氣體之電漿進行下層膜、亦即金

屬材料之蝕刻處理時，亦可防止多晶矽膜之側壁蝕刻(side etch)及側壁粗糙。

另外，藉由該碳聚合物之保護膜，蝕刻金屬材料時飛散之金屬物質不會直接附著於多晶矽膜，因此可以提供藉由灰化工程簡單同時除去碳聚合物之保護膜的乾蝕刻方法。

【實施方式】

以下參照圖面說明本發明之一實施形態。本實施形態係使用 ECR 蝕刻裝置實施者。

圖 1A 為第 1 實施形態之半導體元件之斷面圖。於半導體基板 101 上形成 SiO_2 膜 102 作為閘極絕緣膜，於其上形成 HfO_2 膜 103 作為高介電體閘極絕緣膜之後，形成 TiN 膜 104 作為金屬材料構成之金屬膜，於其上形成多晶矽膜 105，於其上形成 SiO_2 膜 106 作為硬質遮罩。 SiO_2 膜 106 係藉由適當之製程處理已被轉印有裝置圖案。

(第 1 實施形態)

首先，於圖 1B 所示習知條件下蝕刻多晶矽膜 105。此時之蝕刻條件例如微波電力設為 800W、RF 偏壓電力設為 40W、使用 Cl_2 : 15ml/min、 O_2 : 3ml/min、 HBr : 45ml/min 之混合氣體作為蝕刻氣體、處理室內壓力保持 0.8Pa、晶圓溫度設為 40℃。該蝕刻條件為多晶矽膜之蝕刻條件之一例，多晶矽膜之蝕刻條件不限定於上述條件，任一條件下對本發明之效果不會有影響。

第 098124871 號

蝕刻多晶矽膜 105 之後，如圖 1C 所示，藉由 CHF_3 之電漿於多晶矽膜之側壁形成碳聚合物之保護膜 107。該多晶矽膜之保護壁形成階段之蝕刻條件例如微波電力設為 1000W、RF 偏壓電力設為 30W、使用 CHF_3 ：100ml/min 作為蝕刻氣體，處理室內壓力保持 0.3Pa、晶圓溫度設為 40℃。此時，藉由 RF 偏壓電力之施加，藉由垂直被引入晶圓表面的離子之濺鍍效果，使碳聚合物難以沈積於金屬材料表面，而選擇性沈積於多晶矽膜 105 之側壁。

欲測定沈積於多晶矽膜 105 側壁的碳聚合物之沈積速度時，可於該碳聚合物沈積條件下蝕刻未形成裝置圖案的矽晶圓，使用斷面 SEM (Scanning Electron Microscope) 測定碳聚合物之沈積量。欲模擬側壁之變化時，於未施加 RF 偏壓電力情況下進行蝕刻。上述之一實施形態之蝕刻條件下進行測定之結果如圖 2 所示，沈積速度為 24.8 nm/min。

之後，如圖 1D 所示，對多晶矽膜 105 之下層之 TiN 膜 104 進行蝕刻，此時之蝕刻條件例如微波電力設為 800W、RF 偏壓電力設為 10W、使用 Cl_2 ：40ml/min 作為蝕刻氣體、處理室內壓力保持 0.8Pa、晶圓溫度設為 40℃。該條件為 TiN 膜之蝕刻條件之一例，TiN 膜之蝕刻條件不限定於上述條件，任一條件下對本發明之效果不會有影響。

欲算出對 TiN 膜 104 之蝕刻中之碳聚合物之削減量（厚度）時，可於對 TiN 膜之蝕刻條件下，針對為形成裝置

圖案之附加阻劑膜晶圓進行蝕刻。此時，為模擬多晶矽膜 105 之側壁之碳聚合物之削減，而於未施加 RF 偏壓電力下進行蝕刻。結果，阻劑膜之削減量（厚度）約為 1.3 nm。因此，本實施形態中，為形成約 4 nm 之側壁保護膜，而進行 10 秒間之側壁保護處理，如此而進行碳聚合物保護膜之生成。如上述說明，碳聚合物保護膜之生成膜厚，可藉由處理時間予以調整。對 TiN 膜之蝕刻中之保護膜之削減量，係依據蝕刻條件而變化。因此，變更蝕刻條件時，係於變更條件下測定阻劑膜之削減量，對應於測定之削減量來進行必要之側壁保護步驟時間之調整。

之後，為除去碳聚合物保護膜 107 及 TiN 膜 104 之蝕刻時飛散附著於碳聚合物保護膜 107 的 TiN 108，而進行灰化處理。灰化處理，係於蝕刻裝置內之灰化處理室進行，灰化處理之條件例如微波電力設為 1800 W、使用 O₂：2000 ml/min 之蝕刻氣體，處理室內壓力保持 200 Pa、晶圓溫度設為 250℃。灰化條件不限定於上述條件，任一條件下對本發明之效果不會有影響。

又，本灰化處理，可於蝕刻處理後直接於蝕刻處理室內、或於和蝕刻裝置不同而另外設置的其他灰化裝置實施。

另外，灰化處理後，為除去蝕刻引起之副生成物而使用 5% HF 水溶液進行溼蝕刻，可獲得如圖 1E 所示於多晶矽膜之側壁未產生粗造（凹凸）或側壁蝕刻（side etch）之加工形狀。

依據本實施形態，在蝕刻多晶矽膜之後，藉由電漿化含碳氣體而於多晶矽膜之側壁形成碳聚合物之保護膜，如此則，即使藉由鹵素系列氣體之電漿進行下層膜之金屬材料之蝕刻處理時，亦可防止多晶矽膜之側壁蝕刻及側壁粗糙。

另外，藉由在多晶矽膜表面形成碳聚合物之保護膜，如此則，蝕刻金屬材料時飛散之金屬物質會附著於碳聚合物保護膜之表面，不會直接附著於多晶矽膜。因此，可以藉由灰化工程簡單同時除去碳聚合物之保護壁。

本實施形態中說明，於碳聚合物保護膜 107 之形成，使用 CHF_3 作為含碳氣體，但是，本發明之氣體不限定於 CHF_3 。亦即，亦可取代 CHF_3 氣體，改用 CH_4 或 C_2H_6 、 CH_2F_2 、 CF_4 、 C_4F_8 、 C_3F_6 、 C_3F_8 、 CH_3OH 、 CO 等之含碳氣體。另外，亦可使用混合彼等之中 2 種以上的混合氣體。另外，可使用在彼等之中 1 種以上的氣體被添加 Ar 、 He 、 O_2 、 N_2 、 HBr 、 Cl_2 等之任一氣體而成的混合氣體亦可獲得同樣效果。

另外，關於膜構造，多晶矽膜下部之金屬膜亦可考慮 2 種類以上積層之膜構造，此種構造亦適用於本發明之處理方法。

另外，關於膜種，本實施形態中設定閘極氧化膜為 SiO_2 膜、高介電係數閘極絕緣膜為 HfO_2 、金屬膜為 TiN 、硬質遮罩為 SiO_2 ，但彼等之膜種亦可使用和本實施形態不同者。以下列舉彼等膜之替代材料。硬質遮罩除

SiO₂ 以外可使用 SiN、SiON、SiOC 等硬質遮罩材，金屬材料除 TiN 以外可使用 Ti、Ta、W、La、Mo、Hf、Zr、Nb、V、Ni、Co、Ir、Pt、Al 或彼等之氮化物或彼等之矽化物膜、或氮矽化物膜。

本實施形態中，多晶矽之遮罩係使用硬質遮罩，實際上使用阻劑遮罩等其他遮罩構造亦適用於本發明。

另外，本實施形態中說明之電漿源係使用 ECR，但使用 ICP 或螺旋形等其他電漿源之蝕刻亦適用於本發明。

【圖式簡單說明】

圖 1A 為本發明技術之金屬/高介電體閘極構造之形成方法中之選擇階段之斷面圖。

圖 1B 為本發明技術之金屬/高介電體閘極構造之形成方法中之選擇階段之斷面圖。

圖 1C 為本發明技術之金屬/高介電體閘極構造之形成方法中之選擇階段之斷面圖。

圖 1D 為本發明技術之金屬/高介電體閘極構造之形成方法中之選擇階段之斷面圖。

圖 1E 為本發明技術之金屬/高介電體閘極構造之形成方法中之選擇階段之斷面圖。

圖 2 為本發明技術之多晶矽膜之側壁沈積的碳聚合物之沈積特性圖。

【主要元件符號說明】

101 : 半 導 體 基 板

102 : SiO_2 膜

103 : HfO_2 膜

104 : TiN 膜

105 : 多 晶 矽 膜

106 : SiO_2 膜

107 : 碳 聚 合 物 之 保 護 膜

七、申請專利範圍：

1.一種乾蝕刻方法，係在半導體基板形成金屬閘極電極之乾蝕刻方法，該半導體基板係具有：多晶矽膜，配置於上述多晶矽膜下方的含有金屬的膜，及配置於上述含有金屬的膜之下方的高介電體膜者；其特徵為具有以下工程：

電漿蝕刻上述多晶矽膜的第 1 工程；

於上述第 1 工程後，藉由含碳電漿於經由上述第 1 工程實施電漿蝕刻後的多晶矽膜之側壁形成碳聚合物之保護膜的第 2 工程；

於上述第 2 工程後，藉由鹵素系列氣體之電漿，對上述含有金屬的膜進行電漿蝕刻的第 3 工程；及

於上述第 3 工程後，進行上述半導體基板之灰化的第 4 工程。

2.如申請專利範圍第 1 項之乾蝕刻方法，其中

上述第 2 工程，係使用 CHF_3 ：100ml/min 作為蝕刻氣體，處理室內壓力保持 0.3Pa，晶圓溫度設為 40℃。

3.如申請專利範圍第 1 項之乾蝕刻方法，其中

上述第 2 工程，作為蝕刻氣體係使用包含 CHF_3 、 CH_4 、 C_2H_6 、 CH_2F_2 、 CF_4 、 C_4F_8 、 C_3F_6 、 C_3F_8 、 CH_3OH 、 CO 之至少一種的氣體，或混合彼等之中 2 種以上的混合氣體，或在包含彼等之中至少一種的氣體被添加 Ar 、 He 、 O_2 、 N_2 、 HBr 、 Cl_2 之任一氣體而成的混合氣體。

4.如申請專利範圍第 1 項之乾蝕刻方法，其中

上 述 第 4 工 程 ， 係 於 電 漿 蝕 刻 處 理 後 在 裝 置 內 之 灰 化
處 理 室 、 或 另 一 灰 化 裝 置 被 進 行 。

圖 1A

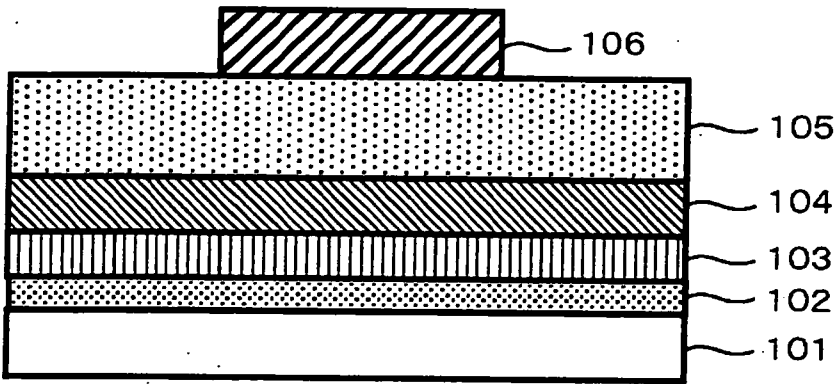


圖 1B

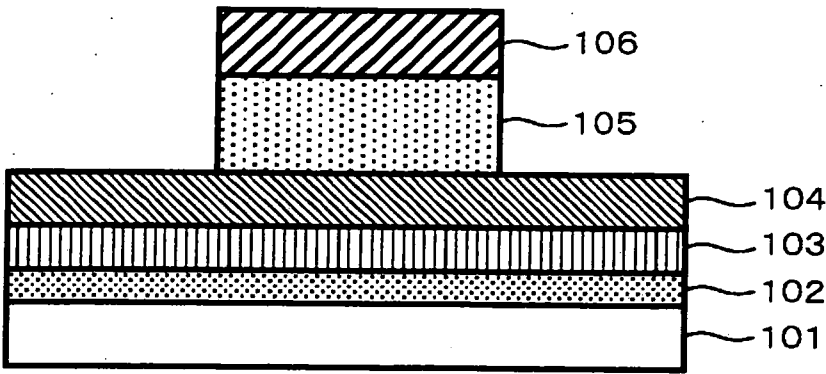


圖 1C

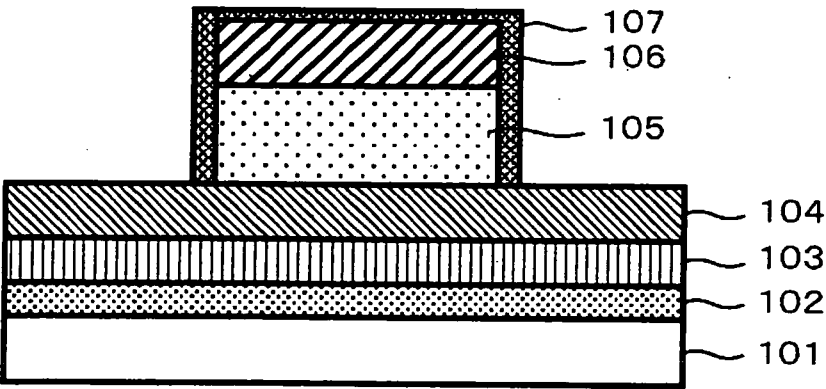


圖 1D

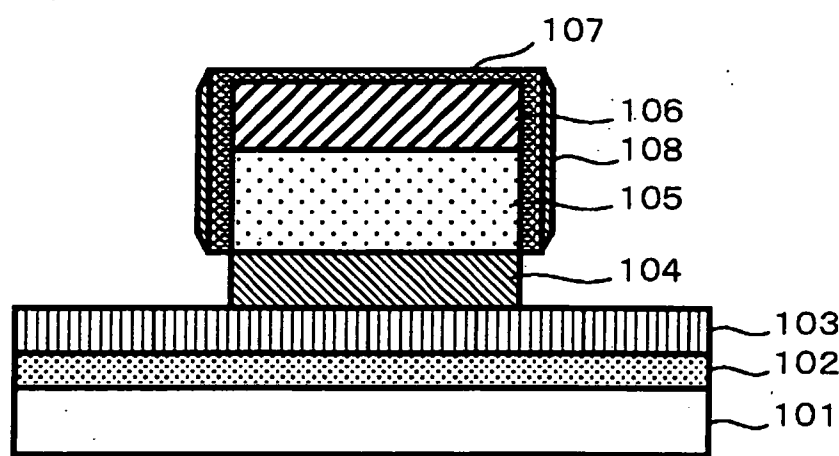


圖 1E

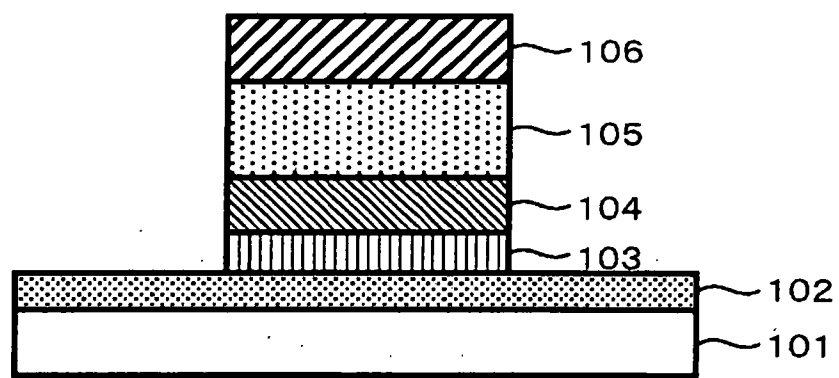


圖 2

