

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 3 月 9 日(09.03.2017)



(10) 国際公開番号

WO 2017/038428 A1

- (51) 国際特許分類:
H04N 5/376 (2011.01) H04N 5/357 (2011.01)
H01L 27/14 (2006.01) H04N 5/369 (2011.01)
H01L 27/146 (2006.01) H04N 5/374 (2011.01)
H04N 5/341 (2011.01)
- (21) 国際出願番号: PCT/JP2016/073712
- (22) 国際出願日: 2016 年 8 月 12 日(12.08.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-168642 2015 年 8 月 28 日(28.08.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 Kanagawa (JP).
- (72) 発明者: 栃木 靖久 (TOCHIGI Yasuhisa); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 榊原 雅樹 (SAKAKIBARA Masaki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 田浦 忠行 (TAURA Tadayuki); 〒1080075 東

京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).

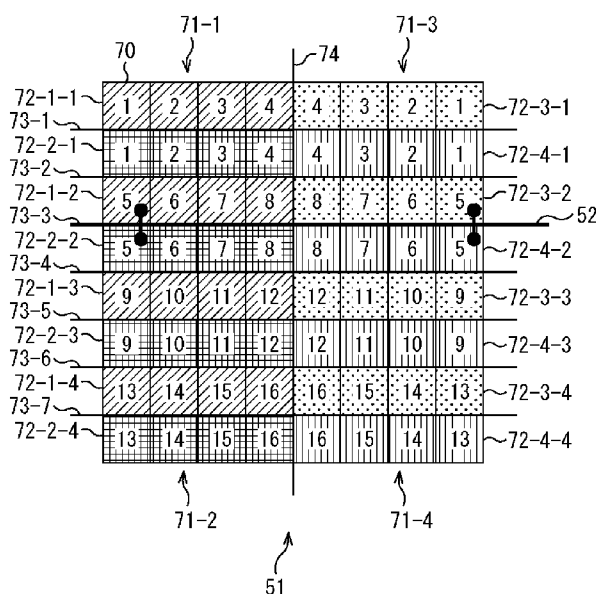
- (74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子および電子機器

[図2]



(57) Abstract: The present disclosure pertains to a solid-state image pickup element and an electronic device, which enable reduction of the number of wirings that control reading when a pixel signal of each pixel is read in a prescribed sequence for each unit pixel region. The unit pixel region is formed of multiple pixels disposed in an array. A reading circuit is provided for each of the unit pixel regions, and reads the pixel signals of the multiple pixels forming the unit pixel region in a prescribed sequence. A pixel drive line that controls the reading of the pixels which form unit pixel regions adjacent to each other in the vertical direction and which are in the same reading sequence is shared. The present disclosure is applicable to, for example, a CMOS sensor or the like.

(57) 要約: 本開示は、単位画素領域ごとに各画素の画素信号を所定の順番で読み出す場合に、読み出しを制御する配線の本数を削減することができるようにする固体撮像素子および電子機器に関する。単位画素領域は、アレイ状に配置された、複数の画素から構成される。読み出し回路は、単位画素領域ごとに設けられ、単位画素領域を構成する複数の画素の画素信号を所定の順番で読み出す。垂直方向に隣接する単位画素領域を構成する、読み出す順番が同一である画素どうしの読み出しを制御する画素駆動線は共有される。本開示は、例えば、CMOS イメージセンサ等に適用することができる。

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 固体撮像素子および電子機器

技術分野

[0001] 本開示は、固体撮像素子および電子機器に関し、特に、単位画素領域ごとに各画素の画素信号を所定の順番で読み出す場合に、読み出しを制御する配線の本数を削減することができるようにした固体撮像素子および電子機器に関する。

背景技術

[0002] 近年、裏面照射型撮像チップと信号処理チップとが積層された撮像素子がある。このような撮像素子において、裏面照射型撮像チップに形成されるアレイ状に配置された画素を、複数の画素からなる単位画素領域に分割し、単位画素領域ごとに各画素の画素信号を所定の順番で読み出すことが考案されている（例えば、特許文献1参照）。

[0003] 特許文献1の発明は、隣接する単位画素領域内の画素信号を読み出す順番が同一である画素どうしの位置が、その単位画素領域の境界に対して線対称になるように、画素信号の読み出しを制御することにより、単位画素領域の境界における画像の歪みを抑制している。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-179893号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、特許文献1の発明では、単位画素領域内の各画素に対して、画素信号の読み出しを制御する配線（以下、画素駆動線という）が設けられている。従って、単位画素領域がH（横）×V（縦）（H、Vは自然数）の画素から構成される場合、1つの単位画素領域に必要な画素駆動線はH×V本であり、画素の各行に対して形成される画素駆動線の本数はH本である。よって、単位

画素領域内の画素の数の増加に伴い、画素駆動線の本数が増加する。

[0006] 本開示は、このような状況に鑑みてなされたものであり、単位画素領域ごとに各画素の画素信号を所定の順番で読み出す場合に、読み出しを制御する配線の本数を削減することができるようにするものである。

課題を解決するための手段

[0007] 本開示の第1の側面の固体撮像素子は、アレイ状に配置された、複数の画素から構成される単位画素領域と、前記単位画素領域ごとに設けられた、前記単位画素領域を構成する前記複数の画素の画素信号を所定の順番で読み出す読み出し回路とを備え、所定の方向に隣接する前記単位画素領域を構成する、読み出す順番が同一である前記画素どうしの読み出しを制御する配線は共有されるように構成された固体撮像素子である。

[0008] 本開示の第1の側面においては、アレイ状に配置された、複数の画素から構成される単位画素領域と、前記単位画素領域ごとに設けられた、前記単位画素領域を構成する前記複数の画素の画素信号を所定の順番で読み出す読み出し回路とが備えられ、所定の方向に隣接する前記単位画素領域を構成する、読み出す順番が同一である前記画素どうしの読み出しを制御する配線が共有される。

[0009] 本開示の第2の側面の電子機器は、アレイ状に配置された、複数の画素から構成される単位画素領域と、前記単位画素領域ごとに設けられた、前記単位画素領域を構成する前記複数の画素の画素信号を所定の順番で読み出す読み出し回路とを備え、所定の方向に隣接する前記単位画素領域を構成する、読み出す順番が同一である前記画素どうしの読み出しを制御する配線は共有されるように構成された固体撮像素子を備える電子機器である。

[0010] 本開示の第2の側面においては、アレイ状に配置された、複数の画素から構成される単位画素領域と、前記単位画素領域ごとに設けられた、前記単位画素領域を構成する前記複数の画素の画素信号を所定の順番で読み出す読み出し回路とが備えられ、所定の方向に隣接する前記単位画素領域を構成する、読み出す順番が同一である前記画素どうしの読み出しを制御する配線が共

有される。

発明の効果

[0011] 本開示の第1および第2の側面によれば、撮像することができる。また、本開示の第1の側面によれば、単位画素領域ごとに各画素の画素信号を所定の順番で読み出す場合に、読み出しを制御する配線の本数を削減することができる。

[0012] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0013] [図1]本開示を適用した固体撮像素子としてのCMOSイメージセンサの一実施の形態の構成例を示す図である。

[図2]図1の画素領域の第1の構成例を示す図である。

[図3]図1の画素領域の第2の構成例を示す図である。

[図4]図1の画素領域の第3の構成例を示す図である。

[図5]図1の画素領域の第4の構成例を示す図である。

[図6]図1の画素領域の第5の構成例を示す図である。

[図7]図1の画素領域の第6の構成例を示す図である。

[図8]図1の信号処理部により生成される画像を説明する図である。

[図9]読み出す順番が同一である画素のカラーフィルタの色が同一である場合の画像を説明する図である。

[図10]第1の補正方法を説明する図である。

[図11]第2の補正方法を説明する図である。

[図12]図1のCMOSイメージセンサの各部の配置例を示す図である。

[図13]本開示を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図14]CMOSイメージセンサを使用する使用例を示す図である。

発明を実施するための形態

[0014] 以下、本開示を実施するための形態（以下、実施の形態という）について

説明する。なお、説明は以下の順序で行う。

1. 第1実施の形態：CMOSイメージセンサ（図1乃至図12）
2. 第2実施の形態：撮像装置（図13）
3. CMOSイメージセンサの使用例（図14）

[0015] <第1実施の形態>

（CMOSイメージセンサの一実施の形態の構成例）

図1は、本開示を適用した固体撮像素子としてのCMOSイメージセンサの一実施の形態の構成例を示す図である。

[0016] CMOSイメージセンサ50は、画素領域51、画素駆動線52、画素駆動部54、読み出し領域55、読み出し駆動線56、垂直信号線57、読み出し回路駆動部58、カラム処理部59、水平駆動部60、システム制御部61、信号処理部62、およびメモリ部63が、図示せぬシリコン基板等の半導体基板(チップ)に形成されたものである。

[0017] CMOSイメージセンサ50の画素領域51には、入射光の光量に応じた電荷量の電荷を発生して内部に蓄積する光電変換素子を有する複数の画素が、アレイ状に2次元配置される。画素領域51に配置された画素は、複数の画素ごとに、単位画素領域51Aに分割される。即ち、画素領域51は、アレイ状に配置された、複数の画素から構成される単位画素領域51Aにより構成される。各画素には、その画素を含む単位画素領域51Aごとに、単位画素領域51A内の各画素の光電変換素子に蓄積された電荷に対応する画素信号が所定の順番で読み出されるように、その画素の画素信号を読み出す順番が設定されている。

[0018] 画素領域51には、画素に対して、2行ごとに、単位画素領域51A内の水平方向の画素数（列数）だけ画素駆動線52が形成される。画素駆動線52は、対応する2行の画素のうちの読み出す順番が同一である画素ごとに接続され、画素信号の読み出しを制御する。

[0019] 画素駆動部54は、シフトレジスタやアドレスデコーダなどによって構成される。画素駆動部54は、読み出す順番にしたがって、その読み出す順番

の画素に接続された画素駆動線 5 2 に信号を供給する。これにより、各単位画素領域 5 1 A 内の画素の画素信号は、その画素に設定された読み出す順番で、同一の読み出す順番が設定された他の単位画素領域 5 1 A 内の画素の画素信号と同時に読み出される。読み出された画素信号は、読み出し領域 5 5 のうちの、その画素信号に対応する単位画素領域 5 1 A の読み出し回路 5 5 A に出力される。

[0020] 読み出し領域 5 5 には、各単位画素領域 5 1 A の読み出し回路 5 5 A がアレイ状に 2 次元配置される。読み出し回路 5 5 A は、対応する単位画素領域 5 1 A 内の画素から出力された画素信号に対して、A/D変換処理、CDS(Correlated Double Sampling) (相関二重サンプリング) 処理等の信号処理を行い、一時的に保持する。また、読み出し領域 5 5 には、アレイ状の読み出し回路 5 5 A に対して、行ごとに読み出し駆動線 5 6 が形成され、列ごとに垂直信号線 5 7 が形成される。

[0021] 読み出し回路駆動部 5 8 は、シフトレジスタやアドレスデコーダなどによって構成され、読み出し領域 5 5 の各読み出し回路 5 5 A を行単位等で駆動する。具体的には、読み出し回路駆動部 5 8 は、各行を順に選択し、選択行の読み出し駆動線 5 6 に選択信号を出力する。これにより、選択行の各読み出し回路 5 5 A に保持された信号処理後の画素信号が読み出され、垂直信号線 5 7 に供給される。

[0022] カラム処理部 5 9 は、読み出し回路 5 5 A の列ごとに信号処理回路を有する。カラム処理部 5 9 の各信号処理回路は、選択行の各読み出し回路 5 5 A から垂直信号線 5 7 を通して出力される画素信号を一時的に保持する。

[0023] 水平駆動部 6 0 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 5 9 の信号処理回路を順番に選択する。この水平駆動部 6 0 による選択走査により、カラム処理部 5 9 の各信号処理回路に保持された画素信号が順番に信号処理部 6 2 に出力される。

[0024] システム制御部 6 1 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種の

タイミング信号を基に画素駆動部 5 4、読み出し回路駆動部 5 8、カラム処理部 5 9、および水平駆動部 6 0 を制御する。

[0025] 信号処理部 6 2 は、カラム処理部 5 9 から出力される画素信号をフレーム単位で画像としてメモリ部 6 3 に格納する。信号処理部 6 2 は、メモリ部 6 3 に格納されている画像の各画素の画素信号が、所定の閾値以上であるかどうかを判定する。

[0026] 信号処理部 6 2 は、画素領域 5 1 内の所定の領域における、全ての画素に対する画素信号が所定の閾値以上である画素の割合が閾値以上である場合、メモリ部 6 3 に格納されている画素信号を用いて、所定の閾値以上である画素信号を補正する。信号処理部 6 2 は、所定の閾値以上である画素信号が補正された画像を出力する。一方、画素領域 5 1 内の所定の領域における、全ての画素に対する画素信号が所定の閾値以上である画素の割合が閾値より小さい場合、信号処理部 6 2 は、メモリ部 6 3 に格納されている画像をそのまま出力する。

[0027] メモリ部 6 3 は、DRAM (Dynamic Random Access Memory) や SRAM (Static Random Access Memory) などにより構成される。

[0028] (画素領域の第 1 の構成例)

図 2 は、図 1 の画素領域 5 1 の第 1 の構成例を示す図である。

[0029] なお、図 2 において、正方形は、画素 7 0 を表し、正方形内の数字は、その画素 7 0 に設定された読み出す順番を表している。また、同一の単位画素領域 5 1 A 内の画素 7 0 を表す正方形には、同一のハッチが付されている。これらのことは、後述する図 3 乃至 7 においても同様である。

[0030] 図 2 の例では、画素領域 5 1 に、2 (横) × 2 (縦) の単位画素領域 5 1 A である単位画素領域 7 1 - 1 乃至 7 1 - 4 が配置される。単位画素領域 7 1 - 1 は、4 × 1 の画素 7 0 からなる画素群 7 2 - 1 - 1 乃至 7 2 - 1 - 4 から構成される。即ち、単位画素領域 7 1 - 1 は、4 × 4 の画素 7 0 から構成される。

[0031] 単位画素領域 7 1 - 2 乃至 7 1 - 4 も、単位画素領域 7 1 - 1 と同様に、

それぞれ、 4×1 の画素70からなる画素群72-2-1乃至72-2-4、画素群72-3-1乃至72-3-4、画素群72-4-1乃至72-4-4により構成される。

[0032] なお、以下では、単位画素領域71-1乃至71-4を特に区別する必要がない場合、それらをまとめて単位画素領域71という。同様に、画素群72-1-1乃至72-1-4、画素群72-2-1乃至72-2-4、画素群72-3-1乃至72-3-4、および画素群72-4-1乃至72-4-4をまとめて、画素群72という。

[0033] 垂直方向に隣接する単位画素領域71を構成する各画素群72は、垂直方向に交互に配置される。具体的には、垂直方向に隣接する単位画素領域71-1の各画素群72-1-1乃至72-1-4と、単位画素領域71-2の各画素群72-2-1乃至72-2-4は、先頭から順に、画素群72-1-1、画素群72-2-1、画素群72-1-2、画素群72-2-2、画素群72-1-3、画素群72-2-3、画素群72-1-4、画素群72-2-4となるように配置される。

[0034] また、垂直方向に隣接する単位画素領域71-3の各画素群72-3-1乃至72-3-4と、単位画素領域71-4の各画素群72-4-1乃至72-4-4は、先頭から順に、画素群72-3-1、画素群72-4-1、画素群72-3-2、画素群72-4-2、画素群72-3-3、画素群72-4-3、画素群72-3-4、画素群72-4-4となるように配置される。

[0035] 各画素70の読み出す順番は、以下の第1乃至第3の条件にしたがって設定される。第1の条件は、垂直方向に隣接する単位画素領域71の境界のうちの画素70の2行ごとの境界に隣接する画素70の読み出す順番は、その境界に対して線対称であるという条件である。

[0036] 第2の条件は、水平方向に隣接する2つの単位画素領域71の各画素70の読み出す順番は、単位画素領域71の境界に対して線対称であるという条件である。第3の条件は、各画素群72を構成する画素70の読み出す順番

は、水平方向に連続するという条件である。

[0037] ここで、垂直方向に隣接する単位画素領域 7 1 - 1 (7 1 - 3) と単位画素領域 7 1 - 2 (7 1 - 4) の境界 7 3 - 1 乃至 7 3 - 7 のうちの 2 行ごとの境界は、境界 7 3 - 1、境界 7 3 - 3、境界 7 3 - 5、境界 7 3 - 7 である。従って、例えば、第 1 乃至第 3 の条件にしたがって、境界 7 3 - 1 の直上の画素 7 0 の読み出す順番と境界 7 3 - 1 の直下の画素 7 0 の読み出す順番は、左から順に 1, 2, 3, 4, 4, 3, 2, 1 に設定される。

[0038] 即ち、境界 7 3 - 1 の直上の画素 7 0 の読み出す順番と境界 7 3 - 1 の直下の画素 7 0 の読み出す順番は、左から順に同一であり、境界 7 3 - 1 に対して線対称になっている。また、水平方向に隣接する単位画素領域 7 1 - 1 (7 1 - 2) と単位画素領域 7 1 - 3 (7 1 - 4) の各画素 7 0 の読み出す順番は、単位画素領域 7 1 - 1 (7 1 - 2) と単位画素領域 7 1 - 3 (7 1 - 4) の境界 7 4 側から順に同一であり、境界 7 4 に対して線対称になっている。さらに、画素群 7 2 - 1 - 1、画素群 7 2 - 3 - 1、画素群 7 2 - 2 - 1、および画素群 7 2 - 4 - 1 内の水平方向に並ぶ画素 7 0 の読み出す順番は連続している。

[0039] 以上により、垂直方向に隣接する単位画素領域 7 1 を構成する、読み出す順番が同一である画素 7 0 どうしは、2 行ごとの境界 7 3 - 1、境界 7 3 - 3、境界 7 3 - 5、または境界 7 3 - 7 に対して垂直方向に向き合う。従って、画素駆動線 5 2 を、境界 7 3 - 1、境界 7 3 - 3、境界 7 3 - 5、または境界 7 3 - 7 付近に配置することで、この画素 7 0 どうしの画素駆動線 5 2 を共有化することができる。

[0040] 例えば、垂直方向に隣接する単位画素領域 7 1 - 1 と単位画素領域 7 1 - 2、および、単位画素領域 7 1 - 3 と単位画素領域 7 1 - 4 を構成する、読み出す順番が 5 である画素 7 0 どうしの画素駆動線 5 2 は共有化することができる。その結果、CMOS イメージセンサ 5 0 では、2 行ごとに、単位画素領域 7 1 を構成する水平方向の画素 7 0 の数 (図 2 の例では 4) だけ画素駆動線 5 2 が形成される。

[0041] また、境界 7 3 - 1、境界 7 3 - 3、境界 7 3 - 5、および境界 7 3 - 7、並びに、境界 7 4 を介して隣り合う画素 7 0 の読み出す順番が同一になる。従って、単位画素領域 7 1 の境界における画像の歪みの発生を防止することができる。

[0042] なお、図 2 では、説明の便宜上、読み出す順番が 5 である画素 7 0 の画素駆動線 5 2 についてのみ図示してあるが、読み出す順番が 5 以外である画素 7 0 の画素駆動線 5 2 も同様に形成される。このことは、後述する図 3、図 4、図 6、および図 7 においても同様である。

[0043] (画素領域の第 2 の構成例)

図 3 は、図 1 の画素領域 5 1 の第 2 の構成例を示す図である。

[0044] 図 3 に示す構成のうち、図 2 の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0045] 図 3 の画素領域 5 1 の構成は、単位画素領域 7 1 を構成する画素群が 1×1 の画素 7 0 からなる 16 個の画素群である点、および、画素群の配置を除いて、図 2 の構成と同一である。

[0046] 具体的には、図 3 の単位画素領域 7 1 - 1 は、 1×1 の画素 7 0 からなる 16 個の画素群 9 1 - 1 - 1 乃至 9 1 - 1 - 16 から構成される。単位画素領域 7 1 - 2 乃至 7 1 - 4 も、単位画素領域 7 1 - 1 と同様に、それぞれ、 1×1 の画素 7 0 からなる 16 個の画素群により構成される。なお、以下では、単位画素領域 7 1 - 1 乃至 7 1 - 4 の画素群を特に区別する必要がない場合、それらをまとめて画素群 9 1 という。

[0047] 垂直方向に隣接する単位画素領域 7 1 を構成する各画素群 9 1 は、水平方向および垂直方向に交互に配置される。即ち、垂直方向に隣接する 2 つの単位画素領域 7 1 の各画素群 9 1 は、市松模様状に配置される。

[0048] 具体的には、垂直方向に隣接する単位画素領域 7 1 - 1 の各画素群 9 1 と単位画素領域 7 1 - 2 の各画素群 9 1 は、水平方向および垂直方向に交互に配置される。また、垂直方向に隣接する単位画素領域 7 1 - 3 の各画素群 9 1 と、単位画素領域 7 1 - 4 の各画素群 9 1 は、水平方向および垂直方向に

交互に配置される。

[0049] 図3の画素領域51においても、図2の画素領域51と同様に、上述した第1乃至第3の条件にしたがって、各画素70の読み出す順番が設定される。これにより、図3の画素領域51の各画素70の読み出す順番は、図2の画素領域51の各画素70の読み出す順番と同一になる。

[0050] 従って、画素駆動線52を、境界73-1、境界73-3、境界73-5、または境界73-7付近に配置することで、垂直方向に隣接する単位画素領域71を構成する、読み出す順番が同一である画素70どうしの読み出しを制御する画素駆動線52を共有化することができる。その結果、CMOSイメージセンサ50では、2行ごとに、単位画素領域71を構成する水平方向の画素70の数（図3の例では4）だけ画素駆動線52が形成される。

[0051] また、境界73-1、境界73-3、境界73-5、および境界73-7、並びに、境界74を介して隣り合う画素70の読み出す順番が同一になるので、単位画素領域71の境界における画像の歪みの発生を防止することができる。

[0052] （画素領域の第3の構成例）

図4は、図1の画素領域51の第3の構成例を示す図である。

[0053] 図4に示す構成のうち、図3の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0054] 図4の画素領域51の構成は、単位画素領域71を構成する画素群が2×2の画素70からなる4個の画素群である点を除いて、図3の構成と同一である。

[0055] 具体的には、図4の単位画素領域71-1は、2×2の画素70からなる画素群111-1-1乃至111-1-4から構成される。単位画素領域71-2乃至71-4も、単位画素領域71-1と同様に、それぞれ、2×2の画素70からなる画素群111-2-1乃至111-2-4、画素群111-3-1乃至111-3-4、画素群111-4-1乃至111-4-4により構成される。

- [0056] なお、以下では、画素群 1 1 1 - 1 - 1 乃至 1 1 1 - 1 - 4、画素群 1 1 1 - 2 - 1 乃至 1 1 1 - 2 - 4、画素群 1 1 1 - 3 - 1 乃至 1 1 1 - 3 - 4、および画素群 1 1 1 - 4 - 1 乃至 1 1 1 - 4 - 4 を特に区別する必要がない場合、それらをまとめて、画素群 1 1 1 という。
- [0057] 垂直方向に隣接する単位画素領域 7 1 を構成する各画素群 1 1 1 は、図 3 の各画素群 9 1 と同様に、水平方向および垂直方向に交互に配置される。
- [0058] また、図 4 の画素領域 5 1 においても、図 3 の画素領域 5 1 と同様に、上述した第 1 乃至第 3 の条件にしたがって、各画素 7 0 の読み出す順番が設定される。なお、図 4 の例では、垂直方向に隣接する単位画素領域 7 1 の全ての境界 1 1 2 - 1 乃至 1 1 2 - 3 は 2 行ごとに存在する。従って、全ての境界 1 1 2 - 1 乃至 1 1 2 - 3 に隣接する各画素 7 0 の読み出す順番が、その境界 1 1 2 - 1 乃至 1 1 2 - 3 に対して線対称になる。
- [0059] よって、例えば、境界 1 1 2 - 1 の直上の画素 7 0 の読み出す順番と境界 1 1 2 - 1 の直下の画素 7 0 の読み出す順番は、左から順に 3, 4, 5, 6, 6, 5, 4, 3 に設定される。
- [0060] 即ち、境界 1 1 2 - 1 の直上の画素 7 0 の読み出す順番と境界 1 1 2 - 1 の直下の画素 7 0 の読み出す順番は、左から順に同一であり、境界 1 1 2 - 1 に対して線対称になっている。また、水平方向に隣接する単位画素領域 7 1 - 2 (7 1 - 1) と単位画素領域 7 1 - 3 (7 1 - 4) の各画素 7 0 の読み出す順番は、単位画素領域 7 1 - 2 (7 1 - 1) と単位画素領域 7 1 - 3 (7 1 - 4) の境界 7 4 側から順に同一であり、境界 7 4 に対して線対称になっている。
- [0061] さらに、画素群 1 1 1 - 1 - 1、画素群 1 1 1 - 2 - 1、画素群 1 1 1 - 3 - 1、画素群 1 1 1 - 4 - 1、画素群 1 1 1 - 2 - 2、画素群 1 1 1 - 1 - 2、画素群 1 1 1 - 4 - 2、および画素群 1 1 1 - 3 - 2 内の水平方向に並ぶ画素 7 0 の読み出す順番は連続している。
- [0062] 以上により、垂直方向に隣接する単位画素領域 7 1 を構成する、読み出す順番が同一である画素 7 0 としては、2 行ごとの境界 1 1 2 - 1 乃至 1 1 2

－ 3 に対して垂直方向に向き合う。従って、画素駆動線 5 2 を、境界 1 1 2－ 1 乃至 1 1 2－ 3 付近に配置することで、この画素 7 0 どうしの画素駆動線 5 2 を共有化することができる。その結果、CMOS イメージセンサ 5 0 では、 2 行ごとに、単位画素領域 7 1 を構成する水平方向の画素 7 0 の数（図 4 の例では 4）だけ画素駆動線 5 2 が形成される。

[0063] また、境界 1 1 2－ 1 乃至 1 1 2－ 3、並びに、境界 7 4 を介して隣り合う画素 7 0 の読み出す順番が同一になる。従って、単位画素領域 7 1 の境界における画像の歪みの発生を防止することができる。

[0064] （画素領域の第 4 の構成例）

図 5 は、図 1 の画素領域 5 1 の第 4 の構成例を示す図である。

[0065] 図 5 に示す構成のうち、図 4 の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0066] 図 5 の画素領域 5 1 の構成は、 1 つの画素群 1 1 1 から単位画素領域 5 1 A が構成される点、および、各画素 7 0 の読み出す順番の設定条件を除いて、図 4 の構成と同一である。

[0067] 具体的には、図 5 の画素領域 5 1 には、 2 × 2 の単位画素領域 5 1 A である単位画素領域 1 3 1－ 1 乃至 1 3 1－ 4 が配置される。単位画素領域 1 3 1－ 1 は 1 つの画素群 1 1 1－ 1－ 1 により構成される。即ち、単位画素領域 1 3 1－ 1 は、 2 × 2 の画素 7 0 から構成される。

[0068] 単位画素領域 1 3 1－ 2 乃至 1 3 1－ 4 も、単位画素領域 1 3 1－ 1 と同様に、それぞれ、 1 つの画素群 1 1 1－ 2－ 1、画素群 1 1 1－ 3－ 1、画素群 1 1 1－ 4－ 1 により構成される。なお、以下では、単位画素領域 1 3 1－ 1 乃至 1 3 1－ 4 を特に区別する必要がない場合、それらをまとめて単位画素領域 1 3 1 という。

[0069] 各画素 7 0 の読み出す順番は、上述した第 1 の条件および第 2 の条件にしたがって設定される。従って、例えば、第 1 および第 2 の条件にしたがって、垂直方向に隣接する単位画素領域 1 3 1－ 1 と単位画素領域 1 3 1－ 2 の境界 1 3 2 の直上の画素 7 0 の読み出す順番と境界 1 3 2 の直下の画素 7 0

の読み出す順番は、左から順に4, 2, 2, 4に設定される。

[0070] 即ち、境界132の直上の画素70の読み出す順番と境界132の直下の画素70の読み出す順番は、左から順に同一であり、境界132に対して線対称になっている。また、水平方向に隣接する単位画素領域131-1(131-2)と単位画素領域131-3(131-4)の各画素70の読み出す順番は、単位画素領域131-1(131-2)と単位画素領域131-3(131-4)の境界133側から順に同一であり、境界133に対して線対称になっている。

[0071] 以上により、垂直方向に隣接する単位画素領域131を構成する、読み出す順番が同一である画素70どうしは、境界132に対して垂直方向に向き合う。従って、画素駆動線52を境界132付近に配置することで、この画素70どうしの画素駆動線52を共有化することができる。その結果、CMOSイメージセンサ50では、2行ごとに、単位画素領域131を構成する水平方向の画素70の数(図5の例では2)だけ画素駆動線52が形成される。

[0072] また、境界132および境界133を介して隣り合う画素70の読み出す順番が同一になる。従って、単位画素領域131の境界における画像の歪みの発生を防止することができる。

[0073] なお、図5では、説明の便宜上、読み出す順番が4である画素70の画素駆動線52についてのみ図示してあるが、読み出す順番が4以外である画素70の画素駆動線52も同様に形成される。

[0074] また、図5の画素領域51における各画素70の読み出す順番の設定条件には、第1および第2の条件だけでなく、第3の条件も含まれるようにしてもよい。

[0075] (画素領域の第5の構成例)

図6は、図1の画素領域51の第5の構成例を示す図である。

[0076] 図6に示す構成のうち、図4の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0077] 図6の画素領域51の構成は、各画素70の読み出す順番の設定条件を除

いて、図4の構成と同一である。

[0078] 具体的には、図6の画素領域51では、各画素70の読み出す順番が、上述した第2および第3の条件、並びに、新たな第4の条件にしたがって設定される。第4の条件は、垂直方向に隣接する単位画素領域71の境界のうちの画素70の2行ごとの境界112-1乃至112-3を挟んで隣接する画素70の読み出す順番は、その境界112-1乃至112-3に対して非線対称であるが、単位画素領域71ごとに同一である。

[0079] 従って、例えば、境界112-1の直上の画素70の読み出す順番は、左から順に、3, 4, 6, 5, 5, 6, 4, 3に設定される。一方、境界112-1の直下の画素70の読み出す順番は、左から順に、4, 3, 5, 6, 6, 5, 3, 4に設定される。

[0080] 即ち、境界112-1の直上の画素70の読み出す順番と境界112-1の直下の画素70の読み出す順番は、左から順に同一ではなく、境界112-1に対して非線対称になっている。

[0081] また、境界112-1の直上の画素70のうちの単位画素領域71-1 (71-4) 内の2つの画素70の読み出す順番と、その画素70と境界112-1を挟んで隣接する単位画素領域71-2 (71-3) 内の2つの画素70の読み出す順番は、両方とも3と4である。

[0082] 同様に、境界112-1の直上の画素70のうちの単位画素領域71-2 (71-3) 内の2つの画素70の読み出す順番と、その画素70と境界112-1を挟んで隣接する単位画素領域71-1 (71-4) 内の2つの画素70の読み出す順番は、両方とも5と6である。

[0083] また、水平方向に隣接する単位画素領域71-2 (71-1) と単位画素領域71-3 (71-4) の各画素70の読み出す順番は、単位画素領域71-2 (71-1) と単位画素領域71-3 (71-4) の境界74から順に同一であり、境界74に対して線対称になっている。

[0084] さらに、画素群111-1-1、画素群111-1-2、画素群111-2-1、画素群111-2-2、画素群111-3-1、画素群111-3

ー 2、および画素群 1 1 1－4－1、画素群 1 1 1－4－2 内の水平方向に並ぶ画素 7 0 の読み出す順番は連続している。

[0085] 以上により、垂直方向に隣接する単位画素領域 7 1 を構成する、読み出す順番が同一である画素 7 0 どうしは、同一の 2 行ごとの境界 1 1 2－1 乃至 1 1 2－3 に隣接する。従って、画素駆動線 5 2 を、境界 1 1 2－1 乃至 1 1 2－3 付近に配置することで、この画素 7 0 どうしの画素駆動線 5 2 を共有化することができる。その結果、CMOS イメージセンサ 5 0 では、2 行ごとに、単位画素領域 7 1 を構成する水平方向の画素 7 0 の数（図 6 の例では 4）だけ画素駆動線 5 2 が形成される。

[0086] （画素領域の第 6 の構成例）

図 7 は、図 1 の画素領域 5 1 の第 6 の構成例を示す図である。

[0087] 図 7 に示す構成のうち、図 2 の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0088] 図 7 の画素領域 5 1 の構成は、各画素 7 0 の読み出す順番の設定条件を除いて、図 4 の構成と同一である。

[0089] 具体的には、図 7 の画素領域 5 1 では、各画素 7 0 の読み出す順番が、上述した第 4 の条件と新たな第 5 の条件にしたがって設定される。第 5 の条件は、水平方向に隣接する 2 つの単位画素領域 7 1 の各画素 7 0 の読み出す順番は、単位画素領域 7 1 の境界 7 4 に対して非線対称であるが、その境界 7 4 を挟んで隣接する画素 7 0 の読み出す順番は、単位画素領域 7 1 ごとに同一である。

[0090] 従って、例えば、境界 7 3－3 の直上の画素 7 0 の読み出す順番は、左から順に、5，6，7，8，8，5，6，7 に設定される。一方、境界 7 3－3 の直下の画素 7 0 の読み出す順番は、左から順に、7，8，5，6，6，7，8，5 に設定される。

[0091] 即ち、境界 7 3－3 の直上の画素 7 0 の読み出す順番と境界 7 3－3 の直下の画素 7 0 の読み出す順番は、左から順に同一ではなく、境界 7 3－1 に対して非線対称になっている。また、境界 7 3－3 の直上の画素 7 0 のうち

の単位画素領域 71-1 (71-3) 内の 4 つの画素 70 の読み出す順番と、境界 73-3 の直下の画素 70 のうちの単位画素領域 71-2 (71-4) 内の 4 つの画素 70 の読み出す順番は、両方とも、5 乃至 8 である。

[0092] また、水平方向に隣接する単位画素領域 71-1 (71-2) と単位画素領域 71-3 (71-4) の各画素 70 の読み出す順番は、単位画素領域 71-1 (71-2) と単位画素領域 71-3 (71-4) の境界 74 から順に同一ではなく、境界 74 に対して非線対称になっている。境界 74 の左の画素 70 のうちの単位画素領域 71-1 (71-2) 内の 4 つの画素 70 の読み出す順番と、境界 74 の右の画素 70 のうちの単位画素領域 71-3 (71-4) 内の 4 つの画素 70 の読み出す順番は、両方とも、5 乃至 8 である。

[0093] さらに、画素群 72-1-2、画素群 72-2-2、画素群 72-3-2、および画素群 72-4-2 内の水平方向に並ぶ画素 70 の読み出す順番は連続していない。

[0094] 以上により、垂直方向に隣接する単位画素領域 71 を構成する、読み出す順番が同一である画素 70 同士は、同一の 2 行ごとの境界 73-1, 73-3, 73-5、または 73-7 に隣接する。従って、画素駆動線 52 を、境界 73-1, 73-3, 73-5、または 73-7 付近に配置することで、この画素 70 同士の画素駆動線 52 を共有化することができる。その結果、CMOS イメージセンサ 50 では、2 行ごとに、単位画素領域 71 を構成する水平方向の画素 70 の数 (図 7 の例では 4) だけ画素駆動線 52 が形成される。

[0095] (信号処理部による補正の説明)

図 8 乃至図 10 は、図 1 の信号処理部 62 による補正を説明する図である。

[0096] なお、図 8 乃至図 10 では、画素領域 51 の構成が図 5 に示した構成である場合について説明するが、図 2 乃至図 4、図 6、および図 7 に示した構成である場合についても同様である。図 8 において、図 5 と同一のものには同

一の符号を付してある。

[0097] また、図8において、正方形は、画素70を表し、正方形内の数字は、その画素70に設定された読み出す順番を表している。また、正方形に付された斜線、水玉、縦縞、格子は、それぞれ、その正方形が表す画素70が有するカラーフィルタの色が赤(R)、緑(G_r)、緑(G_b)、青(B)であることを表す。

[0098] 図8のAに示すように、画素領域51に配置される画素70が有するカラーフィルタの色の配列は、ベイヤ配列である。具体的には、画素70のカラーフィルタの色は、2(横)×2(縦)の画素70ごとに、左上、右上、左下、右下の順に、R、G_r、G_b、Bである。

[0099] 従って、図8のAに示すように、画素領域51内の全ての単位画素領域131のそれぞれを構成する、読み出す順番が同一である画素70のカラーフィルタの色には、画素70のカラーフィルタの色として割り当て可能なR、G_r、G_b、およびBの全てが含まれる。

[0100] よって、図8のBに示すように、例えば、読み出す順番が2である画素70の画素信号の読み出し中にフラッシュ等による白色光が画素70に照射された場合、読み出す順番が3以降である画素70において、その白色光の全ての色の画素信号を取得することができる。

[0101] 信号処理部62は、このようにして取得された各画素70のR、G_r、G_bまたはBの画素信号に基づいて補間を行うことにより、全ての画素70のR、G_r、G_bおよびBの画素信号を画像として生成する。従って、画像には、白色光の白色が含まれ、カラーアーティファクトは発生しない。

[0102] これに対して、図9のAに示すように、画素領域51の代わりに、各単位画素領域131内の読み出す順番が同一である画素70のカラーフィルタの色が同一である画素領域150が設けられる場合、読み出す順番が2である画素70の読み出し中にフラッシュ等による白色光が画素70に照射されると、カラーアーティファクトが発生する。

[0103] 即ち、図9のBに示すように、読み出す順番が2である画素70の画素信

号の読み出し中にフラッシュ等による白色光が画素70に照射されると、読み出す順番が3以降である画素70において、その白色光のうちのGbおよびBの画素信号のみが取得される。その結果、信号処理部62により生成された画像には、白色光に対応する白色のうちのGbおよびBのみが含まれる。よって、カラーアーティファクトが発生する。

[0104] 以上のように、画素領域51では、全ての画素70の画素信号の読み出し中にフラッシュ等による白色光が画素70に照射された場合、画像に白色光に対応する白色が含まれ、カラーアーティファクトは発生しない。しかしながら、白色光に対応する白色により、所定の閾値以上である画素信号がパターン状に発生し得る可能性がある。

[0105] 従って、信号処理部62は、画素領域51内の所定の領域における、全ての画素70に対する、画素信号が所定の閾値以上である画素70の割合が閾値以上である場合、フラッシュ光により所定の閾値以上である画素信号がパターン状に発生していると判断する。そして、信号処理部62は、メモリ部63に格納されている画素信号を用いて、所定の閾値以上である画素信号を補正する。補正方法としては、例えば、以下の第1の方法および第2の方法がある。

[0106] 第1の方法は、図10に示すように、画素信号が所定の閾値以上である画素70の、その所定の閾値以上である画素信号より時間的に前および後の少なくとも一方の所定の閾値より小さい画素信号を用いて、その所定の閾値以上である画素信号を補正する方法である。第1の方法では、例えば、nフレーム目の画像201の所定の閾値以上である画素信号211が、その画素信号211に対応する画素70の、n-1フレーム目の画像202内の所定の閾値より小さい画素信号212と、n+1フレーム目の画像203内の所定の閾値より小さい画素信号213とを用いて補正される。なお、図10において、正方形は、各画素70の画素信号を表している。このことは、後述する図11においても同様である。

[0107] 第1の方法による補正は、CMOSイメージセンサ50により撮像される画像

が動画像である場合に行うことができる。第1の方法による補正では、補正後の解像度を補正前の解像度と同一の解像度に行うことができる。

[0108] 第2の方法は、図11に示すように、所定の閾値以上である画素信号に対応する画素70の周辺の画素70の所定の閾値より小さい画素信号を用いて所定の閾値以上である画素信号を補正する方法である。即ち、第2の方法では、画像230内の所定の閾値以上である画素信号231が、その画素信号231に対応する画素70の周辺の画素70の所定の閾値より小さい画素信号（図11の例では、上下左右の画素70の画素信号241乃至244）を用いて補正される。

[0109] 第2の方法による補正は、CMOSイメージセンサ50により撮像される画像が動画像であっても、静止画像であっても行うことができる。第2の方法による補正では、補正後の解像度は、補正前の解像度に比べて低下する。

[0110] 以上のように、CMOSイメージセンサ50では、垂直方向に隣接する単位画素領域71（131）を構成する、読み出す順番が同一である画素70どうしの画素駆動線52が共有される。従って、画素70ごとに画素駆動線52が形成される場合に比べて、画素駆動線52の本数を削減することができる。例えば、単位画素領域71（131）がH（横）×V（縦）画素から構成される場合、1つの単位画素領域71（131）に必要な画素駆動線52は $H \times V / 2$ 本であり、画素70の1行あたりの画素駆動線52の本数は $H/2$ 本となる。

[0111] （CMOSイメージセンサの各部の配置例）

図12は、図1のCMOSイメージセンサ50の各部の配置例を示す図である。

[0112] 図12に示すように、CMOSイメージセンサ50は、半導体基板264（第1のチップ）と半導体基板265（第2のチップ）が積層されることにより形成される。半導体基板264には、画素領域51が形成され、半導体基板265には、制御回路271とロジック回路272が形成される。半導体基板264と半導体基板265は、単位画素領域71（131）ごとに接続される。

[0113] 制御回路 271 は、画素駆動部 54、読み出し領域 55、読み出し駆動線 56、垂直信号線 57、読み出し回路駆動部 58、カラム処理部 59、水平駆動部 60、およびシステム制御部 61 からなる回路であり、ロジック回路 272 は、信号処理部 62 およびメモリ部 63 からなる回路である。

[0114] なお、図 12 の例では、制御回路 271 とロジック回路 272 が同一の半導体基板 265 に形成されたが、異なる半導体基板に形成されるようにしてもよい。

[0115] <第 2 実施の形態>

(撮像装置の一実施の形態の構成例)

図 13 は、本開示を適用した電子機器としての撮像装置の一実施の形態の構成例を示すブロック図である。

[0116] 図 13 の撮像装置 1000 は、ビデオカメラやデジタルスチルカメラ等である。撮像装置 1000 は、レンズ群 1001、固体撮像素子 1002、DSP 回路 1003、フレームメモリ 1004、表示部 1005、記録部 1006、操作部 1007、および電源部 1008 からなる。DSP 回路 1003、フレームメモリ 1004、表示部 1005、記録部 1006、操作部 1007、および電源部 1008 は、バスライン 1009 を介して相互に接続されている。

[0117] レンズ群 1001 は、被写体からの入射光（像光）を取り込んで固体撮像素子 1002 の撮像面上に結像する。固体撮像素子 1002 は、上述した CMOS イメージセンサ 50 からなる。固体撮像素子 1002 は、レンズ群 1001 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として DSP 回路 1003 に供給する。

[0118] DSP 回路 1003 は、固体撮像素子 1002 から供給される画素信号に対して所定の画像処理を行い、画像処理後の画像信号をフレーム単位でフレームメモリ 1004 に供給し、一時的に記憶させる。

[0119] 表示部 1005 は、例えば、液晶パネルや有機 EL (Electro Luminescence) パネル等のパネル型表示装置からなり、フレームメモリ 1004 に一時的に

記憶されたフレーム単位の画素信号に基づいて、画像を表示する。

[0120] 記録部１００６は、ＤＶＤ(Digital Versatile Disk)、フラッシュメモリ等からなり、フレームメモリ１００４に一時的に記憶されたフレーム単位の画素信号を読み出し、記録する。

[0121] 操作部１００７は、ユーザによる操作の下に、撮像装置１０００が持つ様々な機能について操作指令を発する。電源部１００８は、電源を、ＤＳＰ回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６、および操作部１００７に対して適宜供給する。

[0122] 本技術を適用する電子機器は、画像取込部（光電変換部）にＣＭＯＳイメージセンサ５０を用いる装置であればよく、撮像装置１０００のほか、撮像機能を有する携帯端末装置、画像読取部にＣＭＯＳイメージセンサ５０を用いる複写機などがある。

[0123] <ＣＭＯＳイメージセンサの使用例>

図１４は、上述のＣＭＯＳイメージセンサ５０を使用する使用例を示す図である。

[0124] 上述したＣＭＯＳイメージセンサ５０は、例えば、以下のように、可視光や、赤外光、紫外光、Ｘ線等の光をセンシングする様々なケースに使用することができる。

[0125] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、ＴＶや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・ 防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・ 肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

- ・ スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・ 畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0126] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0127] また、本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0128] 例えば、単位画素領域 5 1 A を構成する画素群の数は 1 以上であれば、任意の数にすることができる。また、画素群を構成する画素の数は 1 以上であれば、任意の数にすることができる。さらに、画素領域 5 1 を構成する単位画素領域 5 1 A の数は、2 以上であれば、任意の数にすることができる。

[0129] なお、本開示は、以下のような構成もとることができる。

[0130] (1)

アレイ状に配置された、複数の画素から構成される単位画素領域と、
前記単位画素領域ごとに設けられた、前記単位画素領域を構成する前記複数の画素の画素信号を所定の順番で読み出す読み出し回路と

を備え、

所定の方向に隣接する前記単位画素領域を構成する、読み出す順番が同一である前記画素どうしの読み出しを制御する配線は共有される

ように構成された

固体撮像素子。

(2)

前記複数の画素は、1 行または 2 行の画素から構成される 1 以上の画素群である

ように構成された

前記（１）に記載の固体撮像素子。

（３）

前記複数の画素が複数の前記画素群である場合、前記所定の方向に隣接する前記単位画素領域を構成する各画素群は交互に配置される

ように構成された

前記（２）に記載の固体撮像素子。

（４）

前記所定の方向に隣接する前記単位画素領域の境界のうちの、前記画素の２行ごとの境界に隣接する前記画素の前記読み出す順番は、前記単位画素領域ごとに同一である

ように構成された

前記（１）乃至（３）のいずれかに記載の固体撮像素子。

（５）

前記所定の方向に隣接する前記単位画素領域の境界のうちの、前記画素の２行ごとの境界に隣接する前記画素の前記読み出す順番は、その境界に対して線対称になる

ように構成された

前記（４）に記載の固体撮像素子。

（６）

全ての前記単位画素領域内の前記読み出す順番が同一である前記画素が有するカラーフィルタの色には、前記カラーフィルタの色として割り当て可能な全ての色が含まれる

ように構成された

前記（１）乃至（５）のいずれかに記載の固体撮像素子。

（７）

前記画素信号が、所定の閾値以上である場合、前記画素信号を補正する補正部

をさらに備える

前記（６）に記載の固体撮像素子。

（８）

前記補正部は、所定の領域内の全ての前記画素に対する、前記画素信号が前記所定の閾値以上である前記画素の割合が閾値以上である場合、前記所定の閾値以上である画素信号を補正する

ように構成された

前記（７）に記載の固体撮像素子。

（９）

前記補正部は、前記所定の閾値以上である画素信号に対応する前記画素の、その画素信号より時間的に前および後の少なくとも一方の画素信号を用いて、前記所定の閾値以上である画素信号を補正する

ように構成された

前記（８）に記載の固体撮像素子。

（１０）

前記補正部は、前記所定の閾値以上である画素信号に対応する前記画素の周辺の前記画素の前記画素信号を用いて、前記所定の閾値以上である画素信号を補正する

ように構成された

前記（８）に記載の固体撮像素子。

（１１）

前記単位画素領域は第１のチップに形成され、

前記読み出し回路は第２のチップに形成され、

前記第１のチップと前記第２のチップは、前記単位画素領域ごとに接続する

ように構成された

前記（１）乃至（１０）のいずれかに記載の固体撮像素子。

（１２）

アレイ状に配置された、複数の画素から構成される単位画素領域と、
前記単位画素領域ごとに設けられた、前記単位画素領域を構成する前記複数の画素の画素信号を所定の順番で読み出す読み出し回路と
を備え、
所定の方向に隣接する前記単位画素領域を構成する、読み出す順番が同一である前記画素どうしの読み出しを制御する配線は共有される
ように構成された
固体撮像素子
を備える電子機器。

符号の説明

[0131] 50 CMOSイメージセンサ, 52 画素駆動線, 55A 読み出し回路,
62 信号処理部, 70 画素, 71-1乃至71-4 単位画素領域,
72-1-1乃至72-1-4, 72-2-1乃至72-2-4, 72-3-1乃至72-3-4, 72-4-1乃至72-4-4 画素群, 73-1乃至73-7 境界, 91-1-1乃至91-1-16 画素群, 111-1-1乃至111-1-4, 111-2-1乃至111-2-4, 111-3-1乃至111-3-4, 111-4-1乃至111-4-4 画素群,
131-1乃至131-4 単位画素領域, 211乃至213 画素信号,
231, 241乃至244 画素信号, 264, 265 半導体基板,
1000 撮像装置, 1002 固体撮像素子

請求の範囲

- [請求項1] アレイ状に配置された、複数の画素から構成される単位画素領域と、
- 、
- 前記単位画素領域ごとに設けられた、前記単位画素領域を構成する前記複数の画素の画素信号を所定の順番で読み出す読み出し回路とを備え、
- 所定の方向に隣接する前記単位画素領域を構成する、読み出す順番が同一である前記画素どうしの読み出しを制御する配線は共有されるように構成された
- 固体撮像素子。
- [請求項2] 前記複数の画素は、1行または2行の画素から構成される1以上の画素群である
- ように構成された
- 請求項1に記載の固体撮像素子。
- [請求項3] 前記複数の画素が複数の前記画素群である場合、前記所定の方向に隣接する前記単位画素領域を構成する各画素群は交互に配置される
- ように構成された
- 請求項2に記載の固体撮像素子。
- [請求項4] 前記所定の方向に隣接する前記単位画素領域の境界のうちの、前記画素の2行ごとの境界に隣接する前記画素の前記読み出す順番は、前記単位画素領域ごとに同一である
- ように構成された
- 請求項1に記載の固体撮像素子。
- [請求項5] 前記所定の方向に隣接する前記単位画素領域の境界のうちの、前記画素の2行ごとの境界に隣接する前記画素の前記読み出す順番は、その境界に対して線対称になる
- ように構成された
- 請求項4に記載の固体撮像素子。

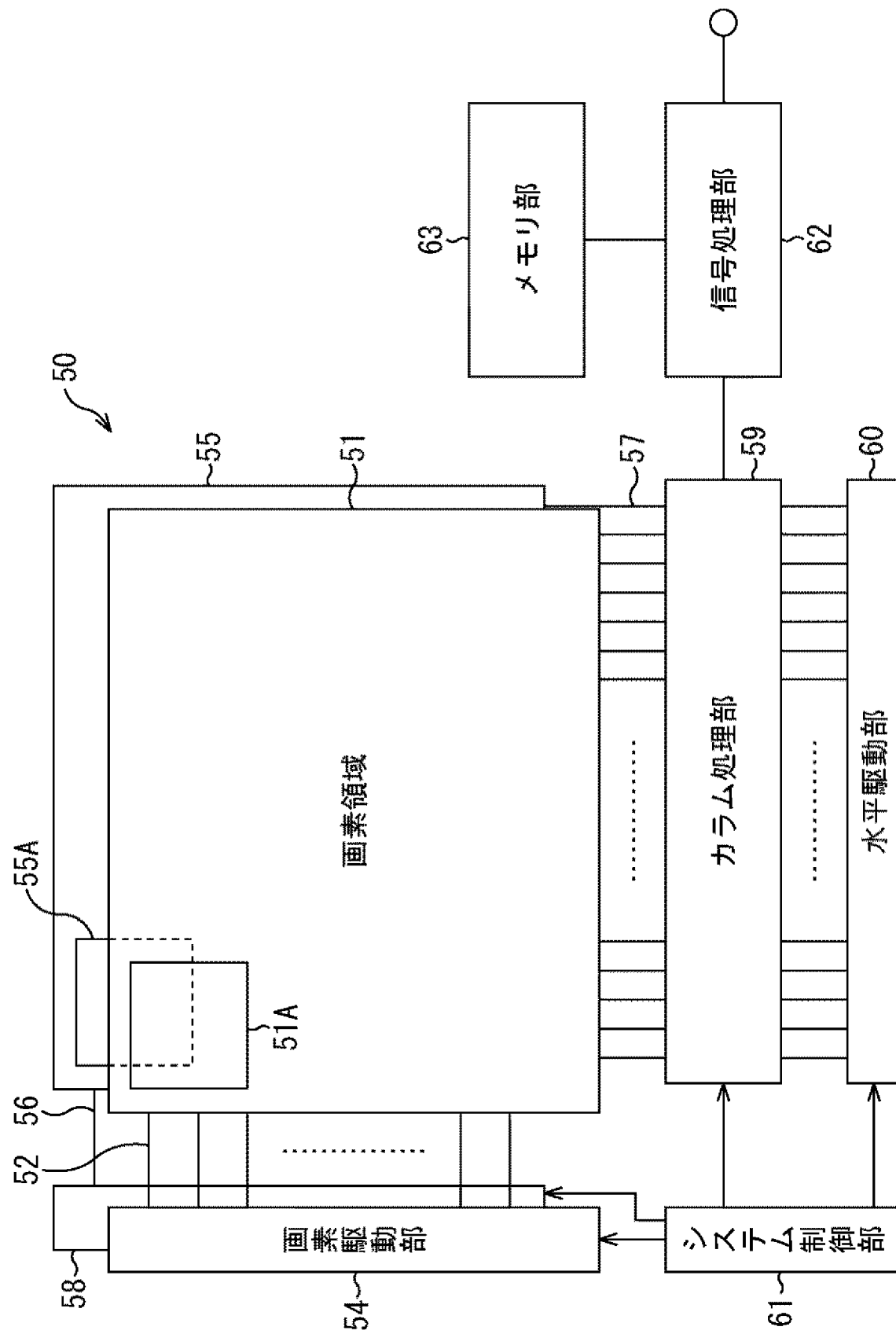
- [請求項6] 全ての前記単位画素領域内の前記読み出す順番が同一である前記画素が有するカラーフィルタの色には、前記カラーフィルタの色として割り当て可能な全ての色が含まれるように構成された請求項 1 に記載の固体撮像素子。
- [請求項7] 前記画素信号が、所定の閾値以上である場合、前記画素信号を補正する補正部をさらに備える請求項 6 に記載の固体撮像素子。
- [請求項8] 前記補正部は、所定の領域内の全ての前記画素に対する、前記画素信号が前記所定の閾値以上である前記画素の割合が閾値以上である場合、前記所定の閾値以上である画素信号を補正するように構成された請求項 7 に記載の固体撮像素子。
- [請求項9] 前記補正部は、前記所定の閾値以上である画素信号に対応する前記画素の、その画素信号より時間的に前および後の少なくとも一方の画素信号を用いて、前記所定の閾値以上である画素信号を補正するように構成された請求項 8 に記載の固体撮像素子。
- [請求項10] 前記補正部は、前記所定の閾値以上である画素信号に対応する前記画素の周辺の前記画素の前記画素信号を用いて、前記所定の閾値以上である画素信号を補正するように構成された請求項 8 に記載の固体撮像素子。
- [請求項11] 前記単位画素領域は第 1 のチップに形成され、
前記読み出し回路は第 2 のチップに形成され、
前記第 1 のチップと前記第 2 のチップは、前記単位画素領域ごとに接続する

ように構成された

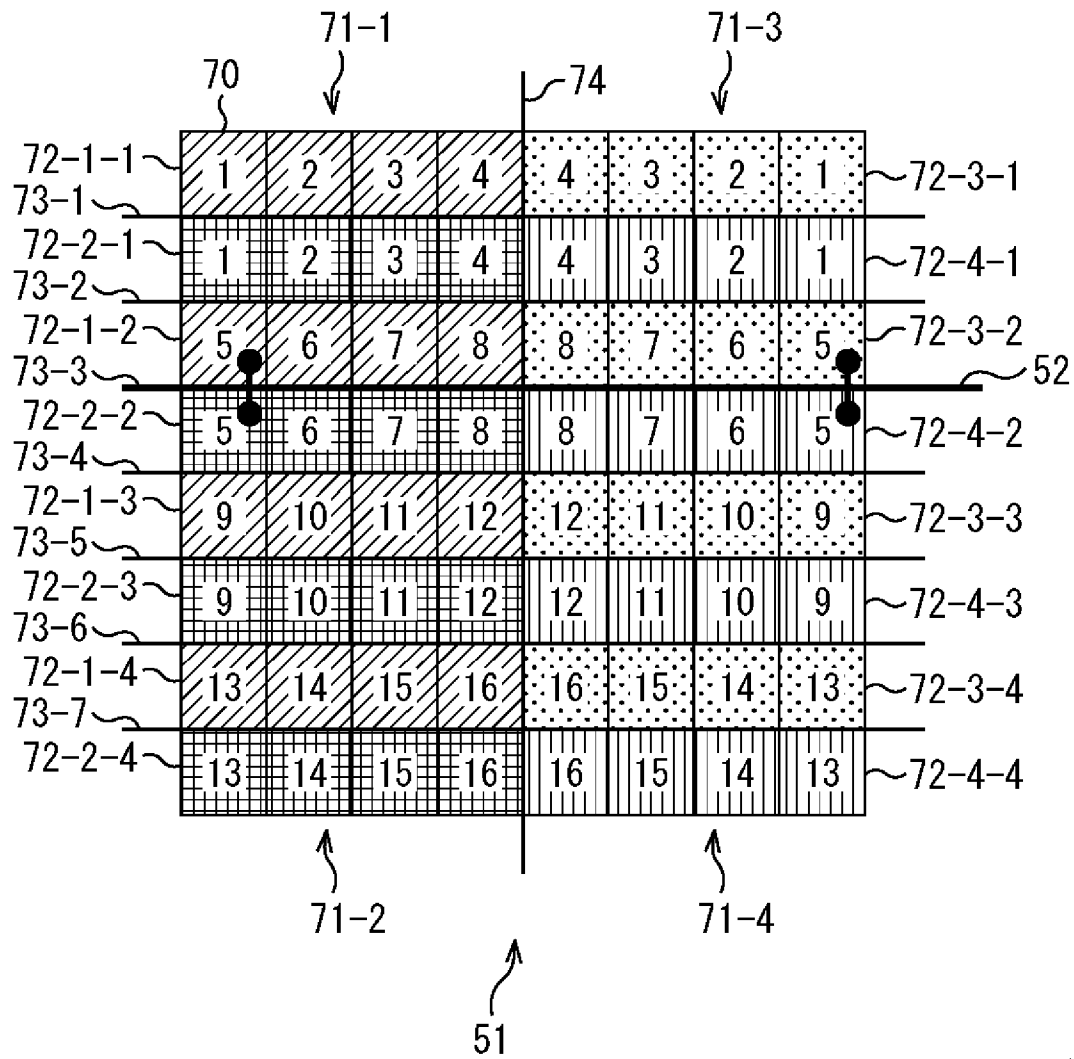
請求項 1 に記載の固体撮像素子。

- [請求項12] アレイ状に配置された、複数の画素から構成される単位画素領域と、
- 前記単位画素領域ごとに設けられた、前記単位画素領域を構成する前記複数の画素の画素信号を所定の順番で読み出す読み出し回路とを備え、
- 所定の方向に隣接する前記単位画素領域を構成する、読み出す順番が同一である前記画素どうしの読み出しを制御する配線は共有されるように構成された
- 固体撮像素子
- を備える電子機器。

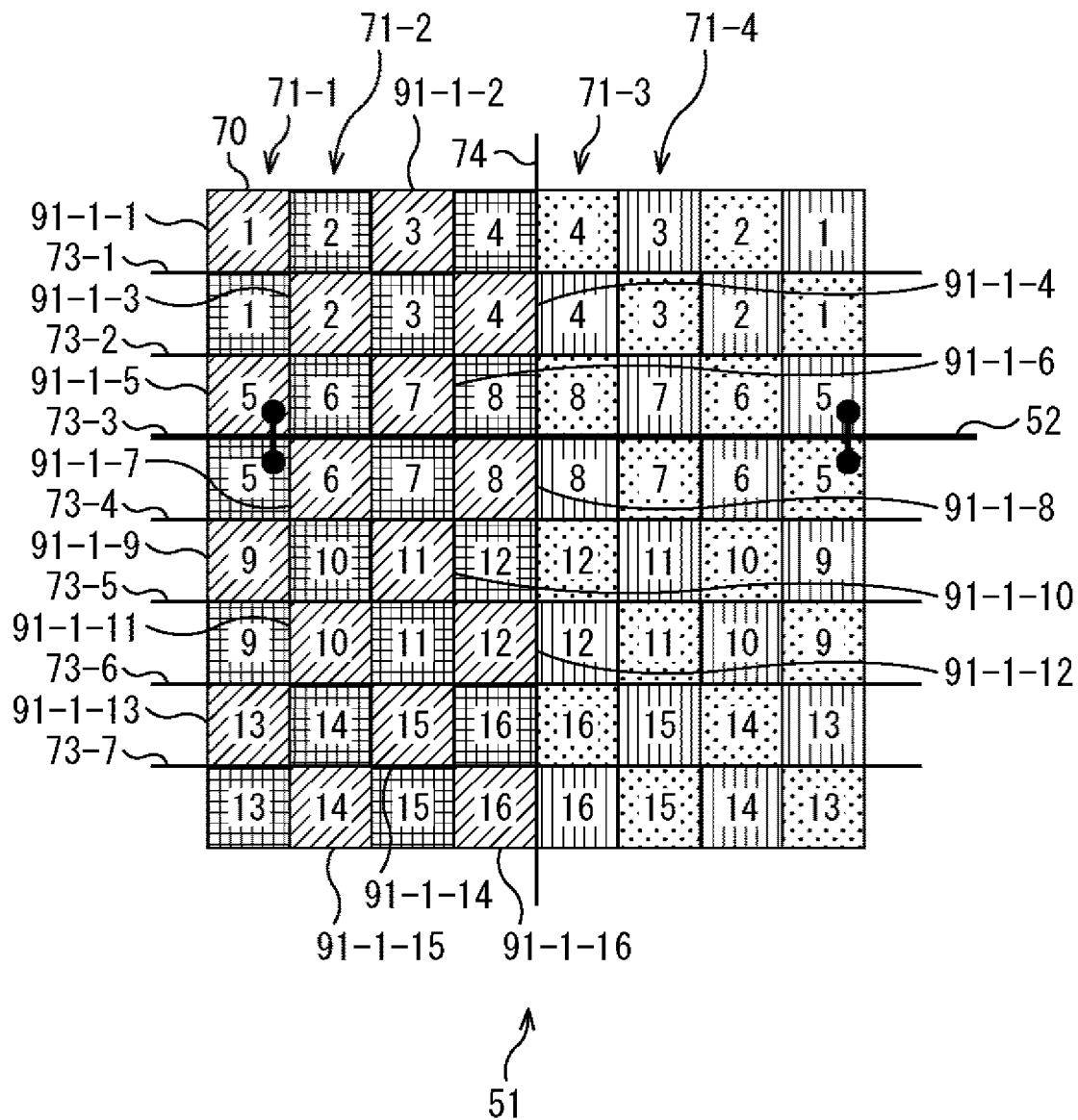
[図1]
FIG. 1



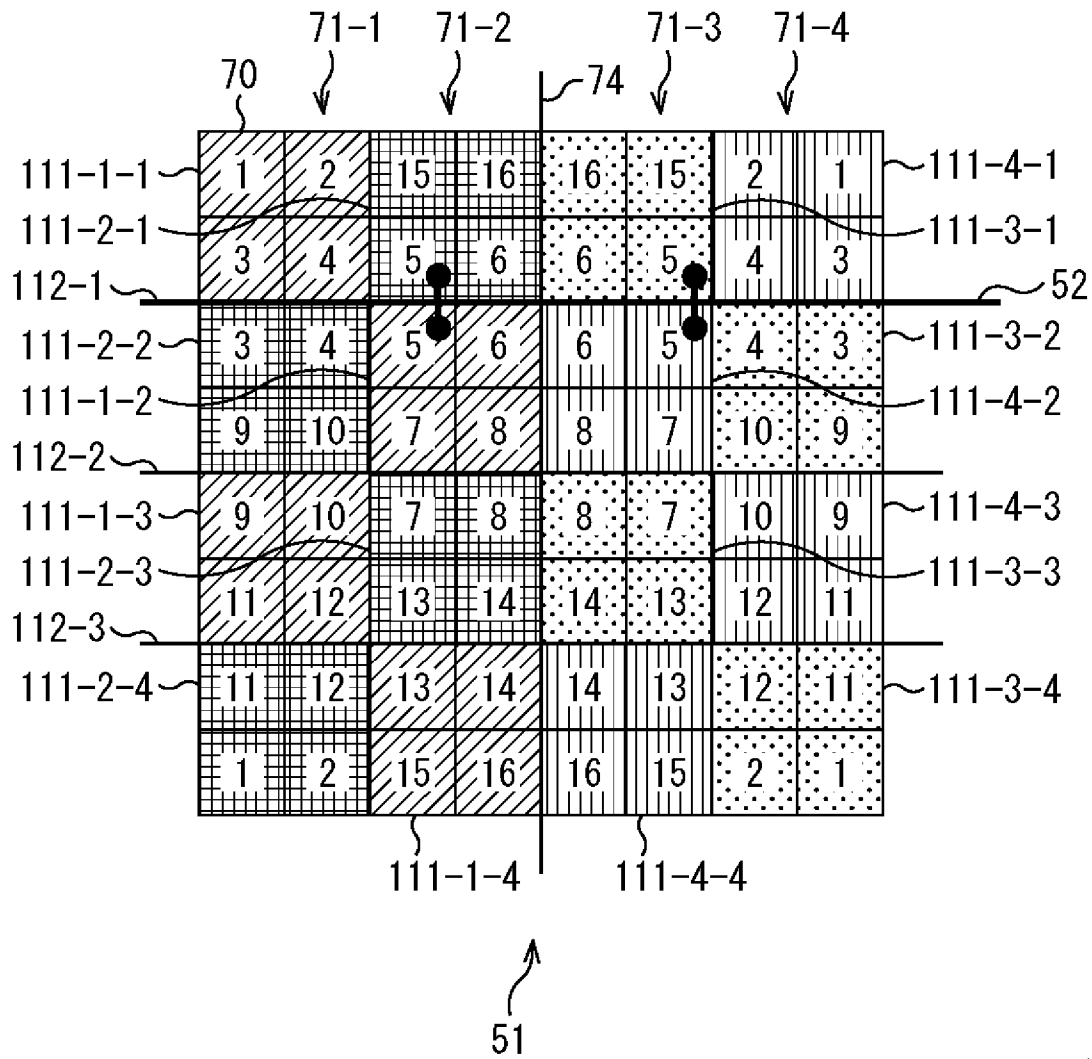
[図2]
FIG. 2



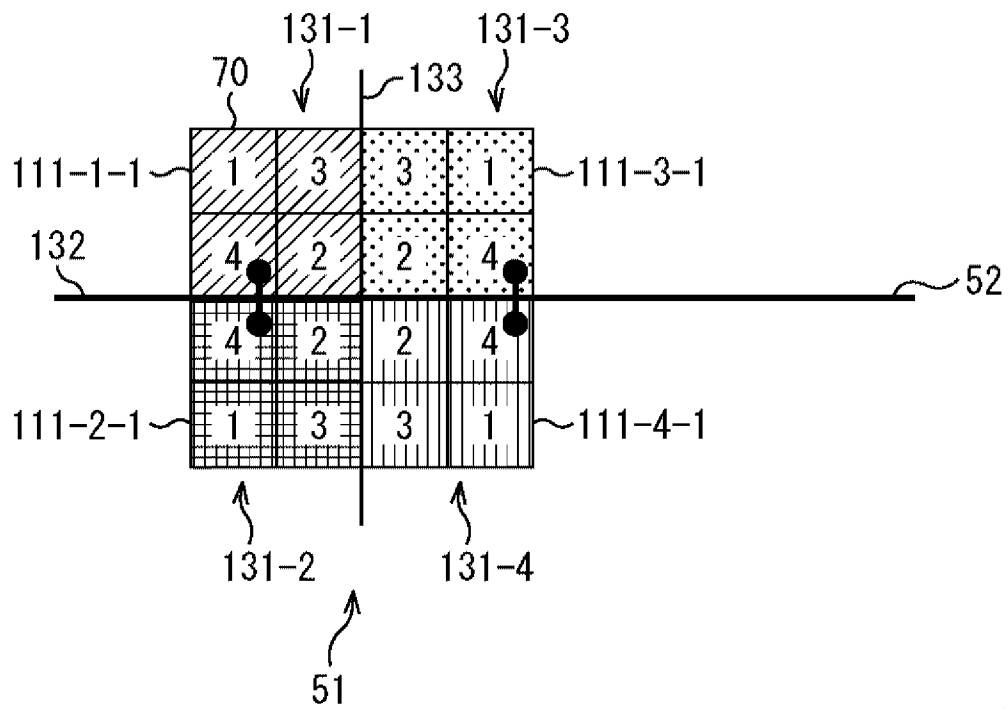
[図3]
FIG. 3



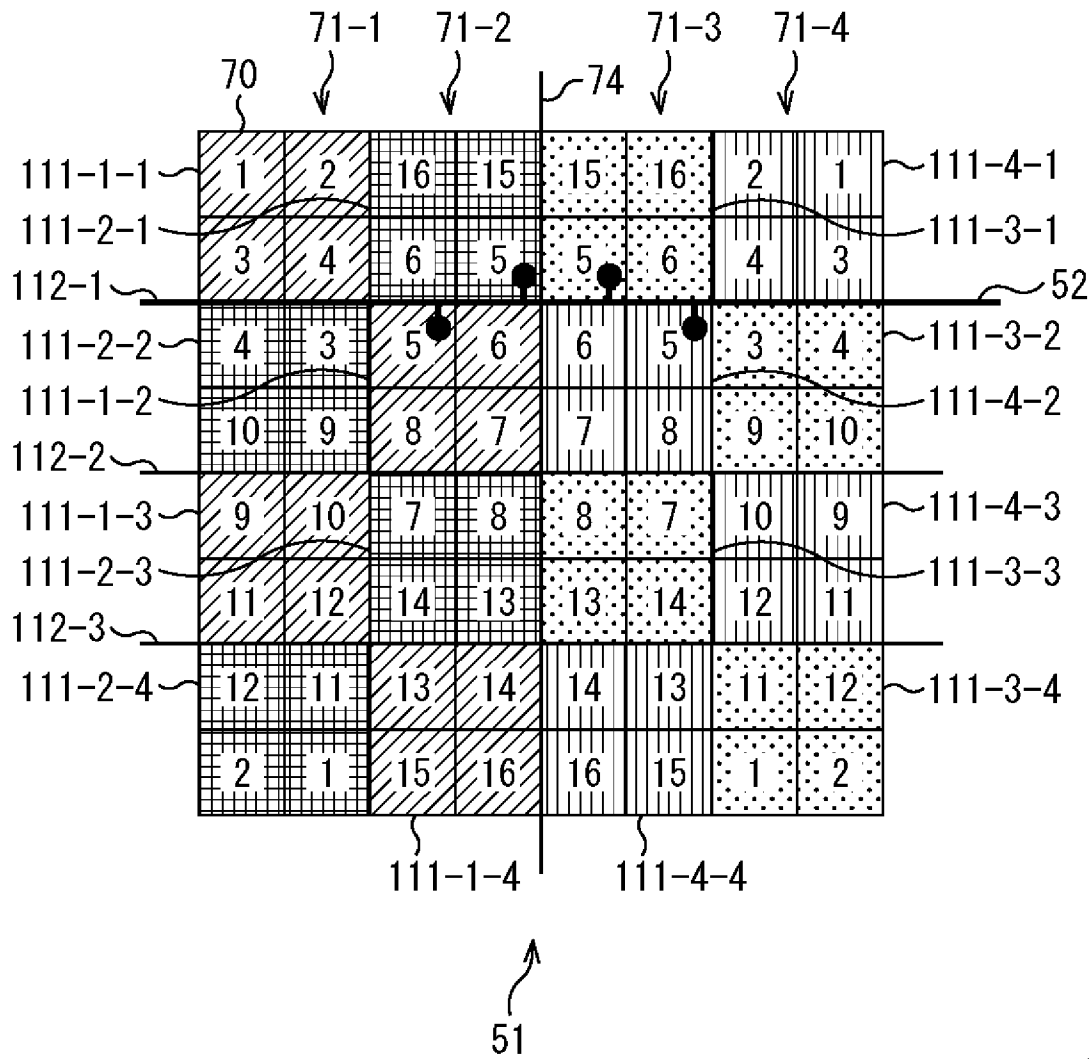
[図4]
FIG. 4



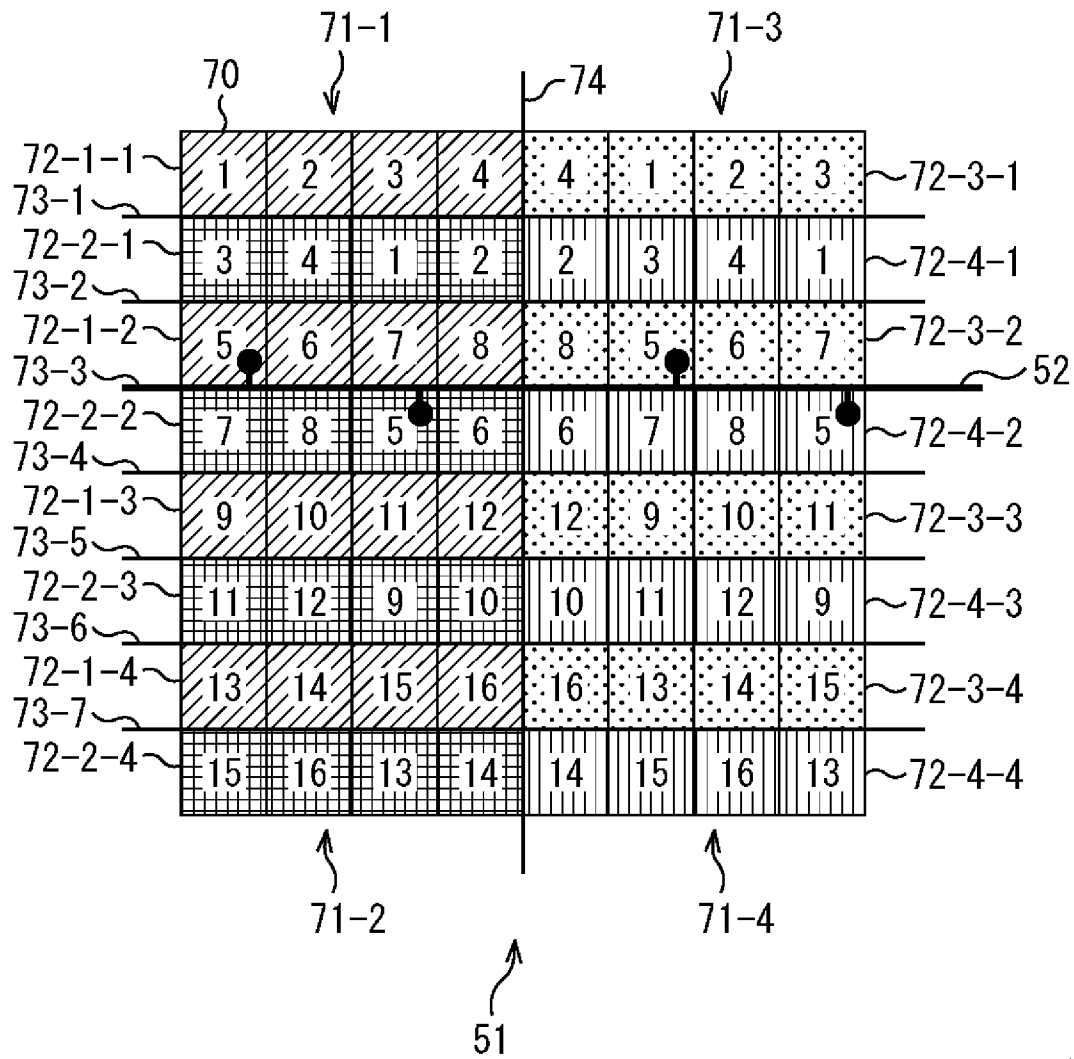
[図5]
FIG. 5



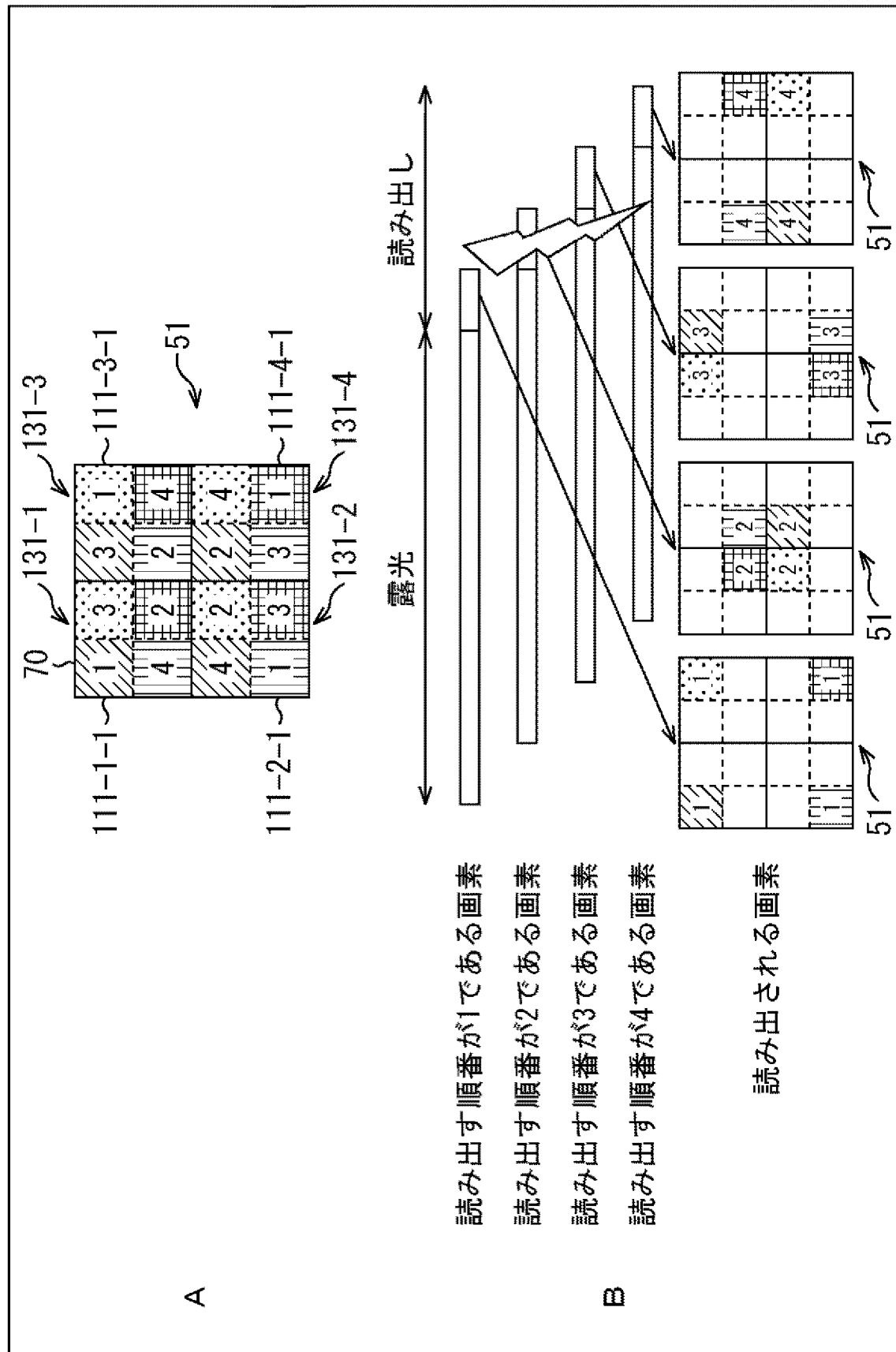
[図6]
FIG. 6



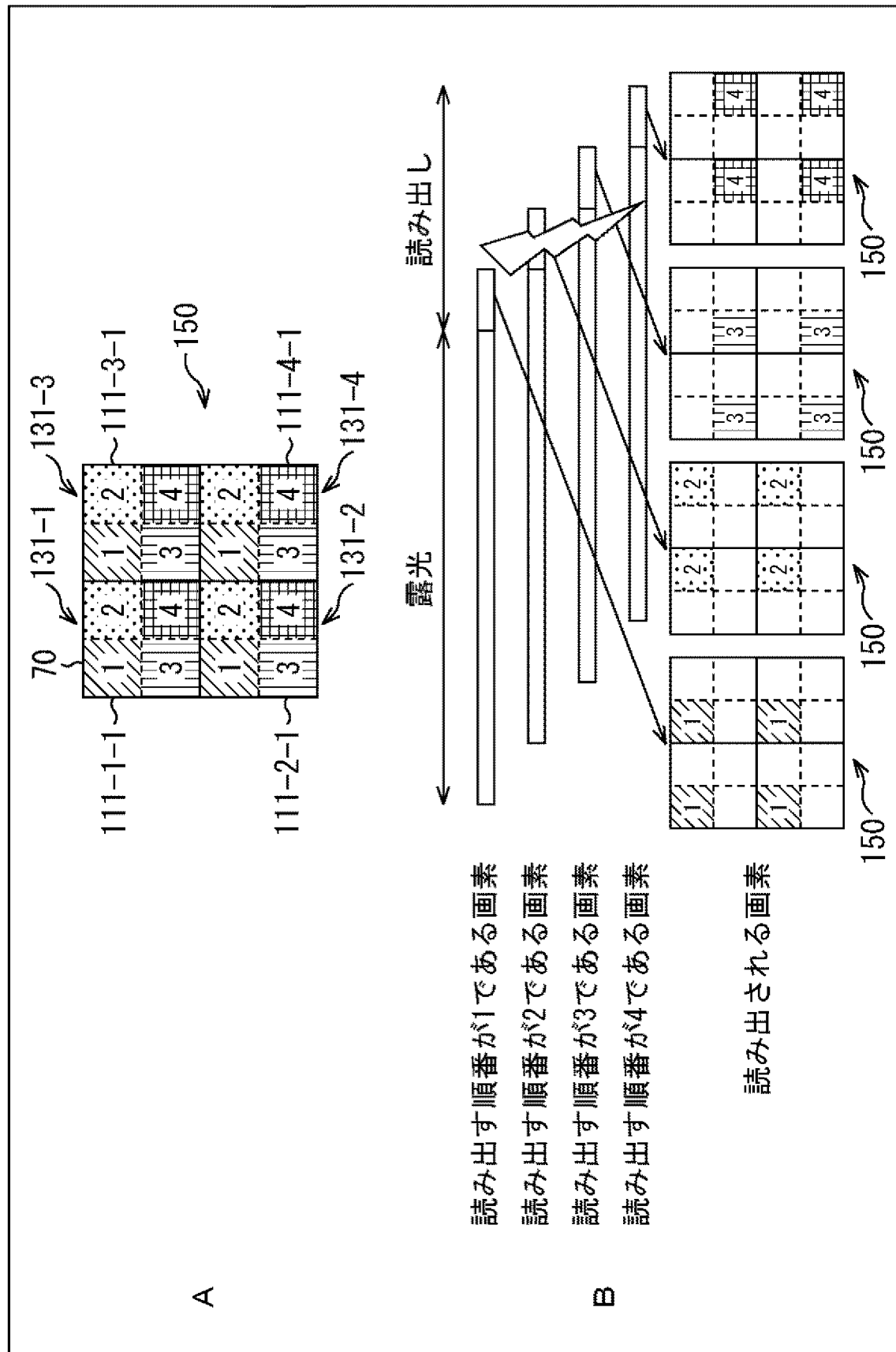
[図7]
FIG. 7



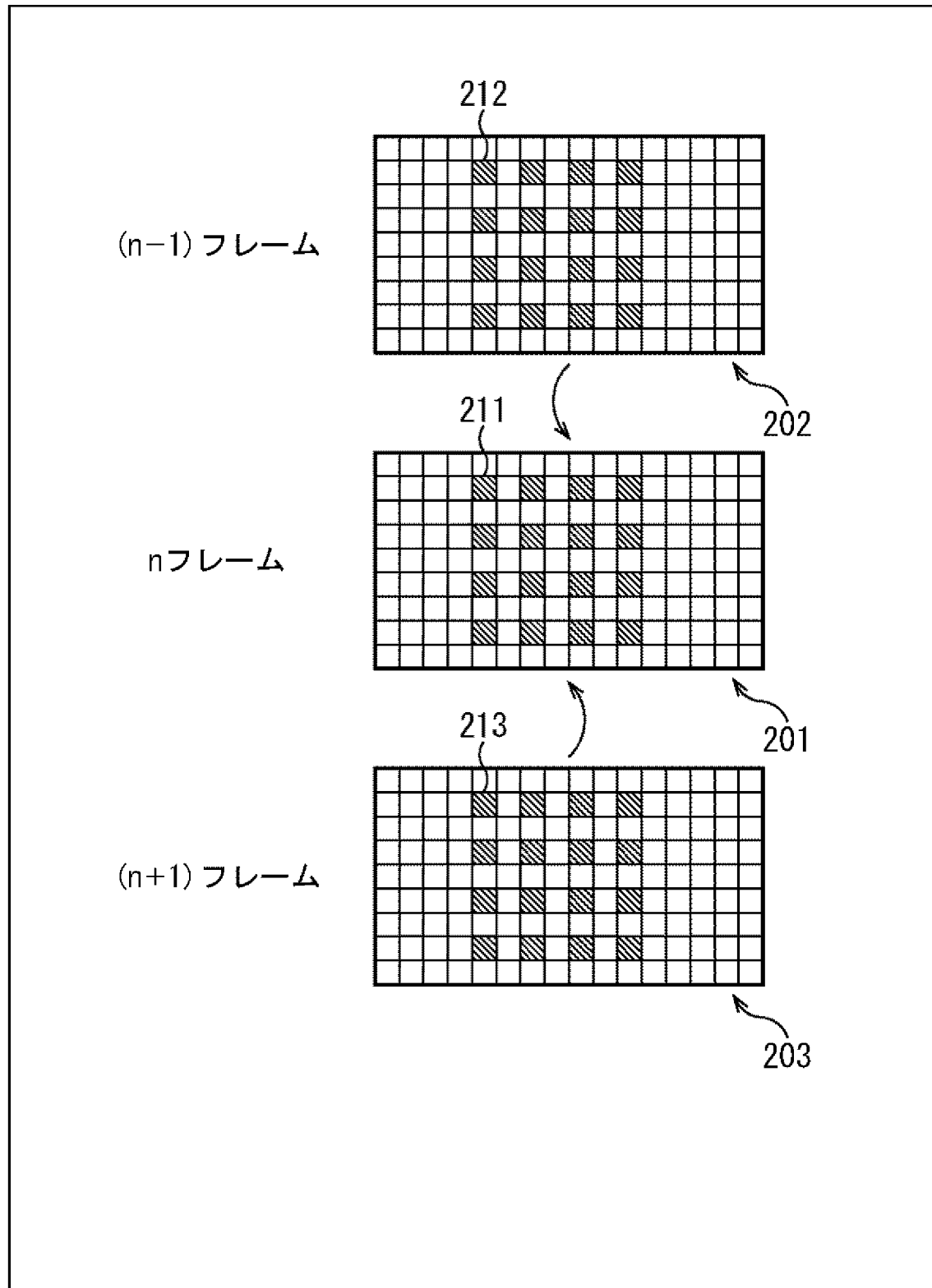
[図8]
FIG. 8



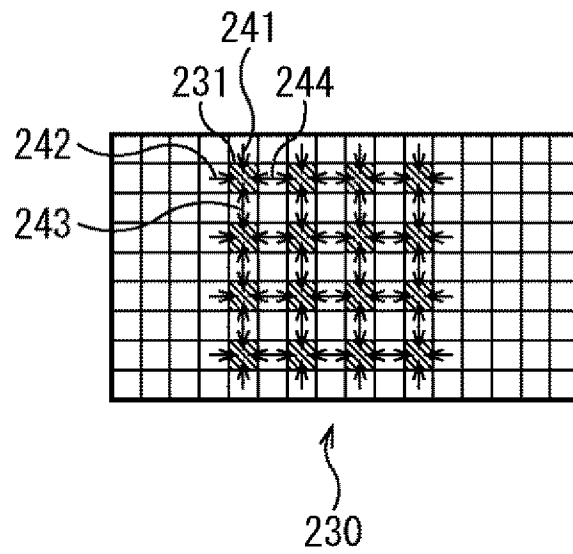
[図9]
FIG. 9



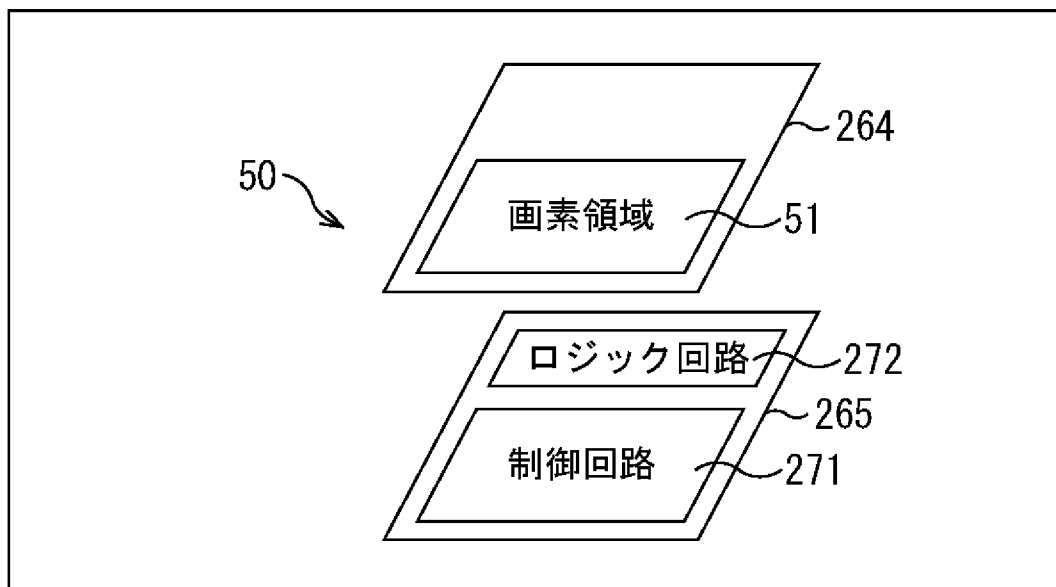
[図10]
FIG. 10



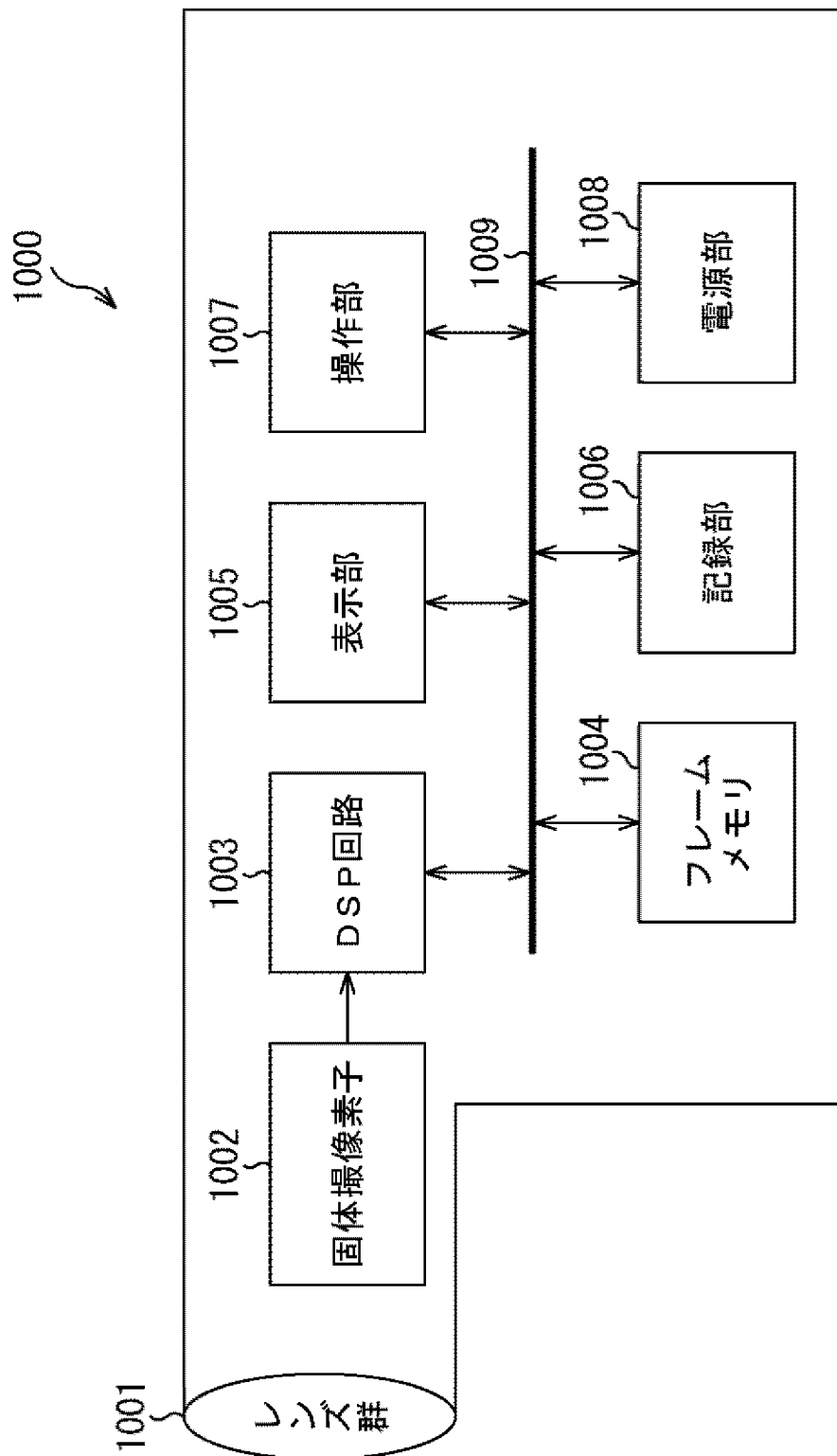
[図11]
FIG. 11



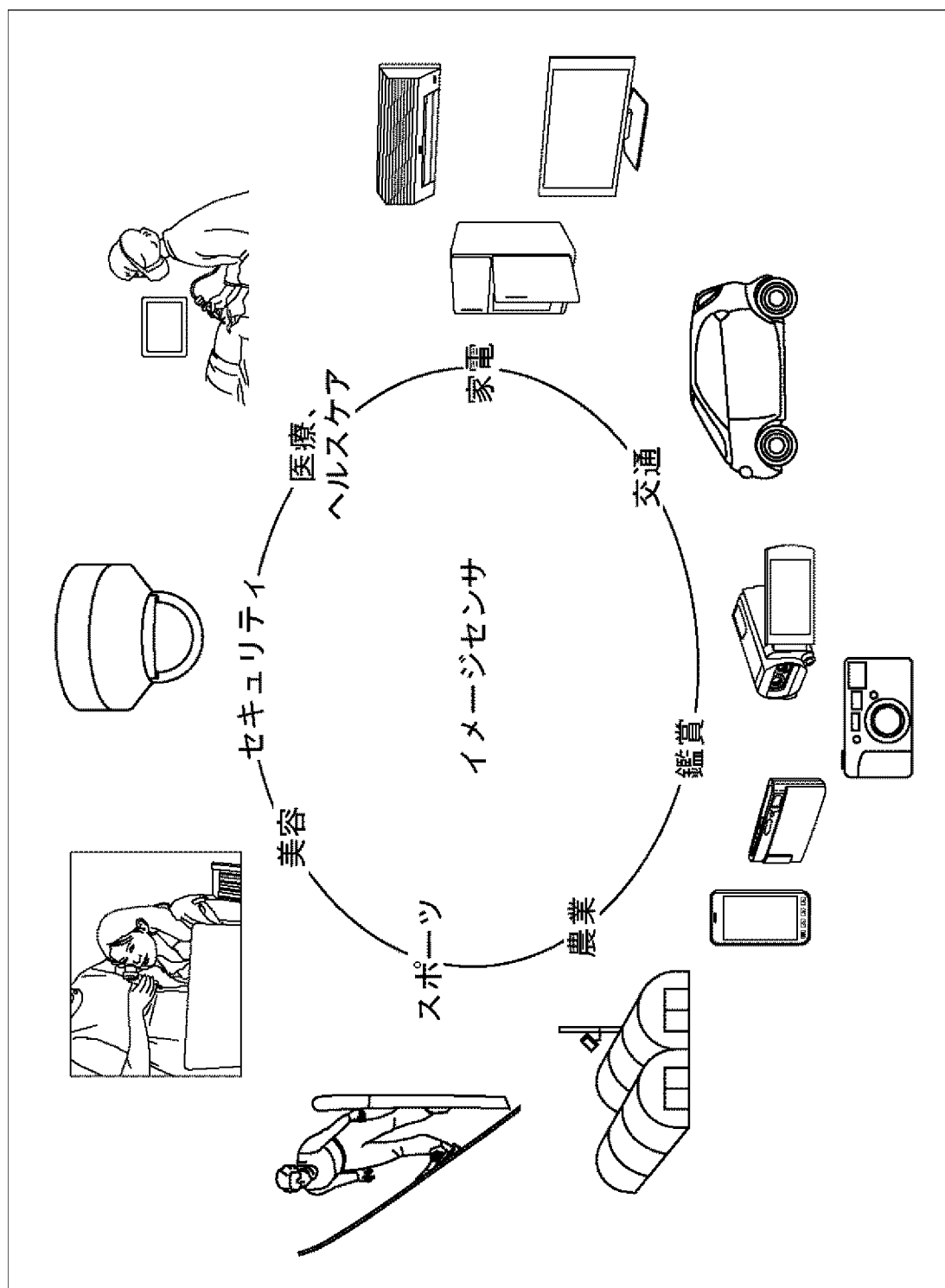
[図12]
FIG. 12



[図13]
FIG. 13



[図14]
FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073712

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/376(2011.01)i, H01L27/14(2006.01)i, H01L27/146(2006.01)i, H04N5/341(2011.01)i, H04N5/357(2011.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/376, H01L27/14, H01L27/146, H04N5/341, H04N5/357, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-179893 A (Nikon Corp.), 25 September 2014 (25.09.2014), paragraphs [0008] to [0099]; fig. 6 (Family: none)	1-12
Y	JP 2015-70591 A (Olympus Corp.), 13 April 2015 (13.04.2015), paragraphs [0001] to [0127] & US 2016/0211299 A1 paragraphs [0001] to [0147]	1-12
Y	JP 2015-144340 A (Nikon Corp.), 06 August 2015 (06.08.2015), paragraphs [0001] to [0111] (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 October 2016 (04.10.16)

Date of mailing of the international search report
18 October 2016 (18.10.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073712

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-90238 A (Samsung Yokohama Research Institute), 13 May 2013 (13.05.2013), paragraphs [0001] to [0154] (Family: none)	7-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/376(2011.01)i, H01L27/14(2006.01)i, H01L27/146(2006.01)i, H04N5/341(2011.01)i,
H04N5/357(2011.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/376, H01L27/14, H01L27/146, H04N5/341, H04N5/357, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-179893 A (株式会社ニコン) 2014.09.25, 段落 [0008]-[0099]、図6 (ファミリーなし)	1-12
Y	JP 2015-70591 A (オリンパス株式会社) 2015.04.13, 段落 [0001]-[0127] & US 2016/0211299 A1, 段落[0001]-[0147]	1-12
Y	JP 2015-144340 A (株式会社ニコン) 2015.08.06, 段落 [0001]-[0111] (ファミリーなし)	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.10.2016

国際調査報告の発送日

18.10.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-90238 A (株式会社サムスン横浜研究所) 2013.05.13, 段落 [0001]-[0154] (ファミリーなし)	7-10