

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7605832号  
(P7605832)

(45)発行日 令和6年12月24日(2024.12.24)

(24)登録日 令和6年12月16日(2024.12.16)

(51)国際特許分類 F I  
 G 0 6 T 5/80 (2024.01) G 0 6 T 5/80  
 H 0 4 N 23/60 (2023.01) H 0 4 N 23/60 5 0 0  
 H 0 4 N 23/698 (2023.01) H 0 4 N 23/698

請求項の数 10 (全21頁)

(21)出願番号	特願2022-515656(P2022-515656)	(73)特許権者	502161508 シナプティクス インコーポレイテッド アメリカ合衆国, 9 5 1 3 1 カリフォルニア州, サンノゼ, マッケイ ドライブ 1 1 0 9
(86)(22)出願日	令和2年6月3日(2020.6.3)	(74)代理人	100205350 弁理士 狩野 芳正
(65)公表番号	特表2022-548556(P2022-548556 A)	(74)代理人	100117617 弁理士 中尾 圭策
(43)公表日	令和4年11月21日(2022.11.21)	(72)発明者	マンチ、チャンドラナート アメリカ合衆国、9 5 1 3 1 カリフォルニア州、サンノゼ、マッケイ ドライブ 1 2 5 1
(86)国際出願番号	PCT/US2020/035847	審査官	高野 美帆子
(87)国際公開番号	WO2021/055027		
(87)国際公開日	令和3年3月25日(2021.3.25)		
審査請求日	令和5年5月23日(2023.5.23)		
(31)優先権主張番号	16/577,275		
(32)優先日	令和1年9月20日(2019.9.20)		
(33)優先権主張国・地域又は機関	米国(US)		

最終頁に続く

(54)【発明の名称】 画像のデワーブ回路

(57)【特許請求の範囲】

【請求項 1】

画像処理のための方法であり、

順序付けられたシークエンスで、歪んだ画像空間における光景を描写する第1画像のピクセルを歪んだ画像空間から補正された画像空間へ再マッピングするための複数のデワーブ行列を取得することと、

前記デワーブ行列の前記順序に少なくとも部分的に基づいて、前記第1画像のピクセルのブロックを取得することと、

前記第1画像のピクセルの前記ブロックに基づいて、複数の画像タイルを生成することと、

前記複数の画像タイルを組み合わせて、補正された画像空間における前記光景を示す第2画像を生成することと、

を含み、

前記第2画像が、高さ及び幅が均一な複数のストライドに分割され、

各ストライドの前記高さが、前記画像タイルのうちの一つの高さと同しく、

各ストライドの前記幅が、前記第2画像の幅と同しく、

前記ストライドの各々が、順に並んだ2以上の前記画像タイルを含み、

前記第1画像のピクセルの前記ブロックを取得することが、

前記複数のストライドのうちの第1ストライドの前記画像タイルのそれぞれを生成するために用いられるピクセルの前記ブロックを特定し、かつ、前記第1ストライドの前記画像

タイルを生成するために用いられるピクセルの前記ブロックが取得されるべき順序を特定する第 1 ルックアップテーブル (LUT) を取得することと、  
前記第 1 LUT に基づいて、前記第 1 スライドの前記画像タイルを生成するために用いられるピクセルの前記ブロックを取得することと、  
 を含み、

前記画像タイルの各々は、1 以上の前記デワーブ行列をそれぞれ用いて、取得された 1 以上のピクセルの前記ブロックから補間される、  
 方法。

【請求項 2】

前記ピクセルのブロックの各々が、前記第 1 画像のうちの複数の第 1 ピクセルを含み、  
 前記画像タイルの各々が、前記第 2 画像のうちの複数の第 2 ピクセルを含む、  
 請求項 1 の方法。

10

【請求項 3】

ピクセルのブロックの各々に含まれる複数の前記第 1 ピクセルの数が、イメージタイルの各々に含まれる複数の前記第 2 ピクセルの数よりも多い、  
 請求項 2 の方法。

【請求項 4】

前記順序付けられたシーケンスが、前記第 2 画像内の前記画像タイルのラスト順序に少なくとも部分的に基づく、  
 請求項 1 から 3 のいずれか 1 つの方法。

20

【請求項 5】

前記組み合わせることが、前記ラスト順序で前記複数の画像タイルを記憶することを含む、  
 請求項 4 の方法。

【請求項 6】

ピクセルの前記ブロックのうちの一つが、前記複数の画像タイルのうち 2 以上の画像タイルの生成に使用されることを許容される

請求項 1 から 5 のいずれか 1 つの方法。

【請求項 7】

前記デワーブ行列を取得することが、  
 前記複数のスライドのうちの第 1 スライドの前記画像タイルを生成するために用いられる前記デワーブ行列を取得することと、

30

前記第 1 スライドに対応する前記デワーブ行列の各々が取得された後にのみ、前記複数のスライドのうちの第 2 スライドの前記画像タイルを生成するために用いられる前記デワーブ行列を取得することと、

を含む、

請求項 6 の方法。

【請求項 8】

ピクセルの前記ブロックを取得することが、更に、  
前記第 1 LUT によって特定されるピクセルの前記ブロックの各々が取得された後にのみ、前記複数のスライドのうちの第 2 スライドの前記画像タイルのそれぞれを生成するために用いられるピクセルの前記ブロックを特定し、かつ、前記第 2 スライドの前記画像タイルのそれぞれを生成するために用いられるピクセルの前記ブロックが取得されるべき順序を特定する第 2 LUT を取得すること、

40

を含む、

請求項 6 または 7 の方法。

【請求項 9】

メモリバッファと、  
 ハードウェアロジックと、  
 を備え、

50

前記ハードウェアロジックが、

順序付けられたシークエンスで、歪んだ画像空間における光景を描写する第 1 画像のピクセルを歪んだ画像空間から補正された画像空間へ再マッピングするための複数のデワーブ行列を取得し、

前記デワーブ行列の前記順序に少なくとも部分的に基づいて、前記第 1 画像のピクセルのブロックを前記メモリバッファに読み出し、

前記第 1 画像のピクセルの前記ブロックに基づいて、複数の画像タイルを生成し、

前記複数の画像タイルを外部メモリに書き出して、補正された画像空間上の前記光景を示す第 2 画像を生成する、

ように構成され、

前記第 2 画像が、高さ及び幅が均一な複数のストライドに分割され、

各ストライドの前記高さが、前記画像タイルのうちの一つの高さと等しく、

各ストライドの前記幅が、前記第 2 画像の幅と等しく、

前記ストライドの各々が、順に並んだ 2 以上の前記画像タイルを含み、

前記第 1 画像のピクセルの前記ブロックを取得することが、

前記複数のストライドのうち第 1 ストライドの前記画像タイルのそれぞれを生成するために用いられるピクセルの前記ブロックを特定し、かつ、前記第 1 ストライドの前記画像タイルのそれぞれを生成するために用いられるピクセルの前記ブロックが取得されるべき順序を特定する第 1 ルックアップテーブル (LUT) を取得することと、

前記第 1 LUT に基づいて前記第 1 画像のピクセルの前記ブロックを取得することと、  
を含み、

前記画像タイルの各々は、1 以上の前記デワーブ行列をそれぞれ用いて、取得された 1 以上のピクセルの前記ブロックから補間される、

デワーブ回路。

【請求項 10】

システムであり、

プロセッサと、

命令を記憶するメモリと、

デワーブ回路と、

を備え、

前記命令は、前記プロセッサによって実行されたときに、前記システムに、順序付けられたシークエンスで、歪んだ画像空間から補正された画像空間へピクセルを再マッピングするための複数のデワーブ行列を生成することを行わせ、

前記デワーブ回路が、

前記デワーブ行列の前記順序に少なくとも部分的に基づいて、前記歪んだ画像空間における光景を示す第 1 画像のピクセルのブロックを取得し、

前記第 1 画像のピクセルの前記ブロックに基づいて、複数の画像タイルを生成し、

前記複数の画像タイルを組み合わせて、前記補正された画像空間における前記光景を示す第 2 画像を生成する、

ように構成され、

前記第 2 画像が、高さ及び幅が均一な複数のストライドに分割され、

各ストライドの前記高さが、前記画像タイルのうちの一つの高さと等しく、

各ストライドの前記幅が、前記第 2 画像の幅と等しく、

前記ストライドの各々が、順に並んだ 2 以上の前記画像タイルを含み、

前記第 1 画像のピクセルの前記ブロックを取得することが、

前記複数のストライドのうち第 1 ストライドの前記画像タイルのそれぞれを生成するために用いられるピクセルの前記ブロックを特定し、かつ、前記第 1 ストライドの前記画像タイルのそれぞれを生成するために用いられるピクセルの前記ブロックが取得されるべき順序を特定する第 1 ルックアップテーブル (LUT) を取得することと、

前記第 1 LUT に基づいて前記第 1 画像のピクセルの前記ブロックを取得することと、

10

20

30

40

50

を含み、

前記画像タイルの各々は、1以上の前記デワープ行列をそれぞれ用いて、取得された1以上のピクセルの前記ブロックから補間される、システム。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、一般には、画像処理に関する。

【背景技術】

【0002】

画像処理は、画像撮影デバイス（カメラなど）の能力または制限を考慮して、元の光景をできるだけ正確に再現し得るように、撮影された画像をディスプレイ上に描写することを可能にする。例えば、広角レンズは、標準的なレクティリニアレンズよりも大きな視野（field of view）（FOV）を撮影するために使用される場合がある。しかしながら、広角レンズは、撮影された画像に幾何学的な非線形の歪みをまた導入する。幾何学的な歪みの例としては、放射状歪み又は樽状歪み、及び、接線歪み等が挙げられる。したがって、画像処理は、光景がより直線的に示されるように、撮影された画像の幾何学的な歪みを補正する場合がある。レンズ光学系及び/又は画像撮影デバイスのパースペクティブによって導入された幾何学的な歪みを逆転させるプロセスは、しばしばデワープと呼ばれる。

【発明の概要】

【0003】

この要約は、以下の詳細な説明において更に説明される概念の選択を、簡略な態様で紹介するために提供される。この要約は、請求された主題のキーとなる特徴、又は、必須の特徴を特定することを意図したものではなく、請求された主題の範囲を制限することを意図したものでもない。

【0004】

画像処理のための方法及び装置が開示される。本開示の革新的な一側面は、画像処理の方法として実装され得る。いくつかの実施形態では、当該方法は、順序付けられたシーケンスで、歪んだ画像空間における光景を描写する第1画像のピクセルを歪んだ画像空間から補正された画像空間へ再マッピングするための複数のデワープ行列を取得するステップと、デワープ行列の順序に少なくとも部分的に基づいて、第1画像のピクセルのブロックを取得するステップと、第1画像のピクセルのブロックに基づいて、複数の画像タイルを生成するステップであり、ここで、画像タイルの各々は、1以上のデワープ行列をそれぞれ用いて、取得された1以上のピクセルのブロックから補間されるステップと、複数の画像タイルを組み合わせて、補正された画像空間上の光景を示す第2画像を生成するステップと、を含む場合がある。

【0005】

本開示の革新的な他の側面は、画像処理システムとして実装され得る。いくつかの実施形態では、当該システムは、プロセッサと、メモリと、デワープ回路と、を備える場合がある。当該メモリは、プロセッサによって実行されたときに、システムに、順序付けられたシーケンスで、歪んだ画像空間から補正された画像空間へピクセルを再マッピングするための複数のデワープ行列を生成することを行わせる。

【0006】

デワープ回路は、デワープ行列の順序に少なくとも部分的に基づいて、歪んだ画像空間における光景を示す第1画像のピクセルのブロックを取得し、第1画像のピクセルのブロックに基づいて、複数の画像タイルを生成し、ここで、画像タイルの各々は、1以上のデワープ行列をそれぞれ用いて、取得された1以上のピクセルのブロックから補間され、複数の画像タイルを組み合わせて、補正された画像空間における光景を示す第2画像を生成する、ように構成される。

10

20

30

40

50

**【図面の簡単な説明】**

【0007】

本実施形態は、例として示されており、添付の図面の図によって限定されることを意図するものではない。

【0008】

【図1】図1は、いくつかの実施形態に係る、画像撮影及び表示システムのブロック図を示す。

【0009】

【図2】図2は、いくつかの実施形態に係る、レンズ幾何学歪み補正 (lens geometric distortion correction) (LGDC) 回路のブロック図を示す。

10

【0010】

【図3】図3は、いくつかの実施形態に係る、例示的な補正された画像空間を示す。

【0011】

【図4】図4は、補正された画像空間と歪んだ画像空間との間の例示的なピクセルマッピングを示す。

【0012】

【図5】図5は、いくつかの実施形態に係る、LGDCシステムのブロック図を示す。

【0013】

【図6】図6は、いくつかの実施形態に係る、画像空間再マッピング制御器のブロック図を示す。

20

【0014】

【図7】図7は、いくつかの実施形態に係る、タイルデワープ回路のブロック図を示す。

【0015】

【図8】図8は、いくつかの実施形態に係る、画像空間再マッピング制御器の他のブロック図を示す。

【0016】

【図9】図9は、いくつかの実施形態に係る、例示的な画像処理動作を示す例示的なフローチャートである。

**【発明を実施するための形態】**

30

【0017】

以下の説明では、本開示の十分な理解を提供するために、具体的なコンポーネント、回路、及び、処理の例のような、多くの具体的な詳細が示される。本明細書で使われる「結合された」という言葉は、直接に接続されている、又は、仲介する1以上のコンポーネント又は回路を介して接続されていることを意味する。更に、以下の説明において、及び、説明を目的として、本開示の態様の十分な理解を提供するために、特定の命名法が用いられる。しかし、例示的な実施形態を実施するために、これらの具体的な詳細が必要でない場合があることが当業者には明らかであろう。他の例では、本開示が不明確になることを避けるために、周知の回路及びデバイスがブロック図の形式で示される。以下の詳細な説明のいくつかの部分は、過程、ロジックブロック、処理、及び、コンピュータのメモリ内のデータビットへの操作を他の記号で表現したもの、という形で提示されている。回路素子又はソフトウェアブロック間の相互接続は、バス又は単一の信号線として示される場合がある。バスのそれぞれは、代替的に単一の信号線であってもよく、単一の信号線のそれぞれは、代替的にバスであっても良く、単一の信号線又はバスは、コンポーネント間の通信のための無数の物理的又は論理的なメカニズムのうちの任意の1以上を表し得る。

40

【0018】

後述の議論から明らかのように、特にそうでないと述べられていない場合には、本出願を通して、「アクセスする」、「受信する」、「送信する」、「用いる」、「選択する」、「決定する」、「正規化する」、「乗算する」、「平均する」、「モニタする」、「比較する」、「適用する」、「更新する」、「計測する」、「導出する」、等のような表現

50

を用いて行われる議論は、コンピュータシステム（又は同様の電子計算デバイス）のアクション及び処理を参照していると認められる。これらのコンピュータシステム（又は同様の電子計算デバイス）は、コンピュータシステムのレジスタ及びメモリ内の物理的な（電子的な）量として示されるデータを、コンピュータシステムのメモリ若しくはレジスタ、又は他のそのような情報ストレージ、伝送器、又は表示デバイス内の物理量として同様に示される他のデータに操作及び変換する。

【0019】

本明細書で説明されている技術は、特定の方法で実施されると特に記載されない限り、ハードウェア、ソフトウェア、ファームウェア、又は、それらの任意の組み合わせで実施され得る。モジュール又はコンポーネントとして説明されている任意の構成は、集積ロジックデバイスにまとめて実装されるか、又は、個別に分離されているが相互運用が可能なロジックデバイスとして実装される場合もある。ソフトウェアで実装される場合、本技術は、実行されたときに上述の1以上の方法を実現する命令を含む、コンピュータ読取り可能な非一時的記憶媒体によって少なくとも部分的に実現される場合がある。コンピュータ読取り可能な非一時的記憶媒体は、コンピュータプログラム製品の一部を形成する場合がある。なお、コンピュータプログラム製品は、梱包材を含む場合がある。

10

【0020】

非一時的なプロセッサ読取り可能な記憶媒体は、同期ダイナミックランダムアクセスメモリ (synchronous dynamic random access memory) (SDRAM) のようなランダムアクセスメモリ (random access memory) (RAM)、リードオンリーメモリ (read only memory) (ROM)、不揮発性ランダムアクセスメモリ (non-volatile random access memory) (NVRAM)、電子的消去可能プログラマブルリードオンリーメモリ (electrically erasable programmable read-only memory) (EEPROM)、フラッシュメモリ、他の既知の記憶媒体等、を含んでもよい。本技術は追加的に、あるいは代替的に、少なくとも一部が、コードを命令又はデータ構造の形で伝達または通信し、かつ、コンピュータ又は他のプロセッサによってアクセス、読取り、及び/又は、実行が可能な、プロセッサ読取り可能な通信媒体によって実現され得る。

20

【0021】

本明細書で開示される実施形態に関して説明される様々な例示的なロジックブロック、モジュール、回路、及び、命令は、1以上のプロセッサによって実行され得る。本明細書で用いられる「プロセッサ」という用語は、任意の汎用プロセッサ、従来プロセッサ、コントローラ、マイクロコントローラ、特定用途プロセッサ、及び/又は、メモリに記憶された1以上のソフトウェアプログラムのスクリプト又は命令を実行可能な状態機械、を示す場合がある。

30

【0022】

図1は、いくつかの実施形態に係る、画像撮影及び表示システム100のブロック図である。システム100は、画像撮影デバイス110と、画像プロセッサ120と、画像表示デバイス130と、を備える。画像撮影デバイス110は、光景からの光101のパターンを撮影し、撮影した光101をデジタルの画像撮影データ102に変換する。画像撮影データ102は、光景を示すデジタル画像に対応する場合がある。画像表示デバイス130は、対応する表示面上に光パターンを再現することにより、デジタル画像を表示する。いくつかの態様において、画像撮影デバイス110はカメラであってもよく、画像表示デバイス130は（テレビ、コンピュータモニタ、及び、スマートフォン等のような）電子ディスプレイであってもよい。

40

【0023】

画像プロセッサ120は、画像撮影データ102に対して画像処理を行って、画像表示デバイス130上で（画像撮影デバイス110によって撮影された）元の光景をより正確に再現するために使用可能な画像描写データ103を生成する。いくつかの実施形態では

50

、画像プロセッサ120は、画像撮影デバイス110に組み込まれるか、さもなくば、画像撮影デバイス110に含まれている場合がある。画像プロセッサ120は、画像信号処理(image signal processing)(ISP)モジュール122と、レンズ幾何学歪み補正(LGDC)モジュール124と、を備える。ISPモジュール122は、デジタル画像の品質を向上させるために、画像撮影データ102内の様々なピクセル歪みを補正する場合がある。例示的なピクセル歪みには、周辺光量低下、収差、及びノイズが含まれるが、これらに限定されない。

#### 【0024】

LGDCモジュール124は、画像表示デバイス130上での表示により適した又は最適化された別の画像空間に、画像撮影データ102を変換または転送する場合がある。例えば、画像撮影デバイスの広角レンズは、画像撮影データ102に写された光景に(放射状又は樽状歪み、接線歪み、台形歪み、等といった)幾何学的な歪みを導入する場合がある。したがって、LGDCモジュール124は、撮影された画像又は光景が画像表示デバイス130上でより直線的に見えるように、画像撮影デバイス110によって導入された幾何学的歪みを補正するように構成される場合がある。いくつかの実施形態では、画像描写データ103は、画像表示デバイス130に加えて、又は画像表示デバイス130に代えて、他のデバイスに提供される場合がある。例えば、コンピュータビジョン処理は、直線化された画像から利益を得る場合がある。コンピュータビジョン処理の例は、顔検出、物体検出、及び物体の追跡を含む場合があるが、これらに限定されない。

#### 【0025】

本開示の態様は、特定のアプリケーションが、画像撮影データ102の処理をほぼリアルタイムで行う必要がある場合があることを認識している。例示的なリアルタイムアプリケーションには、(コンテンツ配信ネットワーク、ビデオ監視システム、ビデオ会議システム、等からのものといった)ストリーミングビデオのアプリケーション、及び、(顔認識システム、自動車運転支援システム、拡張現実(augmented reality)(AR)システムといった)コンピュータビジョンのアプリケーションが含まれるが、これらに限定されない。しかしながら、LGDCの作動には、複雑な計算とデータ操作が必要である。完全にソフトウェア上でデワープを行う解法は、中央処理装置(central processing unit)(CPU)の帯域幅又は処理能力の相当の部分消費する場合がある。一方、完全にハードウェアのデワープアーキテクチャは、かなりの領域を占有する上、幾何学な構成が異なるレンズに対してデワープのアルゴリズムを再構成又は調整するための柔軟性が制限される場合がある。

#### 【0026】

いくつかの実施形態では、画像プロセッサ120は、ハードウェア及びソフトウェアを組み合わせたソリューションとして、LGDCモジュール124を実装する場合がある。より詳細には、本開示の態様は、(例えば、CPU又は特定用途プロセッサによって実行される)ソフトウェアの柔軟性と拡張性を活用して、画像撮影デバイス110のレンズのパラメータに基づいて画像撮影データ102の1以上のピクセルを画像描写データ103の1以上のピクセルに再マッピングするための命令を生成する場合がある。本開示の態様は、更に、ハードウェアロジックの速度及び帯域幅を活用して、CPUによって生成された命令によって規定された計算及びデータ操作を実行する場合がある。

#### 【0027】

いくつかの実施形態では、画像描写データ103の画像空間(例えば、「補正された画像空間」)は、デワープ操作がより細かい粒度で実行され得るように、複数のタイルに分割化又は細分化される場合がある。例えば、各タイルのサイズは、LGDCモジュール124のメモリ帯域幅に少なくとも部分的に基づいて構成又は最適化される場合がある。タイルの粒度でピクセル再マッピング操作を実行することにより、画像撮影データ102のフレームまたは画像をデワープするために必要なハードウェアのオーバーヘッドの量が大幅に削減される。これは更に、画像描写データ103がほぼリアルタイムで生成可能となるように、画像処理のレイテンシ又は遅延を低減する場合がある。

10

20

30

40

50

## 【 0 0 2 8 】

図 2 は、いくつかの実施形態に係る、レンズ幾何学的歪み補正 ( L G D C ) 回路 2 0 0 のブロック図である。 L G D C 回路 2 0 0 は、図 1 の L G D C モジュール 1 2 4 の一実施形態であり得る。そのため、 L G D C 回路 2 0 0 は、歪んだ画像 2 0 2 の幾何学的な歪みを補正するように構成される場合がある。例えば、幾何学的な歪みは、歪んだ画像 2 0 2 を取得するために、又は、そうでなければ歪んだ画像 2 0 2 を生成するために使用される画像撮影デバイスのレンズ及び / 又は他の特性によって導入される場合がある。いくつかの実施形態では、デワープ回路部 2 1 0 は、補正された画像 2 0 4 が実質的に直線的に見えるように、歪んだ画像 2 0 2 の 1 以上のピクセルを補正された画像 2 0 4 の 1 以上のピクセルに再マッピングするように構成される場合がある。

10

## 【 0 0 2 9 】

図 2 の実施形態では、歪んだ画像 2 0 2 は、広角レンズを有するカメラ ( 又は他の画像撮影デバイス ) によって撮影される場合がある。その結果、歪んだ画像 2 0 2 に描写された光景には、放射状に歪んで見える。例えば、 ( 建物といった ) 直線を有する物体は、歪んだ画像 2 0 2 においては湾曲して見える。これに対し、補正された画像 2 0 4 に描かれた光景は、直線的に見える。例えば、直線を有する物体は、補正された画像 2 0 4 において直線的に見える。本明細書で使用する場合、「歪んだ画像空間、又は、 D I S ( d i s t o r t e d i m a g e s p a c e ) 」との用語は、歪んだ画像 2 0 2 の画像空間 ( 例えば、デワープ前 ) を示し、「補正画像空間、又は、 C I S ( c o r r e c t e d i m a g e s p a c e ) 」との用語は、補正された画像 2 0 4 の画像空間 ( 例えば、デワープ後 ) を示す。

20

## 【 0 0 3 0 】

L G D C 回路 2 0 0 は、デワープ回路部 2 1 0 とメモリ 2 2 0 とを含む。デワープ回路部 2 1 0 は、歪んだ画像 2 0 2 に対応する画像データを受信する場合があり、補正された画像 2 0 4 に対応する補正された画像データを出力する場合がある。いくつかの態様において、補正された画像 2 0 4 は、歪んだ画像 2 0 2 と同じ寸法 ( 例えば、ピクセルの高さ及びピクセルの幅 ) を有している場合がある。しかしながら、補正された画像 2 0 4 には、歪んだ画像 2 0 2 よりも少ない光景が描写される場合がある。例えば、歪んだ画像 2 0 2 の左上隅にある建物は、補正された画像 2 0 4 には描写されない。そして、デワープ回路部 2 1 0 は、歪んだ画像 2 0 2 の 1 以上のピクセルから補正された画像 2 0 4 の各ピクセルを補間する場合がある。

30

## 【 0 0 3 1 】

いくつかの実施形態では、デワープ回路 2 1 0 は、画像撮影デバイスのカメラの 1 以上のレンズパラメータ 2 0 6 に少なくとも部分的に基づいて、歪んだ画像空間から補正された画像空間へのピクセルの再マッピングを決定する場合がある。例示的なレンズパラメータ 2 0 6 は、レンズの幾何学な構成及び焦点距離を含む場合があるが、これらに限定されない。デワープ処理は、カメラレンズによって導入された幾何学的歪みを逆転させることであるため、ピクセルの再マッピングは、カメラのレンズによって作成されたピクセルのマッピングの逆である場合がある。いくつかの態様では、デワープ回路部 2 1 0 は、多項式のレンズモデルに基づいてピクセルの再マッピング計算を決定する場合がある。いくつかの他の態様では、デワープ回路部 2 1 0 は、非多項式のレンズモデルに基づいてピクセル再マッピング計算を決定する場合がある。

40

## 【 0 0 3 2 】

メモリ 2 2 0 は、デワープ処理の処理を完了するために必要な任意のデータを記憶またはバッファするように構成される場合がある。メモリ 2 2 0 に記憶されたデータは、カメラのレンズパラメータ 2 0 6、ピクセルの再マッピング計算 ( 例えば、行列 )、歪んだ画像のブロックをフェッチするためのインデックスの順序、歪んだ画像 2 0 2 の画像データ、及び補正された画像 2 0 4 の画像データを含み得るが、これらに限定されない。メモリ 2 2 0 の記憶容量は限られているため、歪んだ画像 2 0 2 及び / 又は補正された画像 2 0 4 のフレーム全体についてのピクセルデータの完全なセットを記憶することは ( 不可能で

50

はないにしても)非効率的であり得る。そのため、いくつかの実施形態では、L G D C回路200は、補正された画像204の小部分(例えば、タイル)を一度に生成するように構成される場合がある。補正された画像204の各部分は、歪んだ画像202のピクセルのうち相対的に小さいサブセット(例えば、ブロック)上のみで補間されるため、本開示の態様は、メモリ220のメモリ帯域幅の要件を大幅に低減させ得る。

#### 【0033】

図3は、いくつかの実施形態に係る、例示的な補正された画像空間300を示す。補正された画像空間300は、図2の補正された画像204の画像空間の一実施形態であり得る。図3に示すように、補正された画像空間300は、サイズが等しい又はサイズが均一な複数のタイル $T_1(1) - T_n(m)$ に分割又は細分化される。各タイルは、補正された画像空間300の複数のピクセルを含む場合がある。いくつかの実施形態では、各タイルのサイズ(例えば、ピクセルの高さ及びピクセルの幅)は、少なくとも部分的に、(図2のメモリ220のような)L G D C回路のメモリ帯域幅に基づく場合がある。いくつかの他の実施形態では、各タイルのサイズは、少なくとも部分的に、補正された画像(図2の補正された画像204など)のピクセル深度及び/又はカラーフォーマットに基づく場合がある。

10

#### 【0034】

タイルの各列は、それぞれにストライドを形成する場合がある。例えば、ストライド $S_1$ はタイル $T_1(1) - T_1(m)$ を含む場合があり、ストライド $S_2$ はタイル $T_2(1) - T_2(m)$ を含む場合があり、ストライド $S_3$ はタイル $T_3(1) - T_3(m)$ を含む場合があり、以下同様である。したがって、ストライド $S_1 - S_n$ はそれぞれ、補正された画像空間300の幅(例えば、タイル $T_1(1) - T_1(m)$ のピクセルを組み合わせた幅に対応する)に渡る場合があり、タイルのうちの1ピクセルの高さに等しい高さを有する場合がある。いくつかの実施形態において、デワープ処理は、ラスト順序で、一度に1ストライドずつ、タイルのそれぞれに対して実行される場合がある。例えば、デワープ回路部は、ストライド $S_2$ の各タイルを左から右へ(たとえば、 $T_2(1)$ 、 $T_2(2)$ 、...、 $T_2(m)$ )処理する前に、ストライド $S_1$ の各タイルを連続的に処理する場合がある(たとえば、 $T_1(1)$ 、 $T_1(2)$ 、...、 $T_1(m)$ )。

20

#### 【0035】

各ストライドのサイズ及び寸法は、少なくとも部分的に、表示更新のラスト順序及び/又は各更新の粒度に基づく場合がある。図3の実施形態では、例えば、水平表示更新のためのほぼリアルタイムのデワープをサポートするために、ストライド $S_1 - S_n$ が補正された画像空間300の水平列と対応するように示されている。他の実施形態では、例えば、垂直表示更新のためのほぼリアルタイムのデワープをサポートするために、ストライドが補正された画像空間300の垂直列と対応する場合がある。例えば、デワープ回路部は、タイルの次の列について上から下へ(例えば、 $T_1(2)$ 、 $T_2(2)$ 、...、 $T_n(2)$ )行う処理に進む前に、タイルの列全体を上から下へ(例えば、 $T_1(1)$ 、 $T_2(1)$ 、...、 $T_n(1)$ )連続的に処理する場合がある。さらに、いくつかの実施形態では、補正された画像空間300の複数のストライドが同時に処理される場合がある(例えば、マルチスレッドを用いて)。

30

40

#### 【0036】

本開示の態様は、補正された画像空間300と歪んだ画像空間との間のピクセルのマッピングが非線形であり得ることを認識している。図2の例を参照して、幾何学的な歪みは、画像の中心と比較して、歪んだ画像202のエッジ又は周辺部でより顕著になる場合がある。したがって、補正された画像204の中心部のピクセルは、歪んだ画像202の中心部のピクセルにマッピングされる可能性がある。しかしながら、補正された画像204の角及び縁におけるピクセルは、歪んだ画像202のそれぞれの角及び縁におけるピクセルにマッピングされない場合がある。むしろ、補正された画像204の角及び縁のピクセルは、歪んだ画像202の中心により近いピクセルにマッピングされる場合がある。

#### 【0037】

50

図4は、補正された画像空間410と歪んだ画像空間420との間の例示的なピクセルマッピング400を示す。補正された画像空間410は、図3の補正された画像空間300の一実施形態であり得る。図4の実施形態では、歪んだ画像空間420の中心部では、比較的、歪みが顕著でない。例えば、補正された画像空間410の中心におけるタイル412は、歪んだ画像空間420の中心におけるピクセル422のブロックにマッピングされる場合がある。しかしながら、歪んだ画像空間420のエッジに向かって歪みが顕著に大きくなる。例えば、補正された画像空間410の左上隅のタイル414、タイル416、及び、タイル418はそれぞれに、歪んだ画像空間420のピクセル424の同じブロックにマッピングされる場合がある。

#### 【0038】

そのため、いくつかの実施形態では、それぞれのデワープ行列（または行列のセット）が、補正された画像空間410の各タイルについて生成される場合がある。各デワープ行列は、補正された画像空間410の特定のタイルと、歪んだ画像空間420内の対応するピクセルのブロックとの間のピクセルマッピングを定義する場合がある。いくつかの実施形態では、歪んだ画像空間420内のピクセルの各ブロックのサイズ（例えば、ピクセルの高さ及びピクセルの幅）は、少なくとも部分的に、補正された画像空間410の各タイルのサイズ及び/又はLGD C回路部のメモリ帯域幅に基づく場合がある。いくつかの態様において、補正された画像空間410のブロックのサイズ、及び、歪んだ画像空間420のタイルのサイズは、メモリ記憶フォーマットのタイル粒度に少なくとも部分的に基づいて構成される場合がある。より詳細には、タイルの粒度は、メモリに記憶された画像の画像フォーマット及びピクセル深度に応じて、ブロック及び/又はタイルのサイズを制限する場合がある。

#### 【0039】

いくつかの実施形態では、補正された画像空間410のブロックのサイズと歪んだ画像空間420のタイルのサイズとの間の関係もまた、1以上のレンズ歪みパラメータに関連して変化する場合がある。例えば、歪んだ画像空間420が補正された画像空間410よりも実質的に広い視野を表すとき、歪んだ画像空間420のブロックサイズは、補正された画像空間410のタイルサイズよりも有意に大きくなる場合がある。しかしながら、それほど大きくない歪みについては、歪んだ画像空間420のブロックのサイズが、補正された画像空間410のタイルのサイズと近くなる場合がある。いくつかの態様において、歪んだ画像空間420のブロックは、補正された画像空間410のタイルよりも（例えば、少なくとも2倍のサイズで）大きい場合がある。以下でより詳細に説明するように、これは、補正された画像空間410の各タイルの処理のために必要となるブロック読み出し処理（例えば、メモリからの）の数及び/又は頻度を低減させる場合がある。

#### 【0040】

図5は、いくつかの実施形態に係る、LGD Cシステム500のブロック図である。LGD Cシステム500は、図2のLGD C回路200の一実施形態であり得る。したがって、LGD Cシステム500は、画像撮影データ501内の幾何学的な歪みを補正するように構成される場合がある。LGD Cシステム500は、画像空間再マッピング制御器510と、メモリ520と、タイルデワープ回路530と、を備える。

#### 【0041】

画像空間再マッピング制御器510は、画像撮影データ501のピクセルを歪んだ画像空間から補正された画像空間へ再マッピングするために用いられる再マッピングデータ502を生成するように構成される場合がある。いくつかの実施形態では、再マッピングデータ502は、複数のデワープ行列と、デワープ行列によって使用されるべき、画像撮影データ501のピクセルのブロックを特定する複数のルックアップテーブル（look up table）（LUT）と、を備える場合がある。図3及び図4に関連して説明したように、各デワープ行列は、補正された画像空間のそれぞれのタイルと歪んだ画像空間の1以上のピクセルのブロックとの間のピクセルマッピングを定義する場合がある。したがって、デワープ行列は、デワープ回路530によって実行されるべき一連のデワープ処理

10

20

30

40

50

(例えば、計算)を定義する場合がある。

【0042】

画像空間再マッピング制御器510は、画像撮影データ501を撮影するために使用される画像撮影デバイスに関連付けられたレンズ構成データ503に少なくとも部分的に基づいて、デワープ行列を生成する場合がある。例えば、レンズ構成データ503は、画像撮影デバイスの(レンズの幾何学的な構成及び焦点距離といった)1以上のレンズパラメータを示す場合がある。いくつかの態様において、レンズ構成データ503は、デバイスの製造段階において再マッピング制御器510に提供される場合がある。いくつかの他の態様では、レンズ構成データ503及び/又は新たなレンズ構成データは、LGDシステム500の製造後の任意の時点において再マッピング制御器510に提供される場合がある。したがって、LGDシステム500は、様々な画像撮影デバイスによって撮影された画像をデワープするように構成(および再構成)される場合がある。

10

【0043】

LUTは、画像撮影データ501のピクセルのブロックがデワープ回路530によって取得され処理されるその順序を特定する場合がある。LUTによって特定されるブロックの順序は、少なくとも部分的に、デワープ回路530によってデワープ行列が実行されるべき順序に基づく場合がある。より詳細には、LUTは、デワープ回路530が、補正された画像空間の各タイルを補間するために、正しい順序で、ピクセルの必要なブロックを取得することを保証する場合がある。いくつかの実施形態において(例えば、図3に関連して上記で説明したように)、デワープ行列は、デワープ回路530によってラスト順序で処理される場合がある。したがって、LUTによって特定されるブロックの順序もまた、補正された画像空間におけるタイルのラスト順序に依存する場合がある。

20

【0044】

メモリ520は、デワープ処理を完了するために必要な任意のデータを記憶またはバッファリングするように構成される場合がある。いくつかの実施形態では、メモリ520は、ダイナミックランダムアクセスメモリ(DRAM)である場合がある。メモリ520は、再マッピングデータストア522、歪画像空間(DIS)画像データストア524、及び、補正画像空間(CIS)画像データストア526を含む場合がある。再マッピングデータストア522は、再マッピング制御器からの再マッピングデータ502を記憶又はバッファリングする場合がある。DIS画像データストア524は、画像撮影データ501を記憶又はバッファリングする場合がある。いくつかの態様では、DIS画像データストア524は、歪んだ画像空間における光景を描写するフルフレームのピクセルデータを記憶するように構成される場合がある。CIS画像データストア526は、(図1の画像表示デバイス130のような)別のデバイスまたは電子システムに出力されるべき画像描写データ507を記憶またはバッファリングする場合がある。いくつかの態様では、CIS画像データストア526は、補正された画像空間における光景を描写するフルフレームのピクセルデータを記憶するように構成される場合がある。

30

【0045】

デワープ回路530は、画像撮影データ501に基づいて画像描写データ507を生成するように構成される場合がある。例えば、デワープ回路530は、画像撮影データ501の1以上のピクセルから、(例えば、双三次補間の技術を用いて)画像描写データ507の各ピクセルを補間する場合がある。いくつかの実施形態では、デワープ回路530は、補正された画像空間のタイルごとの粒度で作動する場合がある。より詳細には、デワープ回路530は、再マッピングデータストア522に記憶されるデワープ行列の順序(例えば、ラスト順序)に基づき、補正された画像空間の各タイルを順次、処理する場合がある。

40

【0046】

デワープ回路530は、再マッピングデータストア522から再マッピングデータ502を取得して、補正された画像空間の各タイルに対応するデワープ行列を決定する場合がある。デワープ回路530はまた、再マッピングデータ502に含まれるLUTに基づい

50

て、処理される（例えば、画像撮影データ501の）ピクセルのブロックを決定する場合がある。例えば、デワープ回路530は、LUTによって特定される順序で、DIS画像データストア524から1以上のDIS画像ブロック504を取得する場合がある。デワープ回路530は、デワープ行列によって定義されるように、DIS画像ブロック504に対して双三次補間を実行し、1以上のCIS画像タイル506を生成する場合がある。デワープ回路530はそして、CIS画像タイル506を画像描写データ507としてCIS画像データストア526に記憶する場合がある。したがって、CIS画像タイル506は、補正された画像空間における画像撮影データ501の光景を描写するフルフレームの画像を生成するために、（たとえば、ラスト順序で）組み合わせられる場合がある。

#### 【0047】

いくつかの実施形態では、再マッピング制御器510は、ソフトウェアで実現される場合がある。例えば、再マッピング制御器510は、汎用のプロセッサ又はCPUによって実行される命令のセットを含む場合がある。これにより、デワープ行列の設計及び/又は構成において、より大きなスケラビリティ及び柔軟性が提供される。例えば、カメラレンズの幾何学的歪みを反転させるためのアルゴリズムは、ユーザによって設定可能（及び再構成可能）である場合がある。したがって、本開示の態様は、（例えば、放射状歪みの、又は、接線歪みを補正するために）多項式のレンズモデルまたは非多項式のレンズモデルに基づくデワープ行列をサポートする場合がある。いくつかの他の態様において、デワープ行列は、チルト、ズーム、回転、及び、焦点の変更を含む（だがこれらに限定されない）追加的な幾何学的歪み補正をサポートするように構成または更新される場合がある。

#### 【0048】

いくつかの実施形態において、デワープ回路530は、ハードウェアで実装される場合がある。例えば、デワープ回路530は、双三次補間または他のピクセル再マッピング機能といった、デワープ行列によって定義される計算又は数学的演算を実行するためにハードウェア化された、トランジスタまたはロジックゲートのセットを備える場合がある。これは、画像描写データ507を補間する際に、より速い速度及び帯域幅を提供する。タイルサイズの粒度で画像描写データ507を処理することによって、本開示の態様は、利用可能な帯域幅およびリソースの使用を最適化しつつも、デワープ処理のレイテンシを更に減少させ得る。その結果、画像描写データ507のフレームは、（たとえば、画像撮影データ501がシステム500によって受信されるのと実質的に同じ速度で、画像描写データ507がLGDシステム500によって出力されるように）ほぼリアルタイムで生成され得る。

#### 【0049】

図6は、いくつかの実施形態に係る、画像空間再マッピング制御器600のブロック図である。再マッピング制御器600は、図5の画像空間再マッピング制御器510の一実施形態であり得る。したがって、再マッピング制御器600は、図5の画像撮影データ501のピクセルを歪んだ画像空間から補正された画像空間へ再マッピングするために使用するべき再マッピングデータを生成するように構成される場合がある。いくつかの実施形態では、再マッピング制御器600は、補正画像空間（CIS）の各スライド602についてスライド再マッピングデータセット604を生成する場合がある。再マッピング制御器600は、デワープ行列生成器610及び画像ブロックLUT生成器620を備える。

#### 【0050】

デワープ行列生成器610は、少なくとも部分的に、画像撮影デバイスに関連付けられたレンズ構成データ603に基づいて、複数のデワープ行列 $M(1) - M(m)$ を生成するように構成される。各デワープ行列 $M(1) - M(m)$ は、現在のCIS行列スライド602のうちのそれぞれのCIS行列タイル $T(1) - T(m)$ と関連付けられる場合がある。各CIS行列タイル $T()$ の行列要素は、CISピクセルの行及び列のインデックスを参照し得る。いくつかの実施形態では、デワープ行列 $M(1) - M(m)$ は、CISのピクセルと歪画像空間（DIS）のピクセルとの間のピクセルマッピングを定義す

10

20

30

40

50

る場合がある。したがって、各デワープ行列  $M()$  の行列要素は、DISピクセルの行及び列のインデックスを参照し得る。

【0051】

いくつかの実施形態では、行列生成器610は、(例えば、図3に関連して上記で説明したように) CIS行列タイル  $T(1) - T(m)$  の各々をラスト順序で処理する場合がある。いくつかの態様において、デワープ行列の各要素は、参照されたDISブロック内のピクセルへの高精度なピクセル参照を含む場合がある。所与のCIS行列タイルの各ピクセルを処理するときに、関連するデワープ行列の要素はまた、そこからピクセルが補間されるべきDISブロック内のピクセル内DISピクセルを参照するための1以上の部分座標を特定する。

10

【0052】

画像ブロックLUT生成器620は、各CIS行列ストライド602に対して、ブロックアップテーブル(LUT)をそれぞれに生成するように構成される。各LUTは、CIS行列ストライド602に関連する1以上のDISブロックを特定する場合がある。メモリバッファ空間が制限され得るため、LUTは、DISブロックが(図5のタイルデワープ回路530のような)デワープ回路部による処理のために取得されるべき順序を特定する場合がある。より詳細には、DISブロックの順序は、必要なDISブロックがCIS行列タイル  $T(1) - T(m)$  の各々の処理のために予めフェッチされ得るように、デワープ行列  $M(1) - M(m)$  の順序と合致している場合がある。

【0053】

いくつかの実施形態では、LUT生成器620は、デワープ行列  $M(1) - M(m)$  の各々に含まれるピクセル参照に少なくとも部分的に基づいて、LUTに含まれるべきDISブロックを決定する場合がある。例えば、LUT生成器620は、特定のデワープ行列(または行列のセット)内の最大及び最小のピクセル参照によって境界付けられる歪んだ画像空間内の領域を決定する場合がある。LUT生成器620はさらに、特定された領域によって境界付けられる(または特定された領域に一致する)1以上のDISブロックを特定し、当該DISブロックをデワープ行列と関連付ける場合がある。例えば、LUT内の各DISブロックは、それが付されるCIS行列の数、又は、他のインジケータと共に、DISブロックの列及び行のオフセットアドレスによって特定される場合がある。

20

【0054】

LUTは、デワープ行列  $M(1) - M(m)$  に付加され、ストライド再マッピングデータセット604として(図5のメモリ520のような)システムメモリに記憶される場合がある。いくつかの実施形態では、LUTは、データセット604のストレージへのオーバーヘッドを低減するために(例えば、ランレングス符号化を使用して)圧縮される場合がある。いくつかの他の実施形態では、再マッピング行列  $M(1) - M(m)$  もまた、ストレージへのオーバーヘッドをさらに低減し、及び/又は、帯域幅の輻輳を緩和するために圧縮される場合がある。LUT生成器620は、画像撮影データの各フレームについて、補正された画像空間の各ストライド602を連続して(例えば、ラスト順序で)処理する場合がある。いくつかの態様において、LUT生成器620は、ストライド再マッピングデータセット604の各々を連続的なデータストリームとして出力する場合がある。

30

【0055】

図7は、いくつかの実施形態に係る、タイルデワープ回路700のブロック図である。デワープ回路700は、図5のタイルデワープ回路530の一実施形態であり得る。このため、デワープ回路700は、歪んだ画像データに基づいて、補正された画像データを生成するように構成される場合がある。いくつかの実施形態では、デワープ回路700は、歪んだ画像空間の対応するブロックのピクセルデータ706からタイルピクセルデータ708を補間することにより、補正された画像空間の各タイルを個別に(例えば、ラストスキャンの順序で)処理する場合がある。

40

【0056】

デワープ回路700は、メモリインタフェース710、ストライド処理制御器720、

50

歪画像空間 (DIS) 入力バッファ 730、補正画像空間 (CIS) 出力バッファ 740、補間器 750、及び、タイミング制御器 760を備える。メモリインタフェース 710は、デワープ回路 700がそれを介して(図5のメモリ 520といった)システムメモリと通信可能なインタフェースを提供する。メモリインタフェース 710は、ストライド再マッピング (stride remapping) (SR) データ読出しクライアント 712、DIS 画像ブロック読出しクライアント 714、及び、CIS 画像ブロック書込みクライアント 716を備える場合がある。ストライド再マッピングデータ読出しクライアント 712は、ストライド読出しリクエスト 701に回答して、メモリからストライド再マッピング (SR) データセット 702を読み出す場合がある。DIS 画像ブロック読出しクライアント 714は、ブロック読出しリクエスト 705に回答して、メモリからブロックピクセルデータ 706を読み出す場合がある。CIS 画像ブロック書込みクライアント 716は、タイル書込みリクエスト 707に回答して、タイルピクセルデータ 708をメモリに書き込む場合がある。いくつかの態様では、CIS 画像ブロック書込みクライアント 716は、ラスタスキャンの順序でタイルピクセルデータ 708をメモリに書き込む場合がある。

10

#### 【0057】

ストライド処理制御器 720は、補正された画像空間のストライドを処理する場合がある。図3に関連して説明したように、補正された画像空間は、所定のピクセルの高さを有し、補正された画像空間の幅にまたがる複数のストライドを含む場合がある。ストライド処理制御器 720は、補正された画像空間の各ストライドを処理するための各ストライド読出しリクエスト 701を出力する場合がある。ストライド再マッピングデータ読出しクライアント 712は、ストライド読出しリクエスト 701に回答して、SR データセット 702をストライド処理制御器 720に返送する。図6に関連して説明したように、SR データセット 702は、ブロック LUTと、複数のデワープ行列  $M(1) - M(m)$ と、を含む場合がある。各デワープ行列は、補正された画像空間の各タイルと1以上のDISブロックとの間のピクセルマッピングを定義する場合がある。LUTは、各デワープ行列に服するDISブロックを特定する場合がある。ストライド処理制御器 720は、ブロック LUT及びデワープ行列を、それぞれLUTバッファ 722及び行列バッファ 724に記憶する場合がある。いくつかの実施形態では、行列バッファ 724は、一度に単一のデワープ行列のみを記憶するように構成される場合がある。

20

30

#### 【0058】

DIS 入力バッファ 730は、LUTバッファ 722からブロック情報 703を読み出して、いずれのDISブロックがメモリから取り出されるべきかを決定する場合がある。例えば、ブロック情報 703は、LUTから解析され、デワープ行列が処理されるべき順序でDIS 入力バッファ 730に提供される場合がある。ブロック情報 703は、メモリから読み出されるべき1以上のDISブロックのインデックスと、各DISブロックを参照するデワープ行列の数を示すカウント値と、を含む場合がある。DIS 入力バッファ 730は、現在のブロック情報 703に特定されるインデックスを有する各DISブロック(又はDISブロックの集合)についてのブロック読出しリクエスト 705をそれぞれ出力する場合がある。DIS 画像ブロック読出しクライアント 714は、要求されたDISブロック(又は複数のDISブロック)のブロックピクセルデータ 706を、DIS 入力バッファ 730に返送する。DIS 入力バッファ 730は、続くブロック情報 703がLUTバッファ 722から読み出されるまで、ブロックピクセルデータ 706を記憶又はバッファリングする場合がある。

40

#### 【0059】

補間器 750は、ブロックピクセルデータ 706と、それぞれのデワープ行列 704と、に基づいて、補正された画像空間の各タイルを処理する場合がある。例えば、補間器 750は、行列バッファ 724から各デワープ行列 704をラスタ順序で読み出す場合がある。各デワープ行列 704について、補間器 750は、バッファリングされたブロックピクセルデータ 706を用いて、デワープ行列 704によって特定されるピクセルマッピング

50

グに従って、補正された画像空間の対応するタイルを生成する場合がある。いくつかの実施形態では、補間器 750 は、ブロックピクセルデータ 706 内のデワーブ行列によって示される基準点の双三次補間に基づいて、各タイルを生成する場合がある。例えば、補間器 750 は、ブロックピクセルデータ 706 の 4 個のルナ (Y) ピクセル及び 4 個のクロマ (UV) ピクセルと、デワーブ行列 704 によって示されるフラクショナルオフセットと、を用いて各タイルを補間する場合がある。

#### 【0060】

CIS 出力バッファ 740 は、完成されたタイルが CIS 出力バッファ 740 に記憶されるまで、補間器 750 の出力 (例えば、タイルピクセルデータ 708) をバッファリングする場合がある。CIS 出力バッファ 740 内のタイルピクセルデータ 708 が補正された画像空間の完全なタイルを表すとき、CIS 出力バッファ 740 はタイルをシステムメモリに書き戻す場合がある。例えば、CIS 出力バッファ 740 は、タイルピクセルデータ 708 と共に、タイル書込みリクエスト 707 を CIS 画像ブロック書込みクライアント 716 に出力する場合がある。いくつかの実施形態では、補間器 750 が補正された画像空間の次のタイル (又は次のデワーブ行列 704) の処理を開始する前に、完成された各タイルが、ラスト順序でシステムメモリに書き込まれる場合がある。これに応じて、画像描写デバイス (または画像解析デバイス) は、デワーブ回路 700 によるデワーブが完了すると、ほぼリアルタイムで、タイルピクセルデータ 708 を描写し得る。

#### 【0061】

タイミング制御器 760 は、タイミング信号 709 を生成して、ストライド処理制御器 720、DIS 入力バッファ 730、及び、CIS 出力バッファ 740 のタイミングを制御する場合がある。より詳細には、タイミング信号 709 は、ストライド処理制御器 720、DIS 入力バッファ 730、及び、CIS 出力バッファ 740 の動作を同期させるために使用される場合がある。例えば、タイミング信号 709 は、ブロック LUT が最初に LUT バッファ 722 にロードされること、及び、ストライド処理制御器 720 がブロックピクセルデータ 706 に関連するデワーブ行列 704 を取得する前に、DIS 入力バッファ 730 が LUT によって特定されるブロックピクセルデータ 706 を取得することを保証する場合がある。複数のデワーブ行列 704 が同じブロックピクセルデータ 706 に依存する場合があるため、DIS 入力バッファ 730 は、連続するデワーブ行列 704 毎に新しいブロックピクセルデータ 706 を取得する必要はない。いくつかの態様において、DIS 入力バッファ 730 は、補間器 750 によって処理されたデワーブ行列の数が DIS 入力バッファ 730 に記憶された現在の DIS ブロック (又は複数の DIS ブロック) に関連するカウント値に達したときに、新しいブロック読出しリクエスト 705 を出力する場合がある。

#### 【0062】

図 8 は、いくつかの実施形態に係る、画像空間再マッピング制御器 800 の別のブロック図である。再マッピング制御器 800 は、LGDC システム (図 5 の LGDC システム 500 など) に実装される場合がある。したがって、再マッピング制御器 800 は、図 6 の画像空間再マッピング制御器 600 の一実施形態であり得る。再マッピング制御器 800 は、プロセッサ 810 及びメモリ 820 を備える。

#### 【0063】

メモリ 820 は、画像キャプチャデータ及び / 又は画像レンダリングデータを記憶するように構成された画像ピクセルデータストア 821 を含む場合がある。例えば、画像描写データは、歪んだ画像空間における光景の画像に対応する場合があり、画像描写データは、補正された画像空間におけるシーンの画像に対応する場合がある。メモリ 820 は、少なくとも以下のソフトウェア (SW) モジュールを記憶可能なコンピュータ読取り可能な非一時的記憶媒体 (例えば、EPROM、EEPROM、フラッシュメモリ、ハードドライブといった 1 以上の不揮発性メモリ素子) を含む場合がある。

補正画像空間 (CIS) のタイルと歪画像空間 (DIS) のブロックとの間のピクセルマッピングを表す複数のデワーブ行列を生成するデワーブ行列 SW モジュール 822 で

10

20

30

40

50

あって、デワーブ行列SWモジュール822は更に以下を含む：

○LGDシステムメモリ帯域幅の利用態様に少なくとも部分的に基づいて、各CISTイルのサイズを設定するタイル設定サブモジュール823；

○多項式レンズモデルに基づいてピクセルマッピングを決定する多項式モデリングサブモジュール824；及び

○非多項式レンズモデルに基づいてピクセルマッピングを決定する非多項式モデリングサブモジュール825；及び

各デワーブ行列に関連する1以上のDISブロックを特定する複数のブロックLUTを生成するブロックLUTSWモジュール826であって、ブロックLUTSWモジュール826は更に以下を含む：

○LGDシステムメモリ帯域幅の利用態様に少なくとも部分的に基づいて各DISブロックのサイズを設定するブロック設定サブモジュール827、及び

○少なくとも部分的に、デワーブ行列の順序に基づいて、DISブロックの各々のフェッチ順序を決定するブロック順序サブモジュール828。

各ソフトウェアモジュールは、プロセッサ810によって実行されるときに、再マッピング制御器800に対応する機能を実行させる命令を含む。

【0064】

プロセッサ810は、再マッピング制御器800に記憶された1以上のソフトウェアプログラムのスクリプトまたは命令を実行可能な任意の適切な1以上のプロセッサである場合がある。例えば、プロセッサ810は、命令822 - 命令828を実行して、補正された画像空間の各ストライドに対する（図6のデータセット604といった）ストライド再マッピングのデータセットを生成する場合がある。いくつかの実施形態では、プロセッサ810は、レイテンシの改善のために、複数のストライドに対して同時に又は並行して（例えば、マルチスレッドを用いて）演算を行うように構成される場合がある。より詳細には、ソフトウェアプロセスレイテンシは、プロセッサ810によって同時に作動されるスレッド数を増加させることによって低減され得る。

【0065】

プロセッサ810は、デワーブ行列SWモジュール822を実行して、CISTのタイルとDISのブロックとの間のピクセルマッピングを表す複数のデワーブ行列を生成する場合がある。デワーブ行列SWモジュール822を実行する際に、プロセッサ810は、タイル設定サブモジュール823、多項式モデリングサブモジュール824、及び/又は、非多項式モデリングサブモジュール825を更に実行する場合がある。例えば、プロセッサ810は、タイル設定サブモジュール823を実行して、LGDシステムメモリ帯域幅の利用態様に少なくとも部分的に基づいて、各CISTイルのサイズを設定する場合がある。更に、プロセッサ810は、多項式モデリングサブモジュール824を実行して、多項式レンズモデルに基づいてピクセルマッピングを決定する場合がある。その上更に、プロセッサ810は、非多項式モデリングサブモジュール825を実行して、非多項式レンズモデルに基づいてピクセルマッピングを決定する場合がある。

【0066】

また、プロセッサ810は、ブロックLUTSWモジュール826を実行して、各デワーブ行列に関連する1以上のDISブロックを特定する複数のブロックLUTを生成する場合がある。ブロックLUTSWモジュール826を実行する際に、プロセッサ810は、ブロック設定サブモジュール827、及び/又は、ブロック順序サブモジュール828を更に実行する場合がある。例えば、プロセッサ810は、ブロック設定サブモジュール827を実行して、LGDシステムメモリ帯域幅の利用態様に少なくとも部分的に基づいて、各DISブロックのサイズを設定する場合がある。更に、プロセッサ810は、ブロック順序サブモジュール828を実行して、デワーブ行列の順序に少なくとも部分的に基づいて、DISブロックの各々のフェッチ順序を決定する場合がある。

【0067】

図9は、いくつかの実施形態に係る、例示的な画像処理動作900を示す例示的なフロ

10

20

30

40

50

ーチャートである。図7の例を参照して、動作900は、歪んだ画像データに基づいて補正された画像データを生成するために、タイルデワープ回路700によって実行される場合がある。

**【0068】**

デワープ回路は、順序付けられたシーケンスで、第1画像のピクセルを歪んだ画像空間から補正された画像空間へ再マッピングするための複数のデワープ行列を、取得する場合がある(910)。第1画像は、歪んだ画像空間上での光景を示す場合がある。例えば、デワープ回路は、メモリからストライド再マッピングのデータセットを取得する場合がある。データセットは、ラスト順序で配列された複数のデワープピクセルを含む場合がある。各デワープ行列は、CISタイルと1以上のDISブロックとの間のピクセルマッピング

10

**【0069】**

デワープ回路は、デワープ行列の順序に少なくとも部分的に基づいて、第1画像のピクセルのブロックを取得する場合がある(920)。例えば、ストライド再マッピングのデータセットは、各デワープ行列に服するDISブロックを特定するブロックLUTをさらに含む場合がある。したがって、DISブロックの順序は、少なくとも部分的に、デワープ行列がデワープ回路によって取得され処理されるべき順序に基づく場合がある。いくつかの実施形態では、デワープ回路は、LUTで特定された順序でDISブロックを取得する場合がある。

**【0070】**

デワープ回路は、第1画像のピクセルのブロックに基づいて複数の画像タイルを生成する場合がある。ここで、各画像タイルは、取得された1以上のピクセルブロックから、1以上のデワープ行列をそれぞれ用いて補間される(930)。例えば、デワープ回路は、取得されたDISブロックとそれぞれのデワープ行列とに基づいて、補正された画像空間の各タイルを処理する場合がある。いくつかの実施形態では、デワープ回路は、DISブロック内のデワープ行列によって示される基準点の双三次補間に基づいて、各CISタイルを生成する場合がある。

20

**【0071】**

次に、デワープ回路は、複数の画像タイルを組み合わせて、補正された画像空間における光景を示す第2画像を生成する場合がある(940)。図3に関連して上記で説明したように、複数のCISタイルは、ラスト順序に配置されたときに、補正された画像空間上でのフルフレーム画像を形成する場合がある。いくつかの実施形態では、デワープ回路は、補正された画像空間の次のタイル(または次のデワープ行列)を処理する前に、各補間されたタイルをメモリに書き戻す場合がある。このため、画像描写デバイス(または画像解析デバイス)は、デワープ回路によるデワープが完了すると、ほぼリアルタイムで、第2画像をレンダリングし得る。

30

**【0072】**

当業者は、様々な異なる任意のテクノロジー及び技術を用いて、情報及び信号が表し得ることを理解するであろう。例えば、上述の説明を通して参照され得るデータ、命令、コマンド、情報、信号、ビット、記号、及び、チップは、電圧、電流、電磁波、磁界若しくは磁性粒子、光場若しくは光粒子、又は、これらの任意の組合せによって表し得る。

40

**【0073】**

さらに、当業者は、本明細書で開示された態様に関連して説明された様々な例示的なロジックブロック、モジュール、回路、及び、アルゴリズムのステップが、電気的なハードウェア、コンピュータソフトウェア、又は、両者の組合せとして実装し得ることを理解しよう。このハードウェアとソフトウェアの交換可能性を明確に図示するために、例示的な様々なコンポーネント、ブロック、モジュール、回路、及び、ステップが、一般に、その機能性の観点から上述のように説明されてきた。このような機能がハードウェア又はソフトウェアの何れで実装されるかは、システム全体に要求される特定のアプリケーションとデザイン上の制約に依存する。当業者は説明された機能を特定のアプリケーション毎に様

50

々な方法で実装し得るが、そのような実装上の決定が、本開示の範囲からの逸脱を引き起こすと解釈されてはならない。

【 0 0 7 4 】

本明細書で開示された態様に関連して説明された方法、手順、又はアルゴリズムは、ハードウェアにより直接的に、プロセッサによって実行されるソフトウェアモジュールにより、あるいは、両者の組合せにより、具体化され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、又は、当技術分野において既知の他の形式の記憶媒体に存在し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。あるいは、記憶媒体はプロセッサに統合されてもよい。

10

【 0 0 7 5 】

前述の明細書では、その具体的な例を参照して実施形態が説明されてきた。しかしながら、添付の特許請求の範囲に提示されているように、本開示のより広い範囲を逸脱することなく、それらに対して様々な変形や変更が成し得ることは明らかであろう。したがって、明細書及び図面は、限定的な意味ではなく例示的な意味で解釈される。

20

30

40

50

【図面】

【図 1】

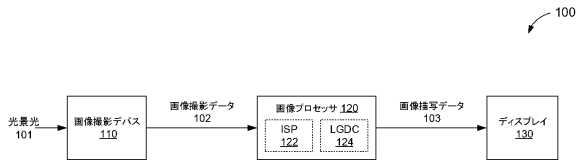


FIG. 1

【図 2】

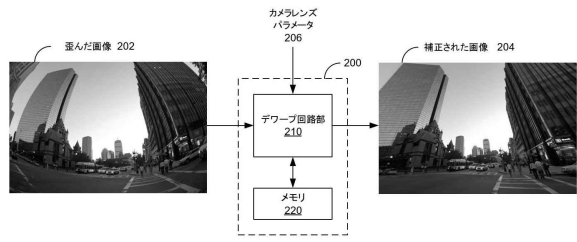


FIG. 2

【図 3】

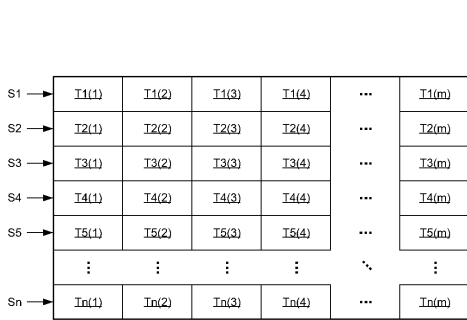


FIG. 3

【図 4】

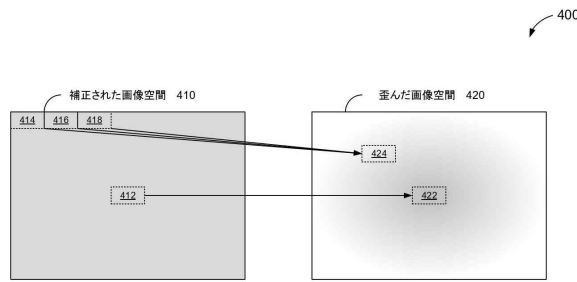


FIG. 4

【図 5】

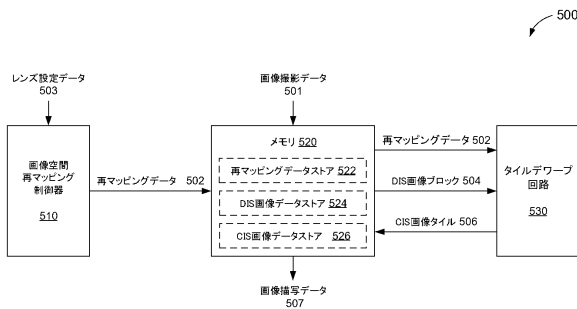


FIG. 5

【図 6】

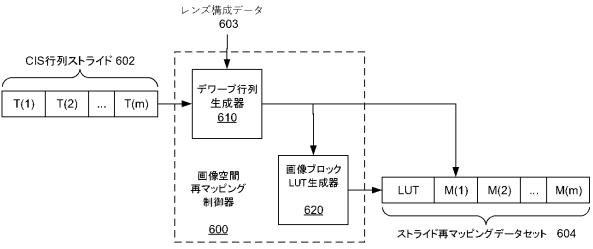


FIG. 6

10

20

30

40

50



---

フロントページの続き

- (56)参考文献 米国特許出願公開第 2 0 1 3 / 0 0 1 6 9 1 8 ( U S , A 1 )  
特開 2 0 1 7 - 0 1 7 6 7 2 ( J P , A )  
特開 2 0 0 9 - 1 6 4 6 7 4 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)
- |         |             |
|---------|-------------|
| G 0 6 T | 5 / 8 0     |
| H 0 4 N | 2 3 / 6 0   |
| H 0 4 N | 2 3 / 6 9 8 |