



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
05.07.2006 Bulletin 2006/27

(51) Int Cl.:
G09G 3/28^(2006.01)

(21) Numéro de dépôt: **05292638.3**

(22) Date de dépôt: **12.12.2005**

(84) Etats contractants désignés:
**AT BE BG CH CY CZ DE DK EE ES FI FR GB GR
HU IE IS IT LI LT LU LV MC NL PL PT RO SE SI
SK TR**
Etats d'extension désignés:
AL BA HR MK YU

(30) Priorité: **23.12.2004 FR 0413846
25.08.2005 FR 0508735**

(71) Demandeur: **STMICROELECTRONICS SA
92120 Montrouge (FR)**

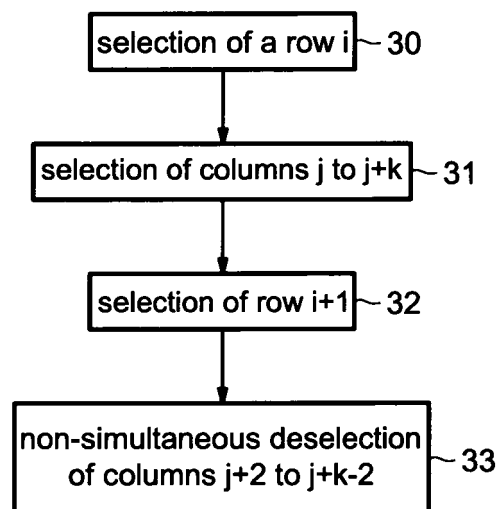
(72) Inventeurs:
• **Bezal, Jean-Raphael
38000 Grenoble (FR)**
• **Permezel, Jean-Marie
38000 Grenoble (FR)**
• **Troussel, Gilles
38000 Grenoble (FR)**

(74) Mandataire: **Zapalowicz, Francis
Bureau Casalonga & Josse
Bayerstrasse 71/73
80335 München (DE)**

(54) **Procédé et dispositif de commande d'un écran à plasma matriciel**

(57) La commande d'un écran à plasma matriciel comprend une sélection séquentielle de lignes de la matrice et pour une ligne sélectionnée, une désélection de plusieurs colonnes de la matrice précédemment sélectionnées lors de la sélection d'une ligne précédente. Afin d'éviter une raideur trop importante des fronts de descente des potentiels des colonnes, lesdites colonnes précédemment sélectionnées sont désélectionnées (33) de manière non simultanée.

FIG.3



Description

[0001] L'invention concerne les écrans à plasma, et plus particulièrement la commande des cellules d'un tel écran.

[0002] Un écran à plasma est un écran de type matriciel, formé de cellules disposées aux intersections de lignes et de colonnes. Une cellule comprend une cavité remplie d'un gaz rare, et au moins deux électrodes de commande. Pour créer un point lumineux sur l'écran en utilisant une cellule donnée, on sélectionne la cellule en appliquant une différence de potentiel entre ses électrodes de commande, puis on déclenche une ionisation du gaz de la cellule généralement au moyen d'une troisième électrode de commande. Cette ionisation s'accompagne d'une émission de rayons ultraviolets. La création du point lumineux est obtenue par excitation d'un matériau luminescent, rouge, vert ou bleu, par les rayons émis.

[0003] Classiquement, la commande d'un écran à plasma comporte essentiellement deux phases, à savoir une phase d'adressage dans laquelle on détermine les cellules (pixels) qui devront être allumées et celles qui devront être éteintes, ainsi qu'une phase d'affichage proprement dite dans laquelle on allume effectivement les cellules ayant été sélectionnées dans la phase d'adressage.

[0004] La phase d'adressage comporte une sélection séquentielle des lignes de la matrice. A titre d'exemple les lignes non-sélectionnées sont mises à un potentiel de repos, par exemple 150 volts, tandis qu'une ligne sélectionnée est amenée à un potentiel d'activation, par exemple 0 volt. Pour sélectionner des pixels choisis de la ligne sélectionnée, pixels qui devront être allumés dans la phase d'affichage, les colonnes correspondantes de la matrice sont par exemple amenées à un potentiel relativement élevé, par exemple 70 volts, par l'intermédiaire d'un étage de puissance comportant des transistors MOS de puissance. Les colonnes correspondant aux autres pixels de la ligne sélectionnée, qui ne devront pas être allumés, sont amenées au potentiel 0 volt. Ainsi, les cellules de la ligne activée, qui devront être allumées, voient un potentiel colonne-ligne égal à 70 volts tandis que les autres cellules de cette ligne, voient un potentiel colonne-ligne égal à 0 volt.

[0005] Cela étant il est également envisageable dans la phase d'adressage, moyennant l'application de potentiels différents sur les lignes de la matrice, d'appliquer un potentiel haut sur une colonne pour sélectionner un pixel qui devra être éteint, et d'appliquer un potentiel bas sur une colonne pour sélectionner un pixel qui devra être allumé.

[0006] La demande de brevet internationale WO 02/15163 donne un exemple du fonctionnement général d'un tel écran à plasma, et se focalise en particulier sur le problème de la sélection des colonnes lorsqu'une ligne a été sélectionnée. Plus précisément, ce document de l'art antérieur évoque et résout le problème du pic de courant traversant les transistors de puissance con-

tés à la ligne sélectionnée, lorsqu'un très grand nombre de colonnes sont sélectionnées simultanément (correspondant à un très grand nombre de pixels qui devront être allumés).

[0007] Cela étant, les inventeurs ont identifié un autre problème dans la commande des cellules d'un écran à plasma, plus particulièrement lors de la désélection de colonnes ayant été précédemment sélectionnées, c'est à dire ayant un potentiel haut avant leur désélection.

[0008] Plus précisément, supposons que tous les pixels de la ligne i doivent être allumés (ou éteints selon le mode d'utilisation envisagé) et que tous les pixels de la ligne suivante $i+1$ ne doivent pas être allumés (ou ne doivent pas être éteints selon le mode d'utilisation envisagé). Dans ce cas, dans la phase d'adressage, lors de la sélection de la ligne i , toutes les colonnes de l'écran seront sélectionnées, c'est-à-dire que leur potentiel sera porté à un état haut (à 70 volts par exemple).

[0009] Puis, lorsque la ligne suivante, $i+1$, est activée, il faut désélectionner les colonnes, c'est-à-dire refaire tomber leur potentiel à un état bas (0 volt par exemple).

[0010] Ceci s'effectue en appliquant un signal logique à un inverseur de commande situé sur chacune des colonnes de façon à ce que l'un des transistors de puissance devienne passant pour autoriser la décharge de la capacité de la cellule considérée.

[0011] La tension de colonne passe alors de la valeur 70 volts à la valeur 0 en suivant un front de descente en un temps donné.

[0012] Généralement, lorsqu'une colonne, voire un petit nombre de colonnes est désélectionné, le temps de descente de la tension de colonne est typiquement de l'ordre de 100 nanosecondes.

[0013] Par contre, il a été observé que lorsqu'un très grand nombre de colonne sont désélectionnées, par exemple deux tiers des colonnes au moins de l'écran, les fronts de descente des tensions de colonnes respectives deviennent beaucoup plus raides, c'est-à-dire que le temps de descente devient plus faible, par exemple de l'ordre de 40 nanosecondes.

[0014] Et, ceci conduit à l'émission de perturbations électromagnétiques supplémentaires qui peuvent gêner le fonctionnement d'autres composants situés dans un voisinage proche.

[0015] L'invention vise à apporter une solution à ce problème.

[0016] Un but de l'invention est de limiter de façon très simple, cette émission électromagnétique liée à l'augmentation de la raideur des fronts des descentes et tensions de colonnes.

[0017] Ainsi, selon un mode de mise en oeuvre de l'invention, il est proposé un procédé de commande d'un écran à plasma matriciel, comprenant une sélection séquentielle de lignes de la matrice et pour une ligne sélectionnée, une désélection de plusieurs colonnes de la matrice précédemment sélectionnées lors de la sélection d'une ligne précédente.

[0018] Il convient de noter ici que ladite ligne précé-

dente peut être la ligne précédant immédiatement la ligne sélectionnée ou bien une ligne encore plus ancienne si par exemple aucune modification sur les colonnes n'a été effectuée entre cette ligne plus ancienne et ladite ligne sélectionnée.

[0019] Par ailleurs la sélection séquentielle est une sélection temporelle mais non nécessairement physique en ce sens que l'on peut sélectionner séquentiellement les lignes selon leurs rangs consécutifs (on sélectionne par exemple la ligne n°1 puis la n°2, puis la n°3 etc..) ou non (on sélectionne par exemple la ligne n°1 puis la n°3, puis la n°7, etc...)

[0020] Enfin la sélection d'une colonne s'entend comme une colonne ayant un potentiel porté à état haut que ce soit pour allumer ou éteindre un pixel tandis que la désélection d'une colonne s'entend comme le passage de son potentiel de l'état haut à l'état bas que ce soit pour éteindre ou allumer un pixel.

[0021] Selon une caractéristique générale de ce mode de mise en oeuvre, lesdites colonnes précédemment sélectionnées sont désélectionnées de manière non simultanée.

[0022] En d'autres termes, les inventeurs ont observé de manière surprenante et inattendue qu'une action globale sur les instants de désélection, de façon à les rendre non-identiques, apportait une solution au problème de la raideur individuelle des fronts descendants, c'est-à-dire permettait de ne pas trop influencer sur la durée individuelle de la chute de tension.

[0023] Selon un mode de mise en oeuvre de l'invention, la désélection d'une colonne comprend la délivrance sur ladite colonne d'un signal de désélection (la chute de la tension) en réponse à un signal de commande de désélection (typiquement l'application d'une tension de commande, par exemple 5 volts, sur un inverseur de commande). Et, la phase de désélection desdites colonnes précédemment sélectionnées comporte

- la réception simultanée des signaux de commande de désélection destinés auxdites colonnes précédemment sélectionnées et devant être désélectionnées, et, en réponse à cette réception simultanée,
- des délivrances non-simultanées de certains au moins des signaux de désélection.

[0024] Selon un mode de mise en oeuvre, les signaux de désélection délivrés de manière non-simultanée sont respectivement mutuellement retardés.

[0025] Bien qu'il soit possible d'envisager des retards fixes, les valeurs des retards sont avantageusement variables en fonction du nombre de colonnes désélectionnées.

[0026] Selon un mode de mise en oeuvre de l'invention, les colonnes peuvent être désélectionnées par groupes de colonnes, chaque groupe comportant au moins une colonne. Et, chaque groupe est désélectionné à un instant différent de l'instant de désélection d'un autre groupe.

[0027] De façon à résoudre également le problème du fort pic de courant dans la ligne d'alimentation lors de la sélection de colonnes précédemment désélectionnées, il est avantageusement prévu selon un mode de mise en oeuvre que le procédé comprenne en outre pour une ligne sélectionnée, une sélection de manière non simultanée de plusieurs colonnes de la matrice précédemment désélectionnées lors de la sélection d'une ligne précédente.

[0028] Là encore lesdites colonnes peuvent être sélectionnées par groupe de colonnes, chaque groupe comportant au moins une colonne, chaque groupe étant sélectionné à un instant différent de l'instant de sélection d'un autre groupe.

[0029] Selon un autre aspect de l'invention, il est proposé un dispositif de commande d'un écran à plasma matriciel comprenant un circuit de commande de lignes apte à sélectionner séquentiellement les lignes de la matrice et un circuit de commande de colonnes aptes à désélectionner plusieurs colonnes précédemment sélectionnées.

[0030] Selon une caractéristique générale de cet autre aspect de l'invention, le circuit de commande de colonnes est agencé de façon à désélectionner lesdites colonnes précédemment sélectionnées de manière non-simultanée.

[0031] Selon un mode de réalisation de l'invention, le circuit de commande de colonnes comprend des blocs individuels de commande respectivement connectés aux colonnes de la matrice. Chaque bloc individuel de commande est apte à recevoir un éventuel signal de commande de désélection et à délivrer en réponse un signal de désélection sur la colonne.

[0032] Le circuit de commande de colonnes comporte également un moyen de commande apte à délivrer simultanément des signaux de commande de désélection aux blocs individuels de commande des colonnes à désélectionner, et des moyens auxiliaires aptes en présence de cette délivrance simultanée des signaux de commande de désélection, à provoquer une délivrance non-simultanée de certains au moins des signaux de désélection.

[0033] Ces moyens auxiliaires peuvent comporter par exemple des moyens de retard, également désignés moyens de retard auxiliaires, aptes à respectivement mutuellement retarder certains au moins des signaux de désélection.

[0034] Selon un mode de réalisation de l'invention, chaque bloc de commande comporte un inverseur, également désigné premier inverseur, possédant une première borne connectée à une tension d'alimentation, par exemple 3 ou 5 volts, et une deuxième borne. Les moyens auxiliaires comportent un réseau résistif, également désigné réseau résistif auxiliaire, comportant des résistances, également désignées résistances auxiliaires, connectées en série. Le réseau résistif auxiliaire est connecté entre la deuxième borne du premier inverseur d'un premier bloc de commande et la masse. Les bornes

des différentes résistances auxiliaires sont respectivement connectées aux deuxième bornes des premiers inverseur de certains au moins des blocs individuels de commande.

[0035] Un tel mode de réalisation permet de rendre le retards variables en fonction du nombre de sorties effectivement désélectionnées.

[0036] Le circuit de commande de colonnes peut être également agencé de façon à désélectionner les colonnes précédemment sélectionnées par groupes de colonnes, chaque groupe comportant au moins une colonne, chaque groupe étant délésectionné à un instant différent de l'instant de désélection de l'autre groupe.

[0037] Plus précisément, selon un mode de réalisation de l'invention, les blocs individuels de commande des colonnes forment plusieurs groupes. Les deuxième bornes des premiers inverseurs des blocs individuels de commande d'un même groupe sont alors connectées ensemble et sont connectées aux deuxième bornes des premiers inverseurs des blocs individuels de commande d'un groupe adjacent par une résistance auxiliaire du réseau résistif auxiliaire.

[0038] Selon une variante de l'invention le circuit de commande de colonnes du dispositif est en outre apte à sélectionner de manière non simultanée plusieurs colonnes précédemment désélectionnées.

[0039] Ainsi selon cette variante de l'invention le même circuit de commande peut éventuellement sélectionner des colonnes de manière non simultanée et désélectionner des colonnes de manière non simultanée.

[0040] Selon un mode de réalisation chaque bloc individuel de commande est en outre apte à recevoir un éventuel signal de commande de sélection et à délivrer en réponse un signal d'activation sur la colonne. Le moyen de commande, par exemple un registre à décalage associé à des mémoires-verrous, est en outre apte à délivrer simultanément des signaux de commande de sélection aux blocs individuels de commande des colonnes à sélectionner et le dispositif comprend en outre des moyens secondaires aptes en présence de cette délivrance simultanée des signaux de commande de sélection, à provoquer une délivrance non simultanée de certains au moins des signaux de sélection.

[0041] Les moyens secondaires comportent avantageusement des moyens secondaires de retard aptes à respectivement mutuellement retarder certains au moins des signaux de sélection.

[0042] Les moyens secondaires peuvent comporter un réseau résistif secondaire comportant des résistances secondaires connectées en série, le réseau résistif secondaire étant connecté entre la première borne du premier inverseur d'un premier bloc de commande et la tension d'alimentation, les bornes des différentes résistances secondaires étant respectivement connectées aux premières bornes des inverseurs de certains au moins des blocs individuels de commande.

[0043] Cela étant il est particulièrement avantageux que les moyens auxiliaires et les moyens secondaires

soient formés par de mêmes moyens. En effet dans un tel mode de réalisation les mêmes moyens matériels peuvent être utilisés pour sélectionner ou désélectionner des colonnes de manière non simultanée.

[0044] Plus précisément et selon un exemple de réalisation utilisant des moyens communs, chaque bloc de commande comporte en outre un deuxième inverseur de commande connecté en série avec le premier inverseur de commande, chaque inverseur de commande possédant une première borne connectée à une tension d'alimentation et une deuxième borne connectée à la masse ; lesdits mêmes moyens comprennent alors un réseau résistif commun comportant des résistances communes connectées en série ; et le réseau résistif commun est connecté entre la première borne de chaque inverseur d'un premier bloc de commande et la tension d'alimentation, les bornes des différentes résistances communes étant respectivement connectées aux premières bornes des deux inverseurs de certains au moins des blocs individuels de commande.

[0045] Selon un autre exemple de réalisation utilisant des moyens communs, le moyen de commande du circuit de commande de colonnes comprend en outre des mémoires-verrous respectivement connectées en entrée des blocs individuels de commande et des moyens d'amplification aptes tous à recevoir un même signal de commande d'entrée et à délivrer respectivement des signaux de commande amplifiés pour commander respectivement les mémoires-verrous ; chaque moyen d'amplification possède une première borne reliée à une tension d'alimentation; lesdits mêmes moyens comprennent alors un réseau résistif commun comportant des résistances communes connectées en série, le réseau résistif commun étant connecté entre la première borne d'un moyen d'amplification d'une première mémoire-verrou et la tension d'alimentation, les bornes des différentes résistances communes étant respectivement connectées aux premières bornes des moyens d'amplification de certaines au moins des mémoires-verrous.

[0046] Selon encore un autre exemple de réalisation utilisant des moyens communs, le moyen de commande du circuit de commande de colonnes comprend en outre des mémoires-verrous respectivement connectées en entrée des blocs individuels de commande et une chaîne de moyens d'amplification connectés en série, aptes tous à recevoir respectivement des signaux de commande d'entrée et à délivrer respectivement des signaux de commande amplifiés pour commander respectivement les mémoires-verrous, et lesdits mêmes moyens communs comprennent ladite chaîne de moyens d'amplification; le signal de commande d'entrée d'un moyen d'amplification courant à partir du deuxième est le signal de sortie délivré par le moyen d'amplification précédent.

[0047] Le circuit de commande de colonnes peut être agencé de façon à sélectionner lesdites colonnes précédemment sélectionnées par groupe de colonnes, chaque groupe comportant au moins une colonne, chaque groupe étant sélectionné à un instant différent de l'instant de

désélection d'un autre groupe.

[0048] Plus précisément et à titre d'exemple, lorsque les blocs individuels de commande forment plusieurs groupes, les deuxièmes bornes des deux inverseurs des blocs individuels de commande d'un même groupe peuvent être connectées ensemble et connectées aux deuxièmes bornes des deux inverseurs des blocs individuels de commande d'un groupe adjacent par une résistance commune du réseau résistif commun.

[0049] Selon un autre exemple possible, les premières bornes des moyens d'amplification des mémoires-verrous d'un même groupe peuvent être connectées ensemble et connectées aux premières bornes des moyens d'amplification des mémoires-verrous d'un groupe adjacent par une résistance commune du réseau résistif commun.

[0050] L'invention propose également un écran à plasma, comprenant un écran à plasma matriciel et un dispositif de commande tel que défini ci avant.

[0051] D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation et de mise en oeuvre, nullement limitatifs, et des dessins annexés sur lesquels :

- la figure 1 est une illustration très schématique d'un écran matriciel selon un mode de réalisation de l'invention,
- la figure 2 illustre un front de descente d'une tension colonne lors de la désélection d'une colonne,
- la figure 3 est un organigramme illustrant les principales étapes d'un mode de mise en oeuvre de l'invention,
- la figure 4 illustre plus en détails une partie de l'organigramme de la figure 3,
- la figure 5 est une représentation plus détaillée d'un mode de réalisation d'un dispositif de commande selon l'invention,
- la figure 6 illustre également de façon détaillée une partie d'un autre mode de réalisation d'un dispositif de commande selon l'invention,
- la figure 7 illustre des décalages temporels des fronts de descente des différentes tensions de colonne des colonnes désélectionnées,
- les figures 8 et 9 se rapportent respectivement à un autre mode de mise en oeuvre et à un autre mode de réalisation de l'invention,
- les figures 10 et 11 illustrent un autre mode de réalisation de l'invention, et,
- les figures 12 à 17A, 17B et 18 à 20 se rapportent à d'autres modes de mise en oeuvre et de réalisation de l'invention permettant en particulier des sélections et des désélections non-simultanées de colonnes.

[0052] La figure 1 représente très schématiquement une structure d'un écran à plasma matriciel ECR formé de cellules CELij (correspondant à des pixels de l'image) chaque cellule CELij a deux électrodes de commande

respectivement reliées à une ligne Li et à une colonne Cj. Chaque cellule a une capacité équivalente de l'ordre de plusieurs dizaines de picofarads. Le dispositif de commande de cet écran comporte un circuit de commande de lignes apte à sélectionner séquentiellement les lignes de la matrice, et un circuit de commande de colonnes apte à sélectionner et à éventuellement désélectionner plusieurs colonnes précédemment sélectionnées.

[0053] Ces circuits sont généralement intégrés sur une puce semiconductrice.

[0054] Classiquement, lorsqu'une colonne a été sélectionnée, son potentiel est porté à une valeur élevée VPP, typiquement de l'ordre de 70 volts (pour allumer ou éteindre un pixel selon le mode d'utilisation choisi pour l'écran).

[0055] Lorsqu'une colonne doit être désélectionnée (pour éteindre ou allumer un pixel selon le mode d'utilisation choisi pour l'écran), il faut alors, comme illustré sur la figure 2, ramener la tension colonne de la valeur VPP à la valeur 0 volt, par exemple. Ceci s'effectue en appliquant un signal logique de commande sur le bloc individuel de commande qui, en réponse, fait chuter la tension colonne (ce qui correspond à une décharge de la capacité de la cellule) et se traduit par un front descendant FD que l'on désigne ici comme étant un signal de désélection de la colonne.

[0056] Typiquement, la durée de ce front est par exemple de l'ordre de 100 nanosecondes lorsqu'une colonne, voire un très petit nombre de colonnes, est désélectionnée.

[0057] Par contre, lorsqu'un très grand nombre de colonnes doivent être désélectionnées, la durée du front FD se réduit pour atteindre par exemple la valeur de 40 nanosecondes. Ceci se traduit alors par des émissions électromagnétiques plus importantes qui peuvent perturber les composants voisins de l'écran.

[0058] L'invention apporte une solution à ce problème en désélectionnant de manière non-simultanée les colonnes précédemment sélectionnées et qui doivent être désélectionnées. Ceci est illustré sur la figure 3 par un mode de mise en oeuvre de l'invention.

[0059] Plus précisément, on suppose dans l'étape 30 que la ligne i a été sélectionnée et que, pour cette ligne, les colonnes j à j+k ont été également sélectionnées (étape 31).

[0060] Lors de la sélection de la ligne suivante, de rang i+1 (étape 32) les colonnes j+2 à j+k-2 doivent être désélectionnées.

[0061] Cette désélection s'effectue alors de façon non-simultanée (étape 33).

[0062] Bien évidemment, le problème ne se pose pas pour la première ligne de l'écran. En effet, si cette première ligne doit être éteinte (ou allumée selon le mode d'utilisation choisi), les colonnes correspondantes ne seront pas sélectionnées c'est à dire que leur potentiel restera à l'état bas.

[0063] Le problème résolu par l'invention ne se pose que lorsqu'il convient, pour une ligne considérée, de dé-

sélectionner des colonnes qui ont été précédemment sélectionnées lors de la sélection d'une ligne précédente, qui n'est pas forcément la ligne précédant immédiatement ladite ligne considérée.

[0064] Une façon de désélectionner de manière non-simultanée les colonnes consiste, comme illustré sur la figure 4, à mutuellement décaler dans le temps leur désélection en introduisant un retard entre chaque désélection de colonne.

[0065] Plus précisément, comme illustré sur la figure 4, la désélection de la colonne $j+2$ s'effectue à l'étape 330. Puis, la colonne $j+3$ désélectionnée à l'étape 332 avec un retard 331 par rapport à la désélection de la colonne $j+2$.

[0066] Il en est de même pour la désélection de la colonne $j+4$ (étape 334) par rapport à la désélection de la colonne $j+3$ en utilisant un retard 333.

[0067] Enfin, la colonne $j+k-2$ est désélectionnée (étape 337) avec un retard 336 par rapport à la désélection de la colonne $j+k-3$.

[0068] Les figures 5 et 6 illustrent schématiquement un mode de réalisation d'un dispositif de commande selon l'invention permettant une mise en oeuvre du procédé selon l'invention.

[0069] Le circuit de commande de lignes comporte ici des blocs individuels de commande ligne BCL1-BCLi, de structure classique et connue en soi, respectivement connectés sur les lignes de la matrice de l'écran.

[0070] Le circuit de commande de colonnes comporte des blocs individuels de commande BCC1-BCCj respectivement connectés sur les colonnes CI-Cj de l'écran.

[0071] Le circuit de commande de colonnes comprend également, en amont de ses blocs individuels de commande, un registre à décalage RAD, cadencé par un signal d'horloge CLK et recevant les données binaires référencées DATA, et destinées notamment à éventuellement désélectionner des colonnes qui ont été précédemment sélectionnées lors de la sélection d'une ligne précédente.

[0072] Les sorties du registre à décalage RAD sont reliées aux entrées d'une mémoire-verrou MV dont les sorties respectives sont connectées aux entrées des blocs individuels de commande BCC1-BCCj.

[0073] La mémoire-verrou MV est commandée par un signal d'activation STB et va délivrer sur ses sorties MV1-MVj, les données présentes en entrée de la mémoire-verrou MV.

[0074] Chaque bloc individuel de commande BCCj comporte un inverseur de commande IVj dont la sortie S est reliée à un bloc intermédiaire Bj généralement composé d'un inverseur et d'un élévateur de tension. La structure d'un tel bloc Bj est classique et connue en soi.

[0075] La sortie du bloc Bj est reliée à un étage de puissance BSj formé ici de deux transistors NMOS. Les grilles des transistors NMOS sont connectées respectivement à deux sorties du bloc Bj. Par ailleurs, la source de l'un des transistors NMOS est reliée à la tension VPP (de l'ordre de 70 volts) tandis que la source de l'autre

transistor NMOS est reliée à la masse.

[0076] Les deux autres électrodes des transistors NMOS sont reliées ensemble à la colonne correspondante.

5 **[0077]** Comme illustré sur la figure 6, l'inverseur de commande IVj comporte par exemple un transistor NMOS référencé T2 et un transistor PMOS référencé T1. Le transistor T1 est relié entre la tension d'alimentation VDD, par exemple 3 ou 5 volts, et la sortie S tandis que les grilles de ces deux transistors T1 et T2 sont reliées à la sortie correspondante MVj de la mémoire-verrou MV.

10 **[0078]** Ainsi, lorsqu'une colonne précédemment sélectionnée doit être désélectionnée, un niveau logique haut, par exemple 5 volts, est appliqué sur les grilles des deux transistors T1 et T2, ce qui a pour effet de rendre passant le transistor de puissance de l'étage de puissance BSj, relié à la masse, et de rendre bloqué l'autre transistor de puissance. De ce fait, la capacité de la cellule se décharge et la tension de colonne chute de la valeur VPP de la valeur 0.

15 **[0079]** En pratique, les signaux de commande de désélection, c'est-à-dire les données présentes aux sorties de la mémoire-verrou MV, sont délivrés simultanément aux inverseurs IVj. Une première solution pour mutuellement retarder le signaux de désélection de colonne, c'est-à-dire l'apparition des fronts descendants FD, consiste à réaliser des inverseurs IVj dont les transistors MOS de type P ont des rapports largeur/longueur (W/L) différents les uns des autres. En effet, le rapport W/L du transistor de type P détermine notamment le courant qui peut traverser ce transistor, et par là, permet d'ajuster l'instant d'apparition du front descendant de la tension colonne.

20 **[0080]** On obtient alors des profils de tension colonne tels qu'illustrés sur la figure 7 sur laquelle la tension VC2 de la colonne C2 chute la première suivie, après un retard Δ de la tension VC3 de la colonne C3, et ainsi de suite.

25 **[0081]** Une autre façon de décaler mutuellement l'apparition des fronts descendants des tensions de colonne consiste à utiliser le mode de réalisation illustré sur la figure 6.

30 **[0082]** Plus précisément, il est prévu ici un réseau résistif auxiliaire comportant des résistances auxiliaires R connectées en série. Le réseau résistif auxiliaire est connecté entre la deuxième borne (ici la source) du transistor T2 de l'inverseur IV d'un premier bloc de commande et la masse. Par ailleurs, les bornes des différentes résistances sont respectivement connectées aux sources des transistors T2 des différents inverseurs IVj.

35 **[0083]** Ce mode de réalisation préférentiel est particulièrement avantageux car il permet de réaliser des retards variables en fonction du nombre de colonnes désélectionnées.

40 **[0084]** En effet, le retard introduit par un inverseur IVj dépend de la chute de tension dans les résistances auxiliaires R et ces chutes de tension dépendent du nombre de sorties qui basculent, c'est-à-dire du nombre de co-

lonnes désélectionnées. Ainsi, plus le nombre de sorties qui basculent est élevé, plus le temps de basculement des inverseurs est élevé.

[0085] La désélection non-simultanée des colonnes à désélectionner peut s'effectuer colonne par colonne ou bien par groupes de colonnes comme illustré sur la figure 8 et sur la figure 9.

[0086] Plus précisément, on peut envisager que dans l'étape 33 de désélection non-simultanée des colonnes (figure 8), les colonnes $j+2$ à $j+12$ soient désélectionnées simultanément (étape 338) et que les colonnes $j+13$ à $j+23$ soient désélectionnées simultanément (étape 339) mais avec un retard par rapport à la désélection simultanée des colonnes $j+2$ à $j+12$.

[0087] De même, la désélection des colonnes $j+k-12$ à $j+k-2$ (étape 340) s'effectue de façon simultanée mais avec un retard par rapport à la désélection simultanée du groupe de colonnes précédent.

[0088] La figure 9 illustre un autre mode de réalisation d'un dispositif de commande selon l'invention permettant une désélection non-simultanée par groupes de colonnes.

[0089] On retrouve sur cette figure 9 le réseau résistif auxiliaire formé ici des résistances auxiliaires R_2 , R_3 , R_n . Les blocs individuels de commande forment plusieurs groupes, ici les groupes G_1 , G_2 , G_n . Chaque groupe est formé dans cet exemple de deux blocs individuels de commande, illustré sur la figure 9 par les deux inverseurs de commande. Toutes les premières bornes des inverseurs sont reliées à la tension d'alimentation VDD.

[0090] Toutes les deuxième bornes des inverseurs sont reliées à la masse par l'intermédiaire du réseau résistif auxiliaire.

[0091] Et, les groupes sont mutuellement séparés par une résistance auxiliaire du réseau résistif auxiliaire.

[0092] Plus précisément, sur cet exemple, le premier groupe G_1 formé des inverseurs IV_1 et IV_2 est agencé de telle façon que les deuxième bornes des inverseurs IV_1 et IV_2 sont reliées ensemble à une première borne de la résistance R_2 .

[0093] Le deuxième groupe d'inverseurs G_2 , formé des inverseurs IV_3 et IV_4 est agencé de telle façon que les deuxième bornes de ces deux inverseurs sont reliées ensemble, ainsi qu'à la deuxième borne de la résistance et à la première borne de la résistance R_3 qui sépare ce deuxième groupe G_2 du troisième groupe G_3 .

[0094] Enfin, la résistance R_n sépare le groupe G_{n-1} du groupe G_n formé des inverseurs IV_{n-1} et IV_n dont les deuxième bornes respectives sont reliées ensemble directement à la masse.

[0095] L'invention a permis en agissant sur le décalage mutuel des fronts de descente des tensions des colonnes à désélectionner à maintenir une durée acceptable pour ces fronts, compatible avec un niveau admissible d'émission électromagnétique.

[0096] A titre indicatif, des valeurs de retards de l'ordre de 20 à 60 nanosecondes entre les amorçage des différents fronts de descente, permet de maintenir une durée

acceptable pour ces fronts.

[0097] Alors que sur la figure 5 et sur la figure 6, on n'a représenté qu'un seul inverseur IV_j pour le bloc de commande BCC_j , et un bloc intermédiaire B_j généralement composé d'un inverseur et d'un élévateur de tension, et connecté entre l'inverseur IV_j et l'étage de puissance BS_j , il est également possible de réaliser chaque bloc de commande, par exemple le bloc de commande BCC_1 , comme illustré sur la figure 10.

[0098] Plus précisément, on retrouve sur cette figure 10 le registre à décalage RAD, la mémoire verrou MV et la partie du bloc de commande BCC_1 , qui est située en amont de l'étage de puissance BS_1 , comporte en particulier deux portes logiques NON ET, respectivement référencées NAND POC1 et NAND BLK1.

[0099] La première porte logique NAND POC1 possède une première entrée apte à recevoir un signal logique POC de façon à être mise à un état logique haut et une deuxième entrée connectée à la sortie correspondante OUT_STB1 de la mémoire-verrou MV.

[0100] La deuxième porte logique NAND BLK1 possède une première entrée apte à recevoir un autre signal logique BLK de façon à être mise à un état logique haut, et une deuxième entrée connectée à la sortie OUT_POC de la porte logique NAND POC1.

[0101] La sortie OUT_BLK de la porte NAND BLK1 est connectée à l'étage de puissance BS_1 dont la sortie OUT1 est reliée à la colonne C1.

[0102] En fait, comme illustré sur la figure 11, la porte logique NAND POC $_j$, avec sa première entrée mise à l'état haut (signal POC à l'état haut) est fonctionnellement équivalente à l'inverseur IV_j des figures 5 et 6, bien que la porte NAND POC $_j$ comporte en fait deux inverseurs.

[0103] De même, bien que la porte NAND BLK $_j$ comporte deux inverseurs, cette porte logique, avec sa première entrée mise à l'état logique haut (signal BLK à l'état haut) est fonctionnellement équivalente à un autre inverseur, appelé ici deuxième inverseur, IV_{2j} , formé des transistors complémentaires T10 et T20.

[0104] Et, on retrouve sur la figure 10 le réseau résistif auxiliaire formé des résistances auxiliaires R telles que celles illustrées sur la figure 6.

[0105] On se réfère maintenant aux figures 12 et suivantes pour décrire des modes de réalisation et de mise en oeuvre permettant des sélections et des désélections de colonnes de manière non-simultanée.

[0106] Lorsqu'une colonne, précédemment désélectionnée, doit être sélectionnée (pour allumer ou éteindre un pixel selon le mode d'utilisation choisi pour l'écran), il faut alors amener la tension colonne de la valeur 0 volt à la valeur VPP par exemple. Ceci s'effectue en appliquant un signal logique de commande sur le bloc individuel de commande BCC, qui, en réponse, fait monter la tension colonne (ce qui correspond à une charge de la capacité de la cellule) et se traduit par un front montant que l'on désigne ici comme étant un signal de sélection de la colonne. De tels fronts montants sont illustrés sur la figure 12 sur laquelle, à titre d'exemple, on a sélectionné

tionné la colonne $k+1$ et la colonne $k+j+1$. Ainsi, la tension colonne V_{Ck+1} et la tension colonne V_{Ck+j+1} comportent un front montant.

[0107] Par ailleurs, sur cette figure 12, à titre d'exemple, les colonnes k , $k+2$ et $k+j$ ont été désélectionnées comme le montrent les fronts descendants de leur tension de colonne correspondante.

[0108] Au niveau du bloc de commande BCC, lorsqu'une colonne précédemment désélectionnée doit être sélectionnée, un niveau logique bas, par exemple 0 volt, est appliqué sur les grilles des deux transistors T1 et T2 du premier inverseur IVj (figure 11), ce qui a pour effet de rendre passant le transistor de puissance de l'étage de puissance PSj, relié à la tension d'alimentation, et de rendre bloqué l'autre transistor de puissance. De ce fait, la capacité de la cellule se charge et la tension de colonne monte de la valeur 0 à la valeur VPP.

[0109] En pratique, les signaux de commande de désélection, et les signaux de commande de sélection, c'est-à-dire les données présentes aux sorties de la mémoire-verrou MV, sont délivrés simultanément aux inverseurs IVj. Une façon de décaler mutuellement l'apparition des fronts descendants des tensions de colonne et des fronts montants des tensions de colonne (comme illustré sur la figure 12) consiste à utiliser le mode de réalisation illustré sur les figures 13 et 14.

[0110] On retrouve sur la figure 13, le réseau résistif auxiliaire formé des résistances R20 et permettant de décaler mutuellement les fronts descendants des tensions de colonne qui doivent être désélectionnées.

[0111] Outre ce réseau résistif auxiliaire R20, il est prévu des moyens secondaires de retard comportant des résistances secondaires R10 connectées en série.

[0112] Le réseau résistif secondaire est connecté entre la première borne du premier inverseur d'un premier bloc de commande BCCn (figure 14) et la tension d'alimentation VDD. Par ailleurs, les bornes des différentes résistances secondaires R10 sont respectivement connectées aux premières bornes des inverseurs IVj de certains au moins des blocs individuels de commande BCCj.

[0113] Le réseau résistif secondaire formé des résistances R10 permet ainsi une sélection non-simultanée de colonnes précédemment désélectionnées.

[0114] Et, par conséquent, le mode de réalisation de la figure 13 et/ou de la figure 14, permet à la fois de sélectionner certaines colonnes précédemment désélectionnées, de manière non-simultanée, et de désélectionner certaines autres colonnes précédemment sélectionnées, et ce de manière également non-simultanée.

[0115] Il est particulièrement avantageux que les moyens auxiliaires de retard et les moyens secondaires de retard soient formés par de mêmes moyens.

[0116] C'est le cas par exemple sur les modes de réalisation illustrés sur les figures 15 et 16 d'une part et sur les figures 17A et 17B d'autre part.

[0117] En ce qui concerne le mode de réalisation illustré sur les figures 15 et 16, il fait intervenir les deux inverseurs IVj et IV2j respectivement incorporés dans les

portes NAND POCj et NAND BLKj.

[0118] Plus précisément, chaque inverseur de commande IVj et IV2j possède une première borne connectée à la tension d'alimentation VDD et une deuxième borne connectée à la masse.

[0119] Les moyens communs comprennent alors un réseau résistif commun comportant des résistances communes R30 connectées en série.

[0120] Le réseau résistif commun est connecté entre la première borne de chaque inverseur d'un premier bloc de commande BCCn et la tension d'alimentation.

[0121] Les bornes des différentes résistances communes R30 sont par ailleurs respectivement connectées aux premières bornes des deux inverseurs de certains au moins des blocs individuels de commande.

[0122] Ainsi, dans ce mode de réalisation, le retard sur les fronts montants est généré dans les portes logiques NAND POC tandis que le retard sur les fronts descendants est généré dans les portes logiques NAND BLK.

[0123] Sur le mode de réalisation de la figure 17A, les moyens communs de retard sont disposés au niveau des mémoires-verrous MV.

[0124] Plus précisément, chaque mémoire-verrou est connectée en entrée d'un bloc individuel de commande, et plus particulièrement à l'entrée de la porte logique NAND POC qui ne reçoit pas le signal POC. Il est par ailleurs prévu des moyens d'amplification (ou « buffers ») référencés BUFFER STB et qui sont tous aptes à recevoir un même signal de commande d'entrée STB et à délivrer respectivement des signaux de commande amplifiés pour commander respectivement les mémoires-verrous.

[0125] Chaque moyen d'amplification BUFFER STB possède une première borne reliée à une tension d'alimentation.

[0126] Et, le réseau résistif commun comporte ici des résistances communes R40 connectées en série. Le réseau résistif commun est connecté entre la première borne d'un moyen d'amplification d'une première mémoire-verrou et la tension d'alimentation, par exemple la mémoire-verrou MV.

[0127] Par ailleurs, les bornes des différentes résistances communes R40 sont respectivement connectées aux premières bornes des moyens d'amplification BUFFER STB de certaines au moins des mémoires-verrous.

[0128] Dans ce mode de réalisation, les retards sur les fronts descendant et montant sont générés dans les moyens d'amplification du signal STB.

[0129] Comme pour le mode de réalisation illustré sur la figure 16, il est seulement nécessaire d'avoir une seule résistance par étage.

[0130] Sur le mode de réalisation de la figure 17B, les moyens communs de retard sont également disposés au niveau des mémoires-verrous MV.

[0131] Plus précisément, là encore, chaque mémoire-verrou est connectée en entrée d'un bloc individuel de commande, et plus particulièrement à l'entrée de la porte logique NAND POC qui ne reçoit pas le signal POC. Les moyens d'amplification (ou « buffers ») référencés BUF-

FER STB forment ici une chaîne. Plus précisément le premier moyen d'amplification BUFFER STB1 de la chaîne est apte à recevoir le signal de commande d'entrée STB et à délivrer en sortie un signal de commande amplifié qui fait office de signal de commande d'entrée pour le deuxième moyen d'amplification BUFFER STB2 de la chaîne. Et le signal de commande d'entrée d'un moyen d'amplification courant à partir du deuxième est le signal de sortie délivré par le moyen d'amplification précédent. Comme dans le mode de réalisation précédent de la figure 17A, les signaux de commande amplifiés commandent respectivement les mémoires-verrous.

[0132] Chaque moyen d'amplification BUFFER STB possède une première borne reliée à une tension d'alimentation.

[0133] Les moyens communs de retard sont formés ici par la chaîne des moyens d'amplification BUFFER STBi, et les retards sur les fronts descendant et montant sont générés dans les moyens d'amplification du signal STB.

[0134] Les modes de réalisation illustrés sur les figures 18 et 19 permettent de sélectionner et de désélectionner les colonnes par groupes de colonnes, chaque groupe comportant sur ses figures deux colonnes à titre d'exemple, et chaque groupe étant sélectionné ou désélectionné à un instant différent de l'instant de désélection ou de sélection d'un autre groupe.

[0135] Plus précisément, sur le mode de réalisation de la figure 18, le groupe G1 comporte les colonnes 1 et 2 tandis que le groupe Gn comporte les colonnes n-1 et n. Et, les bornes d'alimentation des deux paires de portes logiques NAND POC et NAND BLK de chaque groupe sont reliées ensemble et reliées aux deux paires d'un groupe adjacent par une résistance commune R30 du réseau résistif commun.

[0136] On retrouve un montage analogue sur la figure 19, mais cette fois-ci au niveau de l'agencement du circuit de commande de colonne MV. Plus précisément, les bornes d'alimentation des deux moyens d'amplification BUFFER STB d'un groupe sont reliées ensemble et sont reliées aux deux moyens d'amplification d'un groupe adjacent par une résistance commune R40 du réseau résistif commun.

[0137] L'invention n'est pas limitée aux modes de réalisation et de mise en oeuvre qui viennent d'être décrits mais en embrassent toutes les variantes.

[0138] Ainsi, précédemment, tous les fronts, qu'ils soient descendants ou montants ont été présentés comme des transitions de 0 volt à une tension fixée ou inversement. Bien entendu, il est également possible que ces transitions soient réalisées en plusieurs étapes, par exemple de zéro à VPP/2 puis de VPP/2 à VPP, et inversement, comme illustré sur la figure 20. Sur la partie gauche de cette figure on a représenté des fronts montants mutuellement retardés et réalisés en deux paliers tandis que sur la partie droite de la figure 20 on a représenté des fronts descendants mutuellement retardés et également réalisés avec deux paliers.

Revendications

1. Procédé de commande d'un écran à plasma matriciel, comprenant une sélection séquentielle de lignes de la matrice et pour une ligne sélectionnée, une désélection de plusieurs colonnes de la matrice précédemment sélectionnées lors de la sélection d'une ligne précédente, **caractérisé par le fait que** lesdites colonnes précédemment sélectionnées sont désélectionnées (33) de manière non simultanée.
2. Procédé selon la revendication 1, **caractérisé par le fait que** la désélection d'une colonne comprend la délivrance sur ladite colonne d'un signal de désélection (FD) en réponse à un signal de commande de désélection, **par le fait que** la phase de désélection desdites colonnes précédemment sélectionnées comporte la réception simultanée des signaux de commande de désélection destinés aux dites colonnes précédemment sélectionnées, et en réponse à cette réception simultanée, des délivrances non simultanées de certains au moins des signaux de désélection.
3. Procédé selon la revendication 2, **caractérisé par le fait que** les signaux de désélection (FD) délivrés de manière non simultanée sont respectivement mutuellement retardés (Δ).
4. Procédé selon la revendication 3, **caractérisé par le fait que** les valeurs des retards sont variables en fonction du nombre de colonnes désélectionnées.
5. Procédé selon l'une des revendications précédentes, **caractérisé par le fait que** lesdites colonnes sont désélectionnées (338, 339, 340) par groupe de colonnes, chaque groupe comportant au moins une colonne, chaque groupe étant désélectionné à un instant différent de l'instant de désélection d'un autre groupe.
6. Procédé selon l'une des revendications précédentes, comprenant en outre pour une ligne sélectionnée, une sélection de manière non simultanée de plusieurs colonnes de la matrice précédemment désélectionnées lors de la sélection d'une ligne précédente.
7. Procédé selon la revendication 6, dans lequel lesdites colonnes sont sélectionnées (338, 339, 340) par groupe de colonnes, chaque groupe comportant au moins une colonne, chaque groupe étant sélectionné à un instant différent de l'instant de sélection d'un autre groupe.
8. Dispositif de commande d'un écran à plasma matriciel, comprenant un circuit de commande de lignes

- (BCL1-BCLi) apte à sélectionner séquentiellement les lignes de la matrice et un circuit de commande de colonnes apte à désélectionner plusieurs colonnes précédemment sélectionnées, **caractérisé par le fait que** le circuit de commande de colonnes (RAD, MV, BCC1-BCCj) est agencé de façon à désélectionner lesdites colonnes précédemment sélectionnées de manière non simultanée.
9. Dispositif selon la revendication 8, **caractérisé par le fait que** le circuit de commande de colonnes comprend des blocs individuels de commande (BCC1-BCCj) respectivement connectés aux colonnes de la matrice, chaque bloc individuel de commande étant apte à recevoir un éventuel signal de commande de désélection et à délivrer en réponse un signal de désactivation (FD) sur la colonne, un moyen de commande (RAD, MV) apte à délivrer simultanément des signaux de commande de désélection aux blocs individuels de commande des colonnes à désélectionner, et des moyens auxiliaires (R) aptes en présence de cette délivrance simultanée des signaux de commande de désélection (DATA), à provoquer une délivrance non simultanée de certains au moins des signaux de désélection.
10. Dispositif selon la revendication 9, **caractérisé par le fait que** les moyens auxiliaires comportent des moyens auxiliaires de retard (R) aptes à respectivement mutuellement retarder certains au moins des signaux de désélection.
11. Dispositif selon la revendication 9 ou 10, **caractérisé par le fait que** chaque bloc de commande (BCCj) comporte un premier inverseur de commande (IVj) possédant une première borne connectée à une tension d'alimentation (VDD), et une deuxième borne, **par le fait que** les moyens auxiliaires comportent un réseau résistif auxiliaire comportant des résistances auxiliaires (R) connectées en série, le réseau résistif auxiliaire étant connecté entre la deuxième borne du premier inverseur d'un premier bloc de commande et la masse, les bornes des différentes résistances auxiliaires étant respectivement connectées aux deuxième bornes des premiers inverseurs de certains au moins des blocs individuels de commande.
12. Dispositif selon la revendication 11, dans lequel chaque bloc de commande comporte une première porte logique NON ET (NAND POC) possédant une première entrée apte à être mise à un état logique haut et une deuxième entrée connectée au moyen de commande (MV), cette première porte logique NON ET avec sa première entrée mise à l'état logique haut étant fonctionnellement équivalente audit premier inverseur.
13. Dispositif selon l'une des revendications 8 à 12, **caractérisé par le fait que** le circuit de commande de colonnes est agencé de façon à désélectionner lesdites colonnes précédemment sélectionnées par groupe de colonnes (G1-Gn), chaque groupe comportant au moins une colonne, chaque groupe étant désélectionné à un instant différent de l'instant de désélection d'un autre groupe.
14. Dispositif selon la revendications 13 et l'une des revendications 11 ou 12, **caractérisé par le fait que** les blocs individuels de commande forment plusieurs groupes (G1-Gn), les deuxième bornes des premiers inverseurs des blocs individuels de commande d'un même groupe étant connectées ensemble et connectées aux deuxième bornes des premiers inverseurs des blocs individuels de commande d'un groupe adjacent par une résistance auxiliaire (R) du réseau résistif auxiliaire.
15. Dispositif selon l'une des revendications 8 à 14, dans lequel le même circuit de commande de colonnes (RAD, MV, BCC1-BCCj) est en outre apte à sélectionner de manière non simultanée plusieurs colonnes précédemment désélectionnées.
16. Dispositif selon les revendications 9 et 15, dans lequel chaque bloc individuel de commande est en outre apte à recevoir un éventuel signal de commande de sélection et à délivrer en réponse un signal d'activation sur la colonne, dans lequel le moyen de commande (RAD, MV) est en outre apte à délivrer simultanément des signaux de commande de sélection aux blocs individuels de commande des colonnes à sélectionner, le dispositif comprenant en outre des moyens secondaires (R10 ; R30 ; R40) aptes en présence de cette délivrance simultanée des signaux de commande de sélection (DATA), à provoquer une délivrance non simultanée de certains au moins des signaux de sélection.
17. Dispositif selon la revendication 16, dans lequel les moyens secondaires comportent des moyens secondaires de retard (R10 ; R30 ; R40) aptes à respectivement mutuellement retarder certains au moins des signaux de sélection.
18. Dispositif selon la revendication 16 ou 17, dans lequel les moyens secondaires comportent un réseau résistif secondaire comportant des résistances secondaires (R10) connectées en série, le réseau résistif secondaire étant connecté entre la première borne du premier inverseur d'un premier bloc de commande et la tension d'alimentation, les bornes des différentes résistances secondaires étant respectivement connectées aux première bornes des inverseurs de certains au moins des blocs individuels de commande.

- 19.** Dispositif selon l'une des revendications 16 ou 17, dans lequel les moyens auxiliaires et les moyens secondaires sont formés par de mêmes moyens (R30 ; R40).
- 20.** Dispositif selon la revendication 19, dans lequel chaque bloc de commande (BCCj) comporte en outre un deuxième inverseur de commande connecté en série avec le premier inverseur de commande (IVj), chaque inverseur de commande possédant une première borne connectée à une tension d'alimentation (VDD), et une deuxième borne connectée à la masse, dans lequel lesdits mêmes moyens comprennent un réseau résistif commun comportant des résistances communes (R30) connectées en série, le réseau résistif commun étant connecté entre la première borne de chaque inverseur d'un premier bloc de commande (BCCn) et la tension d'alimentation, les bornes des différentes résistances communes étant respectivement connectées aux premières bornes des deux inverseurs de certains au moins des blocs individuels de commande.
- 21.** Dispositif selon la revendication 19, dans lequel le moyen de commande du circuit de commande de colonnes comprend en outre des mémoires-verrous respectivement connectées en entrée des blocs individuels de commande et des moyens d'amplification aptes tous à recevoir un même signal de commande d'entrée et à délivrer respectivement des signaux de commande amplifiés pour commander respectivement les mémoires-verrous, chaque moyen d'amplification possédant une première borne reliée à une tension d'alimentation, et lesdits mêmes moyens comprennent un réseau résistif commun comportant des résistances communes (R40) connectées en série, le réseau résistif commun étant connecté entre la première borne d'un moyen d'amplification (BUFFER STBn) d'une première mémoire-verrou et la tension d'alimentation, les bornes des différentes résistances communes étant respectivement connectées aux premières bornes des moyens d'amplification de certaines au moins des mémoires-verrous.
- 22.** Dispositif selon la revendication 19, dans lequel le moyen de commande du circuit de commande de colonnes comprend en outre des mémoires-verrous respectivement connectées en entrée des blocs individuels de commande et une chaîne de moyens d'amplification connectés en série (BUFFER STBi), aptes tous à recevoir respectivement des signaux de commande d'entrée et à délivrer respectivement des signaux de commande amplifiés pour commander respectivement les mémoires-verrous, et lesdits mêmes moyens comprennent ladite chaîne de moyens d'amplification (BUFFER STBi), le signal de commande d'entrée d'un moyen d'amplification cou-

rant (BUFFER STBi) à partir du deuxième est le signal de sortie délivré par le moyen d'amplification précédent (BUFFER STBi-1).

- 23.** Dispositif selon la revendication 12 et l'une des revendications 20, 21 ou 22, dans lequel chaque bloc de commande comporte en outre une deuxième porte logique NON ET (NAND BLK) possédant une première entrée apte à être mise à un état logique haut et une deuxième entrée connectée à la sortie de la première porte logique NON ET, cette deuxième porte logique NON ET avec sa première entrée mise à l'état logique haut étant fonctionnellement équivalente audit deuxième inverseur.
- 24.** Dispositif selon l'une des revendications 15 à 23, dans lequel le circuit de commande de colonnes est agencé de façon à sélectionner lesdites colonnes précédemment sélectionnées par groupe de colonnes (G1-Gn), chaque groupe comportant au moins une colonne, chaque groupe étant sélectionné à un instant différent de l'instant de désélection d'un autre groupe.
- 25.** Dispositif selon les revendications 20 et 24 ou les revendications 20, 23 et 24, dans lequel les blocs individuels de commande forment plusieurs groupes (G1-Gn), les deuxièmes bornes des deux inverseurs des blocs individuels de commande d'un même groupe étant connectées ensemble et connectées aux deuxièmes bornes des deux inverseurs des blocs individuels de commande d'un groupe adjacent par une résistance commune (R30) du réseau résistif commun.
- 26.** Dispositif selon les revendications 21 et 24 ou les revendications 21, 23 et 24, dans lequel les blocs individuels de commande forment plusieurs groupes (G1-Gn), les premières bornes des moyens d'amplification des mémoires-verrous d'un même groupe étant connectées ensemble et connectées aux premières bornes des moyens d'amplification des mémoires-verrous d'un groupe adjacent par une résistance commune (R40) du réseau résistif commun.
- 27.** Ecran à plasma, comprenant un écran à plasma matriciel et un dispositif de commande selon l'une des revendications 8 à 26.

FIG.1

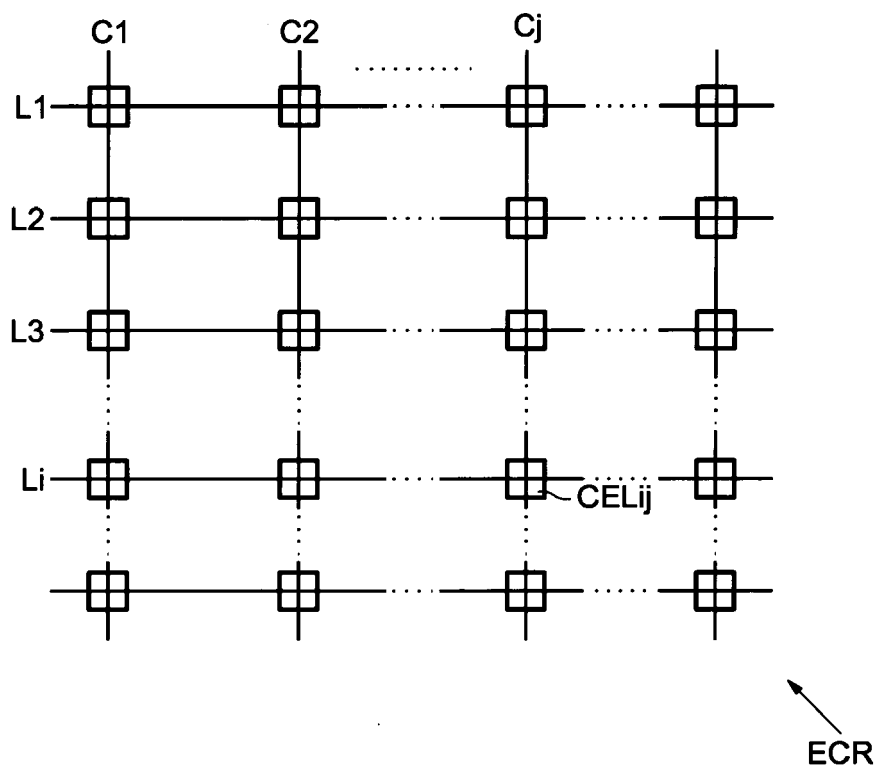


FIG.2

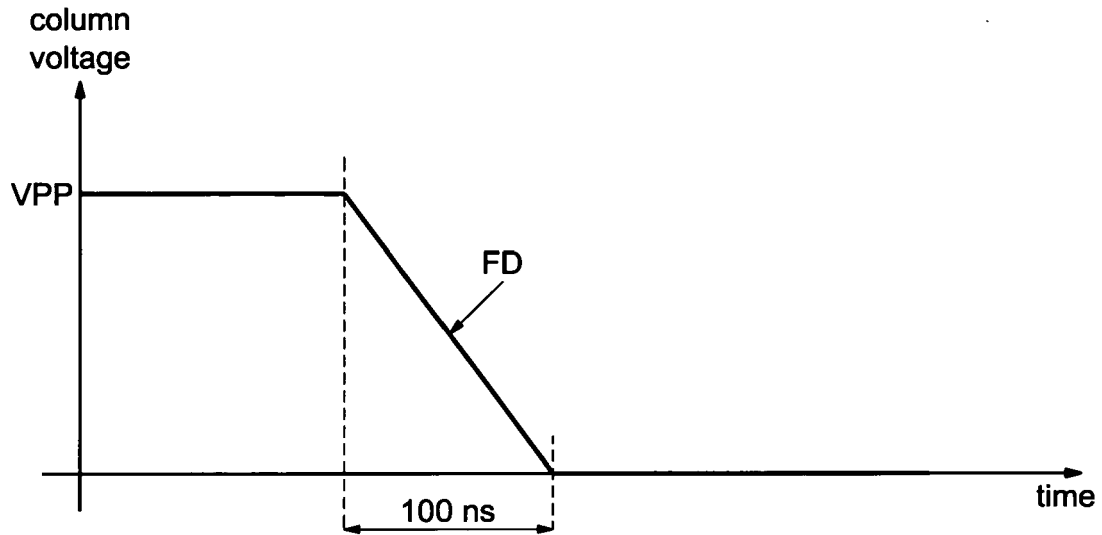


FIG.7

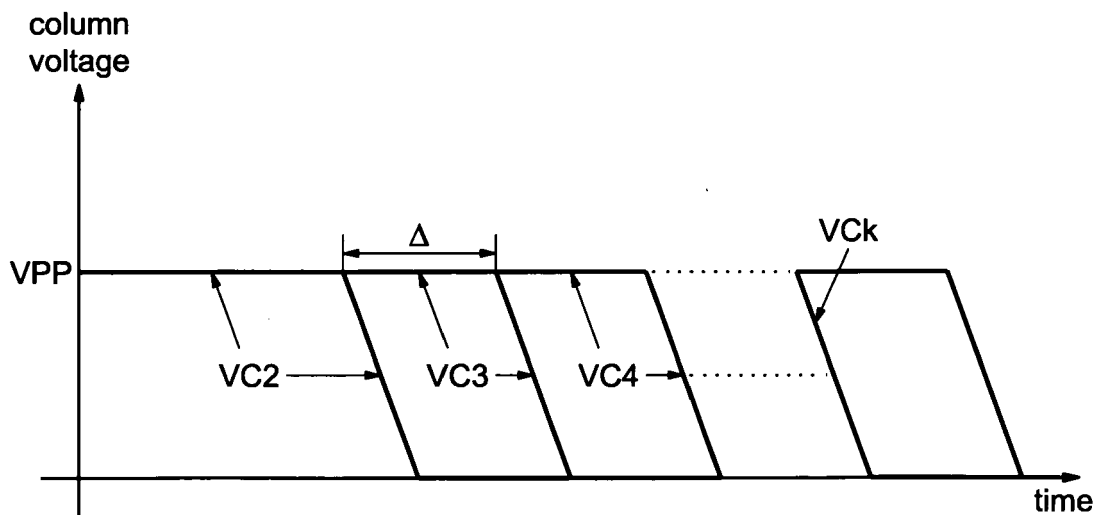


FIG.3

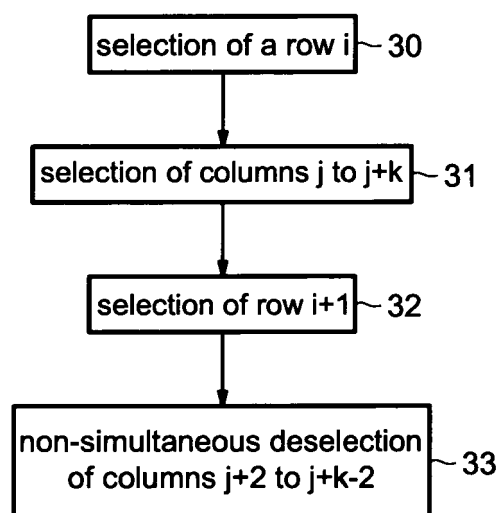


FIG.4

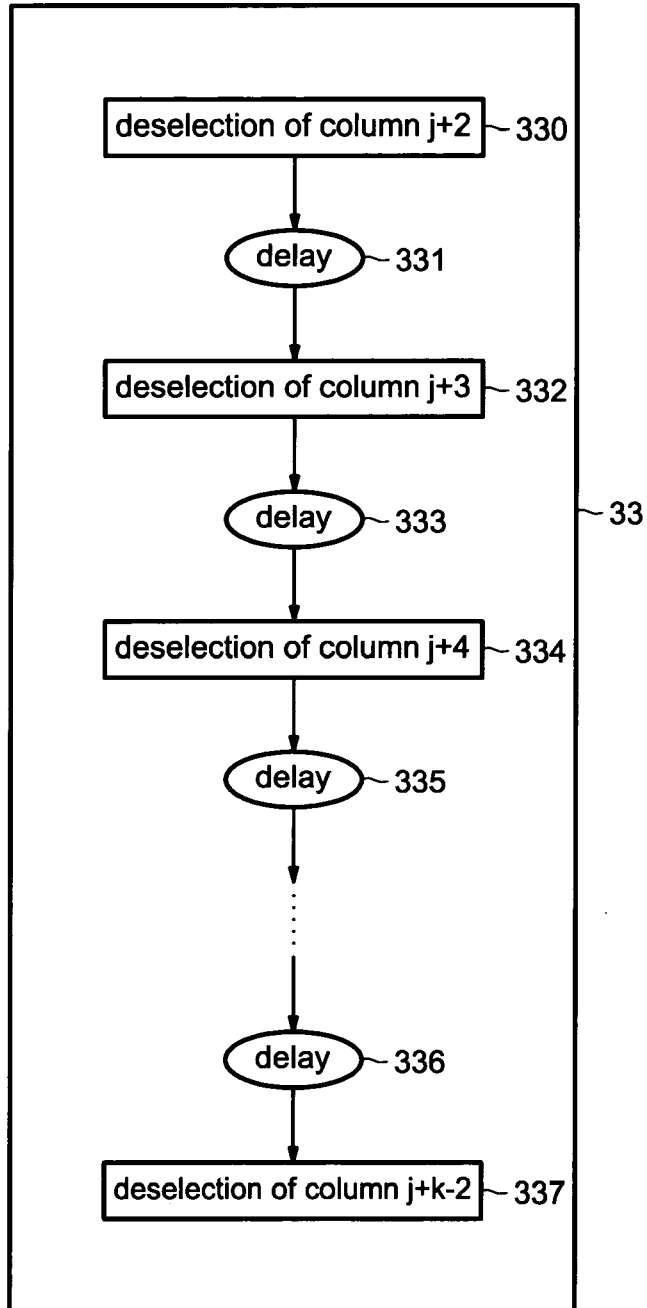


FIG.5

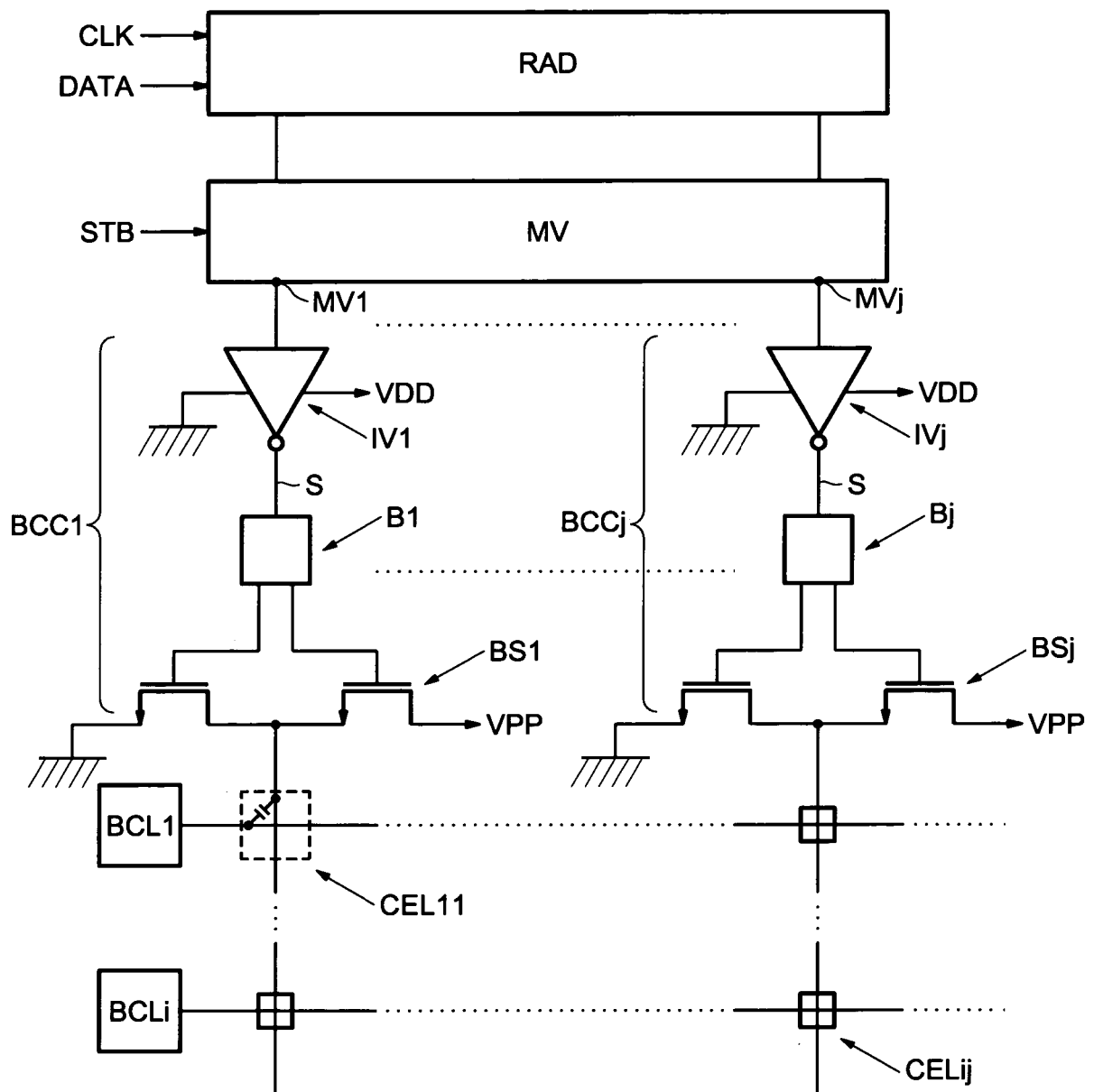


FIG.6

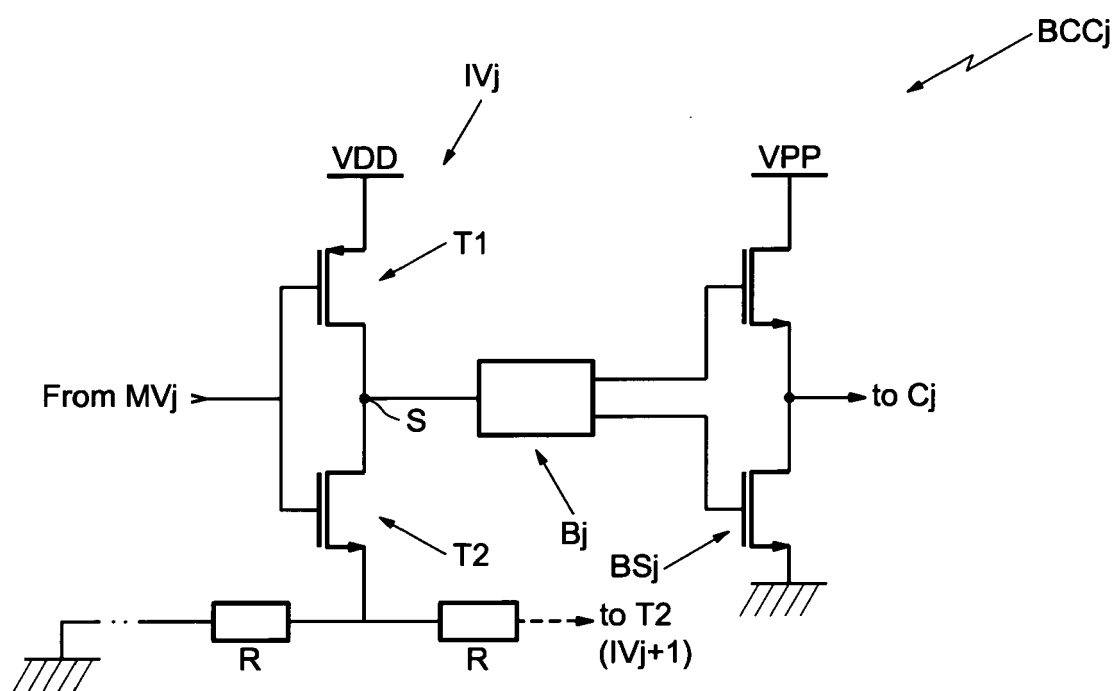
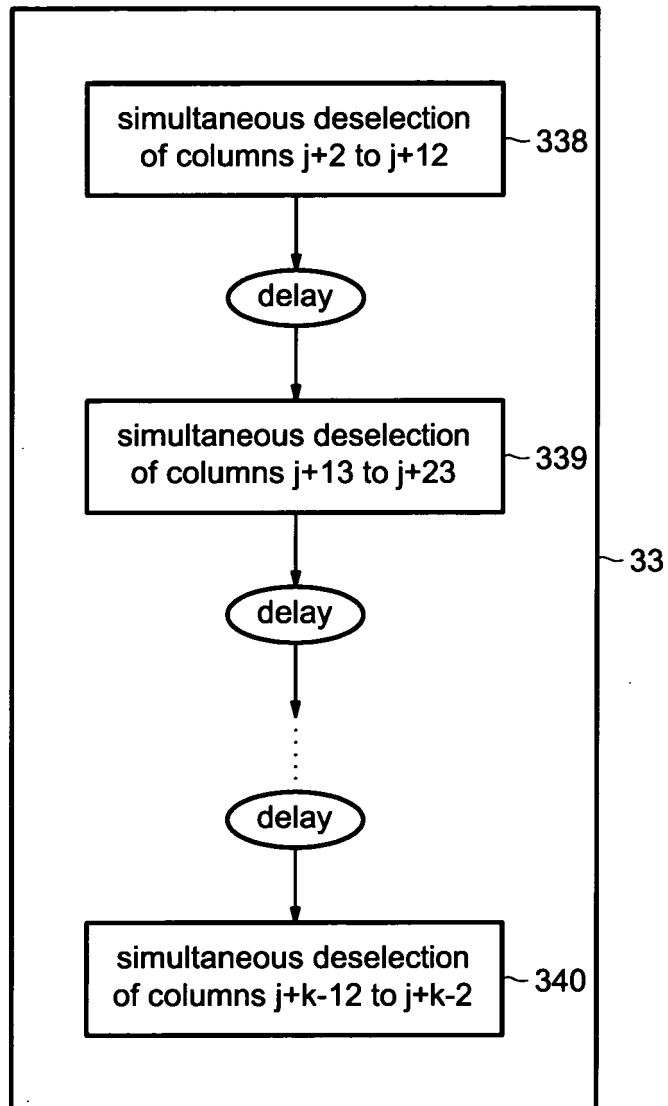


FIG.8



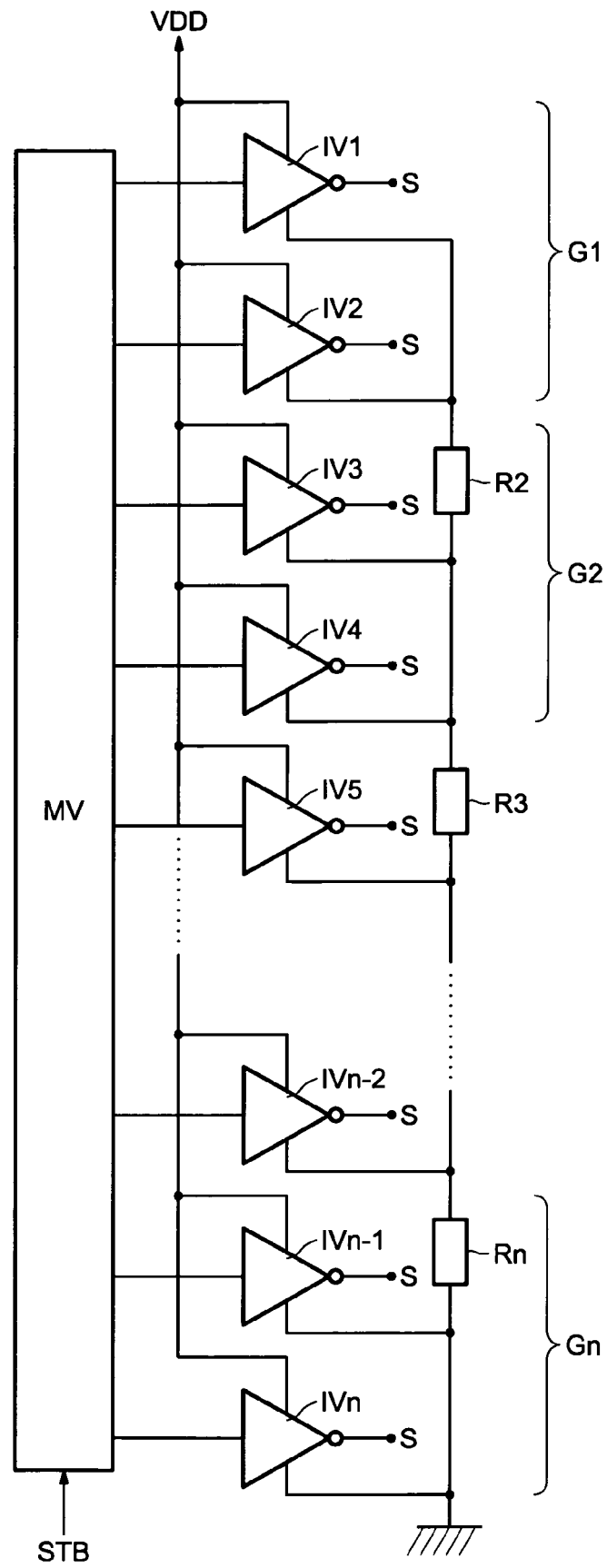
**FIG.9**

FIG. 10

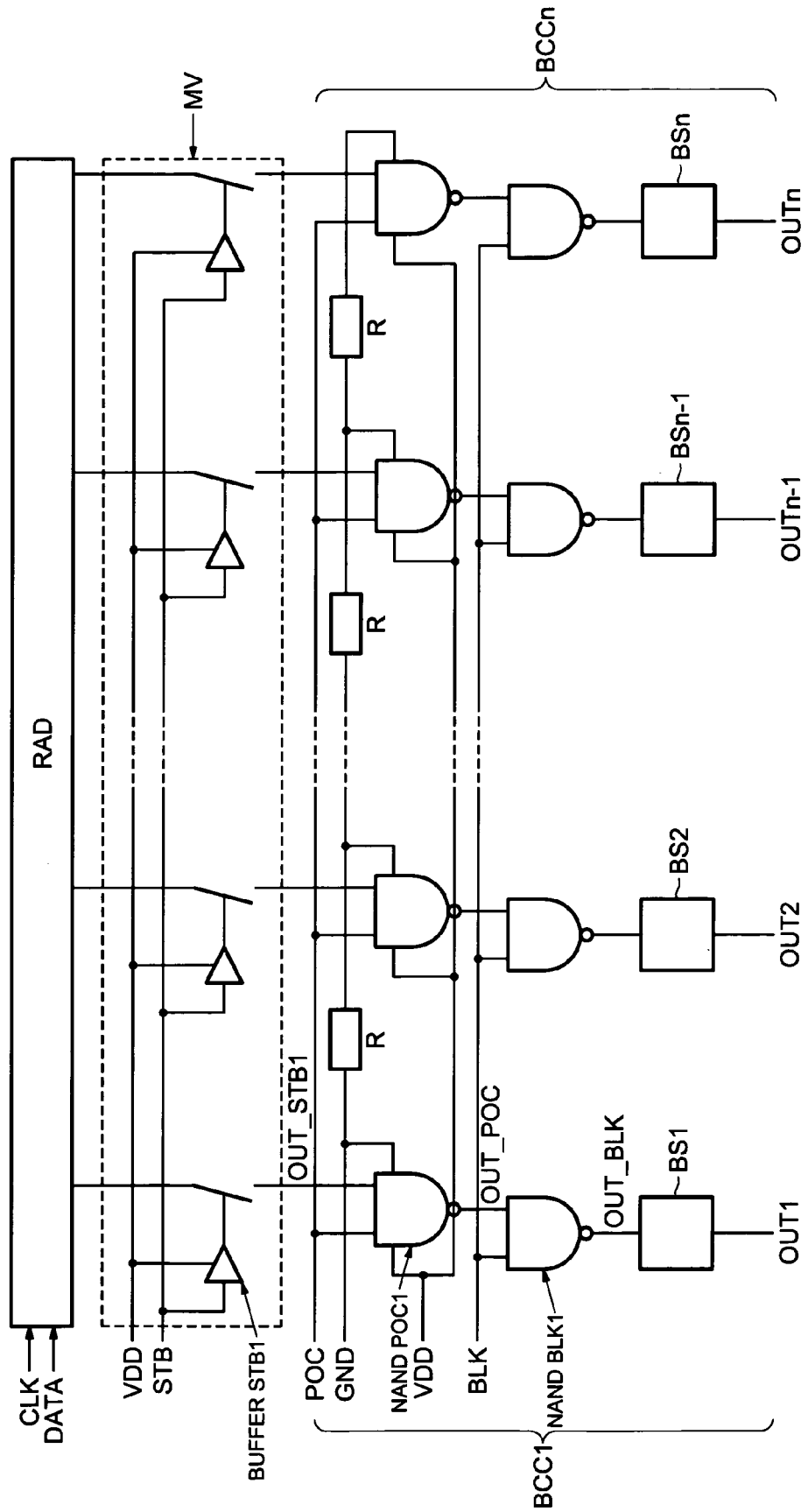


FIG.11

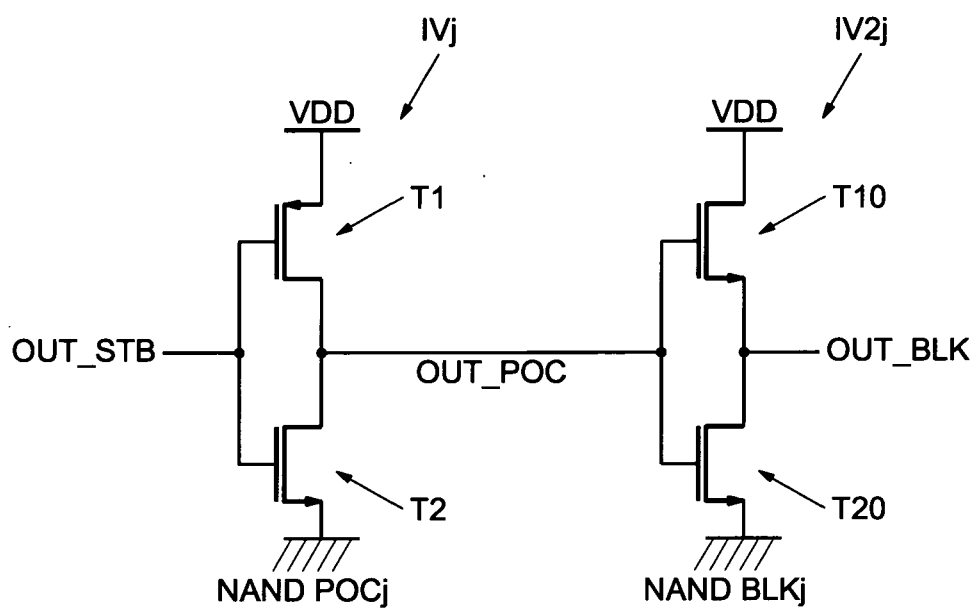


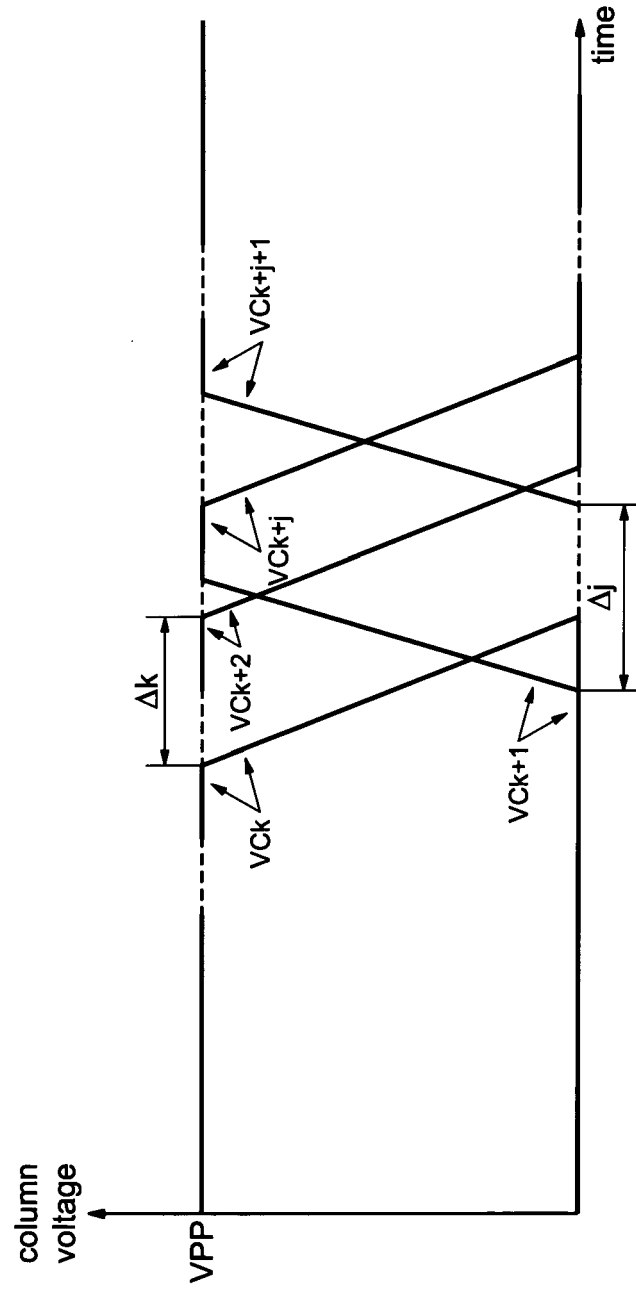
FIG.12

FIG.13

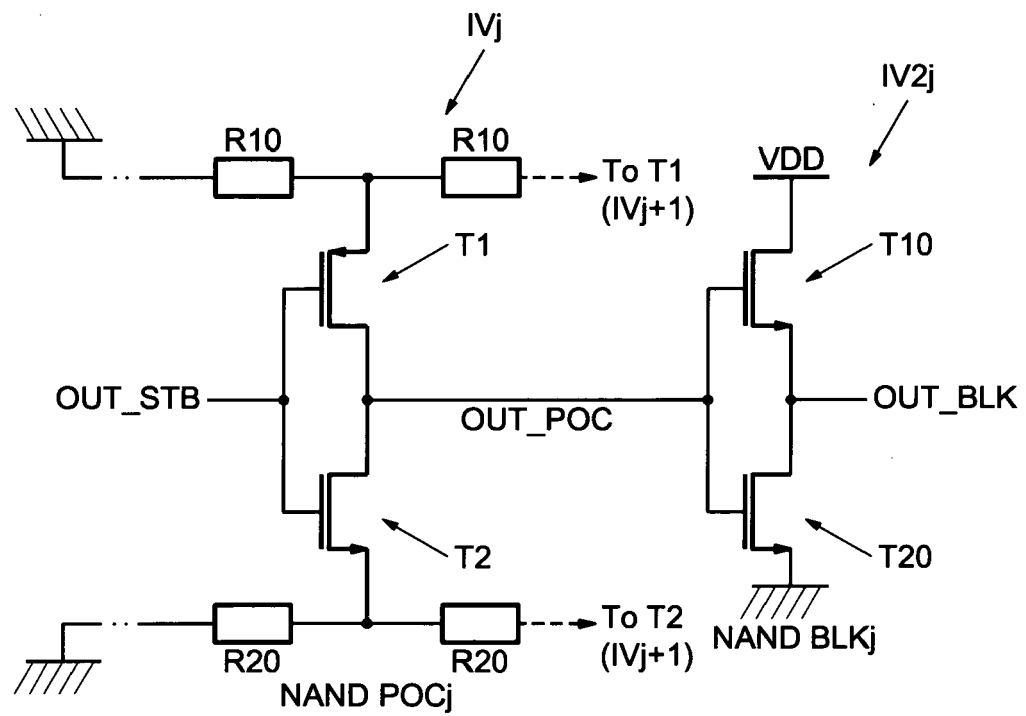


FIG. 14

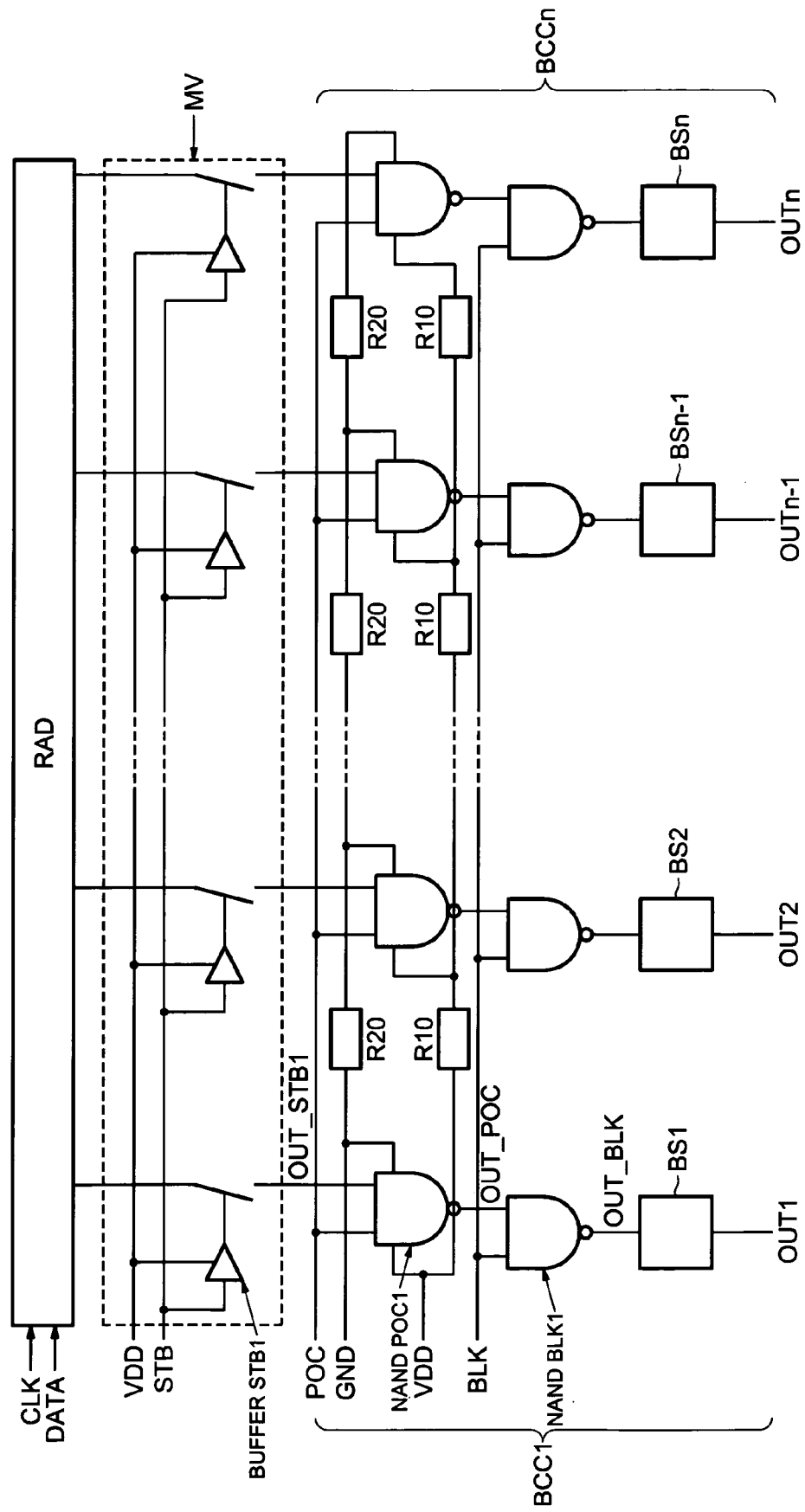


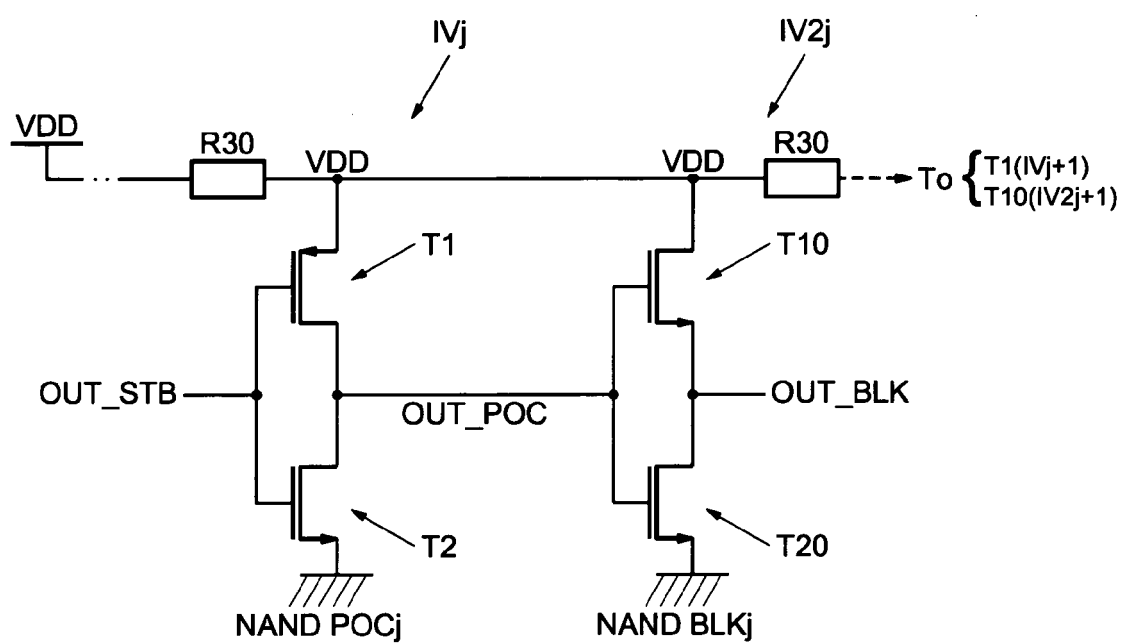
FIG.15

FIG. 16

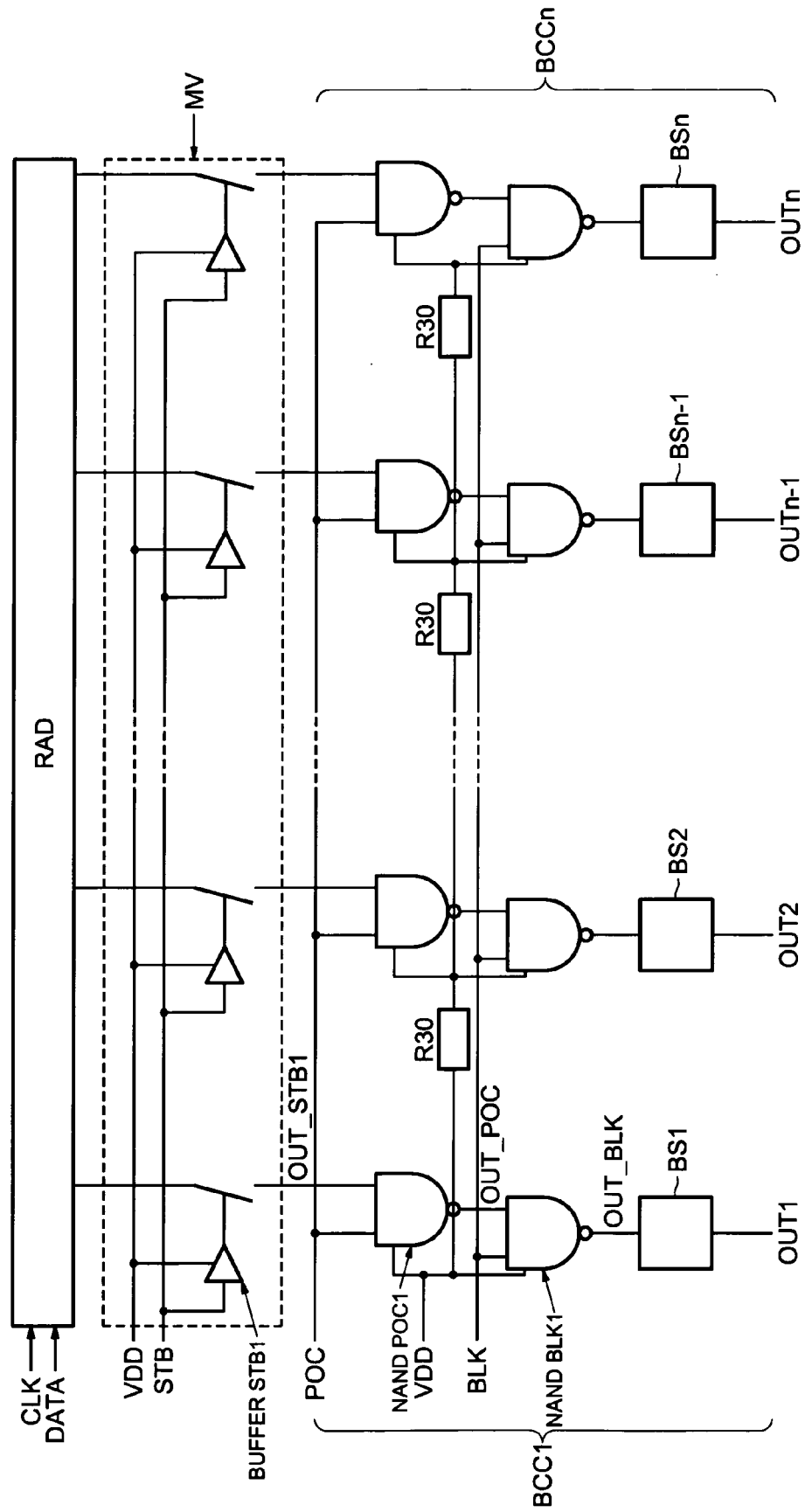


FIG. 17a

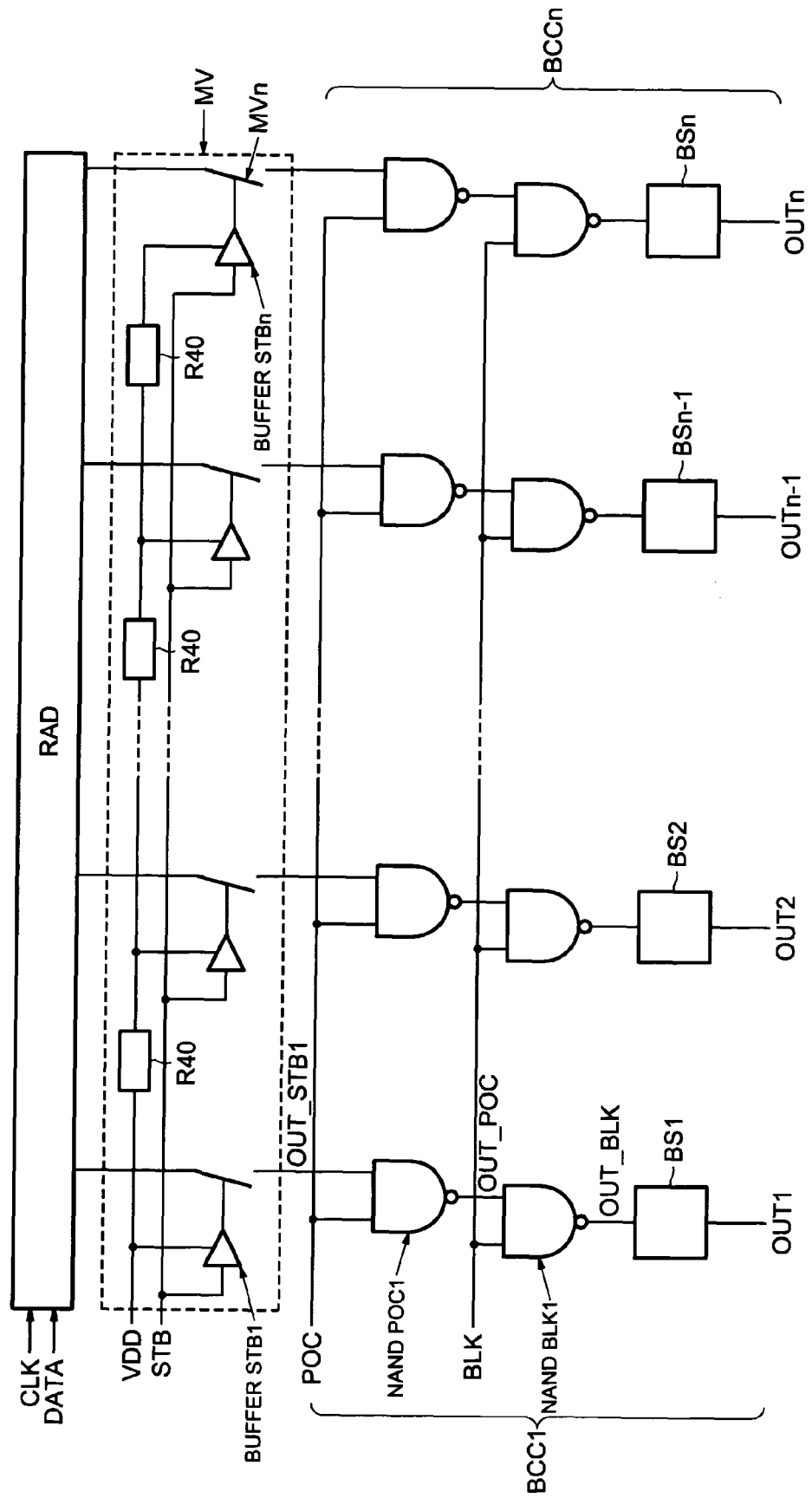


FIG. 17b

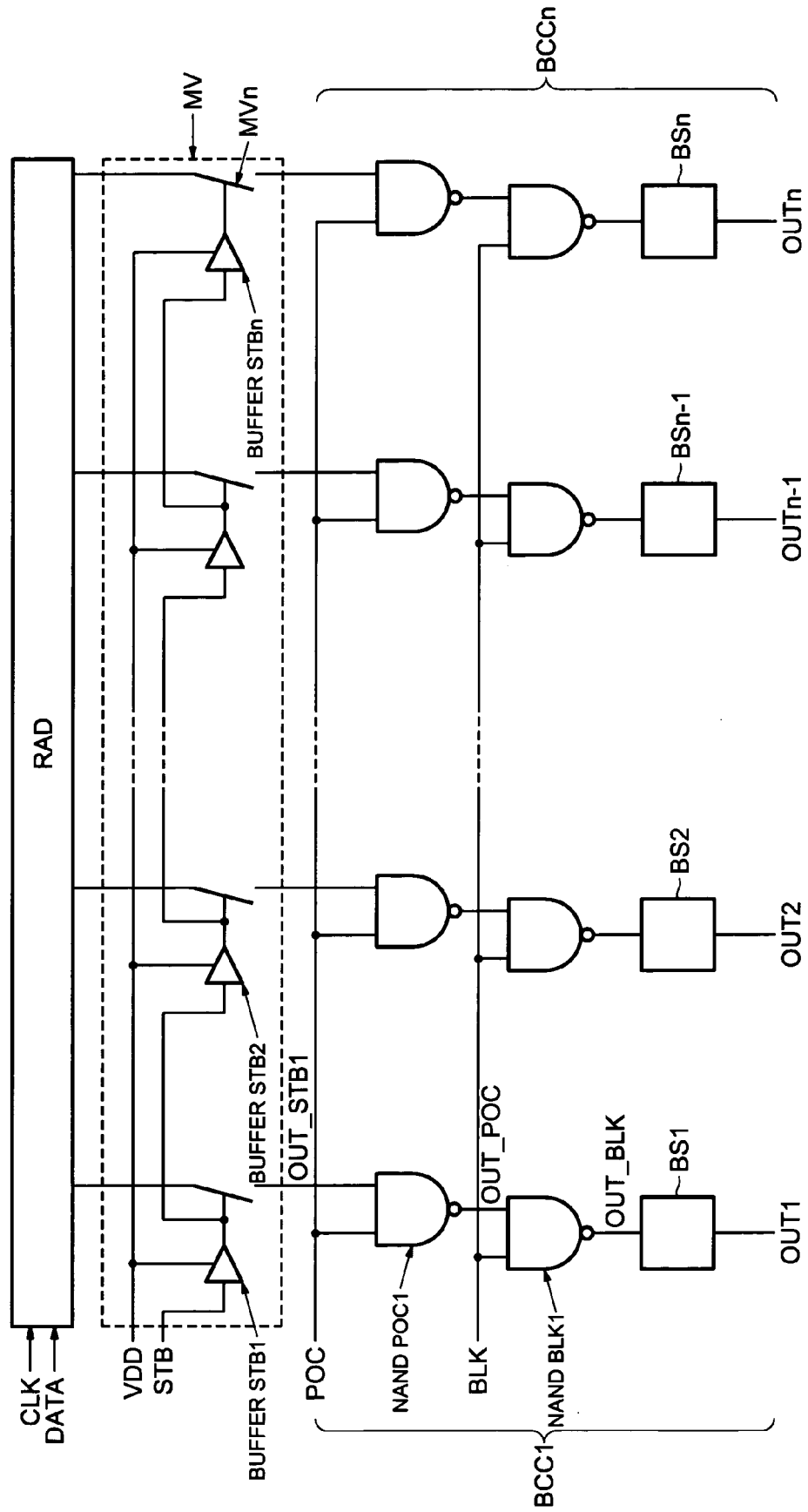


FIG.18

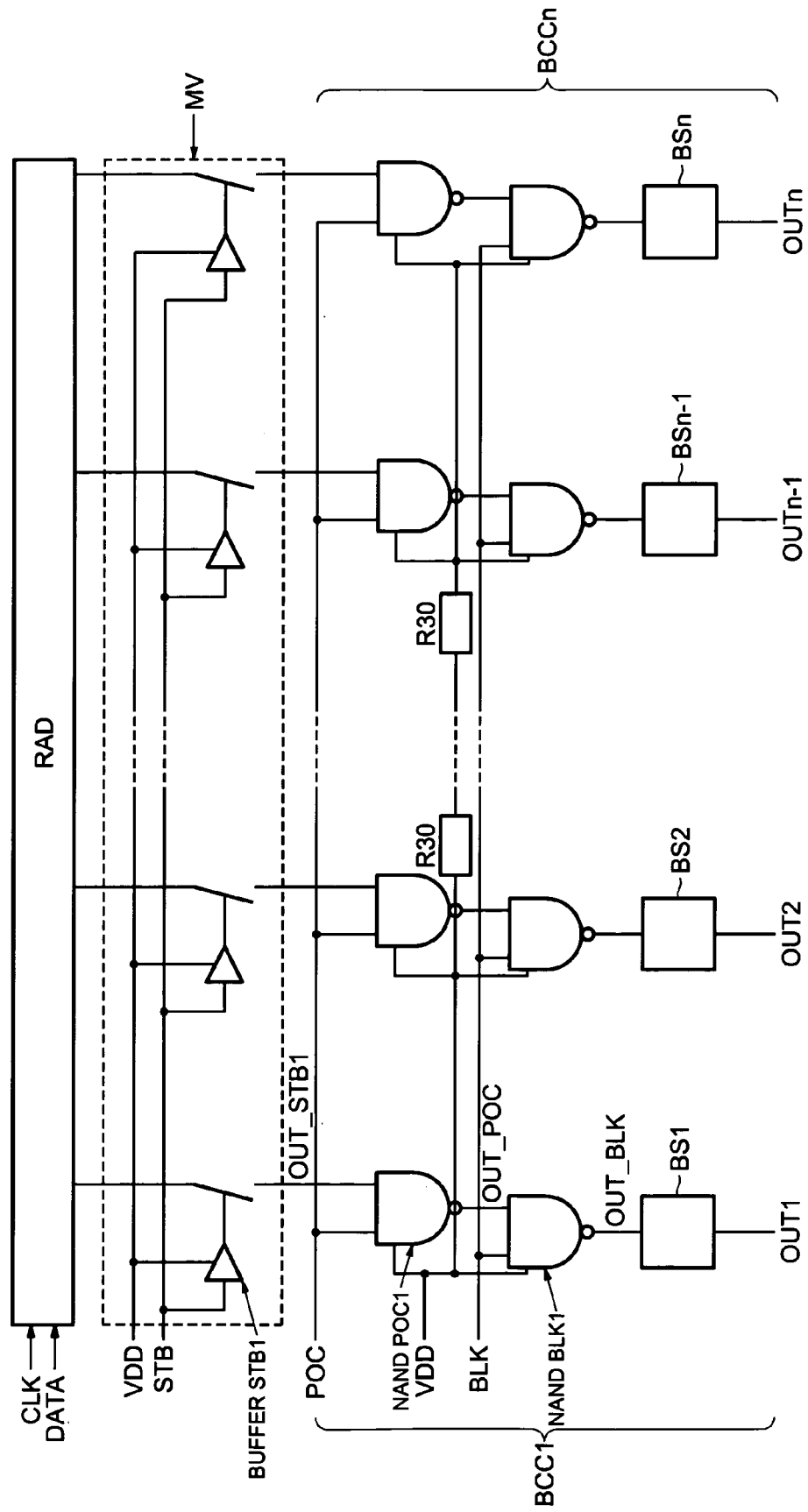


FIG.19

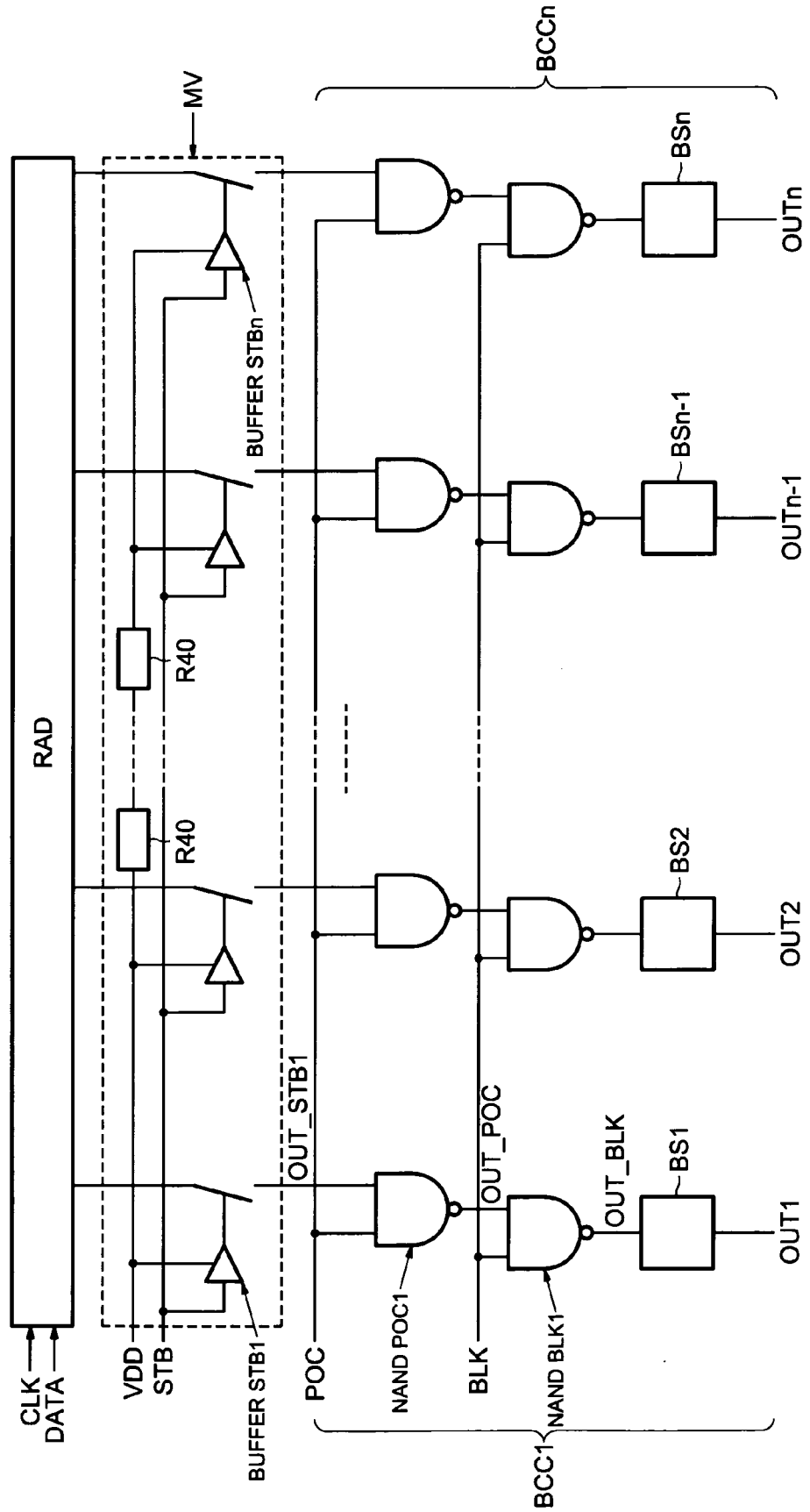


FIG.20

