

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 6 月 2 日 (02.06.2022)



(10) 国际公布号
WO 2022/110820 A1

- (51) 国际专利分类号:
H01G 4/10 (2006.01) *H01L 21/62* (2006.01)
- (21) 国际申请号: PCT/CN2021/105504
- (22) 国际申请日: 2021 年 7 月 9 日 (09.07.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202011349123.8 2020 年 11 月 26 日 (26.11.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (72) 发明人: 陈卓(CHEN, Zhuo); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 王盈智(WANG, Ying-chih); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 王士欣(WANG, Shih-shin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

- (74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: DYNAMIC RANDOM ACCESS MEMORY CAPACITOR AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 动态随机存取存储器电容器及其制备方法

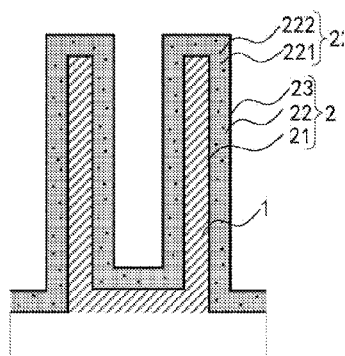


图1A

(57) Abstract: A dynamic random access memory capacitor and a manufacturing method therefor. The DRAM capacitor comprises a dielectric layer (2). The dielectric layer (2) comprises: a high dielectric material layer (22); and low dielectric loss material layers (21, 23) disposed on two side surfaces of the high dielectric material layer (22). The high dielectric material layer (22) can increase a dielectric constant of the dielectric layer (2), such that the dielectric layer has better dielectric properties. The low dielectric loss material layers (21, 23) disposed on the two side surfaces can effectively reduce dielectric loss in the high dielectric material layer (22). The above arrangement enables the dielectric layer (2) to have a high dielectric constant and low dielectric loss. The DRAM capacitor requires a simple manufacturing process and is suitable for industrial production.

(57) 摘要: 一种动态随机存取存储器电容器及其制备方法。其中, DRAM 电容器包括介电层 (2), 所述介电层 (2) 包括: 高介电材料层 (22); 和低介电损耗材料层 (21, 23), 设置在所述高介电材料层 (22) 两侧表面。高介电材料层 (22) 可以提高介电层 (2) 的介电常数, 使其具有更好的介电性能; 两侧表面设置的低介电损耗材料层 (21, 23) 可以有效解决高介电材料层 (22) 的介电损耗, 从而实现介电层 (2) 的高介电常数和低介电损耗的目的。所述 DRAM 电容器制程简单, 便于工业化生产。

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

动态随机存取存储器电容器及其制备方法

相关申请的交叉引用

5 本公开要求在 2020 年 11 月 26 日提交的中国专利申请号 202011349123.8 的优先权，
以上专利通过引用被全部合并至本公开。

技术领域

10 本公开属于半导体元件领域，具体涉及一种动态随机存取存储器电容器及其制备方法。

背景技术

15 随着电子工业向多功能化发展，电子器件的集成化、小型化和高性能化已经成为一种趋势。对于 DRAM 电容器来说，其中的介电材料层也越来越薄，不仅工艺制程越来越难
达到，还会导致介电损耗也越来越高。

提供一种具有高介电常数和低介电损耗的 DRAM 电容器介电层成为亟待解决的问题。

发明内容

20 本公开实施例一方面提供一种动态随机存取存储器电容器，包括介电层，所述介电层包括：高介电材料层；和低介电损耗材料层，设置在所述高介电材料层两侧表面。

本公开实施例另一方面提供一种动态随机存取存储器电容器的制备方法，包括：S1，形成低介电损耗材料层；S2，在所述低介电损耗材料层上形成高介电材料层；S3，在所述高介电材料层上形成低介电损耗材料层。

25 本公开实施例提供的 DRAM 电容器的介电层包括高介电材料层和设置在高介电材料层两侧表面的低介电损耗材料层，高介电材料层可以提高介电层的介电常数，使其具有更好的介电性能；两侧表面设置的低介电损耗材料层可以有效解决高介电材料层的介电损耗，从而实现介电层的高介电常数和低介电损耗的目的。本公开实施例提供的 DRAM 电容器制程简单，便于工业化生产。

30

附图说明

通过参照附图详细描述其示例实施方式，本公开的上述和其它特征及优点将变得更加明显。

图 1A 是本公开一实施方式的 DRAM 电容器的局部剖面示意图。

35 图 1B 是图 1A 中 DRAM 电容器的介电层的局部放大示意图。

图 2A 本公开另一实施方式的 DRAM 电容器的局部剖面示意图。

图 2B 是图 2A 中 DRAM 电容器的介电层的局部放大示意图。

其中，附图标记说明如下：

1: 第一电容器电极

2: 介电层

21, 21a, 21b: 第一低介电损耗材料层

22: 高介电材料层

221, 221a, 221b: 介电陶瓷材料粒子

222, 222a, 222b: 掺杂粒子

23: 第二低介电损耗材料层

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的实施方式；相反，提供这些实施方式使得本公开将全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。在图中，为了清晰，夸大了区域和层的厚度。在图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

本文中术语“高介电常数材料”是指介电常数高于 4 的材料；术语“低介电损耗材料”是指介电损耗低于 0.2 的材料。

本公开的动态随机存取存储器电容器，包括介电层，其中介电层包括高介电材料层和设置在高介电材料层两侧表面的低介电损耗材料层。高介电材料可以提高介电层的介电常数，使其具有更好的介电性能。两侧表面设置的低介电损耗材料层可以有效解决高介电材料层的介电损耗，从而实现介电层的高介电常数和低介电损耗的目的。

在可选的实施方式中，如图 1A 所示，介电层 2 包括一层高介电材料层 22 和设置在内侧的、与 DRAM 电容器的第一电容器电极 1 表面的第一低介电损耗材料层 21 和设置在外侧的第二低介电损耗材料层 23。

在可选的实施方式中，如图 2A 所示，介电层 2 包括两层高介电材料层 22，即高介电材料层 22a 和 22b。也就是说，高介电材料层 22a、22b 与低介电损耗材料层 21a、21b、23 交替排列。

以上两种方式仅是列举，介电层还可以是更多层的堆叠，例如包含 3 层高介电材料层和 4 层低介电损耗材料层的堆叠、或者包含 4 层高介电材料层和 5 层低介电损耗材料层的堆叠等等。

在可选的实施方式中，高介电材料层与低介电损耗材料层的厚度比为 200-100: 1。即，如图 1B 所示，介电层 2 的总厚度 d 为高介电层 22 的厚度 d_1 和低介电损耗材料层 21 和 23 的厚度 d_2 的和（即， $d=d_1+2d_2$ ），高介电材料层 22 的厚度 d_1 与低介电损耗材料层 21、23

的厚度 d_2 的比为 200-100: 1。当介电层 2 包括两层高介电材料层时, 如图 2B 所示, 介电层 2 的总厚度 d 为高介电层 22a、22b 的厚度 d_4 和低介电损耗材料层 21a、21b、23 的厚度 d_3 的和 (即, $d=2d_4+3d_3$), 高介电材料层 22a、22b 的厚度 d_4 与低介电损耗材料层 21a、21b、23 的厚度 d_3 的比为 200-100: 1。根据电容串联的相关公式, 可知高介电材料层的厚度与低介电损耗材料层的厚度比越大, 介电层的介电常数越接近高介电材料层的介电常数, 因此为了发挥高介电材料层的高介电常数性能, 趋向于选择更大的厚度比。但同时考虑工艺可行性和介电层的总体厚度, 在一些实施例中, 高介电材料层与低介电损耗材料层的厚度比为 200-100: 1。本领域技术人员可以根据具体的需要选择其中的任何数值, 例如 190: 1、180: 1、170: 1、160: 1、150: 1、140: 1、130: 1、120: 1、110: 1 等等。低介电损耗材料层的厚度可以是 0.34nm-10nm。当低介电损耗材料层为氧化石墨烯层时, 可以采用单层氧化石墨烯作为低介电损耗材料层, 单层氧化石墨烯层的厚度为 0.34nm。综合考虑电容器的性能、工艺可行性、材料的种类和成本等因素, 选择适当的低介电损耗材料层的厚度, 例如但不限于为 1nm、2nm、3nm、4nm、5nm、6nm、7nm、8nm、9nm、10nm 等等。

在可选的实施方式中, 高介电材料层可以但不限于, 由掺杂的介电陶瓷材料形成。掺杂的介电陶瓷材料可以是 Ag、In、Sb、Bi、Ta、La、Nd、Ce 中一种或多种金属掺杂的 HfO_2 、 TiO_2 、 ZrO_2 、 CeO_2 中一种或多种介电陶瓷材料。以掺杂的介电陶瓷材料层的总重量计, 掺杂量在 1.5%-3.5%之间时, 介电常数可以达到最大。因此, 本领域技术人员可以根据实际的需要, 在 1.5%-3.5%之间选择适当的数值, 例如但不限于 1.8%、2%、2.3%、2.5%、2.8%、3%等等。

低介电损耗材料层可以是由低介电损耗绝缘材料形成, 例如聚合物、氧化石墨烯等。聚合物可以选自聚酰亚胺、聚偏氟乙烯、环氧树脂、聚苯乙烯中的一种或多种形成。

以下结合附图, 以掺杂的介电陶瓷材料为高介电材料层为例解释本公开的发明构思。但本领域技术人员应当理解, 高介电材料并不意在仅限定为掺杂的介电陶瓷材料。

参照图 1B, 高介电材料层 22 由于介电陶瓷材料 221 中包含掺杂粒子 222, 由于掺杂元素取代介电陶瓷材料中的金属, 从而产生更多的感应偶极矩以及掺杂离子进入晶体内部后会使晶格畸变有利于极化, 所以拥有更高的介电常数。但是, 由于掺杂粒子会产生电子位移, 从而导致较高的介电损耗。设置在高介电材料层 22 两侧的第一低介电损耗材料层 21 和第二低介电损耗材料层 23, 通过包覆在高介电材料层 22 外表面, 可以有效解决因离子掺杂导致的介电损耗, 实现低损耗的目的。同时掺杂后可以增加介电陶瓷材料的粘结与低介电损耗材料层之间的粘结强度。第一低介电损耗材料层 21 和第二低介电损耗材料层 23 可以是聚合物层或氧化石墨烯层。

参照图 2B, 当介电层包含两层高介电材料层时, 两层高介电材料层 22a 和 22b 的两侧分别层叠有第一低介电损耗材料层 21a 和 21b 和第二低介电损耗材料层 23。高介电材料层 22a 和 22b 分别包括介电陶瓷材料 221a, 221b 和掺杂粒子 222a, 222b。基于前述实施方

式相同的原理，高介电材料层 22a 和 22b 可以提高材料的介电常数，包覆在介电陶瓷材料层 22a 和 22b 两侧的第一低介电损耗材料层 21a 和 21b 和第二低介电损耗材料层 23 实现低损耗的目的。

本公开的动态随机存取存储器电容器可以通过如下方法制备。S1，形成高介电材料层；
5 S2，在高介电材料层上形成低介电损耗材料层；S3，在高介电材料层上形成低介电损耗材料层。其中步骤 S1、S2 和 S3 仅表示步骤地前后关系，并不意在限定各步骤之间紧密连接，而是各步骤之间还可以包含其它辅助步骤，例如清洗、干燥等步骤。当制备包含多层掺杂的介电陶瓷材料层时，重复 S2、S3 步骤至少一次即可实现。在一些实施例中，S2 步骤中通过原子层沉积形成掺杂的介电陶瓷材料层。

10 以下通过具体实例进一步描述本公开。不过这些实例仅仅是范例性的，并不对本公开的保护范围构成任何限制。

在下述实施例和对比例中，所使用到的试剂、材料以及仪器如没有特殊的说明，均可商购获得。

实施例 1

15 采用 Hummers 法制备单层氧化石墨烯(GO)。即将石墨粉/ NaNO_3 / KMnO_4 以质量比 10: 5: 12 混合少量浓硫酸/ H_2O_2 作为反应前驱体，在冰浴条件充分进行氧化还原反应（控制反应温度不超过 10°C ）。用 H_2SO_4 / H_2O_2 / HCl 去除衍生物，得到氧化石墨烯。通过超声或者机械剥离，得到单层氧化石墨烯。将单层氧化石墨烯通过原位旋涂法，旋涂在第一电容器电极（TiN）表面，形成氧化石墨烯层。

20 采用四二乙基氨基铅（TDEAH）、 $\text{Sb}(\text{CH}_3)_3$ 和水作为反应前驱体，采用 99.99 的高纯氮气作为载体和冲洗气体，前驱体温度为 100 度，反应腔室温度 300°C ，沉积得到 Sb 掺杂的 HfO_2 层。

在 Sb 掺杂的 HfO_2 表面再旋涂一层 GO，使 GO 能够包覆 Sb 掺杂的 HfO_2 层。

25 在外侧的氧化石墨烯层表面形成第二电容器电极（TiN），从而完成 DRAM 电容器的制备。

通过上海爱义电子设备有限公司 AS2855 高频介电常数介质损耗测试系统对电容器进行介电常数和介电损耗测试 AS2855 高频介电常数介质损耗测试系统由 S916 测试装置(夹具)、QBG-3E/QBG-3F/AS2853A 型高频 Q 表、数据采集和 $\tan\delta$ 自动测量控件(装入 QBG-3E/QBG-3F 或 AS2853A 的软件模块)、及 LKI-1 型电感器组成。使用 QBG-3E/3F 或
30 AS2853A 数字 Q 表具有自动计算介电常数(ϵ)和介质损耗($\tan\delta$)。电容器的测试结果及介电层中各层的组成、厚度参数如表 1 所示。

实施例 2

35 采用环四二甲氨基钛、 CH_3COOAg 和水作为反应前驱体，采用 99.99 的高纯 Ar 作为载体和冲洗气体。前驱体温度 100 度，反应腔室温度 300 度，沉积得到 Ag 掺杂的 TiO_2 层。

其它各层的形成方式及测试方法与实施例 1 相同。

该实施例制备的电容器的测试结果及介电层中各层的组成、厚度参数如表 1 所示。

实施例 3

5 采用环四二甲氨基钛、InSb 和水作为反应前驱体，采用 99.99 的高纯 Ar 作为载体和冲洗气体。前驱体温度 100 度，反应腔室温度 300 度，沉积得到 In 和 Sb 掺杂的 TiO₂ 层。

选择一定质量的聚酰亚胺固体颗粒与万能溶剂 N,N-二甲基甲酰胺配出浓度百分比为 25% 的聚酰亚胺前驱液，然后采用高速旋涂的方法在 TiN 上面旋涂前驱液（转速 5000），然后放进炉管用 200 度退火，得到 2nm 的聚酰亚胺膜层。

其它各层的形成方式及测试方法与实施例 1 相同。

10 该实施例制备的电容器的测试结果及介电层中各层的组成、厚度参数如表 1 所示。

实施例 4

采用四二甲氨基锆、C₆H₉BiO₆ 和水作为反应前驱体，采用 99.99 的高纯 Ar 作为载体和冲洗气体。前驱体温度 100 度，反应腔室温度 300 度，沉积得到 Bi 掺杂的 ZrO₂ 层。

其它各层的形成方式及测试方法与实施例 3 相同。

15 该实施例制备的电容器的测试结果及介电层中各层的组成、厚度参数如表 1 所示。

实施例 5

采用四二甲氨基锆、TaH 和水作为反应前驱体，采用 99.99 的高纯 Ar 作为载体和冲洗气体。前驱体温度 100 度，反应腔室温度 300 度，沉积得到 Ta 掺杂的 ZrO₂ 层。

20 将聚偏氟乙烯、N,N-二甲基甲酰胺、丙酮配出浓度百分比为 25% 的前驱液，加热溶解，采用静电纺丝法，在 10KV 的高压下，使前驱液形成 Tyler 锥并成拉丝状沉积在 TiN 电极上，然后 200 度退火得到 2nm 的聚偏氟乙烯纤维膜层。

其它各层的形成方式及测试方法与实施例 1 相同。

该实施例制备的电容器的测试结果及介电层中各层的组成、厚度参数如表 1 所示。

实施例 6

25 采用四二乙基氨基铅（TDEAH）、LaH 和水作为反应前驱体，采用 99.99 的高纯氮气作为载体和冲洗气体，前驱体温度为 100 度，反应腔室温度 300℃，沉积得到 La 掺杂的 HfO₂ 层。

其它各层的形成方式及测试方法与实施例 5 相同。

该实施例制备的电容器的测试结果及介电层中各层的组成、厚度参数如表 1 所示。

30 实施例 7

采用四二乙基氨基铅（TDEAH）、Ce(AC)₃ 和水作为反应前驱体，采用 99.99 的高纯氮气作为载体和冲洗气体，前驱体温度为 100 度，反应腔室温度 300℃，沉积得到 Ce 掺杂的 HfO₂ 层。

其它各层的形成方式及测试方法与实施例 1 相同。

35 该实施例制备的电容器的测试结果及介电层中各层的组成、厚度参数如表 1 所示。

实施例 8

以实施例 1 相同的方式制备 3 层结构后,再重复形成 Sb 掺杂的 HfO_2 层和 GO 层各一次,最后形成第二电容器电极,从而完成 DRAM 电容器的制备。对电容器进行介电常数和介电损耗测试,方法与实施例 1 相同。

5 该实施例制备的电容器的测试结果及介电层中各层的组成、厚度参数如表 1 所示。

对比例 1

采用四二乙基氨基铅 (TDEAH) 水作为反应前驱体,采用 99.99 的高纯氮气作为载体和冲洗气体,前驱体温度为 100 度,反应腔室温度 300℃,沉积得到 HfO_2 层。其它各层的形成方式及测试方法与实施例 1 相同。

10 该对比例制备的电容器的测试结果及介电层的组成、厚度参数如表 1 所示。

对比例 2

采用四二乙基氨基铅 (TDEAH)、 $\text{SbCl}_3/\text{Sb}(\text{CH}_3)_3$ 和水作为反应前驱体,采用 99.99 的高纯氮气作为载体和冲洗气体,前驱体温度为 100 度,反应腔室温度 300℃,沉积得到 Sb 掺杂的 HfO_2 层。

15 该对比例制备的电容器的测试结果及介电层的组成、厚度参数如表 1 所示。

表 1

实施例	掺杂的介电陶瓷材料层				聚合物层/氧化石墨烯层			介电常数	介电损耗
	层数	材质	掺杂量 (wt%)	厚度 (nm)	层数	材质	厚度 (nm)		
实施例 1	1	Sb 掺杂的 HfO_2	2.5	100	2	氧化石墨烯	1	40.8	0.006
实施例 2	1	Ag 掺杂的 TiO_2	2.5	100	2	氧化石墨烯	1	52.2	0.006
实施例 3	1	In、Sb 掺杂的 TiO_2 层	2.5	200	2	聚酰亚胺	2	41.8	0.007
实施例 4	1	Bi 掺杂的 ZrO_2	2.5	200	2	聚酰亚胺	2	40.8	0.004
实施例 5	1	Ta 掺杂的 ZrO_2	2.5	200	2	聚偏氟乙烯	2	32.2	0.007
实施例 6	1	La 掺杂的 HfO_2	2.5	200	2	聚偏氟乙烯	2	42	0.005
实施例 7	1	Ce 掺杂的 HfO_2	2.5	100	2	氧化石墨烯	1	33.3	0.006
实施例 8	2	Sb 掺杂的	2.5	100	3	氧化石	1	37.5	0.004

		HfO ₂				墨烯			
对比例 1	1	HfO ₂	0	100	-	-	-	25	0.2
对比例 2	1	Sb 掺杂的 HfO ₂	2.5	100	-	-	-	50	0.4

如表 1 所示，结合实施例 1-8 和对比例 1-2 的数据可以看出，本公开的介电层确实可以实现兼顾电容器的高介电常数和低介电损耗的目的。

5 以上公开的本公开实施例只是用于帮助阐述本公开。部分实施例并没有详尽叙述所有的细节，也不限制该发明仅为所述的具体实施方式。显然，根据本说明书的内容，可作很多的修改和变化。本说明书选取并具体描述这些实施例，是为了更好地解释本公开的原理和实际应用，从而使所属技术领域技术人员能很好地理解和利用本公开。本公开仅受权利要求书及其全部范围和等效物的限制。

权利要求

- 1、一种动态随机存取存储器电容器，包括介电层，其中，所述介电层包括：
高介电材料层；和
5 低介电损耗材料层，设置在所述高介电材料层两侧表面。
- 2、根据权利要求 1 所述的动态随机存取存储器电容器，其中，所述介电层包括一层以上的所述高介电材料层。
- 3、根据权利要求 2 所述的动态随机存取存储器电容器，其中，所述介电层包括 2 层所述高介电材料层。
- 10 4、根据权利要求 1 所述的动态随机存取存储器电容器，其中，所述高介电材料层与所述低介电损耗材料层的厚度比为 200-100: 1，所述低介电损耗材料层的厚度为 0.34nm-10nm。
- 5、根据权利要求 4 所述的动态随机存取存储器电容器，其中，所述高介电材料层与所述低介电损耗材料层的厚度比为 200-150: 1。
- 15 6、根据权利要求 4 所述的动态随机存取存储器电容器，其中，所述低介电损耗材料层的厚度为 1nm-5nm。
- 7、根据权利要求 1 所述的动态随机存取存储器电容器，其中，所述高介电材料层包括掺杂的介电陶瓷材料，所述掺杂的介电陶瓷材料为 Ag、In、Sb、Bi、Ta、La、Nd、Ce 中一种或多种金属掺杂的 HfO₂、TiO₂、ZrO₂、CeO₂ 中一种或多种介电陶瓷
20 材料。
- 8、根据权利要求 7 所述的动态随机存取存储器电容器，其中，以所述掺杂的介电陶瓷材料的总重量计，所述 Ag、In、Sb、Bi、Ta、La、Nd、Ce 中一种或多种金属掺杂的掺杂重量含量为 1.5%-3.5%。
- 9、根据权利要求 1 所述的动态随机存取存储器电容器，其中，所述低介电损耗
25 材料层包括聚酰亚胺、聚偏氟乙烯、环氧树脂、聚苯乙烯、氧化石墨烯中的一种或多种。
- 10、一种动态随机存取存储器电容器的制备方法，其中，包括：
S1，形成低介电损耗材料层；
S2，在所述低介电损耗材料层上形成高介电材料层；
30 S3，在所述高介电材料层上形成低介电损耗材料层。
- 11、根据权利要求 10 所述的制备方法，其中，依次重复所述 S2、S3 步骤至少一次。
- 12、根据权利要求 10 所述的制备方法，其中，所述高介电材料层包括掺杂的介电陶瓷材料，通过原子层沉积所述掺杂的介电陶瓷材料形成所述高介电材料层。

13、根据权利要求 12 所述的制备方法，其中，所述掺杂的介电陶瓷材料为 Ag、In、Sb、Bi、Ta、La、Ce、Nd 中一种或多种金属掺杂的 HfO_2 、 TiO_2 、 ZrO_2 、 CeO_2 中一种或多种介电陶瓷材料。

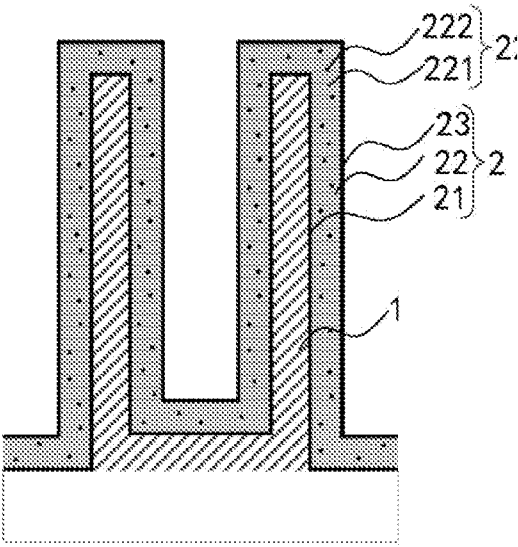


图1A

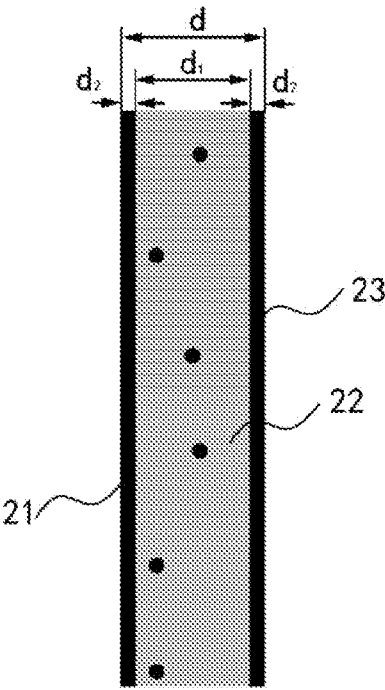


图1B

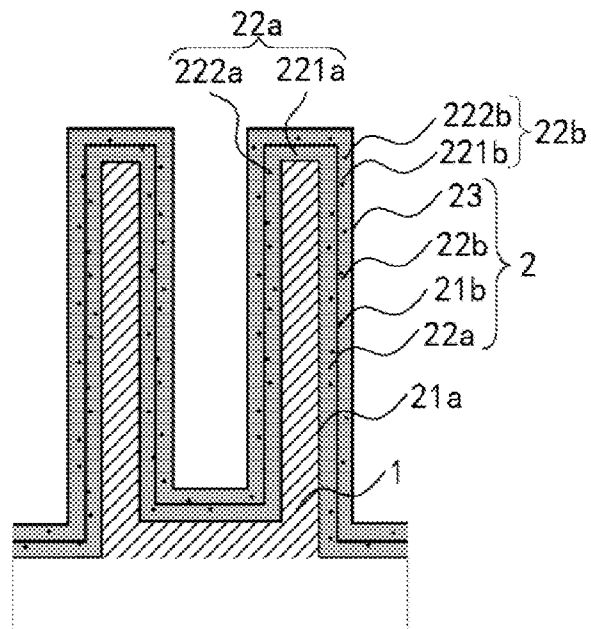


图2A

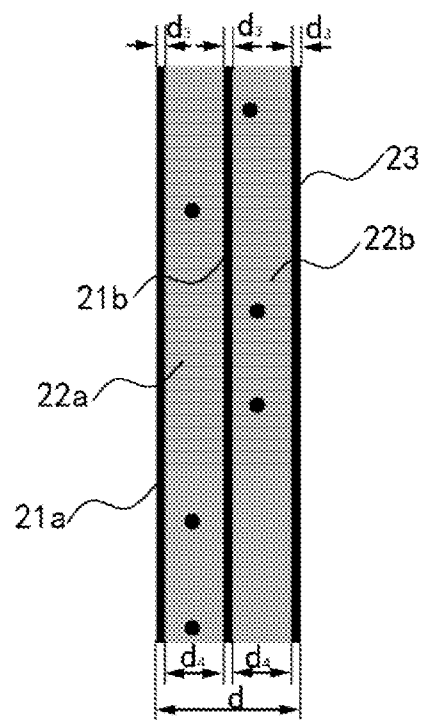


图2B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/105504

A. CLASSIFICATION OF SUBJECT MATTER

H01G 4/10(2006.01)i; H01L 21/62(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 动态随机, 存储器, 高K, 高介电, 低k, 低介电, 电容, 电极, DRAM, memory, high k, low k, high constant, low constant, capacitor, electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105321886 A (UNITED MICROELECTRONICS CORPORATION) 10 February 2016 (2016-02-10) description, paragraphs [0057]-[0060], and figure 1	1, 4-5, 9
Y	CN 105321886 A (UNITED MICROELECTRONICS CORPORATION) 10 February 2016 (2016-02-10) description, paragraphs [0057]-[0060], and figure 1	2-3, 6-8, 10-13
Y	US 2008160712 A1 (HYNIX SEMICONDUCTOR INC.) 03 July 2008 (2008-07-03) description paragraphs [0059]-[0061], figures 6C, 6D	2-3, 6, 10-13
Y	CN 103755339 A (WUHAN UNIVERSITY OF TECHNOLOGY) 30 April 2014 (2014-04-30) description, paragraph [0002]	7-8, 12-13
A	CN 106915958 A (GOLDEN SUN NEWS TECHNIQUES CO., LTD.) 04 July 2017 (2017-07-04) entire document	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 September 2021

Date of mailing of the international search report

11 October 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/105504

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105321886	A	10 February 2016	US	2015349049	A1	03 December 2015
				CN	105321886	B	05 July 2019
				US	9202861	B1	01 December 2015
				US	9136317	B1	15 September 2015
US	2008160712	A1	03 July 2008	US	7799631	B2	21 September 2010
				KR	100818657	B1	01 April 2008
CN	103755339	A	30 April 2014	CN	103755339	B	22 July 2015
CN	106915958	A	04 July 2017	CN	106915958	B	09 October 2020

国际检索报告

国际申请号

PCT/CN2021/105504

A. 主题的分类 H01G 4/10 (2006.01) i; H01L 21/62 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01G; H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, WPI, EPDOC, CNKI, IEEE: 动态随机, 存储器, 高K, 高介电, 低k, 低介电, 电容, 电极, DRAM, memory, high k, low k, high constant, low constant, capacitor, electrode																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105321886 A (联华电子股份有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0057]-[0060]段、图1</td> <td>1, 4-5, 9</td> </tr> <tr> <td>Y</td> <td>CN 105321886 A (联华电子股份有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0057]-[0060]段、图1</td> <td>2-3, 6-8, 10-13</td> </tr> <tr> <td>Y</td> <td>US 2008160712 A1 (HYNIX SEMICONDUCTOR INC.) 2008年 7月 3日 (2008 - 07 - 03) 说明书第[0059]-[0061]段、图6C, 6D</td> <td>2-3, 6, 10-13</td> </tr> <tr> <td>Y</td> <td>CN 103755339 A (武汉理工大学) 2014年 4月 30日 (2014 - 04 - 30) 说明书第[0002]段</td> <td>7-8, 12-13</td> </tr> <tr> <td>A</td> <td>CN 106915958 A (华新科技股份有限公司) 2017年 7月 4日 (2017 - 07 - 04) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105321886 A (联华电子股份有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0057]-[0060]段、图1	1, 4-5, 9	Y	CN 105321886 A (联华电子股份有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0057]-[0060]段、图1	2-3, 6-8, 10-13	Y	US 2008160712 A1 (HYNIX SEMICONDUCTOR INC.) 2008年 7月 3日 (2008 - 07 - 03) 说明书第[0059]-[0061]段、图6C, 6D	2-3, 6, 10-13	Y	CN 103755339 A (武汉理工大学) 2014年 4月 30日 (2014 - 04 - 30) 说明书第[0002]段	7-8, 12-13	A	CN 106915958 A (华新科技股份有限公司) 2017年 7月 4日 (2017 - 07 - 04) 全文	1-13
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 105321886 A (联华电子股份有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0057]-[0060]段、图1	1, 4-5, 9																		
Y	CN 105321886 A (联华电子股份有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0057]-[0060]段、图1	2-3, 6-8, 10-13																		
Y	US 2008160712 A1 (HYNIX SEMICONDUCTOR INC.) 2008年 7月 3日 (2008 - 07 - 03) 说明书第[0059]-[0061]段、图6C, 6D	2-3, 6, 10-13																		
Y	CN 103755339 A (武汉理工大学) 2014年 4月 30日 (2014 - 04 - 30) 说明书第[0002]段	7-8, 12-13																		
A	CN 106915958 A (华新科技股份有限公司) 2017年 7月 4日 (2017 - 07 - 04) 全文	1-13																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期		国际检索报告邮寄日期																		
2021年 9月 28日		2021年 10月 11日																		
ISA/CN的名称和邮寄地址		授权官员																		
中国国家知识产权局 (ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		陈冬冰 电话号码 86-(10)-53961464																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/105504

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105321886	A	2016年 2月 10日	US	2015349049	A1	2015年 12月 3日
				CN	105321886	B	2019年 7月 5日
				US	9202861	B1	2015年 12月 1日
				US	9136317	B1	2015年 9月 15日
US	2008160712	A1	2008年 7月 3日	US	7799631	B2	2010年 9月 21日
				KR	100818657	B1	2008年 4月 1日
CN	103755339	A	2014年 4月 30日	CN	103755339	B	2015年 7月 22日
CN	106915958	A	2017年 7月 4日	CN	106915958	B	2020年 10月 9日