

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月19日(19.12.2019)



(10) 国際公開番号

WO 2019/239690 A1

(51) 国際特許分類:
H04N 21/438 (2011.01)

(21) 国際出願番号: PCT/JP2019/015056

(22) 国際出願日: 2019年4月5日(05.04.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-111506 2018年6月12日(12.06.2018) JP

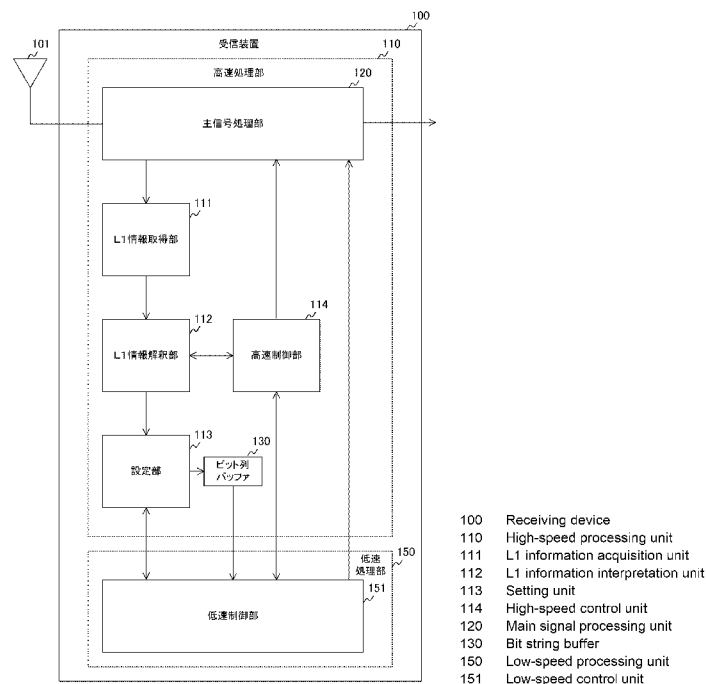
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 中田 豊(NAKADA, Yutaka); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 堀口 孝(HORIGUTI, Takashi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 境 仁志(SAKAI, Hitoshi); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーLSIデザイン株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: RECEIVING DEVICE, AND RECEIVING DEVICE CONTROL METHOD

(54) 発明の名称: 受信装置、および、受信装置の制御方法



(57) Abstract: This receiving device decodes a preamble, and reduces the size of a buffer holding decoding results. A holding unit holds, as a physical-layer pipe present/absent bit string, a plurality of bits to each of which a piece of physical-layer pipe identification has been allocated. A receiving unit receives a prescribed number of physical-layer pipes not exceeding the number of bits in the physical-layer pipe present/absent bit string, and the respective physical-layer pipe identification information pieces of the prescribed number of physical-layer pipes. A setting unit sets, to one of two values,

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the value of the bits corresponding to the received physical-layer pipe identification information, from the physical-layer pipe present/absent bit string, and sets the value of the non-corresponding bits to the other of the two values. A decoding processing unit performs processing for decoding the physical-layer pipe corresponding to the bits of the one value.

(57) 要約: プリアンブルをデコードする受信装置において、デコード結果を保持するバッファのサイズを削減する。保持部は、物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを物理層パイプ有無ビット列として保持する。受信部は、物理層パイプ有無ビット列のビット数を越えない所定数の物理層パイプと所定数の物理層パイプのそれぞれの前記物理層パイプ識別情報とを受信する。設定部は、物理層パイプ有無ビット列のうち受信された物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を2値の他方に設定する。復号処理部は、一方の値のビットに対応する前記物理層パイプを復号する処理を行う。

明 細 書

発明の名称：受信装置、および、受信装置の制御方法

技術分野

[0001] 本技術は、受信装置、および、受信装置の制御方法に関する。詳しくは、地上波デジタル放送を受信する受信装置、および、受信装置の制御方法に関する。

背景技術

[0002] 近年、A T S C (Advanced Television Systems Committee standards) 3.0規格を用いた次世代の地上波デジタル放送を受信するための受信装置の開発や研究が進められている。このA T S C 3.0規格では、O F D M (Orthogonal Frequency Division Multiplexing) フレームが送受信される。このO F D Mフレームは、プリアンプルと最大256個のサブフレームとを含み、サブフレームのそれぞれはP L P (Physical Layer Pipe)と呼ばれるパケット系列を含む。1つのサブフレームには、最大で64個のP L Pを格納することができ、格納したP L Pのそれぞれの識別情報やデータサイズなどが、プリアンプル内に格納される。この構成のO F D Mフレームを効率的に処理するために、例えば、プリアンプルをデコードする制御回路と、そのデコード結果に従ってP L Pを復号する信号処理部とを設けた受信装置が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-135457号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、プリアンプルのデコードとP L Pの復号とを制御回路および信号処理部が並列に実行することができるため、それらを順に実行する構成と比較して処理速度を速くすることができる。しかしながら、信号

処理部は、制御回路のデコード結果を用いて処理を行うため、制御回路と信号処理部との間に、そのデコード結果を保持する保持部（バッファなど）を配置する必要がある。そして、デコード結果を詳細な内容にするほど、デコード結果のデータサイズが大きくなり、大きなバッファサイズを要する。例えば、サブフレーム内のPLPは、最大で64（ $=2^6$ ）個であるため、その識別情報には、6ビットが割り当てられる。このため、制御回路が、デコードによりPLPの識別情報を取得して信号処理回路に渡す際には、保持部において64×6ビットの容量を確保する必要がある。このように、上述の受信装置では、デコード結果に応じて保持部のサイズが大きくなってしまいう問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、プリアンブルをデコードする受信装置において、デコード結果を保持する保持部のサイズを削減することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを物理層パイプ有無ビット列として保持する保持部と、上記物理層パイプ有無ビット列のビット数を越えない所定数の物理層パイプと上記所定数の物理層パイプのそれぞれの上記物理層パイプ識別情報とを受信する受信部と、上記物理層パイプ有無ビット列のうち上記受信された物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を上記2値の他方に設定する設定部と、上記一方の値のビットに対応する上記物理層パイプを復号する処理を行う復号処理部とを具備する受信装置、および、その制御方法である。これにより、受信した物理層パイプ識別情報をそのまま保持する場合は物理層パイプごとに物理層パイプ識別情報のサイズが必要であったのに対し、物理層パイプごとに1ビットのサイズで済み、保持部のサイズが削減されるという作用をもたらす。

[0007] また、この第1の側面において、上記受信部は、上記所定数の物理層パイ

プが格納されたサブフレームと上記物理層パイプ識別情報が格納されたプリアンプルとを受信し、上記物理層パイプ有無ビット列のビット数は、上記サブフレームに格納される上記物理層パイプの最大数であってもよい。これにより、物理層パイプの最大数に該当するビット数の物理層パイプ有無ビット列における一方の値のビットに対応する物理層パイプが復号されるという作用をもたらす。

[0008] また、この第1の側面において、上記保持部は、上記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットをLLS (Low Level Signaling) 有無ビット列としてさらに保持し、上記受信部は、上記所定数の物理層パイプのそれぞれのLLSフラグをさらに受信し、上記設定部は、上記LLS有無ビット列のうちLLS情報を含む上記物理層パイプの上記物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を上記2値の他方に設定し、上記復号処理部は、上記LLS有無ビット列内の上記一方の値のビットに対応する上記物理層パイプからLLS情報を取得してもよい。これにより、LLS情報が取得されるという作用をもたらす。

[0009] また、この第1の側面において、上記保持部は、上記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを結合有無ビット列としてさらに保持し、上記受信部は、上記所定数の物理層パイプの結合に関する情報をさらに受信し、上記設定部は、上記結合有無ビット列のうち結合する上記物理層パイプの上記物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を上記2値の他方に設定し、上記復号処理部は、上記結合有無ビット列内の上記一方の値のビットに対応する上記物理層パイプを結合してもよい。これにより、物理層パイプが結合されるという作用をもたらす。

[0010] また、この第1の側面において、上記保持部は、上記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを拡張有無ビット列としてさらに保持し、上記受信部は、LDM (Layered Division Multiplexing) に関する

る情報をさらに受信し、上記設定部は、上記拡張有無ビット列のうち拡張物理層パイプの上記物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を上記2値の他方に設定し、上記復号処理部は、上記拡張有無ビット列に基づいてLDMを使用して復号してもよい。これにより、LDMが使用されるという作用をもたらす。

[0011] また、この第1の側面において、上記物理層パイプ識別情報を含むプリアンブルを定期的に解釈する解釈部をさらに具備してもよい。これにより、プリアンブルが定期的に解釈されるという作用をもたらす。

[0012] また、この第1の側面において、上記受信部は、ATSC (Advanced Television Systems Committee standards) 3.0規格に準拠したフレームを受信し、上記フレームは、上記所定数の物理層パイプが格納されたサブフレームと上記物理層パイプ識別情報が格納されたプリアンブルとを含むものであってもよい。これにより、ATSC 3.0規格の物理層パイプが復号されるという作用をもたらす。

発明の効果

[0013] 本技術によれば、プリアンブルをデコードする受信装置において、デコード結果を保持するバッファのサイズを削減することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0014] [図1]本技術の第1の実施の形態における受信装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態におけるOFDMフレームのデータ構造の一例を示す図である。

[図3]本技術の第1の実施の形態におけるL1-Detail情報のデータ構造の一例を示す図である。

[図4]本技術の第1の実施の形態におけるL1-Detail情報の構文の一例を示す図である。

[図5]本技術の第1の実施の形態におけるビット列バッファに保持されるデータの一例を示す図である。

[図6]本技術の第1の実施の形態におけるPLP有無ビット列およびLLS (Low Level Signaling) 有無ビット列のデータ構造の一例を示す図である。

[図7]本技術の第1の実施の形態における主信号処理部の一構成例を示すブロック図である。

[図8]本技術の第1の実施の形態における受信装置の動作の一例を示すフローチャートである。

[図9]本技術の第2の実施の形態におけるビット列バッファに保持されるデータの一例を示す図である。

[図10]本技術の第2の実施の形態における結合有無ビット列のデータ構造の一例を示す図である。

[図11]本技術の第2の実施の形態におけるPLPの結合関係を説明するための図である。

[図12]本技術の第2の実施の形態におけるPLPの結合関係に関する情報の格納場所の一例を示す図である。

[図13]本技術の第3の実施の形態におけるビット列バッファに保持されるデータの一例を示す図である。

[図14]本技術の第3の実施の形態における拡張有無ビット列のデータ構造の一例を示す図である。

[図15]本技術の第3の実施の形態におけるLDM (Layered Division Multiplexing) の使用例を示す図である。

[図16]本技術の第3の実施の形態におけるLDMに関する情報の格納場所の一例を示す図である。

[図17]本技術の第4および第1の実施の形態における受信装置の動作の一例を示すタイミングチャートである。

発明を実施するための形態

[0015] 以下、本技術を実施するための形態（以下、実施の形態と称する）につい

て説明する。説明は以下の順序により行う。

- １．第１の実施の形態（ビット列に基づいてＰＬＰを復号する例）
- ２．第２の実施の形態（ビット列に基づいてＰＬＰを結合して復号する例）
- ３．第３の実施の形態（ビット列に基づいてＬＤＭを使用しつつ、ＰＬＰを復号する例）
- ４．第４の実施の形態（定期的にプリアンプルを解釈し、ビット列に基づいてＰＬＰを復号する例）

[0016] <１．第１の実施の形態>

[受信装置の構成例]

図１は、本技術の第１の実施の形態における受信装置１００の一構成例を示すブロック図である。この受信装置１００は、ＡＴＳＣ３．０規格に準拠した地上波デジタル放送を受信する装置であり、アンテナ１０１、高速処理部１１０および低速処理部１５０を備える。

[0017] アンテナ１０１は、ＯＦＤＭフレームが重畳された無線信号を受信するものである。なお、アンテナ１０１は、特許請求の範囲に記載の受信部の一例である。

[0018] 高速処理部１１０は、ＩＣ（Integrated Circuit）回路などのハードウェアにより構成される。この高速処理部１１０は、主信号処理部１２０、Ｌ１（Layer 1）情報取得部１１１、Ｌ１情報解釈部１１２、設定部１１３、高速制御部１１４およびビット列バッファ１３０を備える。

[0019] 低速処理部１５０は、ＣＰＵ（Central Processing Unit）などが実行するソフトウェアにより実現され、低速制御部１５１を備える。

[0020] 主信号処理部１２０は、ＯＦＤＭフレームをバッファリングし、高速制御部１１４および低速制御部１５１の制御に従ってＯＦＤＭフレーム内のペイロードを復号する処理を行うものである。なお、主信号処理部１２０は、特許請求の範囲に記載の復号処理部の一例である。

[0021] Ｌ１情報取得部１１１は、ＯＦＤＭフレームからＬ１情報を取得するもの

である。このL1情報取得部111は、ブートストラップをデコードし、主信号処理部120内にバッファリングされたOFDMフレームからプリアンブルを読み出す。ATSC 3.0規格において、プリアンブル内には、L1情報が格納され、このL1情報は、L1-Basic情報とL1-Detail情報とを含む。L1情報取得部111は、読み出したL1情報をL1情報解釈部112に供給する。

[0022] L1情報解釈部112は、L1情報を解釈するものである。L1情報の解釈は、OFDMフレームを受信するたびに行われ、PLPの出力が停止した際は、停止の検知時にL1情報の解釈が実行される。なお、L1情報解釈部112は、特許請求の範囲に記載の解釈部の一例である。

[0023] ここで、L1情報内のL1-Detail情報は、OFDMフレーム内のサブフレームのそれぞれに関する情報が格納される。例えば、MIMO (Multiple-Input and Multiple-Output)の使用状況、FFT (Fast Fourier Transform) サイズ、および、ガードインターバルの長さなどの情報がサブフレームごとに格納される。これらの情報を以下、「サブフレーム個別情報」と称し、残りの情報を「サブフレーム共通情報」と称する。

[0024] また、サブフレーム個別情報内には、サブフレーム内のPLPのそれぞれに関する情報が格納される。例えば、PLPID (Physical Layer Pipe Identification information)、LLSフラグおよびPLPサイズなどの情報がPLPごとに格納される。これらの情報を以下、「PLP個別情報」と称し、サブフレーム個別情報内の残りの情報を「PLP共通情報」と称する。

[0025] L1情報解釈部112は、サブフレーム個別情報をデコードするたびに、そのサブフレーム個別情報内のPLP個別情報のそれぞれを高速制御部114および設定部113に供給する。

[0026] 高速制御部114は、PLP個別情報に基づいて主信号処理部120を制御するものである。この高速制御部114は、PLP個別情報をデコードし、PLPIDおよびLLSフラグを除く、PLPの復号に必要な情報 (PLPサイズなど) を取得し、主信号処理部120に供給してPLPを復号させ

る。また、高速制御部 114 は、実行状況を低速制御部 151 および L1 情報解釈部 112 との間でやり取りする。

[0027] ビット列バッファ 130 は、所定のビット列を保持するものである。ビット列のデータ構造の詳細については後述する。なお、ビット列バッファ 130 は、特許請求の範囲に記載の保持部の一例である。

[0028] 設定部 113 は、PLP 個別情報をデコードし、PLPID および LLS フラグを取得し、それらに基づいてビット列バッファ 130 内のビット列に値を設定するものである。設定方法の詳細については後述する。また、設定部 113 は、実行状況を低速制御部 151 との間でやりとりする。

[0029] 低速制御部 151 は、ビット列バッファ 130 内のビット列に基づいて主信号処理部 120 を制御するものである。制御内容の詳細については後述する。

[0030] 図 2 は、本技術の第 1 の実施の形態における OFDM フレームのデータ構造の一例を示す図である。OFDM フレームは、ブートストラップ、プリアンブルおよびペイロードを含む。

[0031] ブートストラップには、バージョン、帯域幅やプリアンブルの構造が格納される。プリアンブルには、L1-Basic 情報および L1-Detail 情報が格納される。

[0032] L1-Basic 情報には、パイロット信号の符号化方法などが格納される。L1-Detail 情報の詳細については後述する。

[0033] ペイロードには、最大で 256 個のサブフレームが格納される。また、サブフレームのそれぞれには、最大で 64 個の PLP が格納される。また、PLP には、コンテンツのデータや LLS 情報を格納することができる。ただし、LLS 情報は、全ての PLP に格納されるとは限らない。L1-Detail 情報内には、対応する PLP が LLS 情報を含むか否かを示す LLS フラグが格納される。

[0034] LLS 情報は、物理層よりも上位の層（トランスポート層やアプリケーション層など）の情報であり、例えば、ストリームに対応するチャンネルを示す

チャンネル情報を含む。

[0035] 図3は、本技術の第1の実施の形態におけるL1-Detail情報のデータ構造の一例を示す図である。L1-Detail情報は、サブフレーム共通情報と、最大256個のサブフレーム個別情報とを含む。

[0036] また、サブフレーム個別情報のそれぞれは、PLP共通情報と、最大64個のPLP個別情報とを含む。

[0037] PLP共通情報には、「L1D_version」や、サブフレーム内のPLP数を示す「L1D_num_plp」が格納される。PLP個別情報には、PLPIDを示す「L1D_plp_id」や、LLSフラグを示す「L1D_plp_lls_flag」が格納される。PLPIDには6ビットが割り当てられ、LLSフラグには1ビットが割り当てられる。

[0038] 図4は、本技術の第1の実施の形態におけるL1-Detail情報の構文の一例を示す図である。この構文は、「ATSC Standard:Physical Layer Protocol Doc. A/322:2017」、Advanced Television Systems Committee、インターネット (<https://www.atsc.org/standards/atsc-3-0-standards/>)」に記載されている。

[0039] L1-Detail情報には、先頭から順に、「L1D_version」や、「L1D_num_rf」が格納される。「L1D_version」は、現在フレームに関して使用されるL1-Detailシグナリング構造のバージョンである。「L1D_num_rf」は、現在のチャンネルの周波数に含まれない、チャンネルボンディングに關与する周波数の数である。

[0040] また、「for (i=0 .. L1B_num_subframes) {・・・}」は、波括弧内のデータが、サブフレームの個数（最大256個）の分だけ格納されることを意味する。このfor構文の外部の部分がサブフレーム共通情報に該当する。また、そのfor構文の波括弧内のデータは、サブフレーム個別情報に該当する。

[0041] サブフレーム個別情報内において、「for (j=0 .. L1D_num_plp) {・・・}」は、波括弧内のデータが、PLPの個数（最大64個）の分だけ格納され

ることを意味する。この `for` 構文の直前までが `PLP` 共通情報に該当する。また、その `for` 構文の波括弧内のデータは、`PLP` 個別情報に該当する。

[0042] `PLP` 個別情報内の「`L1D_plp_id`」フィールドの6ビットは、`PLPID`を表し、「`L1D_plp_lls_flag`」フィールドの1ビットは、`LLS`フラグを表す。点線301に示す、これらの7ビットが設定部113により`PLP`ごとに読み出される。

[0043] 図5は、本技術の第1の実施の形態におけるビット列バッファ130に保持されるデータの一例を示す図である。ビット列バッファ130には、`PLP`有無ビット列131および`LLS`有無ビット列132が保持される。

[0044] 図6は、本技術の第1の実施の形態における`PLP`有無ビット列131および`LLS`有無ビット列132のデータ構造の一例を示す図である。同図におけるaは、`PLP`有無ビット列131のデータ構造の一例を示す図であり、同図におけるbは、`LLS`有無ビット列132のデータ構造の一例を示す図である。

[0045] `PLP`有無ビット列131は、互いに異なる`PLPID`が割り当てられた複数のビットを配列したものである。例えば、`ATSC 3.0`規格では、サブフレームごとに最大64個の`PLP`が格納されるため、`PLP`有無ビット列131のサイズは64ビットである。`PLP`有無ビット列131の n (n は0乃至63の整数)ビット目には、「 n 」の`PLPID`が割り当てられる。それぞれのビットは、対応する`PLPID`の`PLP`がサブフレーム内に存在するか否かを示す。

[0046] 設定部113は、受信されたL1情報をデコードしてサブフレーム内の`PLP`ごとに6ビットの`PLPID`を取得する。そして、設定部113は、`PLP`有無ビット列131において、取得した`PLPID`に対応するビットを2値の一方（「1」など）に設定し、対応しないビットを2値の他方（「0」など）に設定する。例えば、設定部113は、サブフレーム個別情報のデコード開始時に`PLP`有無ビット列131の全ビットを「0」に初期化し、

取得したPLPIDに対応するビットを「1」に更新することにより設定を行う。

[0047] また、LLS有無ビット列132は、互いに異なるPLPIDが割り当てられた複数のビットを配列したものである。サブフレームごとに最大64個のPLPが格納されるため、LLS有無ビット列132のサイズも64ビットである。LLS有無ビット列132のnビット目には、「n」のPLPIDが割り当てられる。それぞれのビットは、対応するPLPIDのPLPにLLS情報が含まれるか否かを示す。

[0048] 設定部113は、受信されたL1情報をデコードしてサブフレーム内のPLPごとに1ビットのLLSフラグを取得する。このLLSフラグは、対応するPLPがLLS情報を含むか否かを示す。そして、設定部113は、LLS有無ビット列132において、LLS情報を含むPLPのPLPIDに対応するビットを2値の一方（論理値「1」など）に設定し、それ以外のビットを2値の他方（論理値「0」など）に設定する。例えば、設定部113は、サブフレーム個別情報のデコード開始時にLLS有無ビット列132の全ビットを「0」に初期化し、LLS情報を含むPLPに対応するビットを「1」に更新することにより設定を行う。

[0049] [主信号処理部の構成例]

図7は、本技術の第1の実施の形態における主信号処理部120の一構成例を示すブロック図である。この主信号処理部120は、OFDMフレームバッファ121および復号回路122を備える。

[0050] OFDMフレームバッファ121は、OFDMフレームを保持するものである。復号回路122は、OFDMフレーム内のPLPを復号するものである。

[0051] 低速制御部151は、ビット列バッファ130内のPLP有無ビット列131を参照し、先頭ビットから順にビットの値が論理値「1」であるか否かを判断する。論理値「1」であれば、低速制御部151は、復号指示信号を復号回路122に送信する。

[0052] 復号回路 1 2 2 は、復号指示信号を受信するたびに、高速制御部 1 1 4 からの情報（符号化方式や P L P サイズなど）を用いて、サブフレーム内の P L P を物理層レベルで復号する。

[0053] また、低速制御部 1 5 1 は、ビット列バッファ 1 3 0 内の L L S 有無ビット列 1 3 2 を参照し、先頭ビットから順にビットの値が論理値「1」であるか否かを判断する。論理値「1」であれば、低速制御部 1 5 1 は、L L S 取得指示信号を復号回路 1 2 2 に送信する。

[0054] 復号回路 1 2 2 は、L L S 取得指示信号を受信すると、復号した P L P において、物理層より上位の層（L 2 や L 3）から L L S 情報を取り出す。例えば、L 2 の情報を取り出す際に復号回路 1 2 2 は、P L P の復号データ内の L 2 ヘッダをデコードして、L 2 のペイロードの構造を取得する。また、L 3 の情報を取り出す際に復号回路 1 2 2 は、L 2 のペイロード内の L 3 ヘッダをデコードして、L 3 のペイロードの構造を取得する。復号回路 1 2 2 は、取得した L L S 情報を外部に出力する。

[0055] ここで、設定部 1 1 3 を配置せず、高速制御部 1 1 4 が P L P I D および L L S フラグを示す 7 ビットをバッファに保持する比較例を想定する。この比較例では、サブフレームごとの P L P 数が最大で 6 4 個であるため、6 4 × 7 ビットの容量をバッファに確保する必要がある。

[0056] これに対して、受信装置 1 0 0 では、設定部 1 1 3 が P L P 有無ビット列 1 3 1 および L L S 有無ビット列 1 3 2 を設定するため、比較例と比較して、ビット列バッファ 1 3 0 の容量を 6 4 × 2 ビットに削減することができる。また、高速処理部 1 1 0 と低速処理部 1 5 0 との間のインターフェースの通信量を削減することができる。

[0057] [受信装置の動作例]

図 8 は、本技術の第 1 の実施の形態における受信装置 1 0 0 の動作の一例を示すフローチャートである。この動作は、例えば、O F D M フレームを受信するためのアプリケーションが実行されたときに開始される。

[0058] 受信装置 1 0 0 は、L 1 情報を取得し（ステップ S 9 0 1）、L 1 情報を

解釈する（ステップS902）。また、受信装置100内の設定部113は、PLPIDおよびLLSフラグに基づいてPLP有無ビット列およびLLS有無ビット列の値を設定する（ステップS903）。

[0059] 受信装置100内の低速制御部151は、シフト量を示す変数を「0」に初期化する（ステップS904）。そして、低速制御部151は、PLP有無ビット列およびLLS有無ビット列のそれぞれの先頭ビットからシフト量だけシフトした位置のビットを読み出す（ステップS905）。低速制御部151は、PLP有無ビット列のシフト位置のビットが論理値「1」であるか否かを判断する（ステップS906）。

[0060] シフト位置のビットが論理値「1」である場合（ステップS906：Yes）、低速制御部151は、LLS有無ビット列のシフト位置のビットが論理値「1」であるか否かを判断する（ステップS907）。

[0061] シフト位置のビットが論理値「1」である場合（ステップS907：Yes）、低速制御部151は、LLS情報の取得を主信号処理部120に指示し、主信号処理部120は、対応するPLPからLLS情報を取得する（ステップS908）。低速制御部151は、シフト量が「63」であるか否かを判断する（ステップS909）。

[0062] PLP有無ビット列のシフト位置のビットが論理値「1」でない場合（ステップS906：No）、または、LLS有無ビット列のシフト位置のビットが論理値「1」でない場合（ステップS907：No）もステップS909が実行される。

[0063] シフト量が「63」である場合に（ステップS909：Yes）、受信装置100は、残りのサブフレームについて同様の処理を実行し、OFDMフレームの受信処理を終了する。

[0064] 一方、シフト量が「63」でない場合に（ステップS909：No）、低速制御部151は、シフト量をインクリメントしてステップS905以降を繰り返す。

[0065] このように、本技術の第1の実施の形態では、ビット列バッファ130が

、P L I Dが各ビットに割り当てられたP L P有無ビット列を保持し、設定部113は、そのP L P有無ビット列において受信したP L P I Dに対応するビットを「1」に設定する。このため、受信したP L PのP L P I Dをそのまま保持する場合はP L PごとにP L P I Dのサイズが必要であったのに対し、P L P有無ビット列ではP L Pごとに1ビットのサイズで済み、バッファサイズを削減することができる。

[0066] <2. 第2の実施の形態>

上述の第1の実施の形態では、受信装置100は、P L Pを結合せずにP L Pごとに復号していたが、P L Pを結合しない構成では、周波数帯域の使用効率を最大限に活用できないことがある。この第2の実施の形態の受信装置は、異なる周波数帯域（言い換えれば、チャネル）に属するP L P同士を結合する点において第1の実施の形態と異なる。

[0067] 図9は、本技術の第2の実施の形態におけるビット列バッファ130に保持されるデータの一例を示す図である。この第2の実施の形態のビット列バッファ130には、結合有無ビット列133がさらに保持される。

[0068] 図10は、本技術の第2の実施の形態における結合有無ビット列133のデータ構造の一例を示す図である。

[0069] 結合有無ビット列133は、互いに異なるP L P I Dが割り当てられた複数のビットを配列したものである。例えば、ATSC 3.0規格では、サブフレームごとに最大64個のP L Pが格納されるため、結合有無ビット列133のサイズは64ビットである。結合有無ビット列133のnビット目には、「n」のP L P I Dが割り当てられる。それぞれのビットは、対応するP L P I DのP L Pが他のP L Pと結合されるか否かを示す。

[0070] 設定部113は、受信されたL1情報をデコードしてサブフレーム内のP L PごとにP L Pの結合に関する情報を取得する。そして、設定部113は、結合有無ビット列133において、結合するP L PのP L P I Dに対応するビットを2値の一方（「1」など）に設定し、対応しないビットを2値の他方（「0」など）に設定する。

- [0071] 低速制御部 151 は、結合有無ビット列 133 を参照し、先頭ビットから順にビットの値が論理値「1」であるか否かを判断する。論理値「1」であれば、低速制御部 151 は、結合指示信号を復号回路 122 に供給する。
- [0072] 復号回路 122 は、結合指示信号に従って、複数の PLP を結合して 1 つの符号語とし、その符号語を高速制御部 114 からの情報（符号化方式や PLP サイズなど）を用いて復号する。これにより、復号回路 122 は、結合しない場合よりも多くの符号語を復号することができる。
- [0073] 図 11 は、本技術の第 2 の実施の形態における PLP の結合関係を説明するための図である。ATSC 3.0 規格では、異なる周波数帯域に属する PLP 同士を結合することができる。例えば、周波数帯域 RF1 における PLP ID が「1」の PLP と、周波数帯域 RF2 における PLP ID が「10」の PLP とを結合することができる。
- [0074] 図 12 は、本技術の第 2 の実施の形態における PLP の結合関係に関する情報の格納場所の一例を示す図である。L1-Detail 情報において、「for (j=0 .. L1D_num_plp) {・・・}」内に、点線 302 に示すように、「L1D_plp_num_channel_bonded」のフィールドが設けられる。このフィールドには、PLP の結合に関する 3 ビットの情報が格納される。例えば、対応する PLP が、他のチャネルの PLP と結合されない場合には、「L1D_plp_num_channel_bonded」のフィールドに「0」が設定される。一方、結合される場合には、そのフィールドに「1」以上の値が設定される。
- [0075] 「L1D_plp_num_channel_bonded」のフィールドは 3 ビットであるため、その 3 ビットを PLP ごとにそのままビット列バッファ 130 に保持させる場合、 64×3 ビットの容量を確保する必要がある。これに対して、第 2 の実施の形態の設定部 113 は、結合有無ビット列 133 を設定するため、結合に関する情報を保持する容量を 64 ビットに削減することができる。また、高速処理部 110 と低速処理部 150 との間のインターフェースの通信量を削減することができる。
- [0076] なお、ビット列バッファ 130 に、LLS 有無ビット列 132 および結合

有無ビット列 1 3 3 の両方を保持させているが、この構成に限定されない。
例えば、L L S 情報の取得が不要である場合には、L L S 有無ビット列 1 3 2 を保持させない構成であってもよい。

[0077] このように、本技術の第 2 の実施の形態によれば、受信装置 1 0 0 は、異なるチャネルの P L P 同士を結合して復号するため、周波数帯域の使用効率を最大限に活用することができる。

[0078] < 3. 第 3 の実施の形態 >

上述の第 2 の実施の形態では、受信装置 1 0 0 は、L D M を使用していなかったが、L D M により、伝送効率の向上が見込まれる。この第 3 の実施の形態の受信装置は、L D M を使用する点において第 2 の実施の形態と異なる。

[0079] 図 1 3 は、本技術の第 3 の実施の形態におけるビット列バッファ 1 3 0 に保持されるデータの一例を示す図である。この第 3 の実施の形態のビット列バッファ 1 3 0 には、拡張有無ビット列 1 3 4 がさらに保持される。

[0080] 図 1 4 は、本技術の第 3 の実施の形態における拡張有無ビット列 1 3 4 のデータ構造の一例を示す図である。

[0081] 拡張有無ビット列 1 3 4 は、互いに異なる P L P I D が割り当てられた複数のビットを配列したものである。例えば、A T S C 3. 0 規格では、サブフレームごとに最大 6 4 個の P L P が格納されるため、拡張有無ビット列 1 3 4 のサイズは 6 4 ビットである。拡張有無ビット列 1 3 4 の n ビット目には、「n」の P L P I D が割り当てられる。それぞれのビットは、対応する P L P I D の P L P が拡張 P L P およびコア P L P のいずれであることを示す。

[0082] ここで、A T S C 3. 0 では、L D M を使用する場合、サブフレーム内の P L P は、コア P L P と拡張 P L P とに分類される。また、物理層はコアレイヤと拡張レイヤとに分割多重化される。コア P L P は、コアレイヤに属し、拡張 P L P は拡張レイヤに属する。L D M を使用する場合、1 つまたは複数の拡張レイヤが存在しなければならない。一方、L D M を使用しない場合

、拡張レイヤは存在しないものとされる。コアPLPは、1つ以上の拡張PLPと対応付けられ、コアPLPと対応する拡張PLPとは、1つの時間インターリーブグループに属する。すなわち、コアPLPと拡張PLPとがまとめて送信側で時間インターリーブによりインターリーブされ、送信される。これにより、LDMを使用しない場合と比較して伝送効率の向上が見込まれる。

[0083] 設定部113は、受信されたL1情報をデコードしてサブフレーム内のPLPごとLDMに関する情報を取得する。そして、設定部113は、拡張有無ビット列134において、拡張PLPのPLPIDに対応するビットを2値の一方（「1」など）に設定し、対応しないビットを2値の他方（「0」など）に設定する。

[0084] 低速制御部151は、拡張有無ビット列134を参照し、先頭ビットから順にビットの値が論理値「1」であるか否かを判断する。論理値「1」であれば、低速制御部151は、拡張指定信号を復号回路122に供給する。

[0085] 復号回路122は、拡張指定信号に従ってLDMを使用し、コアPLPおよび拡張PLPをまとめてデインターリーブする。

[0086] 図15は、本技術の第3の実施の形態におけるLDMの使用例を示す図である。PLPIDが「0」のPLPは、コアレイヤに属するコアPLPである。一方、PLPIDが「2」のPLPは、拡張レイヤに属する拡張レイヤである。これらのPLPは、1つの時間インターリーブのグループに属する。

[0087] 図16は、本技術の第3の実施の形態におけるLDMに関する情報の格納場所の一例を示す図である。L1-Details情報において、「for (j=0 .. L1D_num_plp) {・・・}」内に、点線303に示すように、「L1D_plp_layer」のフィールドが設けられる。このフィールドには、LDMに関する2ビットの情報が格納される。例えば、対応するPLPが、コアレイヤに属するコアPLPである場合には、「L1D_plp_layer」のフィールドに「0」が設定される。一方、拡張レイヤに属する拡張PLPである場合には、「L1D_plp_l

ayer」のフィールドに「1」以上の値が設定される。

[0088] 「L1D_plp_layer」のフィールドは2ビットであるため、その2ビットをPLPごとにそのままビット列バッファ130に保持させる場合、 64×2 ビットの容量を確保する必要がある。これに対して、第3の実施の形態の設定部113は、拡張有無ビット列134を設定するため、LDMに関する情報を保持する容量を64ビットに削減することができる。また、高速処理部110と低速処理部150との間のインターフェースの通信量を削減することができる。

[0089] なお、受信装置100は、ビット列バッファ130に、LLS有無ビット列132、結合有無ビット列133および拡張有無ビット列134を保持させているが、この構成に限定されない。例えば、LLS情報の取得が不要である場合には、LLS有無ビット列132を保持させない構成であってもよい。また、結合するPLPが存在しない場合には、結合有無ビット列133を保持させない構成であってもよい。

[0090] このように、本技術の第3の実施の形態によれば、受信装置は、LDMを使用するため、LDMを使用しない場合より伝送効率の向上が見込まれる。

[0091] <4. 第4の実施の形態>

上述の第1の実施の形態では、受信装置100は、PLPの出力が停止した際に、その停止の検知時にL1情報の解釈を開始していたが、この構成では、PLPの出力停止から復帰までの時間が長くなるおそれがある。この第4の実施の形態の受信装置100は、定期的にL1情報を解釈することにより、復帰までの時間を短縮する点において第1の実施の形態と異なる。

[0092] 図17は、本技術の第4および第1の実施の形態における受信装置100の動作の一例を示すタイミングチャートである。同図におけるaは、第4の実施の形態における受信装置100の動作の一例を示すタイミングチャートである。同図におけるbは、第1の実施の形態における受信装置100の動作の一例を示すタイミングチャートである。

[0093] 第4の実施の形態のL1情報解釈部112は、プリアンブル内のL1情報

を定期的に解釈する。例えば、タイミングT0、T2やT5においてL1情報の解釈が開始される。

[0094] タイミングT0の後のタイミングT1までの期間に亘って、主信号処理部120は、例えば、PLPの出力を行い、タイミングT1において、何らかの理由により出力が中断したものとする。

[0095] 出力の停止の検知には、一定時間を要し、例えば、L1情報の解釈が終了したタイミングT2の後のタイミングT3において出力停止が検知されたものとする。L1情報の解釈が終了しているため、直ちに主信号処理部120は復号を再開し、タイミングT4において復帰することができる。

[0096] これに対して、第1の実施の形態のL1情報解釈部112は、タイミングT3で停止を検知するとL1情報の解釈を開始し、解釈が終了したタイミングT4において主信号処理部120は復号を再開し、タイミングT5において復帰することができる。

[0097] 上述の第4の実施の形態のようにL1情報の解釈を定期的に行うことにより、PLPの出力停止の検知時にL1情報の解釈が終了しているケースなどにおいて、復帰までの時間を短縮化することができる。

[0098] なお、第4の実施の形態において、第2の実施の形態や、第3の実施の形態の構成を適用することもできる。

[0099] このように、本技術の第4の実施の形態によれば、受信装置100は、L1情報を定期的に解釈しているため、PLPの出力が停止してから復帰するまでの時間を短くすることができる。

[0100] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0101] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D (Compact Disc)、M D (MiniDisc)、D V D (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0102] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0103] なお、本技術は以下のような構成もとることができる。

(1) 物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを物理層パイプ有無ビット列として保持する保持部と、

前記物理層パイプ有無ビット列のビット数を越えない所定数の物理層パイプと前記所定数の物理層パイプのそれぞれの前記物理層パイプ識別情報とを受信する受信部と、

前記物理層パイプ有無ビット列のうち前記受信された物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を前記2値の他方に設定する設定部と、

前記一方の値のビットに対応する前記物理層パイプを復号する処理を行う復号処理部と

を具備する受信装置。

(2) 前記受信部は、前記所定数の物理層パイプが格納されたサブフレームと前記物理層パイプ識別情報が格納されたプリアンブルとを受信し、

前記物理層パイプ有無ビット列のビット数は、前記サブフレームに格納される前記物理層パイプの最大数である

前記(1)記載の受信装置。

(3) 前記保持部は、前記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットをL L S (Low Level Signaling) 有無ビット列としてさらに保持し、

前記受信部は、前記所定数の物理層パイプのそれぞれのＬＬＳフラグをさらに受信し、

前記設定部は、前記ＬＬＳ有無ビット列のうちＬＬＳ情報を含む前記物理層パイプの前記物理層パイプ識別情報に対応するビットの値を２値の一方に設定し、対応しないビットの値を前記２値の他方に設定し、

前記復号処理部は、前記ＬＬＳ有無ビット列内の前記一方の値のビットに対応する前記物理層パイプからＬＬＳ情報を取得する

前記（１）または（２）に記載の受信装置。

（４）前記保持部は、前記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを結合有無ビット列としてさらに保持し、

前記受信部は、前記所定数の物理層パイプの結合に関する情報をさらに受信し、

前記設定部は、前記結合有無ビット列のうち結合する前記物理層パイプの前記物理層パイプ識別情報に対応するビットの値を２値の一方に設定し、対応しないビットの値を前記２値の他方に設定し、

前記復号処理部は、前記結合有無ビット列内の前記一方の値のビットに対応する前記物理層パイプを結合する

前記（１）から（３）のいずれかに記載の受信装置。

（５）前記保持部は、前記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを拡張有無ビット列としてさらに保持し、

前記受信部は、ＬＤＭ（Layered Division Multiplexing）に関する情報をさらに受信し、

前記設定部は、前記拡張有無ビット列のうち拡張物理層パイプの前記物理層パイプ識別情報に対応するビットの値を２値の一方に設定し、対応しないビットの値を前記２値の他方に設定し、

前記復号処理部は、前記拡張有無ビット列に基づいてＬＤＭを使用して復号する

前記（１）から（４）のいずれかに記載の受信装置。

(6) 前記物理層パイプ識別情報を含むプリアンプルを定期的に解釈する解釈部をさらに具備する

前記(1)から(5)のいずれかに記載の受信装置。

(7) 前記受信部は、ATSC (Advanced Television Systems Committee standards) 3.0規格に準拠したフレームを受信し、

前記フレームは、前記所定数の物理層パイプが格納されたサブフレームと前記物理層パイプ識別情報が格納されたプリアンプルとを含む

前記(1)から(6)のいずれかに記載の受信装置。

(8) 物理層パイプ有無ビット列のビット数を越えない所定数の物理層パイプと前記所定数の物理層パイプのそれぞれの前記物理層パイプ識別情報とを受信する受信手順と、

物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを物理層パイプ有無ビット列として保持する保持部に保持された前記物理層パイプ有無ビット列のうち前記受信された物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を前記2値の他方に設定する設定手順と、

前記一方の値のビットに対応する前記物理層パイプを復号する処理を行う復号処理手順と

を具備する受信装置の制御方法。

符号の説明

[0104]	1 0 0	受信装置
	1 0 1	アンテナ
	1 1 0	高速処理部
	1 1 1	L 1 情報取得部
	1 1 2	L 1 情報解釈部
	1 1 3	設定部
	1 1 4	高速制御部
	1 2 0	主信号処理部

- 1 2 1 O F D M フ レ ー ム バ ッ フ ァ
- 1 2 2 復号回路
- 1 3 0 ビット列バッファ
- 1 3 1 P L P 有無ビット列
- 1 3 2 L L S 有無ビット列
- 1 3 3 結合有無ビット列
- 1 3 4 拡張有無ビット列
- 1 5 0 低速処理部
- 1 5 1 低速制御部

請求の範囲

- [請求項1] 物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを物理層パイプ有無ビット列として保持する保持部と、
- 前記物理層パイプ有無ビット列のビット数を越えない所定数の物理層パイプと前記所定数の物理層パイプのそれぞれの前記物理層パイプ識別情報とを受信する受信部と、
- 前記物理層パイプ有無ビット列のうち前記受信された物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を前記2値の他方に設定する設定部と、
- 前記一方の値のビットに対応する前記物理層パイプを復号する処理を行う復号処理部と
- を具備する受信装置。
- [請求項2] 前記受信部は、前記所定数の物理層パイプが格納されたサブフレームと前記物理層パイプ識別情報が格納されたプリアンブルとを受信し、
- 前記物理層パイプ有無ビット列のビット数は、前記サブフレームに格納される前記物理層パイプの最大数である
- 請求項1記載の受信装置。
- [請求項3] 前記保持部は、前記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットをLLS (Low Level Signaling) 有無ビット列としてさらに保持し、
- 前記受信部は、前記所定数の物理層パイプのそれぞれのLLSフラグをさらに受信し、
- 前記設定部は、前記LLS有無ビット列のうちLLS情報を含む前記物理層パイプの前記物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を前記2値の他方に設定し、
- 前記復号処理部は、前記LLS有無ビット列内の前記一方の値のビ

ットに対応する前記物理層パイプからL L S情報を取得する
請求項1記載の受信装置。

- [請求項4] 前記保持部は、前記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを結合有無ビット列としてさらに保持し、
前記受信部は、前記所定数の物理層パイプの結合に関する情報をさらに受信し、
前記設定部は、前記結合有無ビット列のうち結合する前記物理層パイプの前記物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を前記2値の他方に設定し、
前記復号処理部は、前記結合有無ビット列内の前記一方の値のビットに対応する前記物理層パイプを結合する
請求項1記載の受信装置。

- [請求項5] 前記保持部は、前記物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを拡張有無ビット列としてさらに保持し、
前記受信部は、L D M (Layered Division Multiplexing) に関する情報をさらに受信し、
前記設定部は、前記拡張有無ビット列のうち拡張物理層パイプの前記物理層パイプ識別情報に対応するビットの値を2値の一方に設定し、対応しないビットの値を前記2値の他方に設定し、
前記復号処理部は、前記拡張有無ビット列に基づいてL D Mを使用して復号する
請求項1記載の受信装置。

- [請求項6] 前記物理層パイプ識別情報を含むプリアンプルを定期的に解釈する
解釈部をさらに具備する
請求項1記載の受信装置。

- [請求項7] 前記受信部は、A T S C (Advanced Television Systems Committee standards) 3. 0規格に準拠したフレームを受信し、
前記フレームは、前記所定数の物理層パイプが格納されたサブフレ

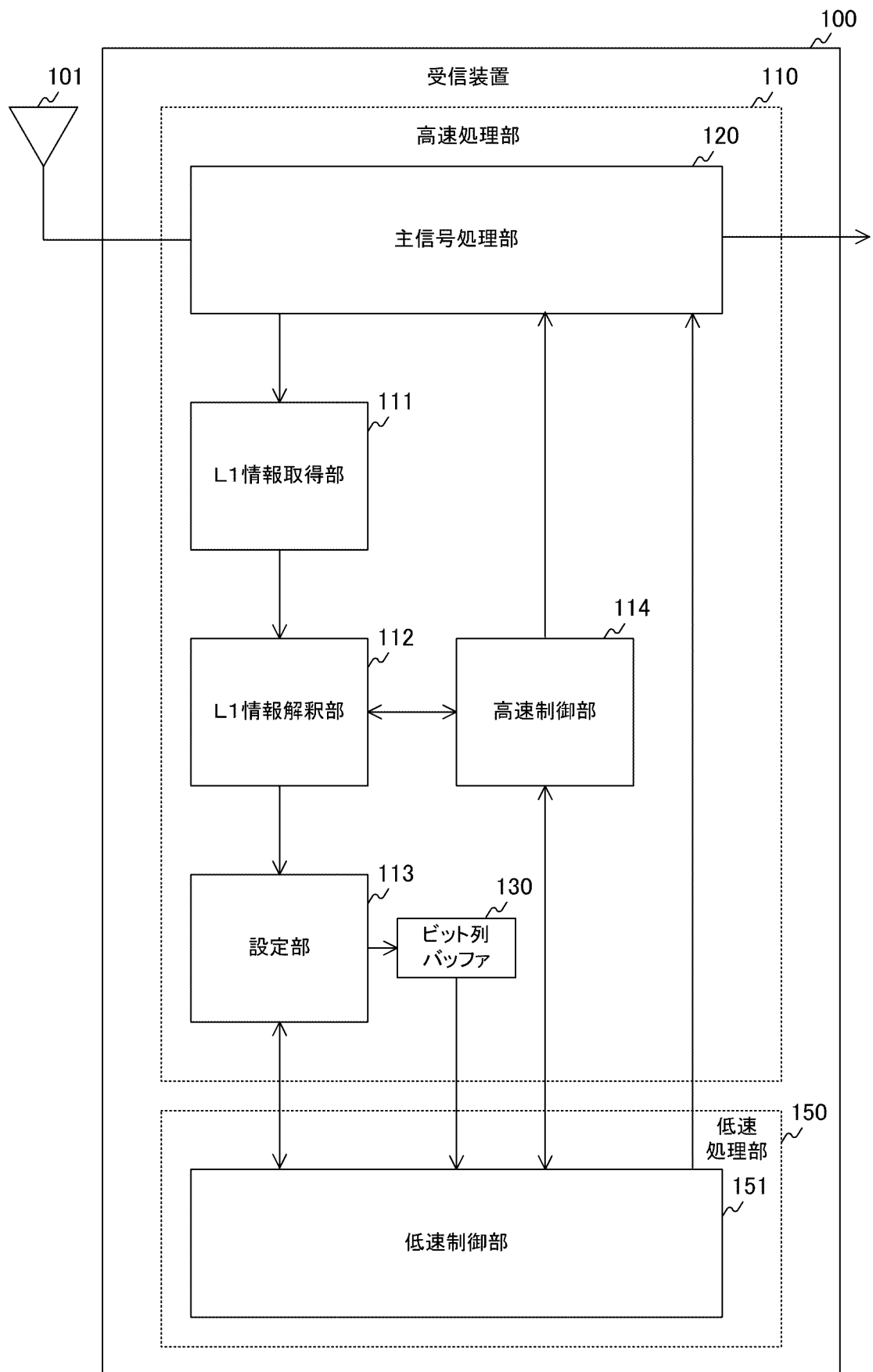
ームと前記物理層パイプ識別情報が格納されたプリアンブルとを含む請求項 1 記載の受信装置。

[請求項8] 物理層パイプ有無ビット列のビット数を越えない所定数の物理層パイプと前記所定数の物理層パイプのそれぞれの前記物理層パイプ識別情報とを受信する受信手順と、

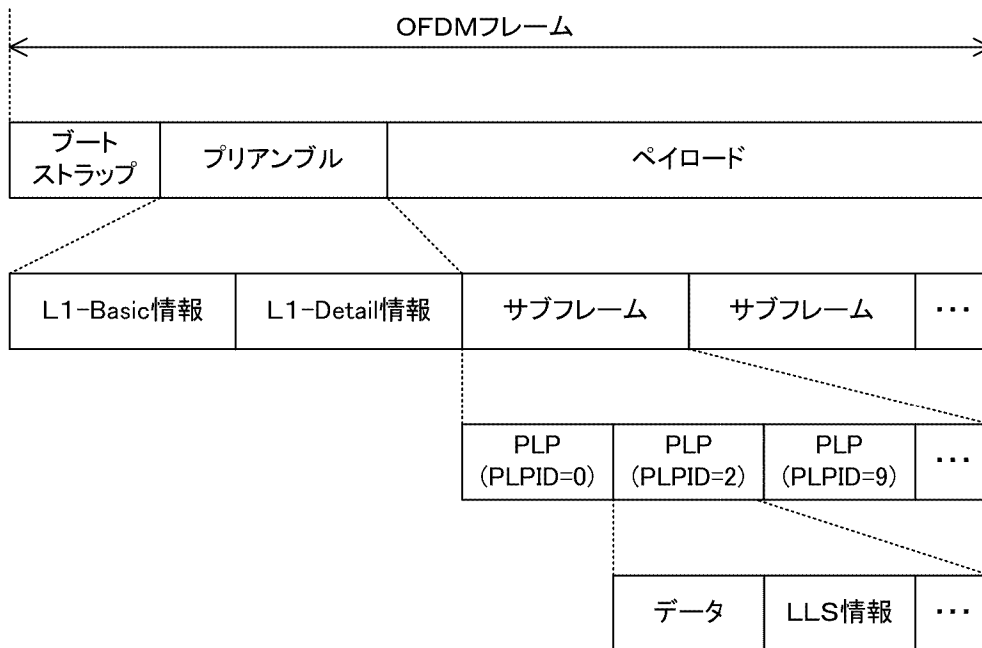
物理層パイプ識別情報がそれぞれに割り当てられた複数のビットを物理層パイプ有無ビット列として保持する保持部に保持された前記物理層パイプ有無ビット列のうち前記受信された物理層パイプ識別情報に対応するビットの値を 2 値の一方に設定し、対応しないビットの値を前記 2 値の他方に設定する設定手順と、

前記一方の値のビットに対応する前記物理層パイプを復号する処理を行う復号処理手順と
を具備する受信装置の制御方法。

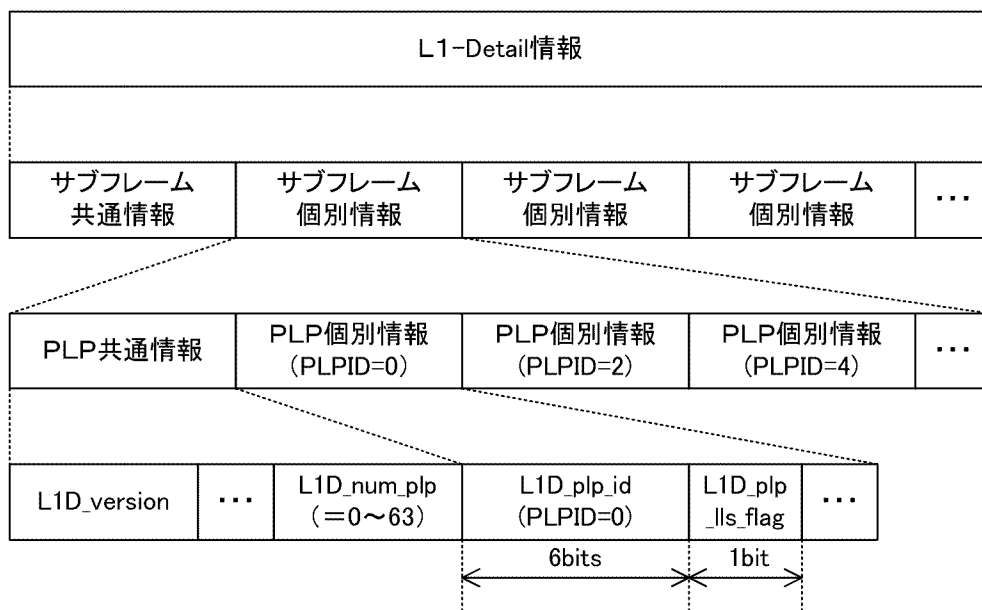
[図1]



[図2]



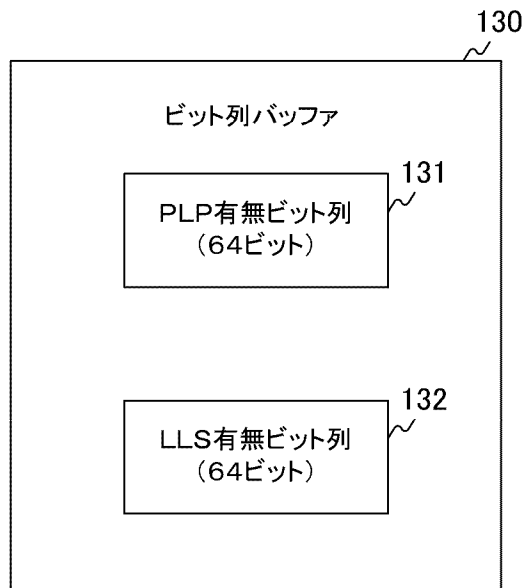
[図3]



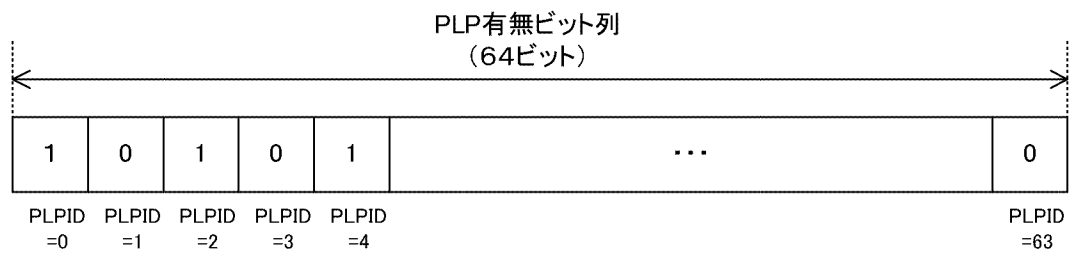
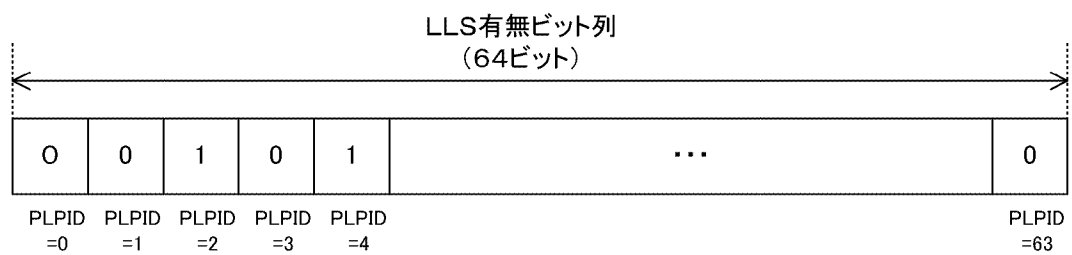
[図4]

L1-Detail情報	
Syntax	No. of Bits
L1_Detail_signaling() { L1D_version L1D_num_rf for (L1D_rf_id=1 .. L1D_num_rf) { L1D_bonded_bsid Reserved } for (i=0 .. L1B_num_subframes) { if (i > 0) { L1D_mimo L1D_miso } L1D_num_plp for (j=0 .. L1D_num_plp) { L1D_plp_id L1D_plp_lls_flag L1D_plp_layer L1D_plp_start L1D_plp_size } if (L1D_num_rf>0) { L1D_plp_num_channel_bonded } L1D_bsid L1D_reserved L1D_crc } }	 4 3 16 3

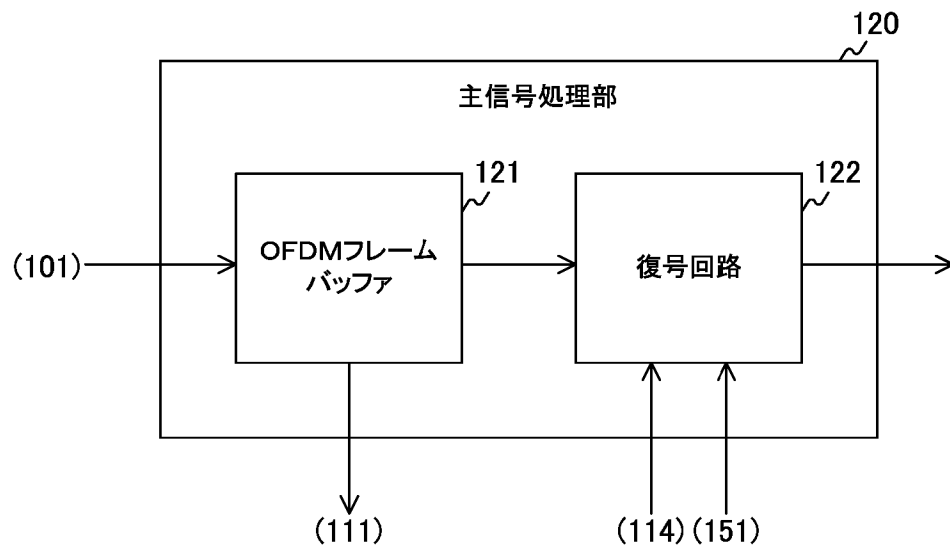
[図5]



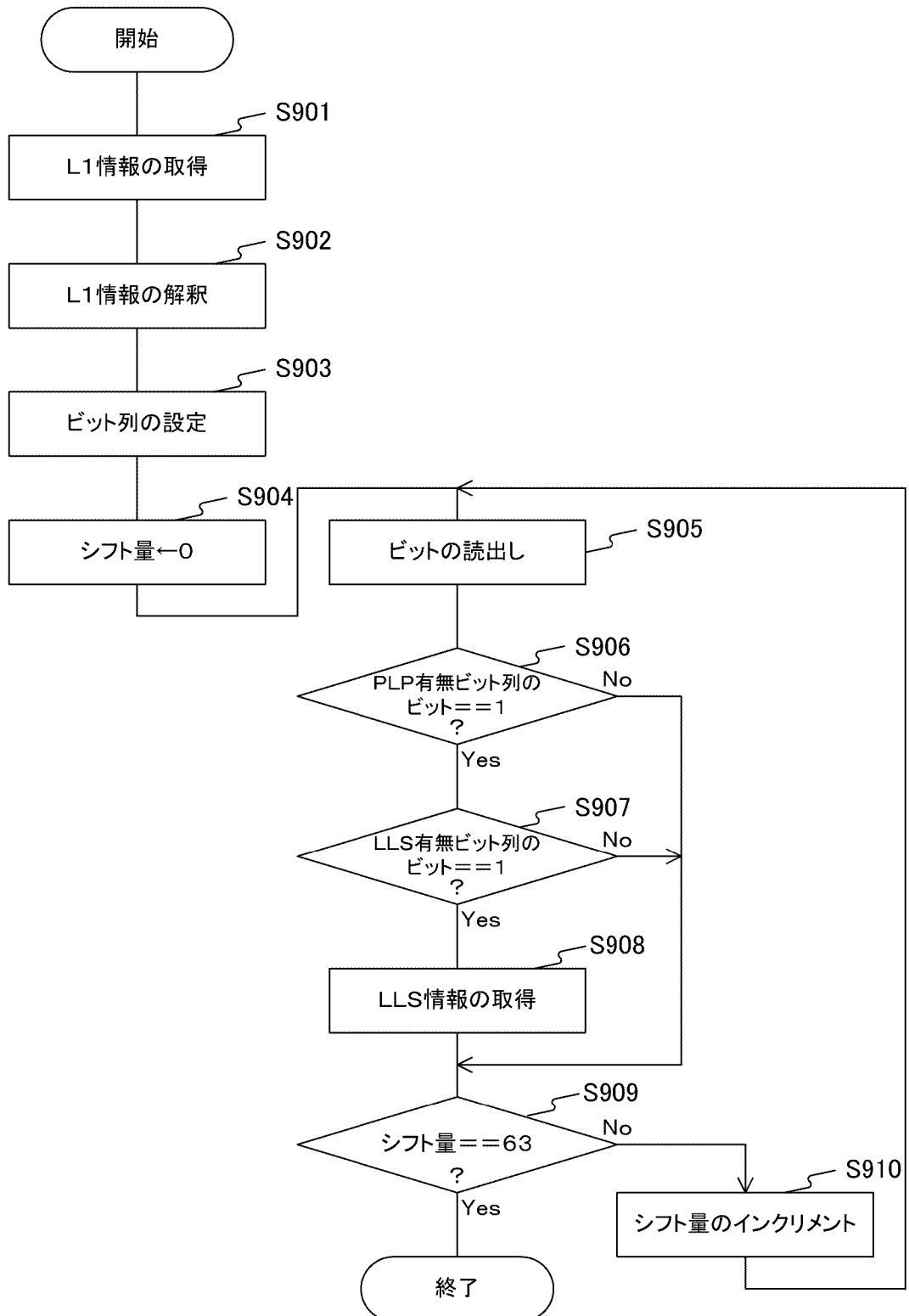
[図6]

ab

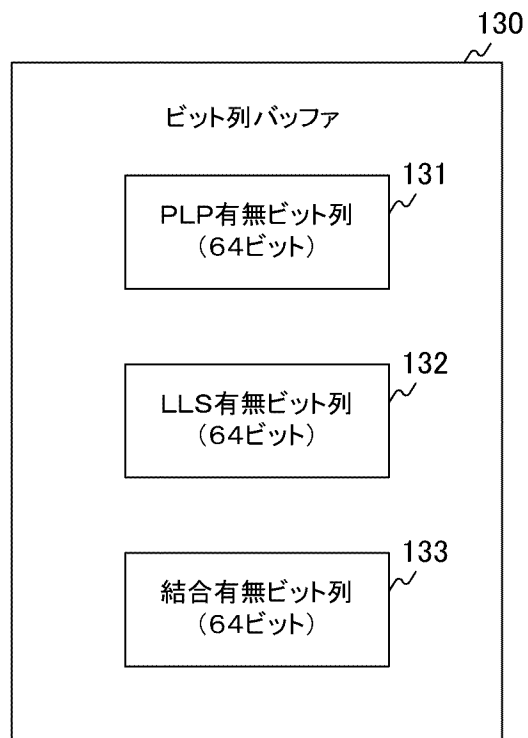
[図7]



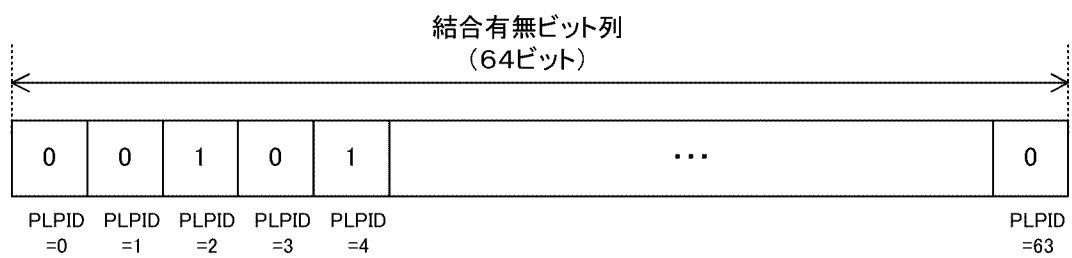
[図8]



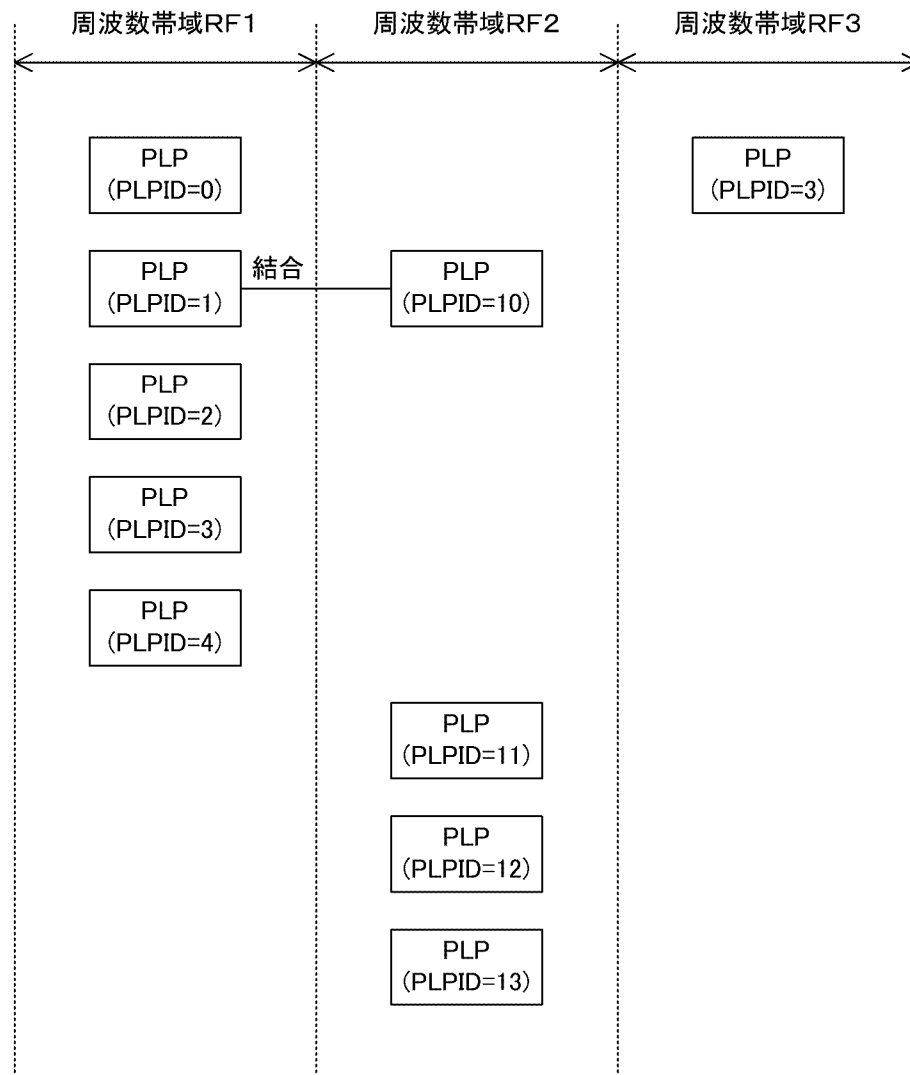
[図9]



[図10]



[図11]



[図12]

L1-Detail情報	
Syntax	No. of Bits
L1_Detail_signaling() {	
L1D_version	4
L1D_num_rf	3
for (L1D_rf_id=1 .. L1D_num_rf) {	
L1D_bonded_bsid	16
Reserved	3
}	
for (i=0 .. L1B_num_subframes) {	
if (i > 0) {	
L1D_mimo	1
L1D_miso	2
}	
}	
L1D_num_plp	6
for (j=0 .. L1D_num_plp) {	
L1D_plp_id	6
L1D_plp_lls_flag	1
L1D_plp_layer	2
L1D_plp_start	24
L1D_plp_size	24
}	
if (L1D_num_rf>0) {	
L1D_plp_num_channel_bonded	3
}	
}	
L1D_bsid	16
L1D_reserved	as needed
L1D_crc	32
}	

サブフレーム共通情報

PLP共通情報

PLP個別情報(最大64)

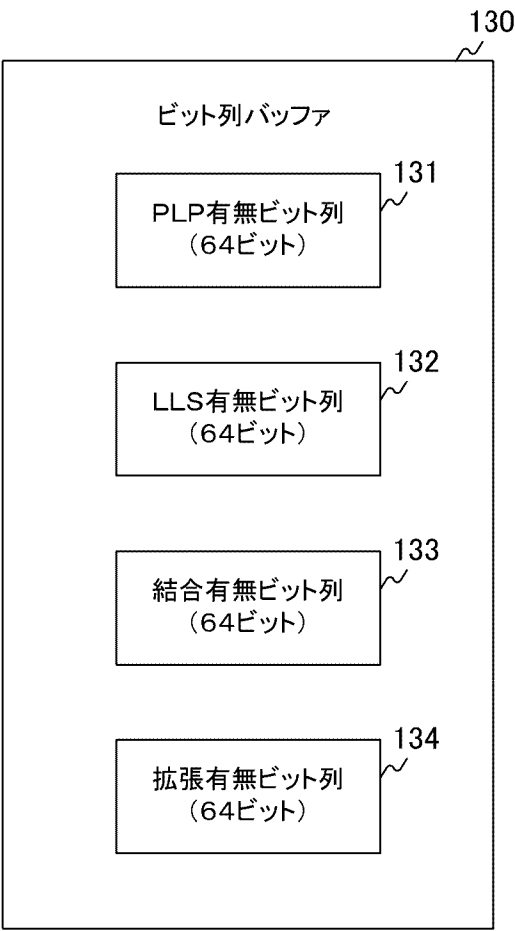
サブフレーム個別情報(最大256)

サブフレーム共通情報

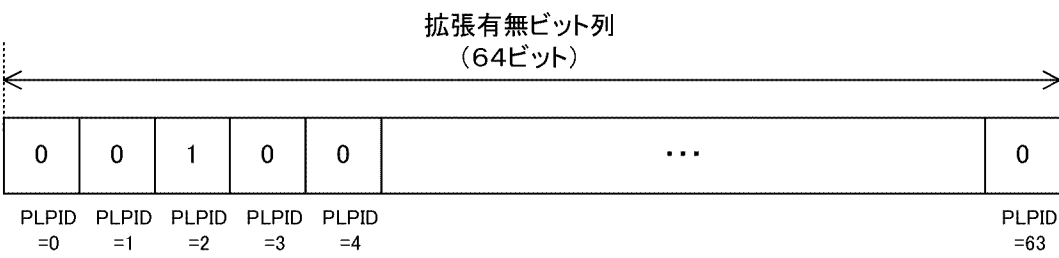
301

302

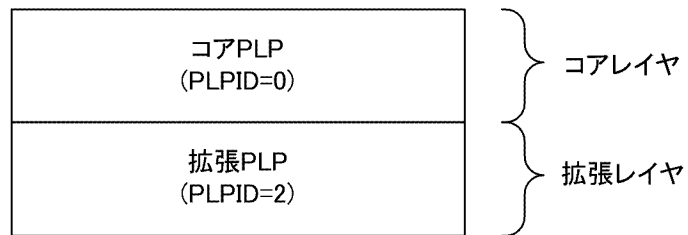
[図13]



[図14]



[図15]



[図16]

L1-Detail情報			
Syntax	No. of Bits		
L1_Detail_signaling() {			
L1D_version	4		
L1D_num_rf	3		
for (L1D_rf_id=1 .. L1D_num_rf) {			
L1D_bonded_bsid	16		
Reserved	3		
}			
for (i=0 .. L1B_num_subframes) {			
if (i > 0) {			
L1D_mimo	1		
L1D_miso	2		
}			
}			
L1D_num_plp	6		
for (j=0 .. L1D_num_plp) {			
L1D_plp_id	6	301	
L1D_plp_lls_flag	1	303	
L1D_plp_layer	2		
L1D_plp_start	24		
L1D_plp_size	24		
}			
if (L1D_num_rf>0) {		302	
L1D_plp_num_channel_bonded	3		
}			
}			
L1D_bsid	16		
L1D_reserved	as needed		
L1D_crc	32		
}			

サブフレーム共通情報

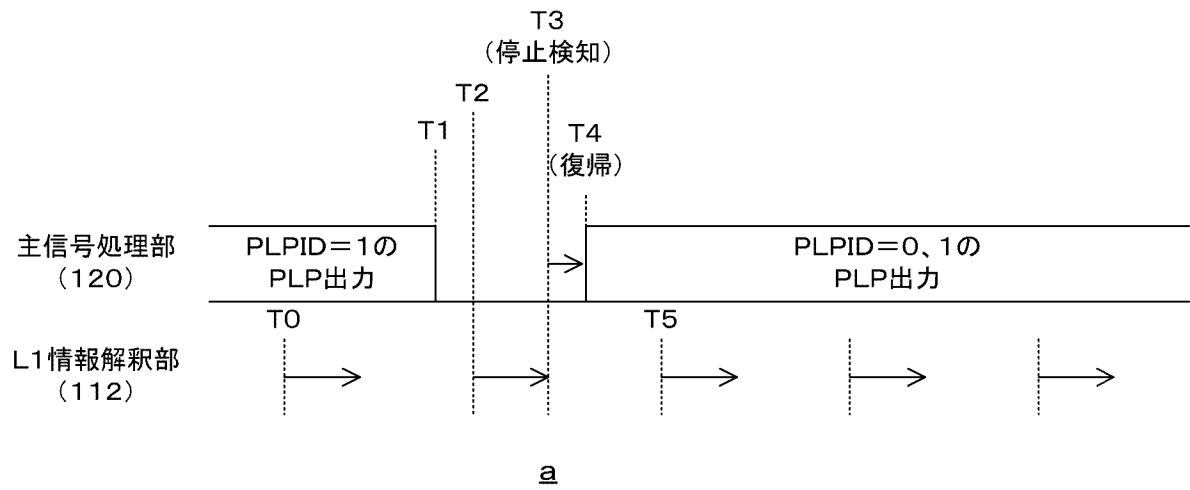
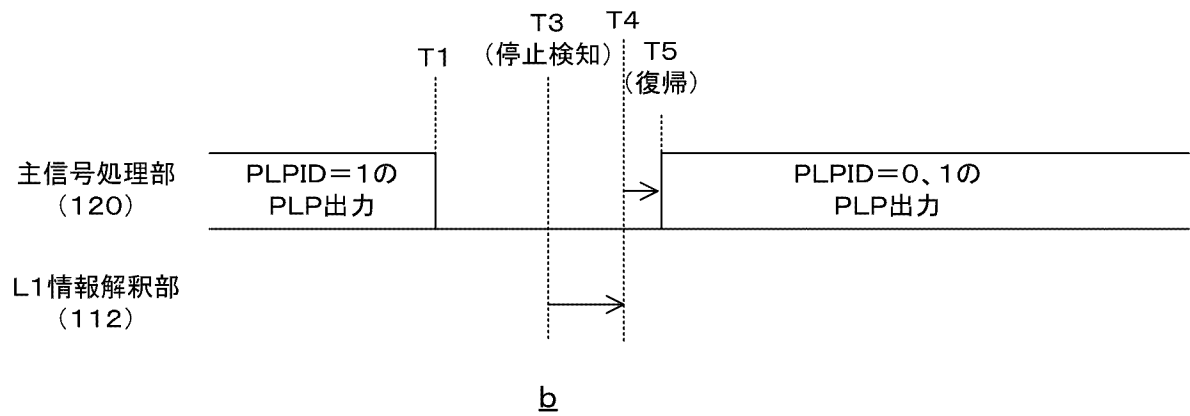
サブフレーム個別情報(最大256)

サブフレーム共通情報

PLP共通情報

PLP個別情報(最大64)

[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/015056

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N21/438 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N21/00-21/858

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-11488 A (SONY CORP.) 12 January 2017, paragraph [0042], fig. 3 & WO 2016/208139 A1, paragraph [0041], fig. 3	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
20.06.2019

Date of mailing of the international search report
02.07.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N21/438(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N21/00-21/858

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-11488 A(ソニー株式会社) 2017.01.12, 段落[0042], 図3 & WO 2016/208139 A1, 段落[0041], 図3	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|---|---|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献 | 「&」 同一パテントファミリー文献 |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 | |

国際調査を完了した日

20.06.2019

国際調査報告の発送日

02.07.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

長谷川 素直

5 C

2948

電話番号 03-3581-1101 内線 3541