



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0129957
(43) 공개일자 2017년11월27일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01)</p> <p>(52) CPC특허분류
G11C 13/0004 (2013.01)
G11C 13/0064 (2013.01)</p> <p>(21) 출원번호 10-2017-7032929(분할)</p> <p>(22) 출원일자(국제) 2014년02월24일
심사청구일자 없음</p> <p>(62) 원출원 특허 10-2015-7020749
원출원일자(국제) 2014년02월24일
심사청구일자 2015년07월30일</p> <p>(85) 번역문제출일자 2017년11월14일</p> <p>(86) 국제출원번호 PCT/US2014/017941</p> <p>(87) 국제공개번호 WO 2014/158538
국제공개일자 2014년10월02일</p> <p>(30) 우선권주장
13/827,825 2013년03월14일 미국(US)</p> | <p>(71) 출원인
인텔 코포레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200</p> <p>(72) 발명자
추, 다니엘 제이.
미국 95630 캘리포니아주 폴섬 트리프 코트 109
쟁, 레이몬드 더블유.
미국 94085 캘리포니아주 서니베일 윌리 애비뉴 585
리버스, 도일
미국 95762 캘리포니아주 엘 도라도 힐스 라이언 랜치 로드 6721</p> <p>(74) 대리인
양영준, 백만기</p> |
|--|--|

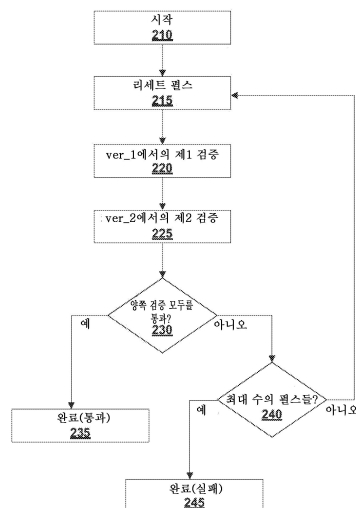
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 **셀 프로그래밍 검증**

(57) 요약

상변화 메모리 어레이에 대한 셀 프로그래밍을 검증하는 기술이 개시된다. 일 예에서, 방법은 상변화 메모리 셀에 리셋 펄스를 전송하는 단계를 포함할 수 있다. 본 방법은 상변화 메모리 셀에 걸쳐 제1 및 제2 검증 전압을 인가하는 것에 응답하여 상변화 메모리 셀의 임계 전압을 감지하는 것을 더 포함할 수 있고, 제2 검증 전압은 제1 검증 전압보다 더 낮다. 본 방법은 또한 상변화 메모리 셀의 임계 전압이 제1 검증 전압 또는 제2 검증 전압보다 아래였는지 여부를 판정하는 단계를 포함할 수 있다.

대표도 - 도2



(52) CPC특허분류
G11C 13/0069 (2013.01)

명세서

청구범위

청구항 1

제1항에 따른 장치.

발명의 설명

기술 분야

[0001] 본 명세서에 설명되는 실시예들은 일반적으로 상변화 메모리에 관한 것이다.

배경 기술

[0002] 상변화 메모리들은 상변화 재료들을 사용하여 전자 데이터 저장을 달성한다. 상변화 재료들은 통상적으로 일반적으로 비정질인 상태와 일반적으로 결정질인 상태 사이에서 전기적으로 스위칭될 수 있다. 일부 재료들은 완전히 비정질인 상태와 완전히 결정질인 상태에 의해 경계를 이루는 스펙트럼 상에 들어가는 결정도의 다수의 검출가능 정도들 또는 순서들에 전기적으로 스위칭될 수 있다. 이러한 응용에 적합한 전형적인 재료들은 다양한 칼코게나이드 엘리먼트들을 포함한다. 상변화 재료들의 하나의 유용한 특성은 이들이 불휘발성이라는 점이다. 저항 값을 나타내는 결정도의 특정 상태로 메모리가 설정될 때, 전력이 제거되더라도, 그 값은 메모리가 재프로그램될 때까지 유지된다. 이는 프로그램 값이 (예를 들어, 결정질인 또는 비정질인 또는 그 사이 어느 정도인) 해당 재료의 각 상에 또는 물리적 상태에 할당될 수 있기 때문이다.

도면의 간단한 설명

[0003] 본 개시내용의 특징들 및 이점들은, 예시에 의해, 함께 도시하는, 첨부 도면들과 함께 취해지는, 본 개시내용의 특징들을 따르는 상세한 설명으로부터 분명하게 될 것이다.

도 1은 일 예에 따른 세트 셀과 리세트 셀 임계 전압 분포들 및 상대적 제1 및 제2 검증 전압의 도면 또는 그래프를 도시한다

도 2는 일 예에 따른 상변화 메모리 셀에서 교란의 리세트 및 결핍을 검증하는 이중 검증 리세트 프로그래밍 방법의 판정 도면을 도시한다.

도 3은 일 예에 따른 상변화 메모리에 대한 셀 프로그래밍을 검증하는 방법의 흐름도를 도시한다.

도 4는 일 예에 따른 메모리 시스템 도면을 도시한다.

이제, 도시된 예시적인 실시예들에 대한 참조가 이루어질 것이고, 이들을 설명하기 위해 본 명세서에서 특정 언어가 사용될 것이다. 그럼에도 불구하고, 이에 의해 본 발명의 범위를 특정 발명의 실시예들에 제한하려는 의도는 아니라는 것이 이해될 것이다.

발명을 실시하기 위한 구체적인 내용

[0004] 본 발명 실시예들이 개시되고 설명되기 이전에, 본 명세서에 개시되는 특정 구조들, 처리 단계들, 또는 재료들에 대해 제한하려는 의도는 아니라는 점, 및 관련 기술분야에 통상의 숙련된 자들에 의해 인식되는 바와 같은 균등물들 및 대안들이 포함된다는 점이 이해되어야 한다. 본 명세서에 이용되는 용어는 특정 예들을 설명하려는 목적으로만 사용되는 것으로 제한하려는 의도는 아니라는 점 또한 이해되어야 한다. 상이한 도면들에서의 동일한 참조 번호들은 동일한 엘리먼트를 나타낸다. 흐름도들 및 프로세스들에 제공되는 번호들은 단계들 및 작업들을 도시함에 있어 명료화를 위해 제공되는 것으로, 반드시 특정한 순서 또는 시퀀스를 나타내는 것은 아니다.

[0005] <예시적인 실시예들>

[0006] 다양한 발명 실시예들의 초기 개요가 이하 제공되고 나서, 특정 예들이 그 후 더 상세히 설명된다. 이러한 초

기 요약은 독자들이 본 기술의 원리들 및 실시예들을 보다 빨리 이해하는데 도움을 주려는 의도이지만, 그 주요하거나 또는 본질적인 특징들을 확인하려는 의도는 아니다. 청구대상의 범위를 제한하려는 의도도 아니다.

[0007] 셀이 교란될 수 있는 상변화 메모리 셀들에서는 셀의 기존 V_{th} (임계 전압)에 가까운 전압을 사용하여 검증 작업을 수행함으로써 고장 모드가 관측되어 왔다. 리셋 상태에 있을 때, 검증 작업의 전압이 셀의 V_{th} 약간 아래이면, 셀이 스냅 백(snap back)하지 않기 때문에 셀은 리셋 검증 통과할 것이다. 그러나, 검증 작업 자체는 셀 V_{th} 가 세트 상태로 강하게 할 수 있다. 실증 데이터는, 이러한 "교란(disturbance)"(즉, 세트 상태 또는 레벨로 강하함)은 낮은 확률로 무작위로 발생하지만, 이러한 이벤트의 확률은 검증 작업에서 인가되는 전압이 셀의 기존 V_{th} 에 접근함에 따라 기하급수적으로 증가한다는 점을 보여준다. 셀이 검증을 통과하지만 작업을 고장 상태에 남겨두기 때문에, 단일 검증 작업조차도 비트 기입 에러들을 증가시킬 수 있다. 제2 검증 작업을 행하는 것은 제1 검증 작업에 의해 교란된 비트들을 식별할 수 있지만, 또한 셀을 교란할 확률을 가질 수 있다.

[0008] 본 기술의 실시예들은, 데이터 신뢰성을 개선하기 위해 2회 검증 작업들을 수행할 수 있고, 제2 검증 작업에 의해 데이터를 교란하는 것을 회피할 수 있다. 기입 비트 에러 레이트의 감소는, ECC(Error Correcting Code)의 정확성을 개선하기 위해 필요한 비트들의 수를 증가시키는 것보다는 오히려 직접 획득될 수 있다. 제2 검증을 수행하는 것은 에러들을 보상하기 위해 비트들의 총 수를 증가시키는 것에 비하여 비용의 관점에서 더 시간 및 에너지 효율적일 수 있다. 제2 검증 작업을 수행하는데 요구되는 추가되는 회로는 무시해도 될 정도일 수 있다.

[0009] 이제 도 1을 참조하면, 상변화 메모리는 리셋(고 임계 전압) 상태의 감지 동안 교란에 민감할 수 있다. 상변화 메모리 프로그래밍은 세트 및 리셋 작업들을 포함할 수 있다. 세트 작업은 셀의 V_{th} 를 낮출 수 있고, 리셋 작업은 셀의 V_{th} 를 높일 수 있다. 셀의 소망하는 V_{th} 는 셀에 인가되는 전류에 의해 제어될 수 있다. 셀에 세트 또는 리셋 펄스를 전송한 후, V_{th} 는 셀 상에 감지 작업을 수행함으로써 검증될 수 있다. 예를 들어, 리셋 검증 작업에서는, 셀이 스냅 백 하는지(즉, 저항을 현저하게 강하게하거나 또는 낮추는지)를 알아보기 위해 셀에 걸쳐 전압이 인가될 수 있다. 그렇다면, V_{th} 는 이러한 검증 전압 아래이다. 셀이 스냅 백 하지 않으면, V_{th} 는 검증 전압보다 위이다. 리셋 절차는 펄싱과 검증 사이에서 루핑하는 것에 의해 V_{th} 를 능동적으로 둘 수 있고, 최종 검증 작업을 통과하지 못한 셀들에 대해 펄스 전류가 증가한다.

[0010] 도 1에는, 리셋 및 세트 V_{th} 분포들에 관한 근사 검증 전압 뿐만 아니라 세트 셀들 및 리셋 셀들에 대한 V_{th} 를 도시하는 그래프(100)가 제공된다. 셀에 리셋 펄스를 전송한 후, 해당 셀의 상태는 해당 셀에 걸쳐 제1 검증 전압(즉, ver_1)을 인가함으로써 검증될 수 있다. ver_1 은 최소 허용된 리셋 V_{th} 이다. 최소 ver_1 은 신뢰성있게 셀을 판독하기 위해서 필요한 최고 세트 셀 V_{th} 와 최저 리셋 셀 V_{th} 사이의 차분에 의해 결정된다. 최고 리셋 V_{th} 는 오버 리셋의 리스크에 의해 제한을 받는다. 리셋 펄스가 V_{th} 로 하여금 셀에 걸쳐 인가될 수 있는 최대 전압을 넘어서게 한다면, 셀은 오버 리셋될 것이다. 오버 리셋 셀은 그 셀에 세트 펄스를 인가하도록 선택되지 않을 수 있기 때문에 세트 상태로 변경되지 않을 수 있다. 이러한 경우, 그 셀은 리셋 비트로서 "고착될(stuck)" 수 있다(즉, 영구 리셋 상태에 있음). 오버 리셋을 회피하기 위해서, 리셋 펄스 전류 프로파일은, 평균적으로, 리셋 분포의 저단(low end) 근처에 V_{th} 를 초래하도록 설계될 수 있다. 시작 리셋 펄스 전류 프로파일은 모든 셀들을 ver_1 위에서 리셋으로 두기에 불충분하면 이는 다수의 리셋 펄스들 및 검증 펄스들을 포함할 수 있다. 더 낮은 리셋 펄스 V_{th} 두기는 또한 셀 V_{th} 가 ver_1 근처에 있을 확률을 증가시킨다. V_{th} 가 ver_1 에 가까운 더 많은 셀들은 V_{th} 교란 이벤트의 확률을 기하급수적으로 증가시킨다. V_{th} 가 ver_1 레벨 위인 교란 이벤트들은 보통 제1 검증을 통과하며, 이는 해당 셀이 적절히 리셋되었다는 것을 나타낸다. 그러나, 그 셀은 검증 상태가 판정된 후 교란될 수 있다. 일 예로서, 교란된 셀의 상태는 세트 V_{th} 에 대한 저항을 변경하거나 또는 낮출 수 있다. 이러한 교란은 데이터 에러들을 초래할 수 있다.

[0011] 따라서, ver_1 이 셀을 교란하였는지를 검증하기 위해 제2 검증 전압(즉, ver_2)이 셀에 걸쳐 인가될 수 있다. ver_2 는 ver_1 보다 더 낮을 수 있고 세트 상태 V_{th} 보다 더 높을 수 있다. ver_2 를 세트 상태 V_{th} 에 너무 가까이 설정하는 것은 자신의 V_{th} 를 약간 감소시키만 한 교란된 셀들을 놓치거나 간과할 수 있다. ver_2 를 ver_1 에 가까이 설정하는 것은 또한 해당 셀을 교란시킬 리스크를 증가시킬 수 있다. ver_2 가 ver_1 에 접근함에 따라, ver_2 로 셀을 교란시킬 리스크는 ver_1 이 그 셀을 교란시킬 확률 쪽으로 증가할 수 있다. 최대 ver_2 는 리셋 셀 분포에 있는(즉, 그 V_{th} 가 ver_1 위인) 셀을 교란시킬 수용가능하게 낮은 확률에 기초하여 선택될 수 있다. 최소 ver_2 는 ver_1 검증 작업에 의해 교란된 수용가능한 수의 셀들을 포착할 최저 검증 전압에 기초하여 선택될 수 있다.

[0012] 예를 들어, 도 1의 그래프(100)는 여러 셀들의 집합(population)에 걸친 세트 셀들 및 리셋 셀들의 V_{th} 분포

를 도시한다. 일 예에서, ver_1은 리세트 셀 전압 분포에서 최저 Vth에 있을 수 있다. ver_2는 세트와 리세트 셀 Vth 분포들 사이의 전압 차분의 중앙에 더 가까이 설정될 수 있다. 예를 들어, 분포들 사이의 차분은 세트 Vth 분포의 상단에 의해 하한에서 정의되고 Vth 리세트 분포의 하단에 의해 상한에서 정의되고, 차분내 위치는 하한에서 0%이고 상한에서 100%이며, ver_2의 차분내 위치는 차분의 35-75% 범위에 있을 수 있거나, 또는 40-65%로부터일 수 있거나, 또는 대략 50%에 있을 수 있다. 이러한 예에서, 분포의 상한 및 하한은, 세트와 리세트 셀 분포들 사이의 어딘가에 놓이는 상태 또는 전압으로 아웃라이어 셀들(outlier cells)을 설명하는 2-10% 에러로부터의 임의의 곳을 포함할 수 있다.

[0013] ver_2는 세트 셀 전압들의 분포 및 리세트 셀 전압들의 분포로부터 제거될 수 있기 때문에, 리세트 셀들의 교란의 확률이 낮을 수 있고, 세트 셀들을 리세트 셀들로서 식별하거나 검증할 확률이 낮을 것이며, 리세트 셀들을 검증하는데 실패할 확률이 낮을 것이다. 그러나, ver_2는 또한 아웃라이어 셀들을 리세트가 되는 것으로서 식별할 수 있다. 본 기술의 특정 실시예들은 셀이 제1 및 제2 검증 전압 양자 모두를 통과하였는지 평가할 수 있다. 아웃라이어 셀들은 제1 검증 전압을 통과하지 못할 수 있고 교란된 셀들은 제2 검증 전압을 통과하지 못할 수 있다. 따라서, 교란 확률을 상당히 증가시키지 않고도 검증 정확성을 상당히 증가시키도록 이들 2개의 검증 전압이 조합으로 사용될 수 있다. 일 양상에서, 검증은, 리세트 펄스가 인가되지 않은 셀들에 대해서 사용될 수 있고 다른 셀들에 대해서는 사용되지 않을 수 있어, 어느 것이 세트 셀들이 될 것으로 의도되는지 검증되는 비트가 없을 수 있다.

[0014] 일부 양상들에서, 이중 검증 기술의 ver_2는 리세트 셀을 교란시킬 확률이 매우 낮기에 충분히 낮을 수 있고, ver_1은 교란된 셀을 검출하는데 사용되는 최고 소망하는 세트 Vth보다 더 높을 수 있다. ver_2의 전압이 더 높을 수록, 더 많은 교란된 비트들이 검출될 것이다. ver_2 레벨에 대한 최적의 값은 샘플 디바이스 특징화를 통한 Vth 교란에 대한 실험에 의해 특정 메모리 디바이스에 대해 식별될 수 있다.

[0015] 도 2를 참조하면, 셀 프로그래밍을 검증하는, 또는 보다 구체적으로 셀 리세트를 검증하는 판정 프로그램이 도시된다. 프로세스는 셀에 리세트 펄스를 전송하는 매크로(215)를 제어기가 착수할 때 시작할 수 있다(210). 제어기 또는 감지 회로는, ver_1에서의 제1 검증 작업(220)을 수행하고, ver_2에서의 제2 검증 작업(225)을 후속으로 수행하는데 사용될 수 있다. 셀이 양쪽 검증 모두를 통과했는지에 관한 판정(230)이 이루어질 수 있다. 셀이 제1 또는 제2 검증 작업들에 실패하면, 그 셀은 다른 리세트 펄스를 받을 수 있다(215). 셀이 제1 검증 작업에 실패하였다면, 그 셀은 리세트 펄스 이후 충분히 높은 Vth를 갖지 않았다. 셀이 제1 검증 작업을 통과하였지만 제2 검증 작업에 실패하였다면, 그 셀은 제1 검증 작업에 의해 교란되었다. Vth가 충분히 높지 않았는지 또는 해당 셀이 제1 검증에 의해 교란되었는지를 고려하지 않고, 소망하는 리세트 Vth를 얻으려는 시도로 셀이 후속 리세트 펄스를 받을 수 있다(215). 검증 루프는 기입 에러 레이트가 수용가능하게 낮을 때까지 반복될 수 있다. 환언하면, 셀에 리세트 펄스를 전송하고 그 셀에 대해 제1 및 제2 검증 작업들을 수행하는 프로세스는, 어레이에서의 다수의 셀들이 리세트 검증 프로세스를 성공적으로 통과하고, 실패하는 셀들의 수가, 2 내지 20%의 범위 내에서와 같이, 수용가능하게 작은 에러의 마진 내에 있을 때까지 반복될 수 있다. 에러 레이트가 수용가능하게 낮을 때, 리세트 검증 프로세스는 완료될 수 있다. 개별 셀에 대해, 양쪽 검증들 모두 통과하면, 프로세스가 종료 또는 완료될 수 있다(235).

[0016] 셀이 하나 이상의 검증 작업들에 실패하면, 최대 수의 리세트 펄스들이 셀에 인가되었는지에 관한 판정이 이루어질 수 있다(240). 환언하면, 리세트 검증 프로세스는, 여러 번 반복될 수 있고, 그리고 나서 셀이 검증 프로세스를 통과하지 않을 것 같다는 판정이 이루어질 수 있을 때 정지할 수 있다. 예를 들어, 해당 셀을 에러로서 식별하기 이전에 셀에 전송되는 최대 수의 펄스들은, 20개 이하의 펄스들, 또는 10개 이하의 펄스들, 또는 심지어 5개 이하의 펄스들일 수 있다. 다수의 반복들 이후 셀이 양쪽 검증 작업들 모두를 통과하면, 그 셀은 에러로서 식별될 수 있고, 검증 프로세스가 해당 셀에 대한 실패로서 종료 또는 완료될 수 있다(245).

[0017] 검증 루프가 반복되고 후속 리세트 펄스가 셀에 인가됨에 따라, 리세트 펄스의 전압 또는 전류가 각각의 반복에 대해 증가될 수 있다. 셀에 대해 반복된 검증 루프는 단일 검증 이터레이션(single verify iteration)일 수 있다. 셀에 대한 후속 검증 루프 이터레이션들에 대해, 리세트 펄스는, 이전 이터레이션으로부터의 종료 리세트 펄스 전압 또는 전류로부터 계속되기 보다는 오히려 이전 이터레이션과 동일한 시작 리세트 펄스 전압 또는 전류에서 착수될 수 있다.

[0018] 메모리 디바이스 내의 셀을 프로그래밍하기 위해서, 기입 회로는 메모리 디바이스의 셀에 있는 상변화 재료를 가열하는 전류 또는 전압 펄스들을 발생시킬 수 있다. 이러한 하나 이상의 전류 또는 전압 펄스들의 진폭들 및 지속시간들은 해당 메모리 셀이 세트인지 또는 리세트인지에 따라 다를 수 있다. 일반적으로, 셀의 "세트" 프

로그래밍 작업은, 해당 셀의 상변화 재료를, 용융 온도에 도달하거나 이를 초과하지 않고, 상변화 재료의 결정화 온도 너머로 가열하는 것을 수반할 수 있다. 소망하는 결정질 상태, 일부 결정질 상태 또는 일부 비정질 상태를 달성하기에 충분한 지속시간 동안 이러한 온도가 유지된다. 일반적으로, 셀의 "리셋" 프로그래밍 작업은, 소망하는 비정질 상태, 일부 비정질 상태 또는 일부 결정질 상태를 달성하기 위해서, 해당 셀의 상변화 재료를 용융 온도 너머로 가열하고, 그리고 나서 그 재료를 급속히 억제 냉각(quench cooling)하는 것을 포함할 수 있다.

- [0019] 상변화 메모리 셀의 상태는 저항률의 함수일 수 있다. 셀의 상태는 셀을 국부적으로 가열함으로써 변경될 수 있다. 상변화 메모리들에 대한 데이터 보유는 특정된 온도에서 또는 적합한 온도 범위 내에서 일정 시간 동안 특정될 수 있다. 데이터 보유는 엘리먼트 내의 상변화 재료의 결정화 온도의 함수일 수 있다. 일부 애플리케이션들에서, 메모리 디바이스는, 일정한 온도로 유지되지 않을 수 있고, 다양한 온도 변화들을 경험할 수 있는데, 이는 데이터 보유의 유효 기간을 감소시킬 수 있다.
- [0020] 메모리 디바이스 온도에서의 상당한 변화들은 메모리 디바이스에 부정적으로 영향을 줄 수 있다. 예를 들어, 주위 온도가 상승되면, 판독 또는 검증 작업들은 셀에 추가적인 가열을 초래함으로써 셀을 교란하기 더 쉬워질 수 있다. 제1 검증 전압보다 상당히 더 작은 제2 검증 전압의 사용은, 설명된 바와 같이, 적당한 온도 변동들 동안에도 셀을 교란하기가 쉽지 않을 것이다.
- [0021] 다수의 축적된 판독 또는 검증 펄스들은 셀의 일부 세팅을 초래할 수 있다. 결과적으로, 셀 저항 및 V_{th} 가 낮아지거나 감소될 수 있고, 특히 증가된 온도 환경에서 리셋 셀 전압에 가까울 때, 추가적인 검증 펄스들은 셀을 교란시키고 셀을 세트 상태에 둘 확률을 증가시킬 수 있어, 데이터의 손실을 초래하게 된다. 다시, 제2 감소된 검증 전압은 제1 검증으로부터 교란을 검출할 가능성이 높은 교란의 최소 가능성을 가질 수 있다.
- [0022] 일 실시예에서, 저장 디바이스에 사용되는 상변화 재료는 불휘발성 메모리 데이터 스토리지에 적합할 수 있다. 상변화 재료는, 예를 들어, 열, 빛, 전위, 또는 전류와 같은 에너지의 인가를 통해 변경될 수 있는 전기적 속성들(예를 들어, 저항)을 갖는 재료일 수 있다.
- [0023] 상변화 재료들의 예들은 칼코게나이드 재료를 포함할 수 있다. 칼코게나이드 재료는, 주기율표 상의 VI 족으로부터 적어도 하나의 원소를 포함하는 재료일 수 있거나, 또는, 예를 들어, 텔루르, 황 또는 셀레늄의 원소들 중 임의의 것인, 칼코겐 원소들 중 하나 이상을 포함하는 재료일 수 있다. 칼코게나이드 재료들은 전력이 제거된 후에도 유지되는 정보를 저장하는데 사용될 수 있는 불휘발성 메모리 재료들일 수 있다.
- [0024] 일 실시예에서, 상변화 재료는, 텔루르-게르마늄-안티몬의 부류($Te_xGe_ySb_z$) 재료로부터의 칼코게나이드 원소 조성물, 또는, 타입 2,2,5와 같은, $GeSbTe$ 합금일 수 있지만, 본 개시내용의 범위 내에서 다른 적합한 칼코게나이드 재료들이 고려될 수 있다.
- [0025] 일 실시예에서, 메모리 재료가 불휘발성 상변화 재료이면, 이러한 메모리 재료에 전기 신호를 인가함으로써 적어도 2개 메모리 상태들 중 하나로 메모리 재료가 프로그램될 수 있다. 전기 신호는 메모리 재료의 상을 대체로 결정질인 상태와 대체로 비정질인 상태 사이에서 변경할 수 있고, 대체로 비정질인 상태에 있는 메모리 재료의 전기 저항이 대체로 결정질인 상태에 있는 메모리 재료의 저항보다 더 크다.
- [0026] 재료의 상태 또는 상을 변경하는 메모리 재료의 프로그래밍은 다양한 방식들로 달성될 수 있다. 일 실시예에서는, 메모리 재료에 걸친 전위를 사용하여 셀을 선택함으로써 프로그래밍이 발생될 수 있다. 이는, 재료 볼트와 같은, 비교적 낮은 전압을 선택된 라인에 인가하고, 셀을 더 높은 저항으로 리셋하는 하나의 전류원으로부터의 전류를 선택된 컬럼에 인가함으로써 달성될 수 있다. 대안적으로, 더 낮은 저항으로 세트하는 더 낮은 전류 또는 더 낮은 트레일링 엣지(trailing edge)를 갖는 다른 전류원이 사용될 수 있다. 전류는, 인가된 전위들에 응답하여 메모리 재료의 일부를 통해 흐를 수 있고, 메모리 재료의 가열을 초래할 수 있다.
- [0027] 제어되는 가열 및 후속 제어되는 냉각은 메모리 재료의 메모리 상태 또는 상을 변경할 수 있다. 메모리 재료의 상 또는 상태를 변경하는 것은 메모리 재료의 전기적 특성을 변경할 수 있다. 예를 들어, 메모리 재료의 상을 변경함으로써 재료의 저항이 변경될 수 있다. 상변화 메모리 재료의 전부 또는 일부가 기입 펄스 동안 변경될 수 있다. 일 실시예에서, 상변화를 겪는 메모리 재료 부분은 저장 디바이스에 접촉하고 비트를 저장하는데 사용되는 전극에 인접하는 부분일 수 있다. 메모리 재료는 프로그램가능한 저항성 재료 또는 단순히 프로그램가능한 저항 재료일 수 있다.
- [0028] 일 실시예에서는, 한 라인에 약 0 볼트를 인가하고 기입 전원으로부터 약 2 mA의 전류를 상이한 선택된 라인에

인가함으로써 전위차가 약 1.5 볼트인 전압 펄스가 메모리 재료의 일부에 걸쳐 인가될 수 있다. 예를 들어, 다른 선택된 라인에 대한 하나의 선택된 라인에 대한 전압은 포지티브일 수 있거나, 또는 셀 또는 전압들이 반전될 수 있다. 인가된 전위차들에 응답하여 메모리 재료를 통해 흐르는 전류는 메모리 재료의 가열을 초래할 수 있다. 기입 전류 펄스 트레이딩 오프 레이트에 의해 결정되는, 이러한 가열 및 후속 제어되는 냉각은, 메모리 재료가 냉각된 후 메모리 재료의 메모리 상태 또는 상을, 더 높은 저항에서 더 낮은 저항으로, 더 낮은 저항에서 더 높은 저항으로, 또는 기존 상태를 강화하기 위해 기존 상태를 재기입하도록 변경할 수 있다.

[0029] 일 예로서, "리세트" 상태에서, 메모리 재료는 비정질 또는 반-비정질(semi-amorphous) 상태일 수 있고, "세트" 상태에서, 메모리 재료는 결정질 또는 반-결정질(semi-crystalline) 상태일 수 있다. 비정질 또는 반-비정질 상태에 있는 메모리 재료의 저항은 결정질 또는 반-결정질 상태에 있는 재료의 저항보다 더 클 수 있다. 비정질 및 결정질 상태들을 갖는 리세트 및 세트의 관계는, 각각, 관례(convention)이다. 다른 관례들이 채택될 수 있다.

[0030] 메모리 재료에 저장된 정보는 메모리 재료의 저항을 측정함으로써 판독될 수 있다. 일 예로서, 선택된 로우 및 컬럼을 사용하여 메모리 재료에 판독 전류가 제공될 수 있고, 결과로서의 메모리 재료에 걸친 판독 전압이 기준 전압에 대해 비교될 수 있다. 판독 전류가 컬럼에 강요될 때, 컬럼 상의 결과인 판독 전압은 선택된 메모리 저장 디바이스에 의해 나타나는 저항에 비례할 수 있다.

[0031] <예들>

[0032] 이하 예들은 추가적인 실시예들에 관련된다.

[0033] 도 3을 참조하면, 예 1은 본 기술의 일 실시예에 따른 상변화 메모리 디바이스에 대한 셀 프로그래밍 또는 셀 리세트를 검증하는 방법의 흐름도이다. 본 방법은, 상변화 메모리 셀에 리세트 펄스를 전송하는 단계(310) 및 이에 후속되어 상변화 메모리 셀에 걸쳐 제1 검증 전압을 인가하는 것에 응답하여 상변화 메모리 셀의 임계 전압을 감지하는 단계(320)를 포함할 수 있다. 본 방법은 제1 전압보다 더 낮은 제2 검증 전압을 상변화 메모리 셀에 걸쳐 인가하는 것에 응답하여 상변화 메모리 셀의 임계 전압을 감지하는 단계(330)를 더 포함할 수 있다. 본 방법은 또한 임계 전압이 제1 검증 전압 또는 제2 검증 전압보다 아래였는지 여부를 판정하는 단계(340)를 포함할 수 있다.

[0034] 일 예에서, 상변화 메모리 셀의 V_{th} 가 제1 검증 전압 또는 제2 검증 전압보다 아래였는지 여부를 판정하는(340) 방법은, 상변화 메모리 셀이 제1 검증 전압 또는 제2 검증 전압의 인가 후 감소된 저항을 갖는지 여부를 판정하는 단계를 포함할 수 있다. 환언하면, 상변화 메모리 셀이 제1 검증 전압의 결과로서 "스냅 백하였는지 (snapped back)" 또는 교란되었는지에 관한 판정이 이루어질 수 있다.

[0035] 설명된 바와 같이, 특정 실시예들에서, 본 방법에서의 제2 검증 전압은 최고 세트 셀 임계 전압보다 더 높을 수 있다. 또한, 제1 검증 전압은 최저 리세트 셀 임계 전압보다 더 낮을 수 있다.

[0036] 본 방법은 상변화 메모리 셀의 임계 전압이 제2 검증 전압 아래이면 상변화 메모리 셀이 제1 검증 전압에 의해 교란되었다고 판정하는 단계를 포함할 수 있다. 본 방법은 또한 상변화 메모리 셀의 임계 전압이 제1 및 제2 검증 전압보다 위었을 때 상변화 메모리 셀이 성공적으로 리세트되었다고 판정하는 단계를 포함할 수 있다.

[0037] 일 예에서, 본 방법은 상변화 메모리 셀을 교란시킬 확률이 제1 검증 전압을 사용하여 상변화 메모리 셀을 교란시킬 확률에 비해 소정의 양 또는 퍼센트만큼 감소되도록 제2 검증 전압을 선택하는 단계를 포함할 수 있다. 예를 들어, 제2 검증 전압은, 상변화 메모리 셀을 교란시킬 확률이 제1 검증 전압을 사용하여 상변화 메모리 셀을 교란시킬 확률에 비해 50% 또는 75% 또는 90% 또는 95% 또는 99% 또는 더 큰 퍼센트 만큼 감소되도록 선택될 수 있다.

[0038] 일 예에서, 본 방법은, 리세트 펄스를 전송하고, 제1 및 제2 검증 전압을 인가함으로써 상변화 메모리 셀의 임계 전압을 감지하고, 리세트 셀 임계 전압이 제1 검증 전압 또는 제2 검증 전압보다 아래였는지 여부를 판정하는 프로세스들을 반복하는 단계를 포함할 수 있다. 이러한 프로세스들의 반복은 미리 정해진 횟수 수행될 수 있다. 리세트 펄스의 전압 또는 전류, 제1 검증 전압, 또는 제2 검증 전압은 소망하는 리세트 셀 전압 V_{th} 를 달성하려는 노력으로 각각의 반복시 증가될 수 있다.

[0039] 본 방법의 각각의 반복은 전체 정책 또는 프로토콜에서의 이터레이션(iteration)일 수 있다. 예를 들어, 제1 반복은 제1 이터레이션일 수 있다. 본 방법은 따라서 제1 이터레이션에 후속하는 제2 이터레이션 동안 반복되는 보냄, 감지 및 판정 방법 프로세스들을 수행할 수 있다. 제2 이터레이션은, 본래의 제1 및 제2 검증 전압에

서 시작할 수 있고, 제2 이터레이션에서 각각의 반복시 제1 및 제2 검증 전압을 증가시킬 수 있다. 마찬가지로, 제3 이터레이션은, 본래의 제1 및 제2 검증 전압에서 시작할 수 있고, 제3 이터레이션에서 각각의 반복시 제1 및 제2 검증 전압을 증가시킬수 있는, 등등이다.

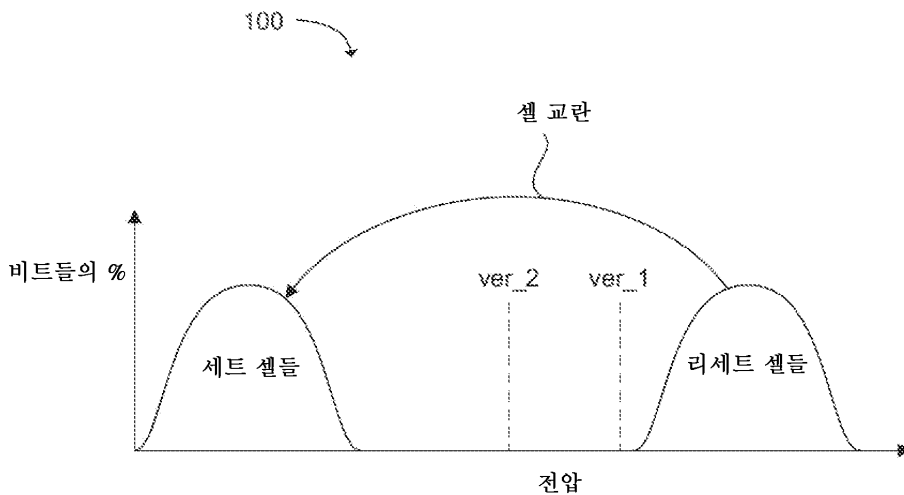
- [0040] 일 예에서, 본 방법은 상변화 메모리 셀의 임계 전압이 제1 검증 전압 또는 제2 검증 전압 아래일 때 상변화 메모리 셀을 교란된 것으로서 식별하는 단계를 포함할 수 있다.
- [0041] 앞서 또는 이후 설명되는 시스템들 또는 장치들의 특징들은 본 명세서에 설명되는 방법 또는 임의의 프로세스들에 관하여 구현될 수 있고, 그 반대도 마찬가지이다. 또한, 예들에서의 특정사항들은 하나 이상의 실시예들 어느 곳에서도 사용될 수 있다.
- [0042] 예 2에서, 및 도 4를 참조하여, 본 발명 실시예에 따른 시스템(400)의 일부가 설명된다. 시스템(400)은, 예를 들어, PDA(Personal Digital Assistant), 무선 능력이 있는 랩톱 또는 휴대용 컴퓨터, 웹 태블릿, 스마트폰 또는 기타 무선 또는 셀룰러 전화, 호출기, 인스턴트 메시징 디바이스, 디지털 음악 플레이어, 디지털 카메라, 또는 무선으로 정보를 송신 및/또는 수신하도록 적응될 수 있는 기타 디바이스들과 같은 무선 또는 모바일 디바이스들에 사용될 수 있다. 시스템(400)은 이하의 시스템들 중 임의의 것에 사용될 수 있다: WLAN(Wireless Local Area Network) 시스템, WPAN(Wireless Personal Area Network) 시스템, 셀룰러 네트워크. 시스템(400)은 또한 구체적으로 나열되지 않은 기타 시스템들에 사용될 수 있다.
- [0043] 시스템(400)은, 버스(450)을 통해 상호 연결되는, 제어기(410), I/O(Input/Output) 디바이스(420)(예를 들어, 키보드, 디스플레이), 메모리(430), 및 무선 인터페이스(440)를 포함할 수 있다. 배터리(470) 또는 기타 전원이 일부 실시예들에서 사용될 수 있다. 이러한 컴포넌트들은 단지 예시적인 것이며 구체적으로 나열되지 않은 기타 컴포넌트들이 위에 나열된 컴포넌트들 중 하나 이상을 대신하여 사용되거나 이와 함께 포함될 수 있다는 점이 주목되어야 한다.
- [0044] 제어기(410)는, 예를 들어, 하나 이상의 마이크로프로세서들, 디지털 신호 프로세서들, 마이크로제어기들 등을 포함할 수 있다. 메모리(430)는 시스템(400)에 또는 시스템(400)에 의해 송신되는 메시지들을 저장하는데 사용될 수 있다. 메모리(430)는, 또한, 시스템(400)의 동작 중 제어기(410)에 의해 실행되는 명령어들을 저장하는데 옵션으로 사용될 수 있고, 사용자 데이터를 저장하는데 사용될 수 있다. 메모리(430)는 하나 이상의 상이한 타입들의 메모리에 의해 제공될 수 있다. 예를 들어, 메모리(430)는 임의 타입의 랜덤 액세스 메모리, 휘발성 메모리, 플래시 메모리와 같은 불휘발성 메모리 및/또는 본 명세서에 논의되는 메모리와 같은 메모리를 포함할 수 있다.
- [0045] I/O 디바이스(420)는 사용자에게 의해 메시지를 생성하는데 사용될 수 있다. 시스템(400)은 RF(Radio Frequency) 신호로 무선 통신 네트워크와 메시지들을 송신 및 수신하는데 무선 인터페이스(440)를 사용할 수 있다. 무선 인터페이스(440)의 예들은 안테나 또는 무선 송수신기 또는 기타 신호 송신/수신 디바이스들을 포함할 수 있다.
- [0046] 일 예에서, 시스템(400)은, 프로세서(460), 전원 또는 배터리(470), 및 프로세서(460)에 연결되고 셀들의 어레이를 포함하는 상변화 메모리(430)를 포함할 수 있다. 일 예에서, 상변화 메모리는 칼코겐 재료를 갖는 디바이스일 수 있다. 제어기(410)는 셀들의 어레이에 판독 또는 기입 신호들을 전송하도록 구성되는 시퀀스 제어기일 수 있다. 일 예에서, 제어기(410)는 리셋 검증 회로를 포함할 수 있거나 또는 리셋 검증 회로는 메모리(430)의 일부이거나 또는 이와 관련될 수 있다.
- [0047] 리셋 검증 회로는 메모리(430)에서의 셀들의 어레이에 있는 적어도 하나의 셀에 리셋 펄스를 전송하도록 적응될 수 있다. 리셋 검증 회로는, 적어도 하나의 셀에 걸쳐 제1 검증 전압을 인가하는 것에 응답하여 적어도 하나의 셀의 임계 전압을 감지할 수 있고, 적어도 하나의 셀에 걸쳐 제2 검증 전압을 인가하는 것에 응답하여 적어도 하나의 셀의 리셋 임계 전압을 더욱 감지할 수 있다. 리셋 검증 회로는 그리고 나서 적어도 하나의 셀의 임계 전압이 제1 검증 전압 또는 제2 검증 전압보다 아래였는지 여부를 판정할 수 있다. 리셋 검증 회로는 상변화 메모리 셀의 임계 전압이 제1 검증 전압 또는 제2 검증 전압 아래일 때 에러를 식별할 수 있다.
- [0048] 이러한 시스템에서, 제2 검증 전압은 제1 검증 전압과 상이할 수 있다. 보다 구체적으로, 제2 검증 전압은 제1 검증 전압보다 더 낮을 수 있다. 일 예의 시스템에서, 제2 검증 전압은 세트 셀 임계 전압보다 더 높을 수 있고, 제1 검증 전압은 리셋 셀 임계 전압보다 더 낮을 수 있다.
- [0049] 리셋 검증 회로는 상변화 메모리 셀이 제1 검증 전압 또는 제2 검증 전압의 인가 후 감소된 저항을 갖는지 여부를 판정하는 로직을 사용하여 리셋 전압이 제1 또는 제2 전압보다 아래였는지 여부를 판정할 수 있다.

- [0050] 리셋 검증 회로는 셀 임계 전압이 제1 검증 전압 또는 제2 검증 전압 아래일 때 순환하여 동작할 수 있다. 보다 구체적인 예에서, 리셋 검증 회로는 셀 V_{th} 가 제1 검증 전압 또는 제2 검증 전압 아래일 때 미리 정해진 횟수 동작할 수 있다. 리셋 검증 회로는 리셋 펄스의 전압 또는 전류를 상승시킬 수 있거나 또는 이는 적어도 하나의 셀에 대해 각 순환 동작에 대해 제1 검증 전압 및/또는 제2 검증 전압을 상승시킬 수 있다. 하나의 셀이 검증되고 후속 검증 동작이 시작되면, 리셋 펄스 및/또는 검증 전압들이 본래 레벨들로 인가될 수 있고 각 순환 동작에 대해 다시 상승될 수 있다.
- [0051] 예 3에서는, 본 기술의 일 실시예가 단순히 상변화 메모리를 제공할 수 있다. 이러한 상변화 메모리는 리셋 검증 회로를 포함할 수 있거나 또는 리셋 검증 회로가 메모리의 일부이거나 또는 이와 관련될 수 있다. 리셋 검증 회로는 메모리에서의 셀들의 어레이에서의 적어도 하나의 셀에 리셋 펄스를 전송하도록 적용될 수 있다. 리셋 검증 회로는 적어도 하나의 셀에 걸쳐 제1 검증 전압을 인가하는 것에 응답하여 적어도 하나의 셀의 임계 전압을 감지할 수 있고, 적어도 하나의 셀에 걸쳐 제2 검증 전압을 인가하는 것에 응답하여 적어도 하나의 셀의 리셋 셀 임계 전압을 더욱 감지할 수 있다. 리셋 검증 회로는 그리고 나서 적어도 하나의 셀의 임계 전압이 제1 검증 전압 또는 제2 검증 전압보다 아래였는지 여부를 판정할 수 있다. 리셋 검증 회로는 상변화 메모리 셀의 임계 전압이 제1 검증 전압 또는 제2 검증 전압 아래일 때 에러를 식별할 수 있다.
- [0052] 다양한 기술들, 또는 그 특정 양상들 또는 부분들은, 플로피 디스켓들, CD-ROM들, 하드 드라이브들, 비일시적 컴퓨터 판독가능 저장 매체, 또는 임의의 다른 머신 판독가능 저장 매체와 같은 유형의 매체에 구현되는 프로그램 코드(즉, 명령어들)의 형태를 취할 수 있으며, 이러한 프로그램 코드가 컴퓨터와 같은 머신에 로딩되어 머신에 의해 실행될 때, 이러한 머신은 다양한 기술들을 실시하는 장치가 된다. 회로는, 하드웨어, 펌웨어, 프로그램 코드, 실행가능한 코드, 컴퓨터 명령어, 및/또는 소프트웨어를 포함할 수 있다. 비일시적 컴퓨터 판독가능 저장 매체는 신호를 포함하지 않는 컴퓨터 판독가능 저장 매체일 수 있다. 프로그램 가능한 컴퓨터들 상에서 프로그램 코드를 실행하는 경우에, 컴퓨팅 디바이스는, 프로세서, 프로세서에 의해 판독가능한 저장 매체(휘발성, 비휘발성 메모리 및/또는 저장 엘리먼트들을 포함함), 적어도 하나의 입력 디바이스, 및 적어도 하나의 출력 디바이스를 포함할 수 있다. 휘발성 및 비휘발성 메모리 및/또는 저장 엘리먼트들은, RAM, EPROM, 플래시 드라이브, 광 드라이브, 자기 하드 드라이브, 솔리드 스테이트 드라이브, 또는 전자 데이터를 저장하는 기타 매체일 수 있다. 노드와 무선 디바이스는, 또한, 송수신기 모듈, 카운터 모듈, 처리 모듈, 및/또는 클럭 모듈 또는 타이머 모듈을 포함할 수 있다. 본 명세서에서 설명되는 다양한 기술들을 구현하거나 이용할 수 있는 하나 이상의 프로그램들은 API(Application Programming Interface), 재사용가능 제어들(reusable controls) 등을 사용할 수 있다. 이러한 프로그램들은 컴퓨터 시스템과 통신하기 위하여 하이 레벨 프로그래밍 언어 또는 객체 지향적 프로그래밍 언어로 구현될 수 있다. 그러나, 프로그램(들)은, 요구되는 경우에, 어셈블리어 또는 기계어로 구현될 수 있다. 어느 경우이나, 이러한 언어는 컴파일되거나 해석되는 언어일 수 있고, 하드웨어 구현들과 조합될 수 있다.
- [0053] 본 명세서에서 설명되는 많은 기능 유닛들은, 그들의 구현 독립성을 보다 특별히 강조하기 위하여, 모듈들로서 레이블되었음이 이해되어야 한다. 예를 들어, 모듈은, 맞춤형 VLSI 회로들 또는 게이트 어레이들을 포함하는 하드웨어 회로, 로직 칩들, 트랜지스터들, 또는 기타 개별 컴포넌트들과 같은 기성품 반도체로서 구현될 수 있다. 모듈은 또한 필드 프로그래머블 게이트 어레이, 프로그래머블 어레이 로직, 프로그래머블 로직 디바이스들과 같은 프로그래머블 하드웨어 디바이스들로 구현될 수 있다.
- [0054] 모듈들은 또한 다양한 타입들의 프로세서들에 의한 실행을 위해 소프트웨어로 구현될 수 있다. 예를 들어, 실행가능한 코드의 식별된 모듈은, 예를 들어, 객체, 프로시저 또는 함수로서 구성될 수 있는, 컴퓨터 명령어들의 하나 이상의 물리적 또는 논리적 블록들을, 예를 들어, 포함할 수 있다. 그럼에도 불구하고, 식별된 모듈의 실행가능함(executables)이 물리적으로 함께 위치할 필요는 없고, 논리적으로 함께 결합될 때, 해당 모듈을 포함하며 해당 모듈의 기술된 목적을 달성하는 상이한 위치들에 저장된 이질적인 명령어들을 포함할 수 있다.
- [0055] 실제, 실행가능한 코드의 모듈은, 단일의 명령어 또는 다수의 명령어일 수 있고, 심지어 여러 상이한 코드 세그먼트들에 걸쳐, 상이한 프로그램들 사이에, 및 여러 메모리 디바이스들에 걸쳐 분산될 수 있다. 유사하게, 연산 데이터는 본 명세서에서 모듈들 내에서 식별되고 예시될 수 있지만, 임의의 적합한 형태로 구현될 수 있고 임의의 적합한 타입의 데이터 구조 내에 구성될 수 있다. 연산 데이터는 단일의 데이터 세트로서 수집될 수 있거나, 또는 상이한 저장 디바이스들을 포함하는 상이한 위치들에 걸쳐 분산될 수 있고, 단순히 시스템이나 네트워크 상에서 전자 신호들로서 적어도 부분적으로 존재할 수 있다. 모듈들은, 소망하는 기능들을 수행하도록 동작가능한 에이전트를 포함하여, 수동형 또는 능동형일 수 있다.

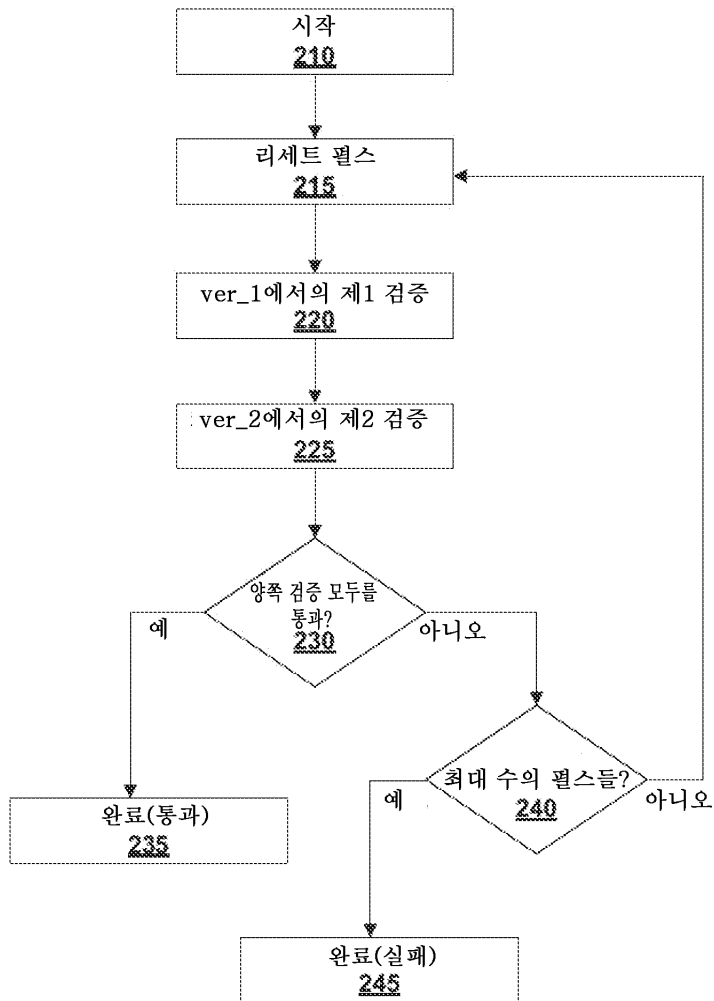
- [0056] 본 명세서 전반적으로 "일 예"는, 그 예와 관련하여 설명되는 특정 특징, 구조, 또는 특성이 본 발명의 적어도 하나의 실시예에 포함된다는 것을 의미한다. 따라서, 본 명세서 전반적으로 다양한 곳들에서 나타나는 "일 예에서"라는 문구들의 출현이 모두 반드시 동일한 실시예를 언급하는 것은 아니다.
- [0057] 본 명세서에서 사용된 바와 같이, 복수의 항목들, 구조적 엘리먼트들, 구성적 엘리먼트들, 및/또는 재료들은 편의상 공통 목록으로 제시될 수 있다. 그러나, 이러한 목록은 마치 목록의 각 멤버가 별개의 고유한 멤버로서 개별적으로 식별되는 것처럼 해석되어야 한다. 따라서, 그러한 목록의 어떤 개별적 멤버도, 반대의 표시 없이 그들이 공통 그룹에 제시되었다는 것에만 기초하여, 동일한 목록의 임의의 다른 구성원과 실질적으로 동등하다고 해석되어서는 안된다. 또한, 다양한 본 발명 실시예들 및 예들은 본 명세서에서 그 다양한 컴포넌트들에 대한 대안들과 함께 참조될 수 있다. 이러한 실시예들, 예들 및 대안들은 상호의 실질적인 등가물들로서 간주되어서는 안 되고, 별개의 자주적인 것으로서 고려되어야 한다는 점이 이해된다.
- [0058] 더욱이, 설명되는 특징들, 구조들 또는 특성들은 하나 이상의 실시예들에서 임의의 적합한 방식으로 조합될 수 있다. 본 명세서에는, 레이아웃들의 예들, 거리들, 네트워크 예들 등과 같은 여러 특정 상세사항들이 제공된다. 그러나, 관련 기술에 숙련된 자는, 특정 상세사항들 중 하나 이상이 없이고, 또는 기타 방법들, 컴포넌트들, 레이아웃들, 측정치들 등에 의해, 다양한 변경들이 가능하다는 점을 인식할 것이다. 다른 경우들에서는, 잘 알려진 구조들, 재료들 또는 동작들이 상세히 도시되거나 설명되지 않지만, 이는 본 명세서의 범위 내에서 잘 고려된다.
- [0059] 지금까지의 예들이 하나 이상의 특정 애플리케이션들에서 특정 실시예들을 예시하지만, 본 명세서에 명시되는 원리들 및 개념들로부터 벗어나지 않고, 구현의 형태, 사용 및 상세사항들에 대한 여러 변형들이 이루어질 수 있다는 점이 숙련된 기술자들에게는 명백할 것이다. 따라서, 이하 제시되는 청구범위들에 의하는 것을 제외하고는 어떠한 제한도 의도되지 않는다.

도면

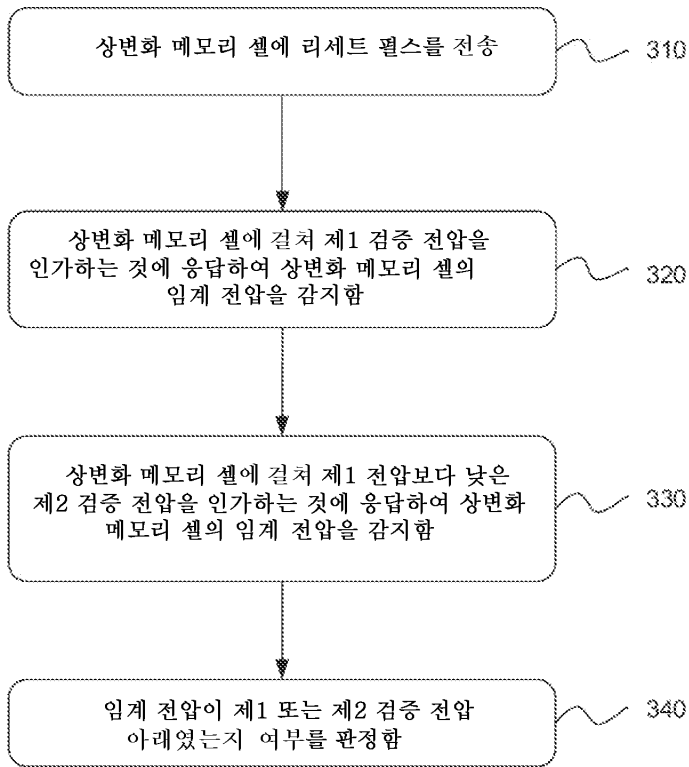
도면1



도면2



도면3



도면4

