



(12)发明专利

(10)授权公告号 CN 106027029 B

(45)授权公告日 2018. 11. 09

(21)申请号 201610407845.1

(22)申请日 2016.06.12

(65)同一申请的已公布的文献号

申请公布号 CN 106027029 A

(43)申请公布日 2016.10.12

(73)专利权人 豪威科技(上海)有限公司

地址 201210 上海市浦东新区张江高科技  
园上科路88号

(72)发明人 梁岩 惠雪梅 吴卿乐

(74)专利代理机构 上海思微知识产权代理事务  
所(普通合伙) 31237

代理人 智云

(51)Int.Cl.

H03K 19/0185(2006.01)

(56)对比文件

CN 103516350 A,2014.01.15,

CN 104204985 A,2014.12.10,

审查员 曾伟涛

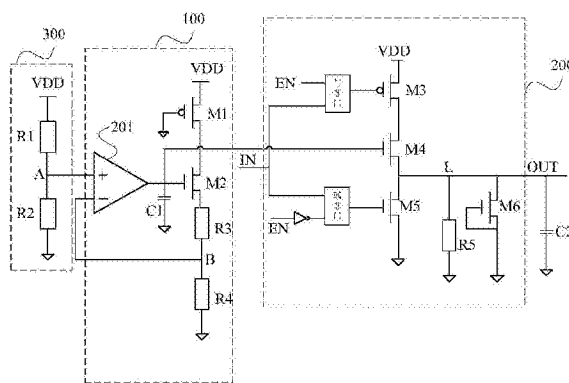
权利要求书1页 说明书5页 附图1页

(54)发明名称

GPIO接口电路

(57)摘要

本发明提供了一种GPIO接口电路,包括:一比例复制电路和至少一个GPIO驱动电路;其中,所述比例复制电路根据一参考电压向所述至少一个GPIO驱动电路提供一偏置电压,以保证所述至少一个GPIO驱动电路输出一预定电压。所述比例复制电路根据一参考电压向至少一个GPIO驱动电路提供一偏置电压,所述至少一个GPIO驱动电路在所述偏置电压的作用下输出一预定电压。所述参考电压可以是芯片上的基准电压,也可以根据芯片上的基准电压获取,减小了所述GPIO接口电路的面积和功耗。



1. 一种GPIO接口电路,其特征在于,包括:一比例复制电路和至少一个GPIO驱动电路;其中,

所述比例复制电路根据一参考电压向所述至少一个GPIO驱动电路提供一偏置电压,以保证所述至少一个GPIO驱动电路输出一预定电压;

还包括一偏置产生电路,所述偏置产生电路用于产生所述参考电压,所述偏置产生电路包括:一第一电阻和一第二电阻,所述第一电阻的一端连接于一基准电压,另一端与所述第二电阻的一端连接于一第一节点,所述第二电阻的另一端接地,所述第一节点连接于所述比例复制电路;

所述比例复制电路包括:一运算放大器,一第一晶体管,一第二晶体管,一第三电阻以及一第四电阻;其中,所述参考电压输入至所述运算放大器的一个输入端;

所述第二晶体管的栅极连接于所述运算放大器的输出端,源极连接于所述第三电阻的一端,漏极连接于所述第一晶体管的漏极,所述第二晶体管源极的电压为一预定电压;

所述第一晶体管的栅极接地,源极连接于一基准电压;

所述第三电阻的另一端与所述第四电阻的一端连接于第二节点,所述第四电阻的另一端接地,所述第二节点连接于所述运算放大器的又一个输入端;以及

所述第二晶体管的源极的电压即为所述偏置电压。

2. 如权利要求1所述的GPIO接口电路,其特征在于,所述比例复制电路还包括:一去耦电容,所述去耦电容的一端连接于所述第二晶体管的栅极,另一端接地。

3. 如权利要求2所述的GPIO接口电路,其特征在于,所述第二节点的电压与所述参考电压相等。

4. 如权利要求1所述的GPIO接口电路,其特征在于,所述第一晶体管为P型MOS管,第二晶体管为N型MOS管。

5. 如权利要求4所述的GPIO接口电路,其特征在于,当所述基准电压与所述预定电压的差小于所述比例复制电路稳定工作需要的电压时,所述第二晶体管为N型本征MOS管。

6. 如权利要求1所述的GPIO接口电路,其特征在于,所述GPIO驱动电路包括:一第三晶体管,一第四晶体管,一第五晶体管以及一第五电阻;其中,

一输入信号同时输入至所述第三晶体管的栅极和所述第五晶体管的栅极,所述第三晶体管的源极连接于一基准电压,漏极连接于所述第四晶体管的漏极,所述第四晶体管的源极连接于所述第五晶体管的漏极,栅极连接于所述第二晶体管的栅极,所述第五晶体管的源极接地;

所述第五电阻的一端与所述第四晶体管的源极连接于一第三节点,另一端接地;

所述第三节点的电压即所述预定电压。

7. 如权利要求6所述的GPIO接口电路,其特征在于,所述第五电阻的阻值等于所述第三电阻和第四电阻的阻值之和。

## GPIO接口电路

### 技术领域

[0001] 本发明涉及半导体技术领域,尤其是一种GPIO接口电路。

### 背景技术

[0002] 当前,CMOS图像传感器需要三组电源,即2.8V的模拟电源,1.8V的输入输出接口电源,和1.2V的数字电源,每一组电源都需要相应的电源走线以及去耦电容。从降低芯片面积和成本的考虑,减少一组电源可以减少一组接口电路和相应的走线和电容。

[0003] 由于1.8V的输入输出接口电源只用于GPIO供电,所以我们考虑去掉1.8V的电源,用2.8V的模拟电源直接给GPIO供电。同时希望GPIO输出电压仍然是1.8V。

### 发明内容

[0004] 本发明的目的在于提供一种GPIO接口电路,以实现利用芯片上的基准电压直接给GPIO供电,并使所述GPIO接口电路的输出电压为一预定电压。

[0005] 为了达到上述目的,本发明提供了一种GPIO接口电路,包括:一比例复制电路和至少一个GPIO驱动电路;其中,

[0006] 所述比例复制电路根据一参考电压向所述至少一个GPIO驱动电路提供一偏置电压,以保证所述至少一个GPIO驱动电路输出一预定电压。

[0007] 优选的,在上述的GPIO接口电路中,还包括一偏置产生电路,所述偏置产生电路用于产生所述参考电压。

[0008] 优选的,在上述的GPIO接口电路中,所述偏置产生电路包括:一第一电阻和一第二电阻,所述第一电阻的一端连接于一基准电压,另一端与所述第二电阻的一端连接于一第一节点,所述第二电阻的另一端接地,所述第一节点连接于所述比例复制电路。

[0009] 优选的,在上述的GPIO接口电路中,所述比例复制电路包括:一运算放大器,一第一晶体管,一第二晶体管,一第三电阻以及一第四电阻;其中,所述参考电压输入至所述运算放大器的一个输入端;

[0010] 所述第二晶体管的栅极连接于所述运算放大器的输出端,源极连接于所述第三电阻的一端,漏极连接于所述第一晶体管的漏极,所述第二晶体管源极的电压为一预定电压;

[0011] 所述第一晶体管的栅极接地,源极连接于一基准电压;

[0012] 所述第三电阻的另一端与所述第四电阻的一端连接于第二节点,所述第四电阻的另一端接地,所述第二节点连接于所述运算放大器的又一个输入端;以及

[0013] 所述第二晶体管源极的电压即为所述偏置电压。

[0014] 优选的,在上述的GPIO接口电路中,所述比例复制电路还包括:一去耦电容,所述去耦电容的一端连接于所述第二晶体管的栅极,另一端接地。

[0015] 优选的,在上述的GPIO接口电路中,所述第二节点的电压与所述参考电压相等。

[0016] 优选的,在上述的GPIO接口电路中,所述第一晶体管为P型MOS管,第二晶体管为N型MOS管。

[0017] 优选的,在上述的GPIO接口电路中,当所述基座电压与所述预定电压的差小于所述比例复制电路稳定工作需要的电压时,所述第二晶体管为N型本征MOS管。

[0018] 优选的,在上述的GPIO接口电路中,所述GPIO驱动电路包括:一第三晶体管,一第四晶体管,一第五晶体管以及一第五电阻;其中,

[0019] 一输入信号同时输入至所述第三晶体管的栅极和所述第五晶体管的栅极,所述第三晶体管的源极连接于一基准电压,漏极连接于所述第四晶体管的漏极,所述第四晶体管的源极连接于所述第五晶体管的漏极,栅极连接于所述第二晶体管的栅极,所述第五晶体管的源极接地;

[0020] 所述第五电阻的一端与所述第四晶体管的源极连接于一第三节点,另一端接地;

[0021] 所述第三节点的电压即所述预定电压。

[0022] 优选的,在上述的GPIO接口电路中,所述第五电阻的阻值等于所述第三电阻和第四电阻的阻值之和。

[0023] 在本发明提供的GPIO接口电路中,比例复制电路根据一参考电压向至少一个GPIO驱动电路提供一偏置电压,所述至少一个GPIO驱动电路在所述偏置电压的作用下输出一预定电压。所述参考电压可以是芯片上的基准电压,也可以根据芯片上的基准电压获取,减小了所述GPIO接口电路的面积和功耗。

## 附图说明

[0024] 图1为本发明实施例中提供的GPIO接口电路的结构示意图;

[0025] 图2为本发明实施例中提供的GPIO接口电路的电路图。

## 具体实施方式

[0026] 下面将结合示意图对本发明的具体实施方式进行更详细的描述。根据下列描述和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0027] 本发明实施例提供了一种GPIO接口电路,具体的,如图1所示,包括:一比例复制电路100和至少一个GPIO驱动电路200,其中,所述比例复制电路100根据一参考电压向所述至少一个GPIO驱动电路200提供一偏置电压,所述至少一个GPIO驱动电路200在所述偏置电压的作用下输出一预定电压。

[0028] 在本发明的又一实施例中,所述GPIO接口电路包括一偏置产生电路300,所述偏置产生电路300用于产生所述参考电压。具体的,如图2所示,所述偏置产生电路300的输出信号输入至所述比例复制电路100,所述比例复制电路100的输出信号输入至所述至少一个GPIO驱动电路200;以及一输入信号IN输入至所述至少一个GPIO驱动电路200,所述至少一个GPIO驱动电路200输出一输出信号OUT。所述参考电压还可以是由所述GPIO接口电路所在芯片上的内部机制电压或者芯片电源电压直接提供。

[0029] 具体的,所述偏置产生电路300包括一第一电阻R1和一第二电阻R2,所述第一电阻R1的一端连接于该GPIO接口电路所在芯片的基准电压VDD,另一端与所述第二电阻R2的一端连接于一第一节点A,所述第二电阻R2的另一端接地。即所述第一电阻R1和第二电阻R2对所述基准电压VDD进行分压,所述第一节点A的电压信号输入至所述比例复制电路100。所述

第一节点A的电压即为所述参考电压。在本实施例中,所述参考电压小于所述基准电压VDD。

[0030] 所述比例复制电路100包括:一运算放大器201,一第一晶体管M1,一第二晶体管M2,一第三电阻R3以及一第四电阻R4。其中,所述第一晶体管M1的源极连接于所述基准电压,栅极接地,漏极连接于所述第二晶体管M2的漏极,所述第二晶体管M2的源极连接于所述第三电阻R3的一端,所述第三电阻R3的另一端与所述第四电阻R4的一端连接于一第二节点B,所述第四电阻R4的另一端接地。

[0031] 进一步的,所述第一节点A的参考电压输入至所述运算放大器201的一个输入端,所述第二节点B的电压信号输入至所述运算放大器201的又一个输入端,具体言之,所述第一节点A的电压信号输入至所述运算放大器201的正输入端,所述第二节点B的电压信号输入至所述运算放大器201的负输入端。所述运算放大器201的输出端连接于所述第二晶体管M2的栅极。所述第二晶体管M2源极的电压为所述预定电压,所述预定电压小于所述基准电压VDD。

[0032] 通过调节所述基准电压VDD,所述第一电阻R1,第二电阻R2,第三电阻R3以及第四电阻R4,可以使得所述预定电压为小于所述基准电压中的任意一个电压。例如,在本实施例中,所述基准电压为2.8V,所述第一节点A的电压为1.2V,则所述第二节点B的电压也为1.2V,通过调节所述第三电阻R3和第四电阻R4之间的比例,即可调节所述第二晶体管M2源极的电压,即所述预定电压。

[0033] 所述第三电阻R3和第四电阻R4对所述第二晶体管M2源极的电压进行分压,使得所述第二节点B的电压值与所述第一节点A的电压值相等。

[0034] 所述比例复制电路100还包括还包括一去耦电容C1,所述去耦电容C1的一端连接于所述第二晶体管M2的栅极,另一端连接于地端。所述去耦电容C1用于稳定所述运算放大器、第二晶体管M2和第三电阻R3组成的环路以及所述运算放大器输出端的电压波动。所述去耦电容C1的电容值为 $5\text{pF} < C1 < 50\text{pF}$ ,在本实施例中,所述去耦电容C1的电容值为20pF,只有传统去耦电容的1/10,以减少损耗。

[0035] 所述基准电压VDD可以为所述GPIO接口电路所在芯片上的任一电压,在本实施例中,所述基准电压为2.8V,所述预定电压为1.8V,参考电压为1.2V。此时,所述运算放大器的输出端的电压为 $(1.8\text{V} + V_{GS})$ ,其中, $V_{GS}$ 为所述第二晶体管M2的栅极和源极之间的压力差。为了保证所述运算放大器的输出电压不超过所述运算放大器正常输出的电压范围。

[0036] 在本发明的其他实施例中,所述基准电压可以为3.3V,2.5V等,相应的,所述预定电压可以为2.5V或者1.5V或者1.2V或者0.9V,参考电压可以为2.1V或者1.6V或者1.1V或者0.9V。当所述基准电压为3.3V时,所述预定电压还可以是3V,只要保证所述参考电压和所述预定电压均小于所述基准电压即可,以保证所述比例复制电路中的所述运算放大器、第二晶体管M2以及第三电阻R3所组成的环路的稳定。当所述基准电压VDD和预定电压之间的差比较小,不足以维持所述比例复制电路中的环路的稳定时,所述第二晶体管M2为一本征MOS管,其阈值电压接近0V。当所述基准电压VDD和预定电压之间的差比较大,足以维持所述比例复制电路中的环路的稳定时,第二晶体管M2可以为普通N型MOS管以减小电路面积。

[0037] 进一步的,所述第一晶体管M1为P型MOS管,第二晶体管M2为N型MOS管。

[0038] 所述GPIO驱动电路200包括:一第三晶体管M3,一第四晶体管M4,一第五晶体管M5以及一第五电阻R5。所述GPIO驱动电路200还包括一与非门和一或非门,一输入信号IN同时

输入至所述与非门的一个输入端和所述或非门的一个输入端,一控制信号EN输入至所述与非门的另一个输入端,同时,所述控制信号EN经过一反相器后输入至所述或非门的另一个输入端,所述与非门的输出端连接于所述第三晶体管M3的栅极,所述或非门的输出端连接于所述第五晶体管M5的栅极。

[0039] 所述运算放大器的输出端在连接所述第二晶体管M2的栅极的同时,也连接于所述第四晶体管M4的栅极。

[0040] 所述第四晶体管M4与所述第二晶体管M2相同,均为N型MOS管。并且当所述第二晶体管M2为本征MOS管时,所述第四晶体管M4也为本征MOS管,即所述第四晶体管M4的阈值电压也在0V左右。因此,所述第四晶体管M4的栅极电压值与所述第二晶体管M2的栅极电压值相同,从而使得第四晶体管M4的源极电压值与所述第二晶体管M2的源极电压值相同,即均为所述预定电压值。在本实施例中,均为1.8V。

[0041] 进一步的,所述第三晶体管M3的源极连接于所述基准电压,栅极接地,漏极连接于所述第四晶体管M4的漏极,所述第四晶体管M4的源极与所述第五晶体管M5的漏极连接于一第三节点L,所述第五晶体管M5的栅极接入所述输入信号,源极接地。所述第五电阻R5的一端连接于所述第三节点L,另一端接地。所述第三节点L的信号即为所述GPIO驱动电路的输出信号。

[0042] 当所述输入信号IN为高电平时,所述第三晶体管M3关断,所述第五晶体管M5打开,所述GPIO驱动电路的输出电压被所述第五晶体管M5拉到低电平,即所述第三节点L的电压被所述第五晶体管M5拉到低电平。当所述输入信号为低电平时,所述第三晶体管M3打开,所述第五晶体管M5关断,在所述第四晶体管M4的调节作用下,所述GPIO驱动电路的输出电压为(所述第四晶体管M4的栅极电压-VGS),其中,VGS为所述第二晶体管M2和第四晶体管M4的栅极和源极之间的电压差,所述第四晶体管M4的栅极电压=所述运算放大器的输出电压=预定电压+VGS,因此,所述GPIO驱动电路的输出电压=预定电压。在本实施例中,所述GPIO驱动电路的输出电压即为1.8V。

[0043] 进一步的,所述第三晶体管M3为P型晶体管,第五晶体管M5为N型晶体管。

[0044] 为了使本发明实施例中提供的GPIO接口电路具有不同的驱动能力,以适应不同的负载电容的需求,以及为了降低复制偏置电路的功耗,复制偏置电路中的驱动电路和GPIO接口电路中的驱动电路为1:P比例关系,本发明实施例提供的GPIO接口电路还可以包括多个所述GPIO驱动电路,所述P为所述GPIO驱动电路的个数。此时,所述运算放大器的输出端与每个所述GPIO驱动电路中的第四晶体管的栅极均连接,每个所述GPIO驱动电路中的第三晶体管的源极均连接于所述基准电压。同时输入至所述GPIO接口电路中的所述输入信号同时输入至没有所述GPIO驱动电路中的第三晶体管的栅极和第五晶体管的栅极。且每个所述GPIO驱动电路的输出端均连接于同一输出端,该输出端连接于一负载电容C2的一端,使得所述多个GPIO驱动电路均为所述负载电容C2提供驱动能力。

[0045] 在本发明的其他实施例中,还可以通过一控制单元在所述多个GPIO驱动电路中选择一个或者多个GPIO驱动电路为所述负载电容C2提供驱动能力。例如,所述GPIO接口电路中包括5个所述GPIO驱动电路,通过所述控制单元,可以选择1个或者2个或者3个或者4个或者5个GPIO驱动电路为所述负载电容提供驱动能力。使用更加方便灵活。

[0046] 更优的,所述GPIO驱动电路还包括一第六晶体管M6,所述第六晶体管M6的漏极连

接于所述第三节点L,栅极与源极连接,并连接于地,以起到静电保护的作用。

[0047] 综上,在本发明实施例提供的GPIO接口电路中,比例复制电路根据一参考电压向至少一个GPIO驱动电路提供一偏置电压,所述至少一个GPIO驱动电路在所述偏置电压的作用下输出一预定电压。所述参考电压可以是芯片上的基准电压,也可以根据芯片上的基准电压获取,减小了所述GPIO接口电路的面积和功耗。

[0048] 上述仅为本发明的优选实施例而已,并不对本发明起到任何限制作用。任何所属技术领域的技术人员,在不脱离本发明的技术方案的范围,对本发明揭露的技术方案和技术内容做任何形式的等同替换或修改等变动,均属未脱离本发明的技术方案的内容,仍属于本发明的保护范围之内。

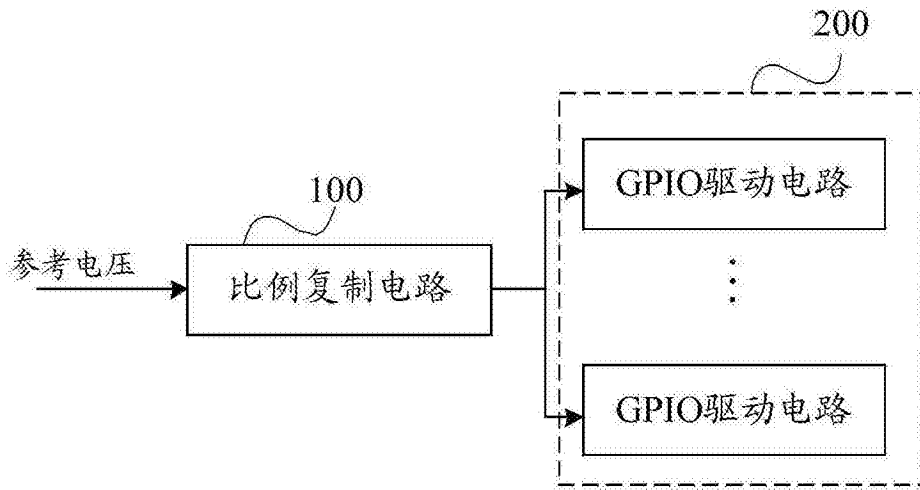


图1

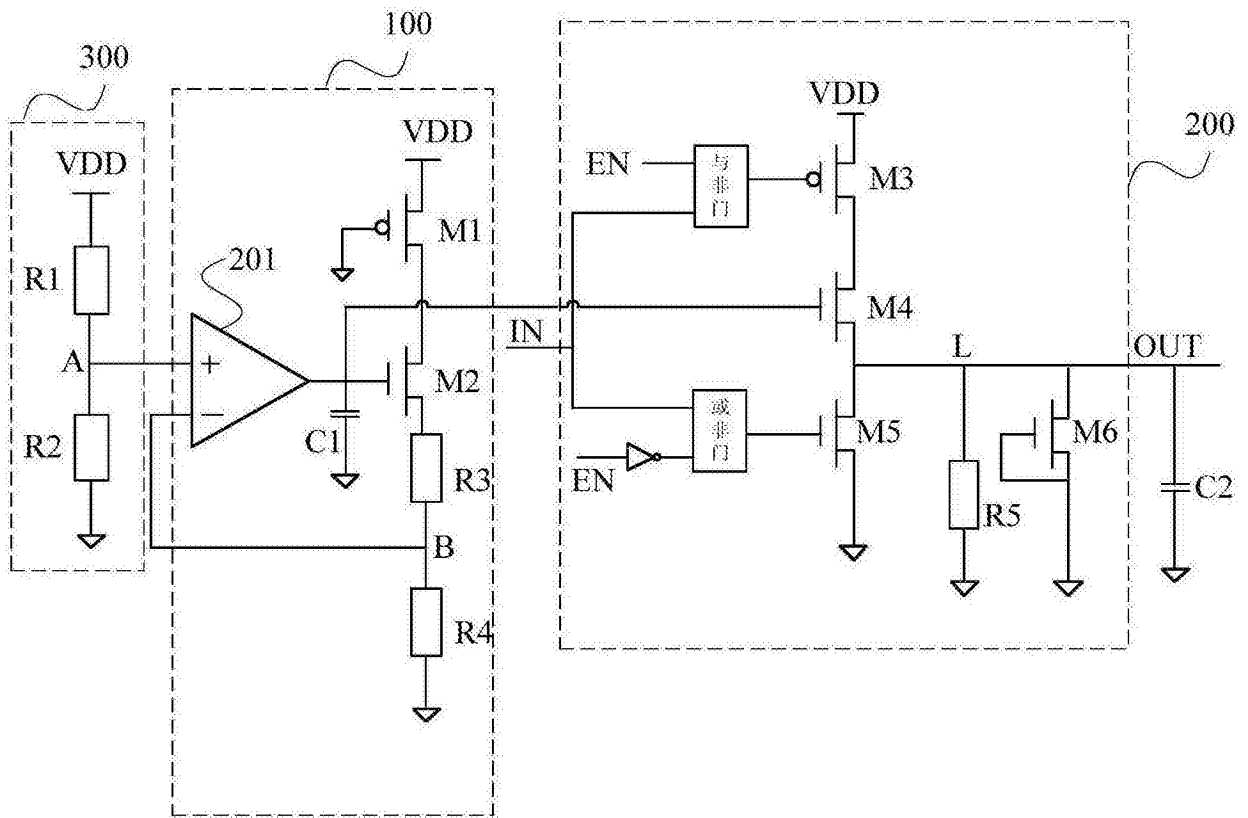


图2