

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5446217号
(P5446217)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成26年1月10日(2014.1.10)

(51) Int.Cl.

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)

F 1

G09G 3/30 K
G09G 3/20 642 P
G09G 3/20 612 T
G09G 3/20 642 C
G09G 3/20 642 A

請求項の数 6 (全 23 頁) 最終頁に続く

(21) 出願番号

特願2008-286780 (P2008-286780)

(22) 出願日

平成20年11月7日 (2008.11.7)

(65) 公開番号

特開2010-113228 (P2010-113228A)

(43) 公開日

平成22年5月20日 (2010.5.20)

審査請求日

平成23年11月1日 (2011.11.1)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082131

弁理士 稲本 義雄

(72) 発明者 山下 淳一

東京都港区港南1丁目7番1号 ソニー株式会社内

(72) 発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】表示装置と電子機器

(57) 【特許請求の範囲】

【請求項 1】

画面部と、駆動部と、信号処理部とからなり、

前記画面部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素と、光センサーとを有するパネルからなり、

前記駆動部は、各走査線に順次制御信号を供給するスキャナと、各信号線に映像信号を供給するドライバとを有し、

前記画素は、該走査線から供給された制御信号に応じて選択されたとき、該信号線から映像信号を取り込み、且つ取り込んだ映像信号に応じて発光し、

前記光センサーは、各画素の発光輝度を検出して対応する輝度信号を出力し、

前記信号処理部は、該光センサーから出力された輝度信号に応じて映像信号を補正し且つ補正された映像信号を該駆動部のドライバに供給し、

前記画面部が、互いに干渉しない範囲で、同数の画素がそれぞれ属する複数の領域に区画されており、

前記駆動部は、異なる領域に属する画素を同時に発光させて複数の画素の発光輝度を同時に検出し、

前記画面部におけるパネルの発光面とは反対側である裏面には、複数の領域における各領域に対応して1つの光センサーが配されており、

各光センサーは、対応する領域の中心に配置され、対応する領域に属する画素の発光輝度を検出する

10

20

表示装置。

【請求項 2】

前記画面部において、前記各領域の区画に沿って遮光壁が設けられている

請求項 1 に記載の表示装置。

【請求項 3】

前記信号処理部は、該画面部に映像を表示する表示期間では通常の映像信号を供給し、映像を表示しない非表示期間に含まれる検出期間では、輝度検出用の映像信号を供給する
請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記信号処理部は、フレーム単位で前記検出用の映像信号を供給し、前記検出用の映像信号は、1 フレームで検出対象となる画素のみを発光させ残りの画素は非発光の状態にする

請求項 3 に記載の表示装置。

【請求項 5】

前記信号処理部は、初期に該光センサーから出力された第 1 の輝度信号と、所定時間経過後に該光センサーから出力された第 2 の輝度信号とを比較して発光輝度の低下分を求め、且つ求めた発光輝度の低下分を補償するように映像信号を補正して該駆動部に出力する
請求項 1 乃至 4 のいずれかに記載の表示装置。

【請求項 6】

本体と、該本体に入力する情報若しくは本体から出力された情報を表示する表示器とかなり、

前記表示器は、画面部と、駆動部と、信号処理部とかなり、

前記画面部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素と、光センサーとを有するパネルとかなり、

前記駆動部は、各走査線に順次制御信号を供給するスキャナと、各信号線に映像信号を供給するドライバとを有し、

前記画素は、該走査線から供給された制御信号に応じて選択されたとき、該信号線から映像信号を取り込み、且つ取り込んだ映像信号に応じて発光し、

前記光センサーは、各画素の発光輝度を検出して対応する輝度信号を出力し、

前記信号処理部は、該光センサーから出力された輝度信号に応じて映像信号を補正し且つ補正された映像信号を該駆動部のドライバに供給し、

前記画面部が、互いに干渉しない範囲で、同数の画素がそれぞれ属する複数の領域に区画されており、

前記駆動部は、異なる領域に属する画素を同時に発光させて複数の画素の発光輝度を同時に検出し、

前記画面部におけるパネルの発光面とは反対側である裏面には、複数の領域における各領域に対応して1つの光センサーが配されており、

各光センサーは、対応する領域の中心に配置され、対応する領域に属する画素の発光輝度を検出する

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動して画像を表示する表示装置に関する。またかかる表示装置を用いた電子機器に関する。詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機 EL などの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置の駆動方式に関する。

【背景技術】

【0002】

表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、

10

20

30

40

50

表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【特許文献6】特開2006-215213

10

20

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の表示装置は、基本的に画面部と駆動部とで構成されている。画面部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とからなる。駆動部は画面部の周辺に配され、各走査線に順次制御信号を供給するスキャナと、各信号線に映像信号を供給するドライバとを有する。画面部の各画素は、対応する走査線から供給された制御信号に応じて選択されたとき、対応する信号線から映像信号を取り込み、且つ取り込んだ映像信号に応じて発光する。

【0005】

30

各画素は発光素子として例えば有機ELデバイスを含んでいる。この発光素子は経時に電流／輝度特性が劣化する傾向がある。これにより、有機ELディスプレイの各画素は時間の経過と共に輝度が低下していくという課題がある。輝度劣化の程度は、各画素の累積発光時間に依存している。画面上で各画素の累積発光時間が異なる場合輝度のムラが生じ、いわゆる「焼き付き」という画質不良が生じる恐れがある。

【課題を解決するための手段】

【0006】

上述した従来の技術の課題に鑑み、本発明は画素の輝度劣化を補償可能な表示装置を提供することを目的とする。係る目的を達成するために以下の手段を講じた。即ち本発明に係る表示装置は、画面部と、駆動部と、信号処理部とからなる。前記画面部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素と、光センサーとを有するパネルからなる。前記駆動部は、各走査線に順次制御信号を供給するスキャナと、各信号線に映像信号を供給するドライバとを有する。前記画素は、該走査線から供給された制御信号に応じて選択されたとき、該信号線から映像信号を取り込み、且つ取り込んだ映像信号に応じて発光する。前記光センサーは、各画素の発光輝度を検出して対応する輝度信号を出力する。前記信号処理部は、該光センサーから出力された輝度信号に応じて映像信号を補正し且つ補正された映像信号を該駆動部のドライバに供給する。前記画面部が、互いに干渉しない範囲で、同数の画素がそれぞれ属する複数の領域に区画されており、前記駆動部は、異なる領域に属する画素を同時に発光させて複数の画素の発光輝度を同時に検出し、前記画面部におけるパネルの発光面とは反対側である裏面

40

50

には、複数の領域における各領域に対応して1つの光センサーが配されており、各光センサーは、対応する領域の中心に配置され、対応する領域に属する画素の発光輝度を検出する。

【0007】

好ましくは、前記画面部において、前記各領域の区画に沿って遮光壁が設けられている。前記信号処理部は、該画面部に映像を表示する表示期間では通常の映像信号を供給し、映像を表示しない非表示期間に含まれる検出期間では、輝度検出用の映像信号を供給する。この場合、前記信号処理部は、フレーム単位で前記検出用の映像信号を供給し、前記検出用の映像信号は、1フレームで検出対象となる画素のみを発光させ残りの画素は非発光の状態にする。又前記信号処理部は、初期に該光センサーから出力された第1の輝度信号と、所定時間経過後に該光センサーから出力された第2の輝度信号とを比較して発光輝度の低下分を求め且つ求めた発光輝度の低下分を補償するように映像信号を補正して該駆動部に出力する。

10

【発明の効果】

【0008】

本発明によれば、信号処理部は、光センサーから出力された輝度信号に応じて映像信号を補正し且つ補正された映像信号を駆動部のドライバに供給している。係る構成により、画素の輝度劣化を映像信号の補正で補うことが可能なり、従来問題となっていた「焼き付き」などの画質不良を防ぐことができる。

本発明によれば、光センサーは各画素の発光輝度を検出して対応する輝度信号を出力している。個々の画素毎に発光輝度を検出しているため、画面上で局所的な輝度ムラが表れる場合などでも、画素単位で映像信号の補正を行うことにより、局所的な輝度ムラを修正できる。

20

【0009】

特に本発明では、画面部が互いに干渉しない範囲で、同数の画素がそれぞれ属する複数の領域に区画されている。駆動部は、異なる領域に属する画素を同時に発光させて複数の画素の発光輝度を同時に検出する。画面部におけるパネルの発光面とは反対側である裏面には、複数の領域における各領域に対応して1つの光センサーが配されている。また、各光センサーは、対応する領域の中心に配置され、対応する領域に属する画素の発光輝度を検出する。

30

このように本発明では、複数の画素の発光輝度を同時に検出しているので、無数の画素を逐次1個ずつ点灯して発光輝度を検出する場合に比べ、トータルの検出時間を短縮できる。また、このように本発明では、映像信号補正用の光センサーを、1つの領域に含まれる複数の画素に対して1つ用いている。発光輝度の検出時は、各光センサー当たり例えば1画素ずつ、複数の領域に亘って複数の画素を同時発光させる。複数の光センサーは対応する領域の発光を点順次で受光し、発光輝度の検出を同時に進行。これにより、画素と光センサーを1対1で配置する場合に比べ、光センサー数を大幅に削減できる。同時に発光輝度の検出時間を大幅に短縮化でき、映像信号補正システムの低コスト化及び動作時間短縮が可能になる。

【発明を実施するための最良の形態】

40

【0010】

以下、本発明を実施するための最良の形態（以下実施形態とする）について説明する。なお説明は以下の順序で行う。

- 第一実施形態
- 第二実施形態
- 第三実施形態
- 第四実施形態
- 応用形態

【0011】

第一実施形態

50

[パネルの全体構成]

図1は、本発明に係る表示装置の主要部となるパネルを示す全体構成図である。図示するように、本表示装置は、画素アレイ部1(画面部)とこれを駆動する駆動部とからなる。画素アレイ部1は、行状の走査線WSと、列状の信号線(信号ライン)SLと、両者が交差する部分に配された行列状の画素2と、各画素2の各行に対応して配された給電線(電源ライン)VLとを備えている。なお本例は、各画素2にRGB三原色のいずれかが割り当てられており、カラー表示が可能である。但し本発明はこれに限られるものではなく、単色表示のデバイスも含む。駆動部は、各走査線WSに順次制御信号を供給して画素2を行単位で線順次走査するライトスキャナ4と、この線順次走査に合わせて各給電線VLに第1電位と第2電位で切換る電源電圧を供給する電源スキャナ6と、この線順次走査に合わせて列状の信号線SLに映像信号となる信号電位と基準電位を供給する水平セレクタ(信号ドライバ)3とを備えている。10

【0012】

[画素の回路構成]

図2は、図1に示した表示装置に含まれる画素2の具体的な構成及び結線関係を示す回路図である。図示するように、この画素2は有機ELデバイスなどで代表される発光素子ELと、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、画素容量Csとを含む。サンプリングトランジスタTr1は、その制御端(ゲート)が対応する走査線WSに接続し、一対の電流端(ソース及びドレイン)の片方が対応する信号線SLに接続し、他方がドライブトランジスタTrdの制御端(ゲートG)に接続する。ドライブトランジスタTrdは、一対の電流端(ソースS及びドレイン)の一方が発光素子ELに接続し、他方が対応する給電線VLに接続している。本例では、ドライブトランジスタTrdがNチャネル型であり、そのドレインが給電線VLに接続する一方、ソースSが出力ノードとして発光素子ELのアノードに接続している。発光素子ELのカソードは所定のカソード電位Vcathに接続している。画素容量CsはドライブトランジスタTrdの片方の電流端であるソースSと制御端であるゲートGの間に接続している。20

【0013】

かかる構成において、サンプリングトランジスタTr1は走査線WSから供給された制御信号に応じて導通し、信号線SLから供給された信号電位をサンプリングして画素容量Csに保持する。ドライブトランジスタTrdは、第1電位(高電位Vdd)にある給電線VLから電流の供給を受け画素容量Csに保持された信号電位に応じて駆動電流を発光素子ELに流す。ライトスキャナ4は、信号線SLが信号電位にある時間帯にサンプリングトランジスタTr1を導通状態にするため、所定のパルス幅の制御信号を制御線WSに出力し、以って画素容量Csに信号電位を保持すると同時にドライブトランジスタTrdの移動度μに対する補正を信号電位に加える。この後ドライブトランジスタTrdは画素容量Csに書き込まれた信号電位Vsigに応じた駆動電流を発光素子ELに供給し、発光動作に入る。30

【0014】

本画素回路2は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ6は、サンプリングトランジスタTr1が信号電位Vsigをサンプリングする前に、第1タイミングで給電線VLを第1電位(高電位Vdd)から第2電位(低電位Vss)に切換える。またライトスキャナ4は同じくサンプリングトランジスタTr1が信号電位Vsigをサンプリングする前に、第2タイミングでサンプリングトランジスタTr1を導通させて信号線SLから基準電位VrefをドライブトランジスタTrdのゲートGに印加すると共にドライブトランジスタTrdのソースSを第2電位(Vss)にセットする。電源スキャナ6は第2タイミングの後の第3タイミングで給電線VLを第2電位Vssから第1電位Vddに切換えて、ドライブトランジスタTrdの閾電圧Vthに相当する電圧を画素容量Csに保持する。かかる閾電圧補正機能により、本表示装置は画素毎にばらつくドライブトランジスタTrdの閾電圧Vthの影響をキャンセルすることができる。4050

【0015】

本画素回路2は、さらにブートストラップ機能も備えている。即ちライトスキャナ4は画素容量Csに信号電位Vsigが保持された段階で走査線WSに対する制御信号の印加を解除し、サンプリングトランジスタTr1を非導通状態にしてドライブトランジスタTrdのゲートGを信号線SLから電気的に切り離し、以ってドライブトランジスタTrdのソースSの電位変動にゲートGの電位が連動し、ゲートGとソースS間の電圧Vgsを一定に維持することができる。

【0016】**[タイミングチャート1]**

図3は、図2に示した画素回路2の動作説明に供するタイミングチャートである。時間軸を共通にして、走査線WSの電位変化、給電線VLの電位変化及び信号線SLの電位変化を表している。またこれらの電位変化と並行に、ドライブトランジスタのゲートG及びソースSの電位変化も表してある。10

【0017】

走査線WSには、サンプリングトランジスタTr1をオンするための制御信号パルスが印加される。この制御信号パルスは画素アレイ部の線順次走査に合わせて1フレーム(1f)周期で走査線WSに印加される。この制御信号パルスは一水平走査周期(1H)の間に二発のパルスを含んでいる。最初のパルスを第一パルスP1とし、後続のパルスを第二パルスP2と呼ぶ場合がある。給電線VLは同じように1フレーム周期(1f)で高電位Vddと低電位Vssとの間で切換る。信号線SLには一水平走査周期(1H)内で信号電位Vsigと基準電位Vrefが切換る映像信号を供給している。20

【0018】

図3のタイミングチャートに示すように、画素は前のフレームの発光期間から当該フレームの非発光期間に入り、そのあと当該フレームの発光期間となる。この非発光期間で準備動作、闘電圧補正動作、信号書き込み動作、移動度補正動作などを行う。

【0019】

前フレームの発光期間では、給電線VLが高電位Vddにあり、ドライブトランジスタTrdが駆動電流Idsを発光素子ELに供給している。駆動電流Idsは高電位Vddにある給電線VLからドライブトランジスタTrdを介して発光素子ELを通り、カソードラインに流れ込んでいる。30

【0020】

続いて当該フレームの非発光期間に入るとまずタイミングT1で給電線VLを高電位Vddから低電位Vssに切換える。これにより給電線VLはVssまで放電され、さらにドライブトランジスタTrdのソースSの電位はVssまで下降する。これにより発光素子ELのアノード電位(即ちドライブトランジスタTrdのソース電位)は逆バイアス状態となるため、駆動電流が流れなくなり消灯する。またドライブトランジスタのソースSの電位降下に連動してゲートGの電位も降下する。

【0021】

続いてタイミングT2になると、走査線WSを低レベルから高レベルに切換えることで、サンプリングトランジスタTr1が導通状態になる。この時信号線SLは基準電位Vrefにある。よってドライブトランジスタTrdのゲートGの電位は導通したサンプリングトランジスタTr1を通じて信号線SLの基準電位Vrefとなる。この時ドライブトランジスタTrdのソースSの電位はVrefよりも十分低い電位Vssにある。この様にしてドライブトランジスタTrdのゲートGとソースSとの間の電圧VgsがドライブトランジスタTrdの闘電圧Vthより大きくなるように、初期化される。タイミングT1からタイミングT3までの期間T1-T3はドライブトランジスタTrdのゲートG/ソースS間電圧VgsをVth以上に設定する準備期間である。40

【0022】

この後タイミングT3になると、給電線VLが低電位Vssから高電位Vddに遷移し、ドライブトランジスタTrdのソースSの電位が上昇を開始する。やがてドリバードライブト50

ランジスタ T r d のゲート G / ソース S 間電圧 V g s が閾電圧 V t h となった所で電流がカットオフする。この様にしてドライブトランジスタ T r d の閾電圧 V t h に相当する電圧が画素容量 C s に書き込まれる。これが閾電圧補正動作である。この時電流がもっぱら画素容量 C s 側に流れ、発光素子 E L には流れないようにするために、発光素子 E L がカットオフとなるようにカソード電位 V c a t h を設定しておく。

【 0 0 2 3 】

タイミング T 4 では走査線 W S がハイレベルからローレベルに戻る。換言すると、走査線 W S に印加された第一パルス P 1 が解除され、サンプリングトランジスタはオフ状態になる。以上の説明から明らかなように、第一パルス P 1 は閾電圧補正動作を行うために、サンプリングトランジスタ T r 1 のゲートに印加される。

10

【 0 0 2 4 】

この後信号線 S L が基準電位 V r e f から信号電位 V s i g に切り換る。続いてタイミング T 5 で走査線 W S が再びローレベルからハイレベルに立上る。換言すると第二パルス P 2 がサンプリングトランジスタ T r 1 のゲートに印加される。これによりサンプリングトランジスタ T r 1 は再びオンし、信号線 S L から信号電位 V s i g をサンプリングする。よってドライブトランジスタ T r d のゲート G の電位は信号電位 V s i g になる。ここで発光素子 E L は始めカットオフ状態（ハイインピーダンス状態）にあるためドライブトランジスタ T r d のドレインとソースの間に流れる電流は専ら画素容量 C s と発光素子 E L の等価容量に流れ込み充電を開始する。この後サンプリングトランジスタ T r 1 がオフするタイミング T 6 までに、ドライブトランジスタ T r d のソース S の電位は V だけ上昇する。この様にして映像信号の信号電位 V s i g が V t h に足し込まれる形で画素容量 C s に書き込まれる共に、移動度補正用の電圧 V が画素容量 C s に保持された電圧から差し引かれる。よってタイミング T 5 からタイミング T 6 まで期間 T 5 ~ T 6 が信号書込期間 & 移動度補正期間となる。換言すると、走査線 W S に第二パルス P 2 が印加されると、信号書込動作及び移動度補正動作が行われる。信号書込期間 & 移動度補正期間 T 5 ~ T 6 は、第二パルス P 2 のパルス幅に等しい。即ち第二パルス P 2 のパルス幅が移動度補正期間を規定している。

20

【 0 0 2 5 】

この様に信号書込期間 T 5 ~ T 6 では信号電位 V s i g の書き込みと補正量 V の調整が同時に行われる。V s i g が高いほどドライブトランジスタ T r d が供給する電流 I d s は大きくなり、V の絶対値も大きくなる。従って発光輝度レベルに応じた移動度補正が行われる。V s i g を一定とした場合、ドライブトランジスタ T r d の移動度 μ が大きいほど V の絶対値が大きくなる。換言すると移動度 μ が大きいほど画素容量 C s に対する負帰還量 V が大きくなるので、画素毎の移動度 μ のばらつきを取り除くことができる。

30

【 0 0 2 6 】

最後にタイミング T 6 になると、前述したように走査線 W S が低レベル側に遷移し、サンプリングトランジスタ T r 1 はオフ状態となる。これによりドライブトランジスタ T r d のゲート G は信号線 S L から切り離される。このときドレイン電流 I d s が発光素子 E L を流れ始める。これにより発光素子 E L のアノード電位は駆動電流 I d s に応じて上昇する。発光素子 E L のアノード電位の上昇は、即ちドライブトランジスタ T r d のソース S の電位上昇に他ならない。ドライブトランジスタ T r d のソース S の電位が上昇すると、画素容量 C s のブートストラップ動作によりドライブトランジスタ T r d のゲート G の電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間中ドライブトランジスタ T r d のゲート G / ソース S 間の入力電圧 V g s は一定に保持される。このゲート電圧 V g s の値は信号電位 V s i g に閾電圧 V t h 及び移動量 μ の補正をかけたものとなっている。ドライブトランジスタ T r d は、ゲート G / ソース S 間の入力電圧 V g s に応じた駆動電流 I d s を出力する。このゲート電圧 V g s の値は信号電位 V s i g に閾電圧 V t h 及び移動量 μ の補正をかけたものとなっている。

40

【 0 0 2 7 】

50

[タイミングチャート 2]

図4は、図2に示した画素回路2の動作説明に供する他のタイミングチャートである。基本的には図2に示したタイミングチャートと同様であり、対応する部分には対応する参考番号を付してある。異なる点は、閾電圧補正動作を複数の水平期間に渡って時分割的に繰り返し行っていることである。図4のタイミングチャートの例では、1H期間毎のVth補正動作を2回行っている。画面部が高精細化すると、画素数が増えこれに伴って走査線数も増加する。走査線本数の増加により1H期間が短くなる。このように線順次走査が高速化すると、1H期間ではVth補正動作が完了しない場合がある。そこで図4のタイミングチャートでは、閾電圧補正動作を時分割的に2回行って、ドライブトランジスタTrdのゲートGとソースSとの間の電位Vgsが確実にVthまで初期化できるようにしている。なお、Vth補正の繰り返し回数は2回に限られるものではなく、必要に応じ時分割数を増やすことができる。

【 0028 】

[表示装置の全体構成]

図5は、本発明に係る表示装置の全体構成を示す模式的なブロック図である。図示するように、本表示装置は、基本的に画面部1と、駆動部と、信号処理部10とからなる。画面部(画素アレイ部)1は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素と、光センサー8とを有するパネル0からなる。駆動部は、各走査線に順次制御信号を供給するスキャナと、各信号線に映像信号を供給するドライバとを有する。本実施形態ではスキャナやドライバは、画面部1を囲むようにパネル0上に搭載されている。

【 0029 】

画面部1に含まれる個々の画素は、対応する走査線から供給された制御信号に応じて選択されたとき、対応する信号線から映像信号を取り込み、且つ取り込んだ映像信号に応じて発光する。光センサー8は、各画素の発光輝度を検出して対応する輝度信号を出力する。なお本実施形態では、光センサー8はパネル0の裏面側(発光面とは反対側)に搭載されている。

【 0030 】

信号処理部(DSP)10は、光センサー8から出力された輝度信号に応じて映像信号を補正し、且つ補正された映像信号を駆動部のドライバに供給する。本実施形態では、光センサー8と信号処理部10との間にADCコンバータ(ADC)9が挿入されている。このADC9は、光センサー8から出力されたアナログの輝度信号をデジタルの輝度信号(輝度データ)に変換して、デジタル信号処理部(DSP)10に供給している。

【 0031 】

本発明の特徴事項として、画面部1が互いに干渉しない範囲で複数の領域に区画されている。駆動部は、異なる領域に属する画素を同時に発光させて複数の画素の発光輝度を同時に検出する。複数の画素の発光輝度を同時に検出することで、映像信号の補正に要する時間を短縮化できる。隣り合う領域を含め複数の領域は互いに干渉しない範囲で区画されているので、隣り合う領域でそれぞれの画素を同時に点灯しても、発光が実質的に混ざり合う恐れがない。従って個々の画素の発光輝度を精密に測定することができる。

【 0032 】

本実施形態では特に画面部1は、複数の領域に対応して複数の光センサー8が配されている。この光センサー8は、対応する領域に属する画素の発光輝度を検出する。1個の画素に1個の光センサーを形成する場合に比べ、光センサーのトータル個数を大幅に削減することができる。

但し本発明は上記の好ましい対応に限られるものではない。区画された複数の領域に対応して複数の光センサーを配する代わり、複数の領域に共通して1個の光センサーを配することも可能である。この場合でも、複数の領域は互いに干渉しない範囲で区画されているので、仮に隣り合う領域で2個の画素が同時発光しても、両者から発した光が互いに干渉しない程度に離れている。従って隣り合う領域に対し共通に設けられた光センサーは、

各々の領域の画素から発した光を互いに混ざり合うことなく検出できる。但し光センサーを複数の領域で共通化した場合には、受光動作を時分割的に行うなどの工夫が必要である。例えば、画素側の発光動作は複数の領域に亘って同時に使うが、共通光センサー側の受光動作は時分割的に行えば良い。

【0033】

[変形例]

図6は、図5に示した第一実施形態に係る表示装置の変形例を示すブロック図である。理解を容易にするため、図5に示した構成と対応する部分には対応する参照番号を付してある。異なる点は、光センサー8をパネル0の裏面側ではなく表面側に配置したことである。裏面側に比べ表面側に光センサー8を配置すると、受光量が増えるという有利な点がある。しかし、パネル0の表面側に光センサー8を配置すると、一部の画素の発光が犠牲になるという短所が生じる。10

【0034】

[パネルの構成]

図7は、図5に示した表示装置に含まれるパネル0の構成を示す模式的な平面図及び断面図である。図示するように、パネル0の画面部1は、複数の領域Aに区画されている。本例の場合、画面部は15行×20列の画素2で構成されている。15行20列の画素は12個の領域Aに区画されている。各領域Aは5行5列の画素2を含んでいる。このような領域Aの区画は、互いに干渉しない範囲で設定される。換言すると、隣り合う領域Aで、画素を同時に点灯した場合でも、発光が実質的に混ざらないようにできる範囲で、区画の形状及びサイズを設定している。20

【0035】

パネル0の裏側には、画面部1の複数の領域に対応して複数の光センサー8が配されている。本例では、光センサー8は対応する領域Aの中央に位置している。各光センサー8は、対応する領域Aに属する画素の発光輝度を検出する。このように本発明では、1つの領域Aに属する複数の画素当たり1つの光センサー8を配置している。複数の領域Aに対応して配された複数の光センサー8の受光動作を同時にパラレル処理する。これにより光センサー8の個数を大幅に削減でき、同時に受光時間も大幅に削減できる。よって映像信号補正システムの低コスト化と高速化が可能になる。

【0036】

[パネルの断面構造]

図8は、図7に示したパネルの断面構造を示す。パネル0は、下側のガラス基板101と上側のガラス基板108を重ねた構成となっている。ガラス基板101の上にTFTブロセスで集積回路102が形成されている。この集積回路102は、図2に示した画素回路の集合である。この集積回路102の上には、発光素子ELのアノード103が画素毎に分かれて形成されている。また個々のアノード103を集積回路102側に接続するための配線106も形成されている。アノード103の上に有機EL材料などからなる発光層104が形成されている。その上にカソード105が全面的に形成されている。カソード105とアノード103と両者の間に保持された発光層104上で発光素子を形成している。カソード105の上には封止層107を介してガラス基板108が接合している。40

【0037】

有機EL発光素子は、自発光のデバイスである。その発光方向はパネル0の表面方向（上側のガラス基板108の方向）が大部分である。しかしながら実際には、図示するように斜めに発光する成分や、パネル0の内部にて反射散乱を繰り返し、パネル0の裏側（下側ガラス基板101の方向）に抜ける光もある。図5に示した例では、パネル0の裏面に光センサーが搭載されており、発光素子からパネル0の裏面側に抜ける発光を検出している。この場合、光センサー直上の画素の発光ばかりではなく、直上からずれた周辺の画素の発光輝度も測定できる。

【0038】

[光センサーの受光量分布]

10

20

30

40

50

図9は、光センサーの受光量分布を示すグラフである。(X)は、行方向の受光分布を表している。横軸に光センサーからの距離を画素数で表し、縦軸にセンサー出力電圧を表している。センサー出力電圧は受光量に比例している。グラフから明らかのように、光センサーはその中心に位置する画素(光センサーの直上に位置する画素)ばかりではなく、中心から離れた画素からの発光もある程度受光し、対応する輝度信号を出力していることがわかる。

【0039】

(Y)は光センサーの列方向に沿った受光量分布を表している。(X)に示した行方向の受光量分布と同じく、列方向についても中心画素ばかりでなく周辺画素からの発光をある程度受光して、対応する輝度信号を出力できることがわかる。

10

【0040】

このように光センサーの受光量分布にある程度領域的な幅があることを利用して、本発明では複数の画素に対して1つの光センサーを配置する。これにより光センサー数を大幅に削減することができ、焼き付き補正システムの大幅な低コスト化が可能である。図9に示した光センサーの受光量分布(受光強度分布)を考慮すると、1つの光センサーが測定する範囲(領域)は、その光センサーに対して上下左右に均等な範囲であることが望ましい。換言すると、光センサーは区画化された領域の中心に配置することが望ましい。

【0041】

[発光輝度の検出動作1]

図10-1は、発光輝度検出動作のシーケンスを示す模式図である。この模式図の右上に示すように、画面部1は10行×10列の画素2を含んでおり、領域A1乃至A4まで4つに区画されている。各領域Aは5行5列の画素を含んでいる。各領域Aの中央に光センサー8が配置されている。

20

【0042】

最初のフレーム1では、各領域に属する画素のうち、左上隅の画素が同時に点灯する。残りの画素は全て消灯状態にある。換言すると、フレーム1では各領域の左上隅に位置する画素に検出用の映像信号を書き込んで発光させると共に、残りの画素には黒レベルの信号を書き込んで非発光状態にしている。これにより、検出対象となる画素のみを各領域において点灯させることできる。

【0043】

30

点灯した画素からの発光は、対応する光センサー8によって受光される。その際、隣り合う領域で同時に点灯した画素の発光は、互いに混ざることがないように設定されている。図の例では、領域A1の左上隅で点灯した画素の発光は、領域A2の左上隅で点灯した画素の発光と実質的に混ざり合わない。同様に領域A1の発光画素は領域A3の同時発光画素と互いに干渉しない。また領域A4の発光画素も領域A1の発光画素と互いに干渉しない。

【0044】

次のフレーム2に移行すると、画面部1の線順次走査によって表示パターンが書き換えられる。各領域Aで左上隅から2番目に位置する画素が点灯する。各領域で同時点灯した画素の発光は、それぞれ対応する光センサー8で受光され対応する輝度信号が出力される。このように各画素は領域内で点順次に点灯され、受光動作が進むことになる。フレーム5では、各領域に属する画素のうち、右上隅の画素が点灯し、残りの画素は消灯状態に置かれる。このようにしてフレーム1からフレーム5まで各領域の最初の行に属する5個の画素の発光輝度検出が点順次で行われる。

40

【0045】

次のフレーム6に移ると2行目の先頭の画素が点灯し、残りの画素は消灯状態に置かれる。以下同様にフレーム7に進みフレーム10で2行目の画素の検出動作が終わる。このようにして、合計フレーム25までで1画面に含まれる画素の発光輝度を検出できる。フレーム周波数が30Hzの表示装置の場合、1秒足らずで全画素の発光輝度検出が完了する。

50

【0046】

以上のように、本発明に係る表示装置の信号処理部は、画面部1に映像を表示する表示期間では通常の映像信号を供給する。映像表示しない非表示期間に含まれる検出期間では、輝度検出用の映像信号を画面部1に供給する。信号処理部は、フレーム単位で検出用の映像信号を供給する。検出用の映像信号は、1フレームで検出対象となる画素のみを発光させ残りの画素は非発光の状態に置く。

【0047】

本発明では、1つの光センサーに対して受光可能な範囲の画素2を1画素ずつ点順次に発光させる。さらにこれらの発光を複数の光センサー8に対して同時に使う。これにより受光動作を並列処理できることになり、輝度検出時間を大幅に削減できる。検出動作は、1枚のパネル0において、光センサー8と同じ個数分の画素1が複数同時に発光し、それが点順次に駆動されていく。10

【0048】

複数画素の同時発光制御はパネルに入力する映像信号にて行う。画素の動作タイミングは通常の表示期間と同じようにスキャナの線順次走査で制御する。測定対象となる画素以外の画素には測定誤差を生じさせないため、黒レベルの映像信号を入力する。以上の動作によって、複数の光センサーにて複数の画素の発光輝度データを同時且つ順番に得ることができ、受光時間の大幅な短縮化が可能となる。これらの発光輝度検出は、個々の画素単位で行なうことが望ましい。カラー表示の場合各画素は緑色に発光する画素と赤色に発光する画素と青色に発光する画素を含んでいる。この場合異なる色の光が混ざり合わないよう、1つの画素毎に発光輝度を検出することが望ましい。また光センサーの受光感度を考慮すると、1つの光センサーが測定する領域は、その光センサーに対して上下左右に均等な範囲であることが望ましい。20

【0049】

[発光輝度の検出動作2]

図10-2は、図10-1に示した発光動作シーケンスの別の例を示す模式図である。本例は図10-1に示した先の例と同様に各領域で画素を点順次に発光する。但し、点順次に移動する方向が、隣り合う領域の間で反対方向になっている点で、先の例と異なる。フレーム1では異なる領域で発光する画素は互いに一番遠くに離れている。フレーム5になると行方向で隣り合う領域で、同時に発光する画素は再接近することになる。この場合、隣り合う画素から発光する光が混ざらないように、各領域の区画に沿って、遮光壁を設けるようにすると良い。以下フレーム単位で点順次の画素点灯が進行していく。図示しないが最後のフレーム25では、田の字型に配された4個の領域で、最も中心に近い4個の画素が同時点灯し、画面部1に含まれる画素の発光輝度が全て測定される。30

【0050】

[受光動作のタイミングチャート]

図10-3は、図10-1に示した発光動作を表すタイミングチャートである。(A)は比較のため複数センサーを単純駆動した場合である。まずセンサー1がカバーする領域に含まれる画素を点順次駆動してそれぞれ発光輝度を測定する。センサー1の受光動作が完了した時点で、次にセンサー2に移る。センサー2がカバーする画素の発光輝度を順次測定する。このようにして、最後のセンサーNがカバーする画素の発光輝度を測定する。このようにして1画面に含まれる画素の発光輝度が全て測定できる。このような複数センサー単純駆動の場合、1画面分の画素の発光輝度を全て測定するまで長い時間が掛かるという欠点がある。例えば図7に示した画面の構成例を参照すると、センサーが12個(N=12)で、個々のセンサーがカバーする領域に含まれる画素は25個である。従って1画面分の測定を完了するには、 $12 \times 25 = 300$ フレーム分の時間を要する。40

【0051】

これに対し(B)は、本発明に従って複数センサー並列駆動を行った場合である。本例では、センサー1乃至センサーNまで12個の光センサーがそれぞれ対応する画素の発光輝度検出を同時に使う。検出対象となる画素は、各センサーが分担する領域内で点順次に50

選択される。従って画面部に含まれる画素全ての発光輝度測定は25フレームで完了する。
（A）に示した複数センサー単純駆動に比べ（B）に示した複数センサー並列駆動は、
発光輝度測定時間を顕著に短縮できる。

【0052】

[焼き付き現象]

図11は、本発明が処理対象とする「焼き付き」を説明する模式図である。（A1）は
、焼き付きの原因となるパターン表示を表している。画面部1に例えば図示のようなウ
ィンドウを表示する。白抜きのウインドウの部分の画素は高輝度で発光を持続する一方、周
辺の黒枠部分の画素は非発光状態に置かれる。このウインドウパターンが長時間に亘って
表示されると、白抜き部分の画素の輝度劣化が進行する一方、黒枠部分の画素の輝度劣化
は相対的に進行が遅い。
10

【0053】

（A2）は、（A1）に示したウインドウパターン表示を消去して、画面部1に全面ベ
タのラスター表示を行った状態を表している。局所的な輝度劣化がなければ、画面部1に
ラスター表示を行うと全面均一な輝度分布が得られるはずである。しかし実際には前に白
抜き表示した中央部分の画素の輝度劣化が進行しているため、中央部分の輝度が周辺部分
の輝度に比べて低くなってしまい、図示のように「焼き付き」となって表れる。

【0054】

[焼き付き補正処理]

図12は、図11に示した「焼き付き」の補正動作を示す模式図である。（O）は本表
示装置の信号処理部に外部から入力される映像信号を表している。図示の例では、全面ベ
タの映像信号である。
20

【0055】

（A）は、もともと図11に示したような「焼き付き」が生じている画面部に、（O）
で示した映像信号を表示した場合の輝度分布を表している。全面ベタの映像信号を入力し
ても、パネルの画面部に局所的な焼き付きがあるので、中央の窓の部分の輝度が周辺の枠
の部分に比べて暗くなっている。

【0056】

（B）は外部から入力した映像信号（O）を各画素の発光輝度の検出結果に従って補正
した映像信号を表している。（B）に示した焼き付け補正後の映像信号は、中央の窓部の
画素に書き込まれる映像信号のレベルが相対的に高く補正され、周辺の枠の部分の画素に
書き込まれる映像信号のレベルは相対的に低く補正されている。このように（A）で示し
た焼き付きによる負の輝度分布をキャンセルするように、（B）で示した正の輝度分布を
有する映像信号となるように補正する。
30

【0057】

（C）は、焼き付け補正後の映像信号を画面部に表示した状態を模式的に表している。
パネルの画面部に残された焼き付きによる不均衡な輝度分布は、焼き付け補正用の映像信
号によって補償され、均一な輝度分布の画面が得られる。

【0058】

以上のように本補正システムでは、例えば工場出荷時に画素毎の発光輝度を光センサー
を用いて測定する。その輝度データを光センサーから出力し、デジタルデータに変換して
、メモリに保存しておく。その後所定時間経過後に同様にして測定した輝度データを出力
する。これらの輝度データを初期値と比較し、輝度低下量を算出する。比較によって得ら
れた輝度低下データを元に画素毎の信号電圧を調整して焼き付きを補正する。
40

【0059】

第二実施形態

[タイミングチャート]

図13は、本発明に係る表示装置の第二実施形態を示すタイミングチャートである。理
解を容易にするため、図10-3に示した第一実施形態のタイミングチャートと同様の表
記を採用している。第一実施形態と異なり、本実施形態は複数の領域に対して複数の光セ
50

ンサーを割り当てていない。その代わり、複数の領域 1 乃至 N に対し、共通の光センサーで画素の発光輝度検出を行っている。この場合であっても、画素は各領域毎に同時点灯する。共通の光センサーは、1 フレームで同時点灯された画素の発光輝度を、同じく 1 フレーム内で時分割的に検出する。このようにして共通光センサーは、1 フレーム内の時間で、各領域で検出対象となった画素の発光輝度を測定する。次のフレームに移ると、次に検出対象となった画素が各領域で同時に点灯する。このフレームで、共通の光センサーは同時点灯された画素の発光輝度を時分割的にもしくはマルチプレクシングで測定し、シリアルの輝度信号を出力する。

【 0 0 6 0 】

第三実施形態

10

[パネルの構成]

図 14 は本発明に係る表示装置の第三実施形態のパネル構成を示すブロック図である。理解を容易にするため、図 1 に示した第一実施形態のパネルブロック図と同様の表記を採用している。本表示装置は基本的に画素アレイ部（画面部）1 とこれを駆動する駆動部とで構成されている。画素アレイ部 1 は行状の第 1 走査線 WS と、同じく行状の第 2 走査線 DS と、列状の信号線 SL と、各第 1 走査線 WS と各信号線 SL とが交差する部分に配された行列状の画素 2 を備えている。これに対し駆動部は、ライトスキャナ 4、ドライブスキャナ 5 及び水平セレクタ 3 を含んでいる。ライトスキャナ 4 は各第 1 走査線 WS に制御信号を出力して画素 2 を行単位で線順次走査する。ドライブスキャナ 5 も各第 2 走査線 DS にそれぞれ制御信号を出力して画素 2 を行単位で線順次走査する。但しライトスキャナ 4 とドライブスキャナ 5 は制御信号を出力するタイミングが異なっている。このドライブスキャナ 5 は第一実施形態で使われた電源スキャナ 6 に代えて駆動部に配されている。電源スキャナを廃したことで給電線も画素アレイ部 1 から除かれている。その代わり、図示しないが画素アレイ部 1 には一定の電源電位 Vdd を供給する電源ラインが配されている。一方水平セレクタ（信号ドライバ）3 は、スキャナ 4, 5 側の線順次走査に合わせて、列状の信号線 SL に映像信号の信号電位と基準電位とを供給する。

20

【 0 0 6 1 】

[画素回路の構成]

図 15 は図 14 に示した第三実施形態の表示パネルに含まれる画素回路の構成を示している。第一実施形態の画素回路が 2 個のトランジスタで構成されているのに対し、本実施形態の画素は 3 個のトランジスタで構成されている。図示するように本画素 2 は、基本的に発光素子 EL と、サンプリングトランジスタ Tr1 と、ドライブトランジスタ Trd と、スイッチングトランジスタ Tr3 と、画素容量 Cs を含む。サンプリングトランジスタ Tr1 は、その制御端（ゲート）が走査線 WS に接続し、一対の電流端（ソース及びドレイン）の一方が信号線 SL に接続し、他方がドライブトランジスタ Trd の制御端（ゲート G）に接続している。ドライブトランジスタ Trd は、一対の電流端（ソース及びドレイン）の一方（ドレイン）が電源ライン Vdd に接続し、他方（ソース S）が発光素子 EL のアノードに接続している。発光素子 EL のカソードは所定のカソード電位 Vcath に接続している。スイッチングトランジスタ Tr3 は、その制御端（ゲート）が走査線 DS に接続し、一対の電流端（ソース及びドレイン）の一方が固定電位 Vss に接続し、他方がドライブトランジスタ Trd のソース S に接続している。画素容量 Cs は、その一端がドライブトランジスタ Trd の制御端（ゲート G）に接続し、その他端がドライブトランジスタ Trd の他方の電流端（ソース S）に接続している。このドライブトランジスタ Trd の他方の電流端は、発光素子 EL 及び画素容量 Cs に対する出力電流端となっている。なお本画素回路 2 は、画素容量 Cs を補助する目的で、補助容量 Csub がドライブトランジスタ Trd のソース S と電源 Vdd との間に接続されている。

30

【 0 0 6 2 】

かかる構成において、駆動部側のライトスキャナ 4 は第 1 走査線 WS にサンプリングトランジスタ Tr1 を開閉制御するための制御信号を供給する。ドライブスキャナ 5 は第 2 走査線 DS にスイッチングトランジスタ Tr3 を開閉制御するための制御信号を出力する

40

50

。水平セレクタ3は信号線S Lに信号電位V sigと基準電位V refとの間で切換る映像信号(入力信号)を供給する。この様に走査線W S, D S及び信号線S Lの電位が線順次走査に合わせて変動するが、電源ラインはV ddに固定されている。またカソード電位V cath及び固定電位V ssも一定である。

【0063】

第四実施形態

[表示パネルのブロック構成]

図16は、本発明に係る表示装置の第四実施形態の表示パネルを示すブロック図である。本表示装置は基本的に画素アレイ部1とスキャナ部と信号部とで構成されている。スキャナ部と信号部とで駆動部を構成する。画素アレイ部1は、行状に配された第1走査線W S、第2走査線D S、第3走査線A Z 1及び第4走査線A Z 2と、列状に配された信号線S Lと、これらの走査線W S, D S, A Z 1, A Z 2及び信号線S Lに接続した行列状の画素回路2と、各画素回路2の動作に必要な第1電位V ss1, 第2電位V ss2及び第3電位V ddを供給する複数の電源線とからなる。信号部は水平セレクタ3からなり、信号線S Lに映像信号を供給する。スキャナ部は、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72からなり、それぞれ第1走査線W S、第2走査線D S、第3走査線A Z 1及び第4走査線A Z 2に制御信号を供給して順次行毎に画素回路2を走査する。

【0064】

[画素回路の構成]

図17は、図16に示した表示装置に組み込まれる画素の構成を示す回路図である。本実施形態の画素は5個のトランジスタで構成されている点に特徴がある。図示する様に画素回路2は、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、第1スイッチングトランジスタTr2と、第2スイッチングトランジスタTr3と、第3スイッチングトランジスタTr4と、画素容量Csと、発光素子ELとを含む。サンプリングトランジスタTr1は、所定のサンプリング期間に走査線W Sから供給される制御信号に応じ導通して信号線S Lから供給された映像信号の信号電位を画素容量Csにサンプリングする。画素容量Csは、サンプリングされた映像信号の信号電位に応じてドライブトランジスタTrdのゲートGに入力電圧V gsを印加する。ドライブトランジスタTrdは、入力電圧V gsに応じた出力電流Id sを発光素子ELに供給する。発光素子ELは、所定の発光期間中ドライブトランジスタTrdから供給される出力電流Id sにより映像信号の信号電位に応じた輝度で発光する。

【0065】

第1スイッチングトランジスタTr2は、サンプリング期間(映像信号書き込み期間)に先立ち走査線A Z 1から供給される制御信号に応じ導通してドライブトランジスタTrdの制御端であるゲートGを第1電位V ss1に設定する。第2スイッチングトランジスタTr3は、サンプリング期間に先立ち走査線A Z 2から供給される制御信号に応じ導通してドライブトランジスタTrdの一方の電流端であるソースSを第2電位V ss2に設定する。第3スイッチングトランジスタTr4は、サンプリング期間に先立ち走査線D Sから供給される制御信号に応じ導通してドライブトランジスタTrdの他方の電流端であるドレインを第3電位V ddに接続し、以ってドライブトランジスタTrdの閾電圧V thに相当する電圧を画素容量Csに保持させて閾電圧V thの影響を補正する。さらにこの第3スイッチングトランジスタTr4は、発光期間に再び走査線D Sから供給される制御信号に応じ導通してドライブトランジスタTrdを第3電位V ddに接続して出力電流Id sを発光素子ELに流す。

【0066】

以上の説明から明らかな様に、本画素回路2は、5個のトランジスタTr1ないしTr4及びTrdと1個の画素容量Csと1個の発光素子ELとで構成されている。トランジスタTr1～Tr3とTrdはNチャネル型のポリシリコン TFTである。トランジスタTr4のみPチャネル型のポリシリコン TFTである。但し本発明はこれに限られるもの

10

20

30

40

50

ではなく、Nチャネル型とPチャネル型のTFTを適宜混在させることができる。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機ELデバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0067】

応用形態

本発明にかかる表示装置は、図18に示すような薄膜デバイス構成を有する。図18は TFT部分がBottom-gate構造（ゲート電極がチャネルPS層に対して下にある）である。この他にTFT部分に関してはSandwichゲート構造（チャネルPS層を上下のゲート電極ではさむ）、Topゲート構造（ゲート電極がチャネルPS層に対して上にある）のようなバリエーションがある。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスタ部（図では1個のTFTを例示）、画素容量などの容量部及び有機EL素子などの発光部とを含む。基板の上にTFTプロセスでトランジスタ部や容量部が形成され、その上に有機EL素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【0068】

本発明にかかる表示装置は、図19に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機EL素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC（フレキシブルプリントサーキット）を設けてもよい。

【0069】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パソコンコンピューター、携帯電話、ビデオカメラなどに適用可能である。電子機器に入力された、若しくは、電子機器内で生成した駆動信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。電子機器は基本的に情報を処理する本体と、本体に入力する情報若しくは本体から出力された情報を表示する表示器とを含む。

【0070】

図20は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11に用いることにより作製される。

【0071】

図21は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、ニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

【0072】

図22は本発明が適用されたノート型パソコンコンピュータであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

【0073】

図23は本発明が適用された携帯端末装置である。左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部（ここではヒンジ部）25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含む。本発明の表示装置をそのディスプレイ26やサブディスプレイ27

10

20

30

40

50

に用いることにより作製される。

【0074】

図24は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート/ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

【図面の簡単な説明】

【0075】

【図1】本発明に係る表示装置の第一実施形態に係るパネルのブロック図である。

【図2】第一実施形態の画素回路図である。

【図3】第一実施形態の動作説明に供するタイミングチャートである。 10

【図4】同じく動作説明に供するタイミングチャートである。

【図5】第一実施形態の全体構成を示すブロック図である。

【図6】同じく全体構成を示すブロック図である。

【図7】第一実施形態に係る表示装置に含まれるパネルの模式的な平面図及び断面図である。

【図8】同じくパネルの拡大断面図である。

【図9】光センサーの受光感度分布を示すグラフである。

【図10-1】第一実施形態の動作説明に供する模式図である。

【図10-2】同じく動作説明に供する模式図である。

【図10-3】同じく動作説明に供するタイミングチャートである。 20

【図11】焼き付き現象を示す模式図である。

【図12】映像信号の組成動作を示す模式図である。

【図13】本発明に係る表示装置の第二実施形態を示すタイミングチャートである。

【図14】本発明に係る表示装置の第三実施形態のパネル構成を示すブロック図である。

【図15】画素回路の構成を示す回路図である。

【図16】本発明に係る表示装置の第四実施形態の表示パネルを示すブロック図である。

【図17】第四実施形態の画素回路図である。

【図18】本発明の応用形態にかかる表示装置のデバイス構成を示す断面図である。

【図19】本発明の応用形態にかかる表示装置のモジュール構成を示す平面図である。

【図20】本発明の応用形態にかかる表示装置を備えたテレビジョンセットを示す斜視図 30 である。

【図21】本発明の応用形態にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図22】本発明の応用形態にかかる表示装置を備えたノート型パーソナルコンピューターを示す斜視図である。

【図23】本発明の応用形態にかかる表示装置を備えた携帯端末装置を示す模式図である。

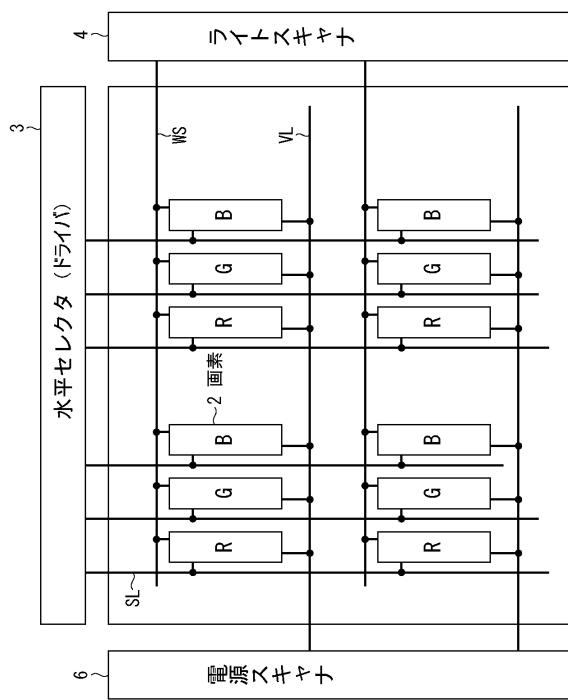
【図24】本発明の応用形態にかかる表示装置を備えたビデオカメラを示す斜視図である。

【符号の説明】

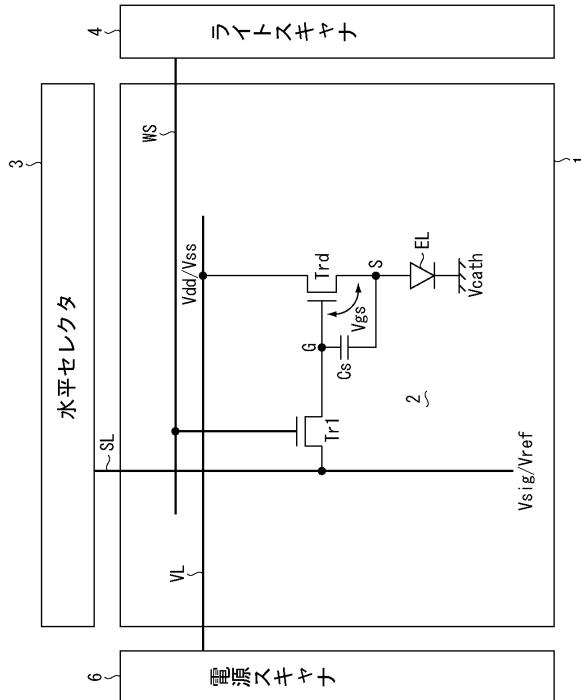
【0076】

0：パネル 1：画面部（画素アレイ部） 2：画素 3：ドライバ 4：スキャナ 8
：光センサー 9：A/Dコンバータ 10：信号処理部 40

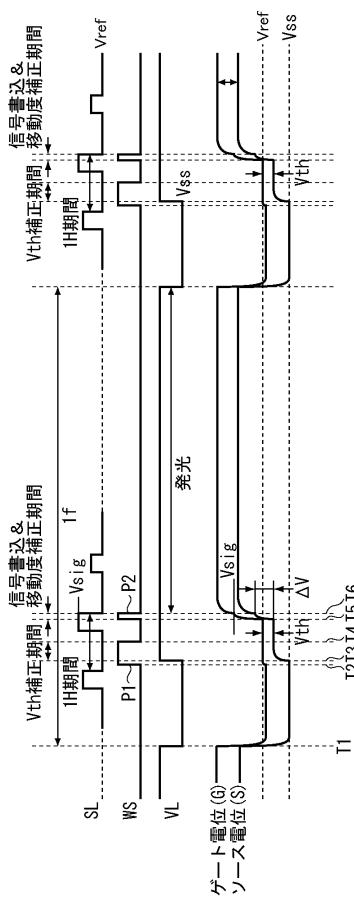
【図1】



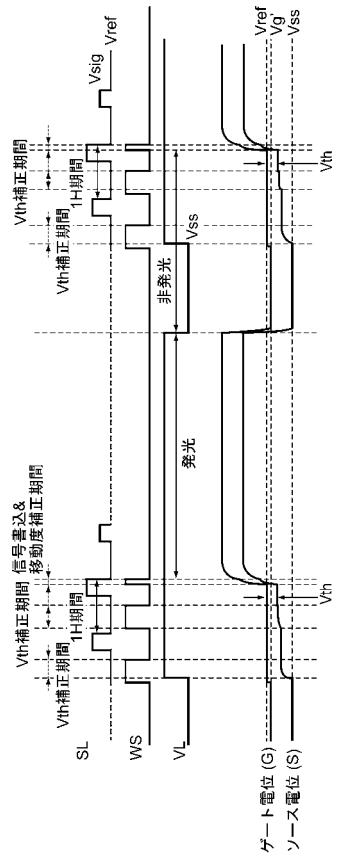
【図2】



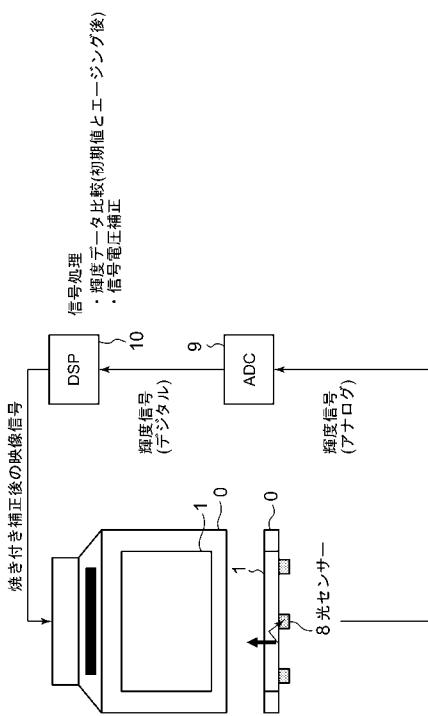
【図3】



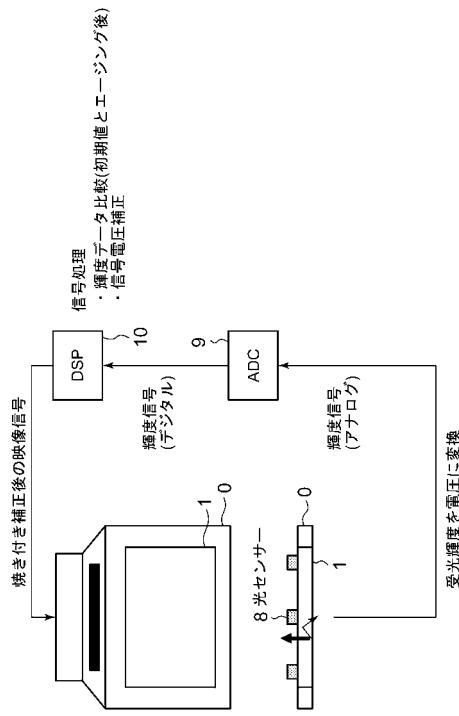
【図4】



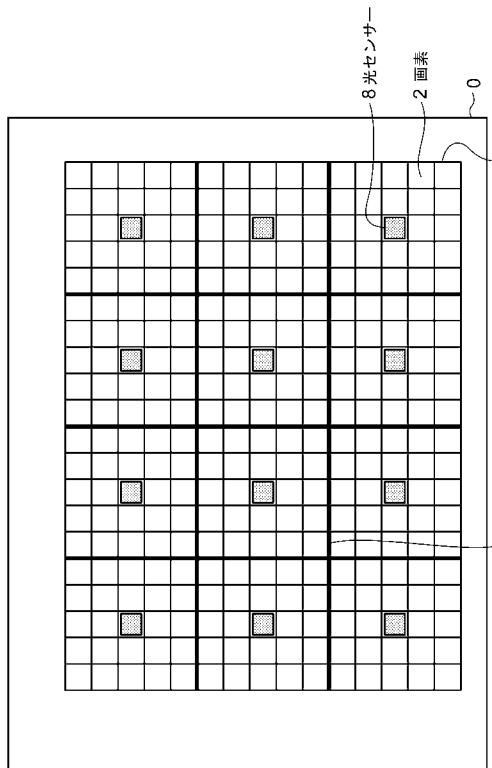
【図5】



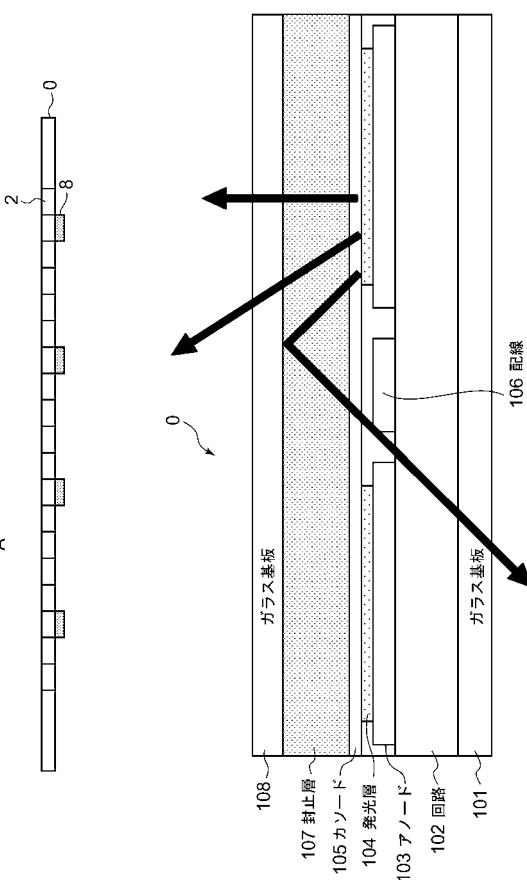
【図6】



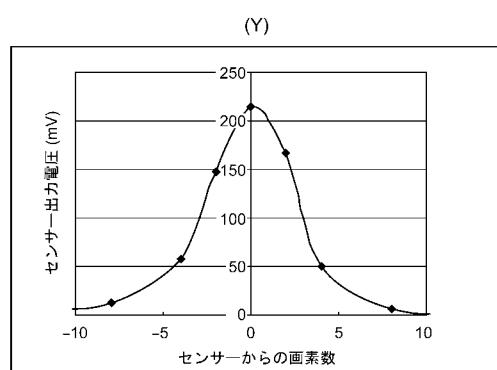
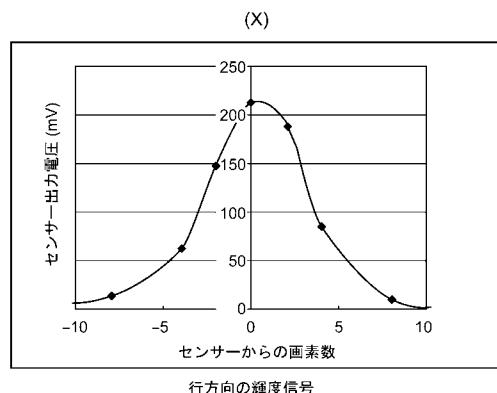
【図7】



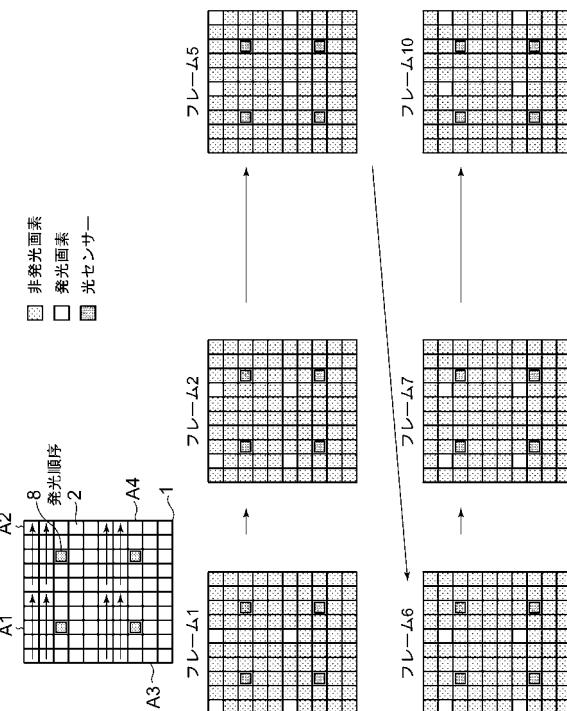
【図8】



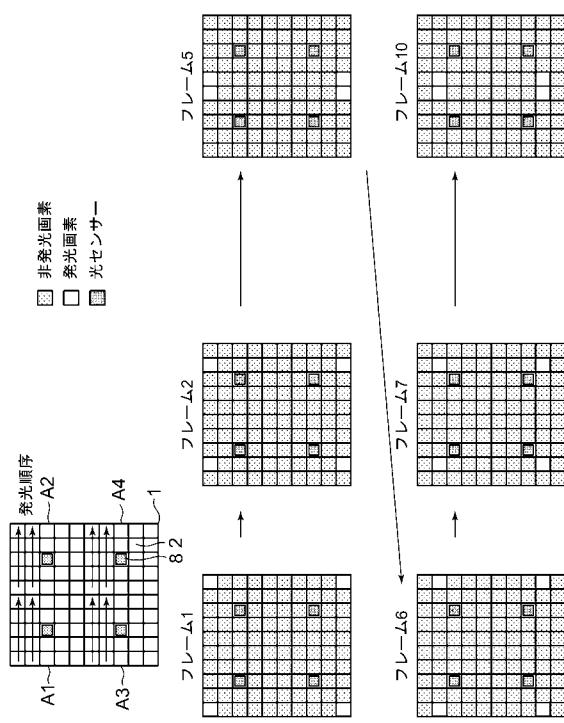
【図9】



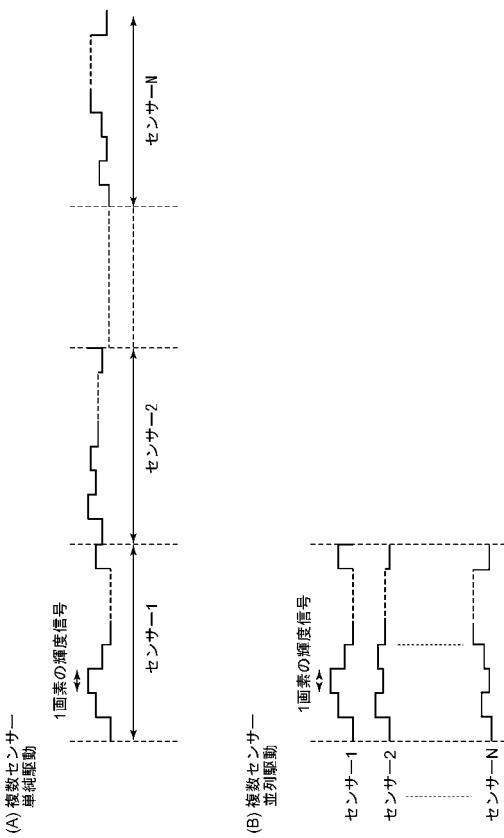
【図10-1】



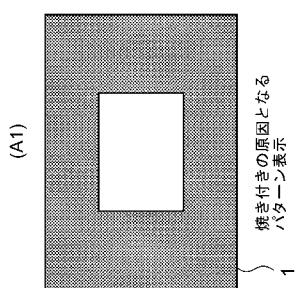
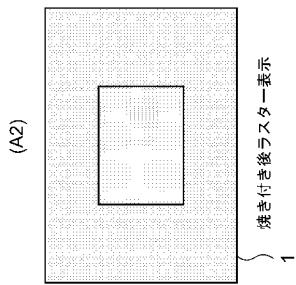
【図10-2】



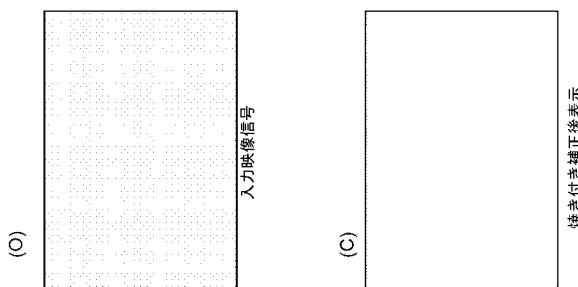
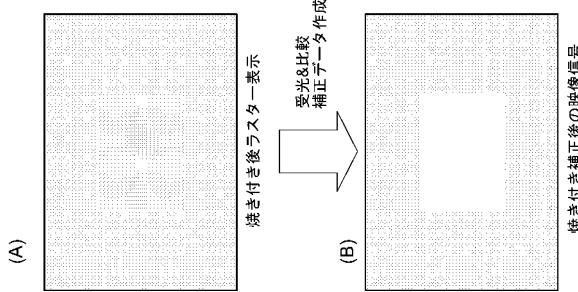
【図10-3】



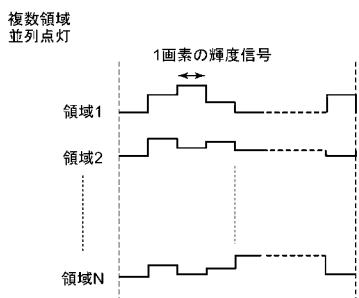
【図 1 1】



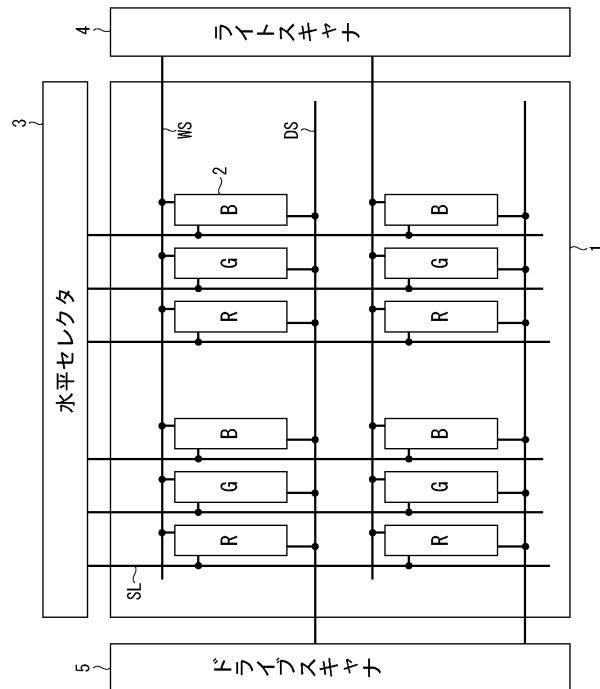
【図 1 2】



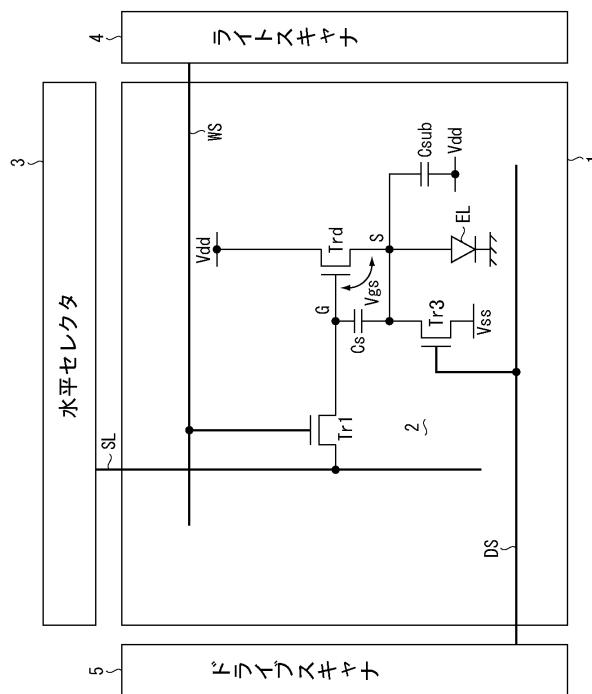
【図 1 3】



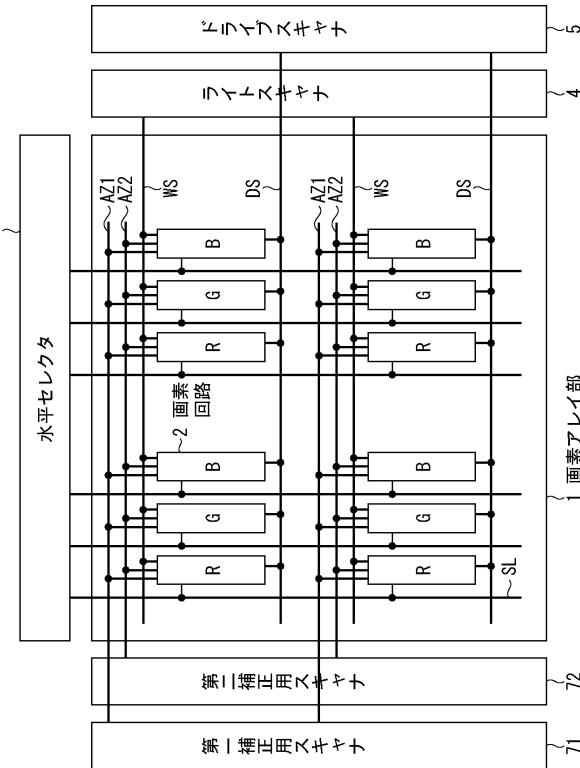
【図 1 4】



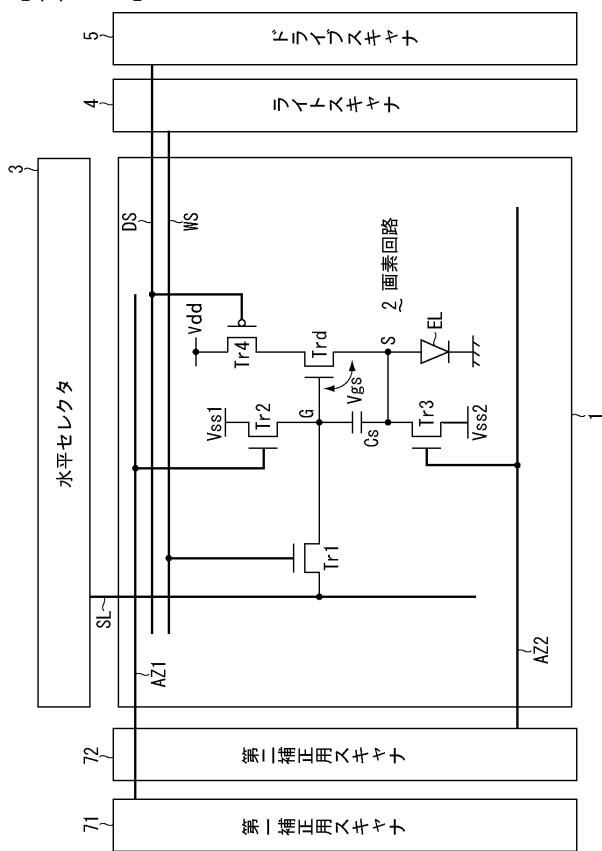
【図15】



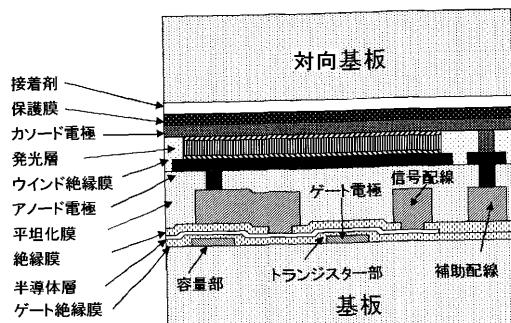
【図16】



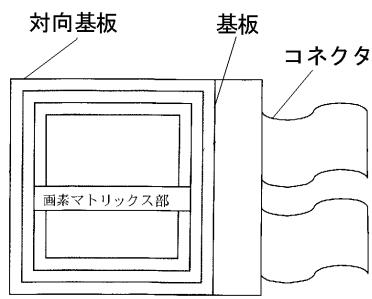
【図17】



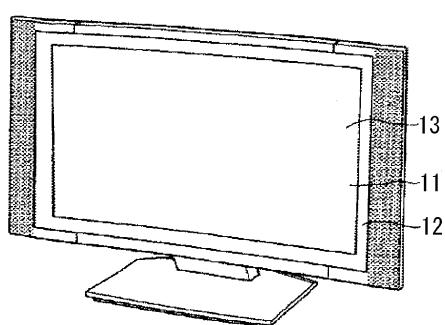
【図18】



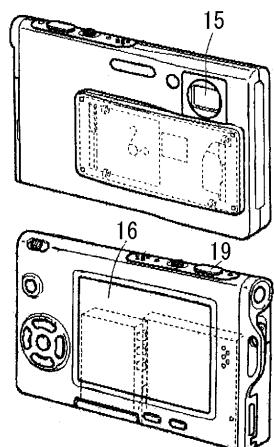
【図19】



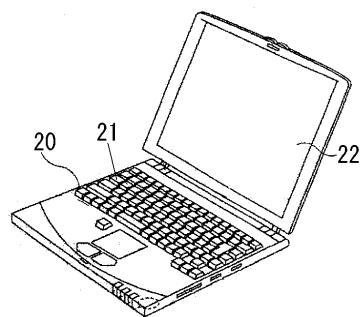
【図20】



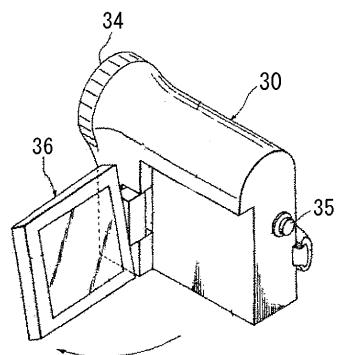
【図21】



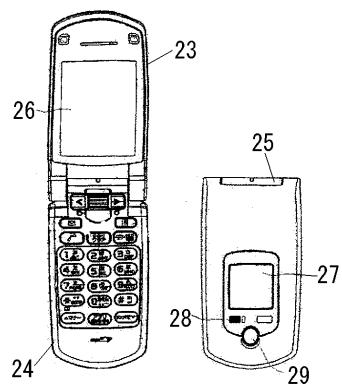
【図22】



【図24】



【図23】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 7 0 J

(56)参考文献 特開2005-92028(JP, A)

特開2006-58352(JP, A)

特開2010-113226(JP, A)

特開2010-113227(JP, A)

特開2010-113229(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 0 - 3 / 3 8