

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-33675

(P2010-33675A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.
G11C 13/00 (2006.01)F1
G11C 13/00

テーマコード (参考)

A

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号 特願2008-196366 (P2008-196366)
(22) 出願日 平成20年7月30日 (2008.7.30)(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100092820
弁理士 伊丹 勝
(74) 代理人 100106389
弁理士 田村 和彦
(72) 発明者 前嶋 洋
東京都港区芝浦一丁目1番1号 株式会社
東芝内

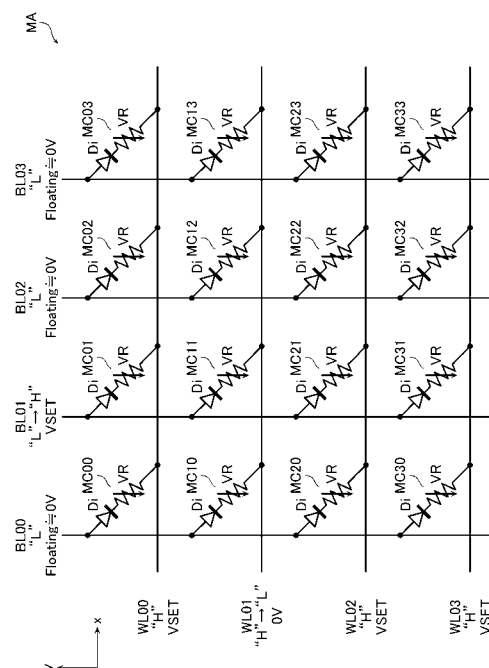
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】より簡易な構成でメモリセルアレイに接続された配線を選択駆動することのできる制御回路を有する半導体記憶装置を提供する。

【解決手段】半導体記憶装置は、ダイオード D_i と可変抵抗素子 VR とが直列接続されたメモリセル MC が複数のビット線 BL 及び複数のワード線の交差部に配置されたメモリセルアレイ MA と、ビット線 BL 及びワード線 WL を選択駆動する制御回路とを備える。制御回路は、選択されたビット線 $BL01$ 及び選択されたワード線 $WL01$ の交差部に配置された選択メモリセル $MC11$ に電位差 $VSET$ がかかるよう、選択されたビット線 $BL01$ に電圧 $VSET$ を印加し、選択されたワード線 $WL01$ に電圧 $0V$ を印加するとともに、非選択のビット線 $BL00$ 、 02 、 03 の少なくとも1本をフローティング状態にする。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

整流素子と可変抵抗素子とを直列接続してなるメモリセルが複数の第 1 配線及び複数の第 2 配線の交差部に配置されたメモリセルアレイと、

前記第 1 配線及び前記第 2 配線を選択駆動する制御回路とを備え、

前記制御回路は、

選択された前記第 1 配線及び選択された前記第 2 配線の交差部に配置された選択メモリセルに所定の電位差がかかるよう、選択された前記第 1 配線に第 1 の電圧を印加し、選択された前記第 2 配線に第 2 の電圧を印加するとともに、

非選択の前記第 1 配線の少なくとも 1 本をフローティング状態にすることを特徴とする半導体記憶装置。

10

【請求項 2】

前記制御回路は、

選択された前記第 2 配線に第 2 の電圧を印加した後に、

選択された前記第 1 配線に第 1 の電圧を印加し、非選択の前記第 1 配線をフローティング状態にする

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記制御回路は、

前記第 1 配線に接続され、前記第 1 配線が選択されるときに導通して前記第 1 配線に第 1 の電圧を印加するとともに、前記第 1 配線が非選択のときは非導通状態になり前記第 1 配線をフローティング状態にする 1 つのトランジスタからなる第 1 配線選択部を有する

ことを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

20

【請求項 4】

所定の本数の前記第 1 配線からなる複数の第 1 配線群をさらに備え、

前記制御回路は、

選択された前記第 1 配線を含む前記第 1 配線群内の選択された前記第 1 配線に第 1 の電圧を、非選択の前記第 1 配線に第 2 の電圧を印加し、

選択された前記第 1 配線を含まない前記第 1 配線群のうち、

選択された前記第 1 配線を含む前記第 1 配線群に隣接する前記第 1 配線群内の前記第 1 配線に第 2 の電圧を印加し、

選択された前記第 1 配線を含む前記第 1 配線群に隣接しない前記第 1 配線群内の前記第 1 配線をフローティング状態にする

ことを特徴とする請求項 1 乃至 3 のいずれか記載の半導体記憶装置。

30

【請求項 5】

前記制御回路は、

非選択の前記第 2 配線に前記第 1 の電圧を印加する

ことを特徴とする請求項 1 乃至 4 のいずれか記載の半導体記憶装置。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明は、半導体記憶装置に関し、特に半導体基板上にメモリセルアレイを積層した構造を有する半導体記憶装置に関する。

【背景技術】**【0002】**

近年、フラッシュメモリの後継候補として、抵抗変化メモリが注目されている。ここで、抵抗変化メモリ装置には、遷移金属酸化物を記録層としてその抵抗値状態を不揮発に記憶する狭義の抵抗変化メモリ (ReRAM: Resistive RAM) の他、カルコゲナイド等を記録層として用いてその結晶状態 (導体) と非晶質状態 (絶縁体) の抵抗値情報を利用する相変

50

化メモリ（PCRAM：Phase Change RAM）も含むものとする。

【0003】

抵抗変化メモリの可変抵抗素子には、2種類の動作モードがあることが知られている。1つは、印加電圧の極性を切り替えることにより、高抵抗状態と低抵抗状態とを設定するもので、これはバイポーラ型といわれる。もう1つは、印加電圧の極性を切り替えることなく、電圧値と電圧印加時間を制御することにより、高抵抗状態と低抵抗状態の設定を可能とするもので、これはユニポーラ型といわれる。

【0004】

高密度メモリセルアレイを実現するためには、ユニポーラ型が好ましい。ユニポーラ型の場合、トランジスタを用いることなく、ビット線及びワード線の交差部に可変抵抗素子とダイオード等の整流素子とを重ねることにより、セルアレイが構成できるからである。さらにこのようなメモリセルアレイを三次元的に積層配列することにより、セルアレイ面積を増大させることなく、大容量を実現することが可能になる（特許文献1参照）。

【0005】

一般に半導体記憶装置において、メモリセルアレイのビット線は、カラムデコーダやセンスアンプ等を含むカラム制御回路に接続される。また、メモリセルアレイのワード線は、ロウデコーダやワード線ドライバ等を含むロウ制御回路と接続される。クロスポイント型のメモリセルアレイを有する半導体記憶装置において、選択メモリセルに接続されたビット線及びワード線をカラム制御回路及びロウ制御回路により制御して、選択メモリセルのデータの書き込み／読み出し動作を行う。特許文献2には、半導体記憶装置において、メモリセルアレイに接続された配線を選択駆動する制御回路が記載されている。この制御回路は、2つのトランジスタが直列接続され、デコーダ信号に基づいて配線を選択し、選択された配線に高電圧を、非選択の配線に低電圧を与える構成としている。

【0006】

メモリセルアレイが積層されたメモリブロックを有する抵抗変化メモリ装置において、全体のチップサイズを削減するために、メモリブロックの下部の半導体基板上に制御回路を配置する場合がある。メモリブロックの下部の領域内に制御回路を配置するためには、制御回路の回路面積を削減する必要がある。そのため、メモリセルアレイに接続された配線を選択駆動する制御回路の構成を簡易にすることが求められている。

【特許文献1】特表2005-522045号公報

【特許文献2】特開2008-077697号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、より簡易な構成でメモリセルアレイに接続された配線を選択駆動することのできる制御回路を有する半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様に係る半導体記憶装置は、整流素子と可変抵抗素子とを直列接続してなるメモリセルが複数の第1配線及び複数の第2配線の交差部に配置されたメモリセルアレイと、前記第1配線及び前記第2配線を選択駆動する制御回路とを備え、前記制御回路は、選択された前記第1配線及び選択された前記第2配線の交差部に配置された選択メモリセルに所定の電位差がかかるよう、選択された前記第1配線に第1の電圧を印加し、選択された前記第2配線に第2の電圧を印加するとともに、非選択の前記第1配線の少なくとも1本をフローティング状態にすることを特徴とする。

【発明の効果】

【0009】

本発明によれば、より簡易な構成でメモリセルアレイに接続された配線を選択駆動することのできる制御回路を有する半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下、添付した図面を参照して本発明の実施の形態について説明する。本実施の形態において半導体記憶装置はメモリセルアレイが積層された三次元メモリセルアレイ構造を有する抵抗変化メモリ装置として説明する。しかし、この構成はあくまでも一例であって、本発明がこれに限定されるものでないことは言うまでもない。

【 0 0 1 1 】

[第 1 の実施の形態]

図 1 は、本発明の実施の形態に係る抵抗変化メモリ装置の基本構成、すなわち半導体基板 1 上のグローバルバス等の配線が形成される配線領域 3 とその上に積層されたメモリブロック 2 の構成を示している。

10

【 0 0 1 2 】

図 1 に示すように、メモリブロック 2 は、この例では 4 層のメモリセルアレイ M A 0 ~ M A 3 からなる。メモリブロック 2 の直下の半導体基板 1 には、配線領域 3 が設けられる。配線領域 3 には、メモリブロック 2 に書き込み / 読み出しされるデータを外部とやり取りするためのグローバルバス等が設けられる。また、この配線領域 3 には後述するカラムスイッチ等を含むカラム制御回路や、ロウデコーダ等を含むロウ制御回路が設けられていてもよい。

【 0 0 1 3 】

積層された各メモリセルアレイ M A のワード線 W L 及びビット線 B L と、半導体基板 1 上に形成された配線領域 3 とを接続するために、メモリブロック 2 の側面に垂直配線（ビアコンタクト）が必要になる。配線領域 3 の四辺には、ビット線コンタクト領域 4 及びワード線コンタクト領域 5 が設けられている。ビット線コンタクト領域 4 及びワード線コンタクト領域 5 には、ビット線 B L 及びワード線 W L と制御回路とを接続するためのビット線コンタクト 6 及びワード線コンタクト 7 が形成される。ワード線 W L は、その一端がワード線コンタクト領域 5 に形成されたワード線コンタクト 7 を介して配線領域 3 に接続されている。また、ビット線 B L は、その一端がビット線コンタクト領域 4 に形成されたビット線コンタクト 6 を介して配線領域 3 に接続されている。

20

【 0 0 1 4 】

図 1 では、複数のメモリセルアレイ M A を半導体基板 1 に垂直な方向（図 1 に示す z 方向）に積層した 1 つのメモリブロック 2 について示しているが、実際にはこのような単位メモリブロック 2 がワード線 W L の長手方向（図 1 に示す x 方向）及びビット線 B L の長手方向（図 1 に示す y 方向）に複数個マトリクス状に配置される。

30

【 0 0 1 5 】

図 1 に示すように、本実施の形態では、ワード線コンタクト領域 5 では、一列のコンタクトのみ、すなわち一断面での全ての層のワード線 W L が共通コンタクトを介して配線領域 3 に接続されている。また、ビット線コンタクト領域 4 では、各層のビット線 B L が別々に用意された 4 列のコンタクトを介して配線領域 3 に接続されている。本実施の形態では、ビット線 B L は層毎に独立駆動され、ワード線 W L は全ての層で共通に接続されているが、ワード線 W L についても層毎に独立駆動するようにしても良い。また、ビット線 B L を共通にして、ワード線 W L を独立駆動するようにしても良い。更に、ビット線 B L 及びワード線 W L の少なくとも一方を上下の層で共有するように構成することもできる。

40

【 0 0 1 6 】

図 2 は、抵抗変化メモリ装置のメモリセルアレイ M A の等価回路を示す回路図である。ここで、図 2 に示すメモリセルアレイ M A は、ビット線 B L の長手方向（図 2 に示す y 方向）に例えば 2 K b i t （ 2 0 4 8 個）、ワード線 W L の長手方向（図 2 に示す x 方向）に例えば 5 1 2 b i t の単位メモリセル M C が配置されている。これにより、1 つのメモリセルアレイ M A 内に 1 M b i t （約 10^6 個）の単位メモリセル M C が配置される。1 つのメモリセルアレイ M A 内では、単位メモリセル M C が二次元マトリクス状に配列されている。図示のようにワード線 W L とビット線 B L との交差部に、整流素子例えばダイオード D i と可変抵抗素子 V R とが直列接続された抵抗変化型の単位メモリセル M C が配置

50

される。ここで、メモリセルMCを構成するダイオードDi及び可変抵抗素子VRの配置、極性も、図示のものに限定されない。

【0017】

可変抵抗素子VRは例えば、電極/遷移金属酸化物/電極からなる構造を有するもの等であり、電圧、電流、熱等の印加条件により金属酸化物の抵抗値変化をもたらし、その抵抗値の異なる状態を情報として不揮発に記憶する。この可変抵抗素子VRとしては、より具体的には、カルコゲナイド等のように結晶状態と非晶質状態の相転移により抵抗値を変化させるもの(PCRAM)、金属陽イオンを析出させて電極間に架橋(コンタクトブリッジ)を形成したり、析出した金属をイオン化して架橋を破壊したりすることで抵抗値を変化させるもの(CBRAM: Conductive Bridging RAM)、電圧あるいは電流印加により抵抗値が変化するもの(ReRAM)(電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるものと、酸素欠損等に起因する伝導パスの存在の有無により抵抗変化が起きるものとに大別される。)等を用いることができる。

10

【0018】

ユニポーラ型のReRAMの場合、メモリセルMCに対するデータの書き込みは、可変抵抗素子VRに例えば3.5V(ダイオードDiの電圧降下分を含めると実際には4.5V程度)の電圧、10nA程度の電流を10ns-100ns程度の時間印加する。これにより、可変抵抗素子VRが高抵抗状態から低抵抗状態へと変化する。以下、この可変抵抗素子VRを高抵抗状態から低抵抗状態へ変化させる動作をセット動作という。

【0019】

20

セット動作後の低抵抗状態の可変抵抗素子VRに対し、0.8V(ダイオードDiの電圧降下分を含めると実際には1.8V程度)の電圧、1μA-10μA程度の電流を500ns-2μs程度の時間印加する。これにより、可変抵抗素子VRが低抵抗状態から高抵抗状態へと変化する。以下、この可変抵抗素子VRを低抵抗状態から高抵抗状態へ変化させる動作をリセット動作という。

【0020】

メモリセルMCは、例えば高抵抗状態を安定状態(リセット状態)とし、2値データ記憶であれば、リセット状態を低抵抗状態に変化させるセット動作によりデータの書き込みを行う。

【0021】

30

メモリセルMCのリード動作は、可変抵抗素子VRに0.4V(ダイオードDiの電圧降下分を含めると実際には1.4V程度)の電圧を与え、可変抵抗素子VRを介して流れる電流をモニターする。これにより、可変抵抗素子VRが低抵抗状態にあるか高抵抗状態にあるかを判定する。

【0022】

図2には、メモリセルMCのセット動作時において、メモリセルアレイMAに接続されたビット線BL及びワード線WLに印加される電圧の状態が示されている。ここで、セット動作によりデータが書き込まれる選択メモリセルMCはMC11であるとして説明を行う。

【0023】

40

選択メモリセルMC11に接続されていない非選択ビット線BL00、BL02、BL03は、“L”状態(本実施の形態ではフローティング状態 0V)である。セット動作時において、選択メモリセルMC11に接続された選択ビット線BL01は、“L”状態(フローティング状態 0V)から“H”状態(本実施の形態では電圧VSET)に駆動される。また、選択メモリセルMC11に接続されていない非選択ワード線WL00、WL02、WL03は、“H”状態(本実施の形態では電圧VSET)である。セット動作時において、選択メモリセルMC11に接続された選択ワード線WL01は、この“H”状態(電圧VSET)から“L”状態(本実施の形態では電圧Vss=0V)に駆動される。これにより、選択メモリセルMC11のダイオードDiが順方向バイアス状態となり電流が流れ、選択メモリセルMC11の可変抵抗素子VRが高抵抗状態から低抵抗状態へ

50

と変化し、セット動作が完了する。

【0024】

本実施の形態において、非選択のメモリセルMCに接続された非選択のビット線BLには、セット動作時に電圧を印加せず、フローティング状態のままとしている。ビット線BLを制御するカラム制御回路は、セット動作時に特定のビット線BL（本実施の形態においてはビット線BL01）にセット電圧（本実施の形態においては電圧VSET）を印加する。しかし、カラム制御回路はセット動作時に選択されないその他の非選択ビット線BL（ビット線BL00、BL02、BL03）は制御する必要がない。そのため、非選択ビット線BL（ビット線BL00、BL02、BL03）を非選択状態（例えばVss = 0V）に駆動する構成を省略することができる。すなわち、より簡易な構成のカラム制御回路でメモリセルアレイMAに対するセット動作を実行することができる。

10

【0025】

[第2の実施の形態]

次に、本発明に係る抵抗変化メモリ装置の第2の実施の形態について図3～図12を参照して説明する。図3は、抵抗変化メモリ装置のメモリセルアレイMAの配線を示す図である。また、図4は抵抗変化メモリ装置のカラム/ロウ制御回路の配置例を示すブロック図である。そして、図5～図12は抵抗変化メモリ装置のカラム/ロウ制御回路の構成例を示す回路図である。ここで、第2の実施形態に係る抵抗変化メモリ装置の基本構成は、第1の実施形態に係る抵抗変化メモリ装置と同様である。第2の実施の形態に係る抵抗変化メモリ装置において、第1の実施の形態と同一の構成を有する箇所には、同一の符号を付すことによりその説明を省略する。

20

【0026】

図3に示すように、本実施の形態に係るビット線BL及びワード線WLは階層化構造を有している。一群のビット線BLy < 3 : 0 > はビット線BLy0～ビット線BLy3までの4本の配線からなる。また、一群のワード線WLx < 7 : 0 > はワード線WLx0～ワード線WLx7までの8本の配線からなる。ここで、図3のメモリセルアレイMAの配線図においては、ビット線BL及びワード線WLの各交差部に配置されるメモリセルMCの記載を省略しているが、これは第1の実施形態と同様に各交差部に単位メモリセルMCが配置されているものとする。また、第1の実施の形態と同様に、セット動作時に選択されるビット線BL及びワード線WLは、ビット線BL01及びワード線WL01であるものとする。

30

【0027】

抵抗変化メモリ装置のセット動作時において、あるビット線群BLy < 3 : 0 > が後述するカラムデコーダにより選択される。本実施の形態においてはビット線群BL0 < 3 : 0 > が選択されているものとする。選択されたビット線群BL0 < 3 : 0 > のうち、選択メモリセルMCに接続されていない非選択ビット線BL00、BL02、BL03は、“L”状態（本実施の形態では0V）である。セット動作時に、選択されたビット線群BL0 < 3 : 0 > のうち選択メモリセルMCに接続された選択ビット線BL01は、“L”状態（0V）から“H”状態（本実施の形態では電圧VSET）に駆動される。そして、選択されていない他のビット線群BLy < 3 : 0 > に含まれる全てのビット線BLy0～BLy3はフローティング状態（0V）である。

40

【0028】

また、抵抗変化メモリ装置のセット動作時には、ワード線群WLx < 7 : 0 > が後述するメインロウデコーダにより選択される。本実施の形態においてはワード線群WL0 < 7 : 0 > が選択されているものとする。選択されたワード線群WL0 < 7 : 0 > のうち、選択メモリセルMCに接続されていない非選択ワード線WL00、WL02、WL03等は、“H”状態（本実施の形態では電圧VSET）である。セット動作時に、選択されたワード線群WL0 < 7 : 0 > のうち選択メモリセルMCに接続された選択ワード線WL01は、“H”状態（電圧VSET）から“L”状態（本実施の形態では電圧Vss = 0V）に駆動される。そして選択されていない他のワード線群WLx < 7 : 0 > に含まれる全て

50

のワード線 $W L \times 0 \sim W L \times 7$ は “ H ” 状態（本実施の形態では電圧 $V S E T$ ）である。

【 0 0 2 9 】

これにより、選択ビット線 $B L 0 1$ 及び選択ワード線 $W L 0 1$ に接続された選択メモリセル $M C$ のダイオード $D i$ が順方向バイアス状態となり電流が流れ、選択メモリセル $M C$ の可変抵抗素子 $V R$ が高抵抗状態から低抵抗状態へと変化し、セット動作が完了する。

【 0 0 3 0 】

本実施の形態において、階層化構造を有するビット線 $B L$ のうち、選択メモリセル $M C$ に接続された選択ビット線 $B L 0 1$ を含まないビット線群 $B L y < 3 : 0 >$ には、セット動作時に電圧を印加せず、フローティング状態のままとしている。ビット線 $B L$ を制御するカラム制御回路は、セット動作時に選択ビット線 $B L$ （ビット線 $B L 0 1$ ）にセット電圧（電圧 $V S E T$ ）を印加する。また、非選択ビット線 $B L$ （ $B L 0 0$ 、 $B L 0 2$ 、 $B L 0 3$ ）には電圧 $V s s$ を印加している。しかし、カラム制御回路はセット動作時に選択されないビット線群 $B L y < 3 : 0 >$ は制御する必要がない。そのため、ビット線群 $B L y < 3 : 0 >$ を非選択状態（例えば $V s s = 0 V$ ）に駆動する構成を省略して、より簡易な構成としたカラム制御回路でメモリセルアレイ $M A$ に対するセット動作を実行することができる。

【 0 0 3 1 】

[制御回路の構成]

次に、ビット線 $B L$ 及びワード線 $W L$ にこのような電圧を印加するためのカラム制御回路及びロウ制御回路の構成について説明する。ここでも、ワード線方向に $2 K b i t$ （ $= 2 0 4 8 b i t$ ）、ビット線方向に $5 1 2 b i t$ のメモリセル $M C$ を配列して $1 M b i t$ のメモリセルアレイ $M A$ を構成する場合を例として説明する。図 4 は、抵抗変化メモリ装置のカラム制御回路及びロウ制御回路の配置例を示すブロック図である。

【 0 0 3 2 】

図 4 に示されるように、ロウ制御回路は、例えばロウデコーダ 1 0、メインロウデコーダ 1 1、書き込み駆動線ドライバ 1 2、ロウ電源線ドライバ 1 3 及びロウ系周辺回路 1 4 により構成される。また、カラム制御回路は、例えばカラムスイッチ 2 0、カラムデコーダ 2 1、センスアンプ / 書き込みバッファ 2 2、カラム電源線ドライバ 2 3 及びカラム系周辺回路 2 4 により構成される。

【 0 0 3 3 】

本実施の形態に係るワード線 $W L$ は階層化構造を有しており、メインロウデコーダ 1 1 は、 $2 5 6$ 対のメインワード線 $M W L x$ 、 $M W L b x$ （ $x = < 2 5 5 : 0 >$ ）のいずれか一对を選択駆動する。一例として、選択されたメインワード線 $M W L x$ 、 $M W L b x$ では、メインワード線 $M W L x$ が “ H ” 状態となり、メインワード線 $M W L b x$ が “ L ” 状態となる。逆に、非選択のメインワード線 $M W L x$ 、 $M W L b x$ では、メインワード線 $M W L x$ が “ L ” 状態となり、メインワード線 $M W L b x$ が “ H ” 状態となる。一对のメインワード線 $M W L x$ 、 $M W L b x$ はひとつのロウデコーダ 1 0 に接続される。

【 0 0 3 4 】

ロウデコーダ 1 0 は、メインワード線 $M W L x$ 、 $M W L b x$ の階層下にある 8 本のワード線 $W L$ からなるワード線群 $W L x < 7 : 0 >$ のうちの 1 本を選択駆動する。メインロウデコーダ 1 1 により選択駆動されたメインワード線 $M W L x$ 、 $M W L b x$ に接続されたロウデコーダ 1 0 が更にワード線 $W L$ を選択駆動することにより、1 本のワード線 $W L$ が選択駆動される。書き込み駆動線ドライバ 1 2 には 8 本の書き込み駆動線 $W D R V < 7 : 0 >$ 及びロウ電源線 $V R o w$ が接続され、ロウ電源線ドライバ 1 3 にはロウ電源線 $V R o w$ が接続されている。このロウ電源線 $V R o w$ には、非選択のメインワード線 $M W L$ 、 $M W L b x$ の階層下のワード線 $W L$ 、及び選択されたメインワード線 $M W L$ 、 $M W L b x$ の階層下の非選択のワード線 $W L$ に供給される電圧（ $V S E T$ ）が印加される。

【 0 0 3 5 】

書き込み駆動線 $W D R V < 7 : 0 >$ 及びロウ電源線 $V R o w$ はロウデコーダ 1 0 に接続される。書き込み駆動線 $W D R V < 7 : 0 >$ 及びロウ電源線 $V R o w$ には、ロウデコーダ

10 がワード線 $W L$ を駆動するための電圧が印加される。具体的には、セット動作時において 8 本の書き込み駆動線 $W D R V < 7 : 0 >$ のうち選択ワード線 $W L$ に対応する 1 本の書き込み駆動線 $W D R V$ に電圧 $V_{ss} (= 0 V)$ を供給し、それ以外の 7 本には電圧 V_{SET} を供給する。ロウ系周辺回路 14 は、この抵抗変化メモリ装置全体の管理を行うもので、外部のホスト装置からの制御信号を受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。

【0036】

本実施の形態に係るビット線 $B L$ も階層化構造を有しており、カラムデコーダ 21 は、128 本のカラム選択線 $C S L y (y = < 127 : 0 >)$ のいずれか一本を選択駆動する。一例として、選択されたカラム選択線 $C S L y$ が “H” 状態となる。逆に、非選択のカラム選択線 $C S L y$ が “L” 状態となる。一本のカラム選択線 $C S L y$ はひとつのカラムスイッチ 20 に接続される。

10

【0037】

カラムスイッチ 20 は、カラム選択線 $C S L y$ の階層下にある 4 本のビット線 $B L$ となるビット線群 $B L y < 3 : 0 >$ のうちの 1 本を選択駆動する。カラムデコーダ 21 により選択駆動されたカラム選択線 $C S L y$ に接続されたカラムスイッチ 20 が更にビット線 $B L$ を選択駆動することにより、1 本のビット線 $B L$ が選択駆動される。センスアンプ/書き込みバッファ 22 は、ローカルデータ線 $L D Q < 3 : 0 >$ に読み出された信号を検知増幅するとともに、データ入出力線 $I O < 3 : 0 >$ から入力される書き込みデータをカラムスイッチ 20 を介してメモリセル $M C$ に供給するものである。センスアンプ/書き込みバッファ 22 には、4 本のローカルデータ線 $L D Q < 3 : 0 >$ 及びカラム電源線 $V C o l 1$ が接続され、カラム電源線ドライバ 23 にはカラム電源線 $V C o l 1$ が接続されている。

20

【0038】

ローカルデータ線 $L D Q < 3 : 0 >$ はカラムスイッチ 20 に接続され、カラムスイッチ 20 がビット線 $B L$ を駆動するための電圧が印加される。具体的には、セット動作時において 4 本のローカルデータ線 $L D Q < 3 : 0 >$ のうち選択ビット線 $B L$ に対応する 1 本のローカルデータ線 $L D Q$ に電圧 V_{SET} を供給し、それ以外の 3 本には電圧 $V_{ss} = 0 V$ を供給する。また、セット動作時において、カラム選択線 $C S L y$ により選択されなかったカラムスイッチ 20 は、ビット線駆動動作を実行せず、ビット線群 $B L y < 3 : 0 >$ をフローティング状態にする。カラム系周辺回路 24 は、この抵抗変化メモリ装置全体の管理を行うもので、外部のホスト装置からの制御信号を受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。

30

【0039】

次に、図 5 ~ 図 8 を参照して、ロウ制御回路の構成を詳細に説明する。図 5 ~ 図 8 は抵抗変化メモリ装置のロウ制御回路の構成例を示す回路図である。

【0040】

[ロウデコーダ 10 の構成]

図 4 及び図 5 に示されるように、ロウデコーダ 10 には 256 対のメインワード線 $M W L x$ 及び $M W L b x (x = < 255 : 0 >)$ のいずれか一对、ロウ電源線 $V R o w$ 並びに書き込み駆動線 $W D R V < 7 : 0 >$ が接続されている。また、ロウデコーダ 10 には、ワード線群 $W L x < 7 : 0 >$ が接続されており、このワード線群 $W L x < 7 : 0 >$ は一列に並んで設けられた複数のメモリセル $M C$ に接続されている。前述のように 1 つのロウデコーダ 10 に接続されるワード線群 $W L x < 7 : 0 >$ はワード線 $W L x 0 \sim$ ワード線 $W L x 7$ までの 8 本の配線からなる。同様に、書き込み駆動線 $W D R V < 7 : 0 >$ は、 $W D R V 0 \sim W D R V 7$ までの 8 本の配線からなる配線である。

40

【0041】

図 5 に示すように、ロウデコーダ 10 は、2 つの NMOS トランジスタ $Q N 1$ 及び $Q N 2$ のソースを互いに接続してなるトランジスタ対を 8 つ備えて構成されている。トランジスタ $Q N 1$ のゲートにメインワード線 $M W L b x$ が、ドレインにロウ電源線 $V R o w$ が接

50

続されている。また、トランジスタQ N 2のゲートにメインワード線MW L xが、ドレインに書き込み駆動線W D R V < 7 : 0 >のいずれか1本が接続されている。そして、トランジスタQ N 1及びQ N 2のソースはともにワード線群W L x < 7 : 0 >のいずれか1本に接続されている。

【 0 0 4 2 】

[メインロウデコーダ 1 1 の構成]

図4及び図6に示されるように、メインロウデコーダ11には256対のメインワード線MW L x及びMW L b x (x = < 2 5 5 : 0 >)、並びにアドレス信号線が接続されている。本実施の形態に係る抵抗変化メモリ装置のワード線W Lは階層化構造を有している。メインロウデコーダ11はプリデコーダであり、一組のメインワード線MW L x、MW L b xは1つのロウデコーダ10内の8つのトランジスタ対(図5のQ N 1、Q N 2)にそれぞれ接続され、1つのロウデコーダ10は8本のワード線W L x < 7 : 0 >のいずれか1本を選択することができる。メインロウデコーダ11は、図6に示すような回路を、1対のメインワード線MW L x、MW L b xごとに有している。

10

【 0 0 4 3 】

図6に示すように、1つのメインロウデコーダ11において、メインロウデコーダ11に接続されたアドレス信号線は、論理ゲートG A T E 1に接続される。論理ゲートG A T E 1の出力信号はレベルシフタL / Sを介してP M O SトランジスタQ P 1及びN M O SトランジスタQ N 3からなるC M O SインバータC M O S 1の入力端子に供給される。トランジスタQ P 1のソースに電源V S E T Hが接続され、トランジスタQ N 3のソースは接地されている。そして、トランジスタQ P 1及びQ N 3のドレインはともにメインワード線MW L xに接続される。

20

【 0 0 4 4 】

また、メインワード線MW L xは、P M O SトランジスタQ P 2及びN M O SトランジスタQ N 4からなるC M O SインバータC M O S 2に接続されている。トランジスタQ P 2のソースにも電源V S E T Hが接続され、トランジスタQ N 4のソースは接地されている。そして、トランジスタQ P 2及びQ N 4のドレインはともにメインワード線MW L b xに接続される。

【 0 0 4 5 】

[書き込み駆動線ドライバ 1 2 の構成]

図4及び図7に示されるように、書き込み駆動線ドライバ12には、ロウ電源線V R o w及びアドレス信号線が接続されている。ここで、書き込み駆動線ドライバ12も、プリデコーダである。

30

【 0 0 4 6 】

書き込み駆動線ドライバ12に接続されたアドレス信号線は、論理ゲートG A T E 2に接続される。論理ゲートG A T E 2の出力信号はレベルシフタL / Sを介してP M O SトランジスタQ P 3及びN M O SトランジスタQ N 5からなるC M O SインバータC M O S 3の入力端子に供給される。トランジスタQ P 3のソースには、後述するように電圧V S E Tが印加されているロウ電源線V R o wが接続され、トランジスタQ N 5のソースは接地されている。そして、トランジスタQ P 3及びQ N 5のドレインはともに書き込み駆動線W D R V < 7 : 0 >に接続される。

40

【 0 0 4 7 】

[ロウ電源線ドライバ 1 3 の構成]

図4及び図8に示されるように、ロウ電源線ドライバ13には、ロウ電源線V R o w及び制御信号線が接続されている。ロウ電源線ドライバ13において、電源V R E A DがP M O SトランジスタQ P 4を介して、電源V R E S E TがP M O SトランジスタQ P 5を介してそれぞれロウ電源線V R o wに接続されている。トランジスタQ P 4のゲートには制御信号R E A D o nが供給され、トランジスタQ P 5のゲートには制御信号R E S E T o nが供給される。制御信号R E A D o n、R E S E T o nは、それぞれデータ読み出し時、リセット動作時に“ H ”状態から“ L ”状態となる。

50

【 0 0 4 8 】

また、ロウ電源線ドライバ 1 3 には、電源 V S E T H が接続されている。電源 V S E T H は N M O S トランジスタ Q N 6 のドレイン及びゲートに接続される。トランジスタ Q N 6 のソースが P M O S トランジスタ Q P 6 を介してロウ電源線 V R o w に接続されている。トランジスタ Q P 6 のゲートには制御信号 S E T o n が供給される。

【 0 0 4 9 】

次に、図 9 ~ 図 1 2 を参照して、カラム制御回路の構成を詳細に説明する。図 9 ~ 図 1 2 は抵抗変化メモリ装置のカラム制御回路の構成例を示す回路図である。

【 0 0 5 0 】

[カラムスイッチ 2 0 の構成]

10

図 4 及び図 9 に示されるように、カラムスイッチ 2 0 には 1 2 8 本のカラム選択線 C S L y (y = < 1 2 7 : 0 >) のいずれか一本及びローカルデータ線 L D Q < 3 : 0 > が接続されている。また、カラムスイッチ 2 0 には、ビット線群 B L y < 3 : 0 > が接続されており、このビット線 B L は一列に並んで設けられた複数のメモリセル M C に接続されている。前述のように、1つのカラムスイッチ 2 0 に接続されるビット線群 B L y < 3 : 0 > はビット線 B L y 0 ~ ビット線 B L y 3 までの 4 本の配線からなる。同様に、ローカルデータ線 L D Q < 3 : 0 > は、L D Q 0 ~ L D Q 3 までの 4 本の配線からなる配線である。

【 0 0 5 1 】

図 9 に示すように、カラムスイッチ 2 0 は、1つの N M O S トランジスタ Q N 1 1 から構成され、1つのカラムスイッチ 2 0 は、このトランジスタ Q N 1 1 からなる構成を 4 つ備える。トランジスタ Q N 1 1 のゲートにカラム選択線 C S L y が、ドレインにローカルデータ線 L D Q < 3 : 0 > のいずれか 1 本が接続されている。そして、トランジスタ Q N 1 1 のソースはビット線群 B L y < 3 : 0 > のいずれか 1 本に接続されている。

20

【 0 0 5 2 】

[カラムデコーダ 2 1 の構成]

図 4 及び図 1 0 に示されるように、カラムデコーダ 2 1 には 1 2 8 本のカラム選択線 C S L y (y = < 1 2 7 : 0 >) 及びアドレス信号線が接続されている。本実施の形態に係る抵抗変化メモリ装置において、一本のカラム選択線 C S L y は 1 つのカラムスイッチ 2 0 内の 4 つのトランジスタ (図 9 の Q N 1 1) にそれぞれ接続され、1つのカラムスイッチ 2 0 は 4 本のビット線群 B L y < 3 : 0 > のいずれか 1 本を選択することができる。カラムデコーダ 2 1 は、図 1 0 に示すような回路を、一本のカラム選択線 C S L y 毎に有している。

30

【 0 0 5 3 】

図 1 0 に示すように、1つのカラムデコーダ 2 1 において、カラムデコーダ 2 1 に接続されたアドレス信号線は、論理ゲート G A T E 3 に接続される。論理ゲート G A T E 3 の出力信号はレベルシフタ L / S を介して P M O S トランジスタ Q P 1 1 及び N M O S トランジスタ Q N 1 3 からなる C M O S インバータ C M O S 1 1 の入力端子に供給される。トランジスタ Q P 1 1 のソースに電源 V S E T H が接続され、トランジスタ Q N 1 3 のソースは接地されている。そして、トランジスタ Q P 1 1 及び Q N 1 3 のドレインはともにカラム選択線 C S L y に接続されている。

40

【 0 0 5 4 】

[センスアンプ / 書き込みバッファ 2 2 の構成]

図 4 及び図 1 1 に示されるように、センスアンプ / 書き込みバッファ 2 2 には、カラム電源線 V C o l 1、ローカルデータ線 L D Q < 3 : 0 > 及びデータ入出力線 I O < 3 : 0 > が接続されている。まず、書き込みバッファ部分について、その構成を説明する。センスアンプ / 書き込みバッファ 2 2 に接続されたデータ入出力線 I O < 3 : 0 > は、レベルシフタ L / S を介して P M O S トランジスタ Q P 1 3 及び N M O S トランジスタ Q N 1 5 からなる C M O S インバータ C M O S 1 3 に接続される。トランジスタ Q P 1 3 のソースにはカラム電源線 V C o l 1 が接続されている。カラム電源線 V C o l 1 には後述するよ

50

うに電圧 V_{SET} が印加されている。また、トランジスタ Q_{N15} のソースは接地されている。そして、トランジスタ Q_{P13} 及び Q_{N15} のドレインはともにスイッチ $SW1$ を介してローカルデータ線 $LDQ < 3 : 0 >$ に接続されている。

【0055】

次にセンスアンプ部分について、その構成を説明する。センスアンプ / 書き込みバッファ 22 に接続されたデータ入出力線 $IO < 3 : 0 >$ は、センスアンプ S/A に接続される。センスアンプ S/A としては、シングルエンド型、参照セルを用いた差動型等、種々のタイプを用いることができる。センスアンプ S/A の出力端子はスイッチ $SW2$ を介してローカルデータ線 $LDQ < 3 : 0 >$ に接続されている。

【0056】

10

[カラム電源線ドライバ 23 の構成]

図 4 及び図 12 に示されるように、カラム電源線ドライバ 23 には、カラム電源線 V_{C011} 及び制御信号線が接続されている。カラム電源線ドライバ 23 において、電源 V_{RESET} が PMOS トランジスタ Q_{P15} を介してカラム電源線 V_{C011} に接続されている。トランジスタ Q_{P15} のゲートには制御信号 $RESET_{on}$ が供給される。また、電源 V_{SETH} が NMOS トランジスタ Q_{N16} のドレイン及びゲートに接続され、トランジスタ Q_{N16} のソースは PMOS トランジスタ Q_{P14} を介してカラム電源線 V_{C011} に接続されている。トランジスタ Q_{P14} のゲートには制御信号 SET_{on} が供給される。

【0057】

20

次に、このように構成された抵抗変化メモリ装置のセット動作について説明する。まず、セット動作時における抵抗変化メモリ装置のロウ制御回路の動作について、図 4 ~ 図 8 を参照して説明する。図 4 に示すようにワード線 WL は階層化構造を有している。メインロウデコーダ 11 及びロウデコーダ 10 により選択駆動されるワード線群 $WLx < 7 : 0 >$ には、書き込み駆動線 $WDRV < 7 : 0 >$ 又はロウ電源線 V_{Row} に印加されている電圧が印加される。まず、ロウデコーダ 10 に接続された書き込み駆動線 $WDRV < 7 : 0 >$ 及びロウ電源線 V_{Row} に対する電圧の印加動作について説明する。

【0058】

[ロウ電源線ドライバ 13 の動作]

セット動作時には、ロウ電源線ドライバ 13 において、トランジスタ Q_{P6} のゲートに供給されていた制御信号 (SET_{on} 信号) が “ L ” 状態になり導通する。電源 V_{SETH} の電圧 V_{SETH} は NMOS トランジスタ Q_{N6} により転送されて電圧 V_{SET} となる。セット動作時に、ロウ電源線ドライバ 13 はロウ電源線 V_{Row} を電圧 V_{SET} に駆動する。

30

【0059】

[書き込み駆動線ドライバ 12 の動作]

書き込み駆動線ドライバ 12 の論理ゲート $GATE2$ には、アドレス信号が入力される。このアドレス信号に基づき、論理ゲート $GATE2$ は、アドレス信号に対応する一の書き込み駆動線 (例えば $WDRV1$) について、“ H ” 信号を、対応しない他の書き込み駆動線について “ L ” 信号を CMOS インバータ $CMOS3$ の入力端子に供給する。アドレス信号に対応する書き込み駆動線 (例えば $WDRV1$) の場合、CMOS インバータ $CMOS3$ の入力端子には “ H ” 信号が供給され、導通したトランジスタ Q_{N5} を介して接地電圧 V_{ss} (例えば $0V$) が書き込み駆動線 $WDRV1$ に印加される。アドレス信号に対応しない書き込み駆動線の場合、CMOS インバータ $CMOS3$ の入力端子には “ L ” 信号が供給され、導通したトランジスタ Q_{P3} を介してロウ電源線 V_{Row} の電圧 (V_{SET}) が書き込み駆動線 $WDRV$ に印加される。

40

【0060】

次に、メインロウデコーダ 11 及びロウデコーダ 10 によるメインワード線 $MWLx$ 、 $MWLbx$ とワード線 $WLx < 7 : 0 >$ の選択駆動動作について説明する。

【0061】

50

【メインロウデコーダ 1 1 の動作】

メインロウデコーダ 1 1 の論理ゲート G A T E 1 の入力端子にも、アドレス信号が供給される。このアドレス信号に基づき、論理ゲート G A T E 1 は、 $x = \langle 255 : 0 \rangle$ のうち選択された x （例えば $x = 0$ ）について“L”信号を、選択されていない x について“H”信号を C M O S インバータ C M O S 1 の入力端子に供給する。まず、選択された x （例えば $x = 0$ ）について説明する。選択された x （例えば $x = 0$ ）の場合、C M O S インバータ C M O S 1 の入力端子には“L”信号が供給され、導通したトランジスタ Q P 1 を介して電源 V S E T H の“H”信号がメインワード線 M W L 0 に供給される。また、メインワード線 M W L 0 の“H”信号は、C M O S インバータ C M O S 2 の入力端子に供給され、導通したトランジスタ Q N 4 を介して接地電圧 V s s の“L”信号がメインワード線 M W L b 0 に供給される。すなわち、選択された x （例えば $x = 0$ ）の場合、メインワード線 M W L 0 には、“H”信号、メインワード線 M W L b 0 には“L”信号が供給される。

10

【0 0 6 2】

次に、選択されていない x について説明する。選択されていない x の場合、C M O S インバータ C M O S 1 の入力端子には“H”信号が供給され、導通したトランジスタ Q N 3 を介して接地電圧 V s s の“L”信号がメインワード線 M W L x に供給される。また、メインワード線 M W L x の“L”信号は、C M O S インバータ C M O S 2 の入力端子に供給され、導通したトランジスタ Q P 2 を介して電源 V S E T H の“H”信号がメインワード線 M W L b x に供給される。すなわち、選択されていない x の場合、メインワード線 M W L x には、“L”信号、メインワード線 M W L b x には“H”信号が供給される。

20

【0 0 6 3】

【ロウデコーダ 1 0 の動作】

ロウデコーダ 1 0 は、メインワード線 M W L x 及び M W L b x に供給された信号に基づき、ロウ電源線 V R o w 又は書き込み駆動線 W D R V の電圧をワード線 W L に対して印加する。選択された x （例えば $x = 0$ ）の場合、メインワード線 M W L 0 には、“H”信号、メインワード線 M W L b 0 には“L”信号が供給されている。ロウデコーダ 1 0 のトランジスタ Q N 1 のゲートに“L”信号が供給され、トランジスタ Q N 2 のゲートに“H”信号が供給されるため、ワード線群 W L 0 < 7 : 0 > には導通したトランジスタ Q N 2 を介して書き込み駆動線 W D R V < 7 : 0 > の電圧が印加される。ここで、アドレス信号に対応する書き込み駆動線（例えば W D R V 1）には、接地電圧（例えば 0 V）が印加され、アドレス信号に対応しないその他の書き込み駆動線には、ロウ電源線 V R o w の電圧（例えば V S E T）が印加されている。ワード線群 W L 0 < 7 : 0 > のうち、アドレス信号に対応するワード線 W L 0 1 の 1 本のみに接地電圧（例えば 0 V）が印加され、その他のワード線 W L には電圧 V S E T が印加される。

30

【0 0 6 4】

また、選択されていない x の場合、メインワード線 M W L x には、“L”信号、メインワード線 M W L b x には“H”信号が供給されている。ロウデコーダ 1 0 のトランジスタ Q N 1 のゲートに“H”信号が供給され、トランジスタ Q N 2 のゲートに“L”信号が供給されるため、ワード群線 W L x < 7 : 0 > には導通したトランジスタ Q N 1 を介してロウ電源線 V R o w の電圧（V S E T）が印加される。これにより、セット動作時にはアドレス信号により選択された 1 本のワード線 W L 0 1 のみに接地電圧（0 V）が印加され、その他の全てのワード線 W L にはロウ電源線 V R o w の電圧（V S E T）が印加される。

40

【0 0 6 5】

次に、セット動作時における抵抗変化メモリ装置のカラム制御回路の動作について、図 4 及び図 9 ~ 図 1 2 を参照して説明する。カラムデコーダ 2 1 及びカラムスイッチ 2 0 により選択駆動されるビット線群 B L y < 3 : 0 > には、ローカルデータ線 L D Q < 3 : 0 > に印加されている電圧が印加される。まず、カラムスイッチ 2 0 に接続されたローカルデータ線 L D Q < 3 : 0 > 及びカラム電源線 V C o l 1 に対する電圧の印加動作について説明する。

50

【 0 0 6 6 】

〔 カラム電源線ドライバ 2 3 の動作 〕

セット動作時には、カラム電源線ドライバ 2 3 において、トランジスタ Q P 1 4 のゲートに供給されていた制御信号（ S E T o n 信号）が “ L ” 状態になり導通する。電源 V S E T H の電圧 V S E T H は N M O S トランジスタ Q N 1 6 により転送されて電圧 V S E T となり、電圧 V S E T でカラム電源線 V C o l 1 を駆動する。

【 0 0 6 7 】

〔 センスアンプ / 書き込みバッファ 2 2 の動作 〕

センスアンプ / 書き込みバッファ 2 2 において、セット動作時に書き込みバッファ部のスイッチ S W 1 がオンとなり導通状態になるとともに、センスアンプ部のスイッチ S W 2 がオフとなり非導通状態になる。センスアンプ / 書き込みバッファ 2 2 には、データ入出力線 I O < 3 : 0 > より書き込みデータが供給される。この書き込みデータがレベルシフタ L / S を介して C M O S インバータ C M O S 1 3 の入力端子に供給される。このデータに応じてローカルデータ線 L D Q < 3 : 0 > には電圧 V S E T 又は接地電圧（ V s s = 0 V ）が印加される。

10

【 0 0 6 8 】

次に、カラムデコーダ 2 1 及びカラムスイッチ 2 0 によるカラム選択線 C S L y とビット線群 B L y < 3 : 0 > の選択駆動動作について説明する。

【 0 0 6 9 】

〔 カラムデコーダ 2 1 の動作 〕

カラムデコーダ 2 1 の論理ゲート G A T E 3 の入力端子には、アドレス信号が供給される。このアドレス信号に基づき、論理ゲート G A T E 3 は、 $y = < 1 2 7 : 0 >$ のうち選択された y （例えば $y = 0$ ）について “ L ” 信号を、選択されていない y について “ H ” 信号を C M O S インバータ C M O S 1 1 の入力端子に供給する。まず、選択された y （例えば $y = 0$ ）について説明する。選択された y （例えば $y = 0$ ）の場合、C M O S インバータ C M O S 1 1 の入力端子には “ L ” 信号が供給され、導通したトランジスタ Q P 1 1 を介して電源 V S E T H の “ H ” 信号がカラム選択線 C S L 0 に供給される。次に、選択されていない y について説明する。選択されていない y の場合、C M O S インバータ C M O S 1 1 の入力端子には “ H ” 信号が供給され、導通したトランジスタ Q N 1 3 を介して接地電圧 V s s の “ L ” 信号がカラム選択線 C S L y に供給される。

20

30

【 0 0 7 0 】

〔 カラムスイッチ 2 0 の動作 〕

カラムスイッチ 2 0 は、カラム選択線 C S L y に供給された信号に基づき、ローカルデータ線 L D Q の電圧をビット線 B L に対して印加する。選択された y （例えば $y = 0$ ）の場合、カラム選択線 C S L 0 には、“ H ” 信号が供給されている。カラムスイッチ 2 0 のトランジスタ Q N 1 1 のゲートに “ H ” 信号が供給されるため、ビット線群 B L 0 < 3 : 0 > には導通したトランジスタ Q N 1 2 を介してローカルデータ線 L D Q < 3 : 0 > の電圧が印加される。ここで、アドレス信号に対応するローカルデータ線（例えば L D Q 1）には、カラム電源線 V C o l 1 の電圧（ V S E T ）が印加され、アドレス信号に対応しないその他のローカルデータ線には、接地電圧 V s s（= 0 V）が印加されている。ビット線群 B L 0 < 3 : 0 > のうち、アドレス信号に対応するビット線 B L 0 1 の 1 本のみにカラム電源線 V C o l 1 の電圧（ V S E T ）が印加され、その他のビット線 B L には接地電圧 V s s（= 0 V）が印加される。

40

【 0 0 7 1 】

一方、選択されていない y の場合、カラム選択線 C S L y には、“ L ” 信号が供給されている。カラムスイッチ 2 0 のトランジスタ Q N 1 1 のゲートに “ L ” 信号が供給されるため導通せず、ビット線群 B L y < 3 : 0 > には電圧が印加されない。そのため、ビット線群 B L y < 3 : 0 > はフローティング状態になる。これにより、セット動作時には、アドレス信号により選択された 1 本のビット線 B L 0 1 に電圧 V S E T が、非選択ビット線 B L に接地電圧 V s s が印加されるとともに、その他のビット線群 B L y < 3 : 0 > はフ

50

ローティング状態にされる。

【0072】

このように、本実施の形態のカラム制御回路によれば、セット動作時にアドレス信号により選択された1本のビット線BL01のみにカラム電源線Vcol1の電圧(VSET)が印加される。また、非選択のビット線BL00、BL02、BL03には接地電圧Vssが印加される。そして、その他のビット線群BLy<3:0>はフローティング状態にされる。

【0073】

本実施の形態において、階層化構造を有するビット線群BLy<3:0>のうち、選択メモリセルMCに接続された選択ビット線BL01を含まないビット線群BLy<3:0>には、セット動作時に電圧を印加せず、フローティング状態のままとしている。カラム制御回路はセット動作時に選択されないビット線群BLy<3:0>は制御する必要がない。そのため、ビット線群BLy<3:0>を非選択状態(例えばVss=0V)に駆動する構成を省略して、より簡易な構成としたカラム制御回路でメモリセルアレイMAに対するセット動作を実行することができる。

【0074】

具体的には、カラムスイッチ20の構成を1つのトランジスタQN11からなる構成とすることができる。この構成によれば、カラム選択線CSLyにより選択されたカラムスイッチ20は、ビット線群BL0<3:0>を駆動させることができる。これとともに、カラム選択線CSLyにより選択されていないカラムスイッチ20は、ビット線群BLy<3:0>をフローティング状態に保つことが可能となる。特許文献2に記載された配線駆動回路のように、トランジスタを2つ直列接続し、これを切り替えることにより配線に駆動電圧又は接地電圧のいずれかを印加する構成とする必要がない。本実施の形態のカラムスイッチ20によれば、トランジスタの数を低減することができる。本実施の形態では、ワード線方向に2Kbit、ビット線方向に512bitのメモリセルMCを配列して1MbitのメモリセルアレイMAを構成している。カラムスイッチ20はカラム制御回路内にビット線BLの本数と同数(本実施の形態においては512個)設けられる。そのため、カラムスイッチ20内のトランジスタを削減することにより、カラム制御回路をより簡易な構成とすることができる。

【0075】

[第3の実施の形態]

次に、本発明に係る抵抗変化メモリ装置の第3の実施の形態について図13を参照して説明する。図13は、抵抗変化メモリ装置のカラム/ロウ制御回路の動作タイミングを示すタイミングチャートである。ここで、第3の実施形態に係る抵抗変化メモリ装置の制御回路の構成は第1及び第2の実施形態に係る抵抗変化メモリ装置と同様である。第3の実施の形態に係る抵抗変化メモリ装置において、第1及び第2の実施の形態と同一の構成を有する箇所には、同一の符号を付すことによりその説明を省略する。本実施の形態に係る抵抗変化メモリ装置は、セット動作を実行する際にワード線WL及びビット線BLに電圧を印加するタイミングを異ならせる点において、第1及び第2の実施の形態と異なる。

【0076】

図13に示すように、選択メモリセルMCにセット動作を実行する場合に、まず、選択ワード線WL01及び非選択ワード線WLを含む全てのワード線WLに対して電圧VSETを印加する(時間t1)。ここで、全てのワード線WLに電圧VSETを印加する間、選択ビット線BL01及び非選択ビット線BLは、接地電圧Vssに保持されている。その後、選択メモリセルMCに接続された選択ワード線WL01のみに接地電圧Vssを印加する(時間t2)。時間t2において、選択ワード線WL01が電位Vssに下がった後、選択ビット線BL01に電圧VSETを印加するとともに、非選択ビット線BLをフローティング状態(0V)にする。

【0077】

この結果、選択ビット線BL01と選択ワード線WL01とに接続された選択メモリセ

ルMCのダイオードD_iが順方向バイアス状態となり電流が流れ、選択メモリセルMCの可変抵抗素子VRが高抵抗状態から低抵抗状態へと変化し、セット動作が完了する。一方、選択ビット線BL01と非選択ワード線WLとに接続された非選択メモリセルMCの両端には共に電圧VSETが印加されるので、電流は流れない。また、非選択ビット線BLと選択ワード線WL01とに接続された非選択メモリセルMCの両端には0Vが印加されるため、こちらも電流が流れない。その後、時間t3において選択ビット線BL01及び非選択ワード線WLを電位Vssまで下げてセット動作を終了する。

【0078】

ここで、図13に示す時間t1から時間t2の間、選択ビット線BL01及び非選択ビット線BLを電位Vssに保持するためには、図11に示す書き込みバッファ22においてローカルデータ線LDQ<3:0>を全て接地電圧Vssにする。これとともに、図10に示すカラムデコーダ21においてカラム選択線CSLyを全て“H”状態にする。これにより、図9に示す全てのカラムスイッチ20において、NMOSTランジスタQN11が導通し、ビット線群BLy<3:0>に、ローカルデータ線LDQ<3:0>の接地電圧Vssが印加される。このようにして、図13に示す時間t1から時間t2の間、選択ビット線BL01及び非選択ビット線BLの双方を電位Vssに保持することができる。

10

【0079】

第2の実施の形態におけるセット動作の際、非選択のビット線BLをフローティング状態として、非選択のワード線WLに電圧VSETを印加すると、カップリングによりフローティング状態の非選択ビット線BLの電位が上昇する場合がある。この場合、非選択ビット線BLに接続された非選択メモリセルMCに対し、誤ってセット動作が実行されてしまうおそれがある。

20

【0080】

しかし、本実施の形態における抵抗変化メモリ装置においては、ワード線WL及びビット線BLに電圧を印加するタイミングをずらしている。そのため、ワード線WLを電圧VSETに立ち上げている間は、非選択ビット線BLは接地電圧Vssに保持されている。その後、セット動作時に非選択ビット線BLをフローティング状態としても、非選択ビット線BLの電位は接地電圧Vssからほとんど上がることがない。本実施の形態における抵抗変化メモリ装置によれば、非選択メモリセルMCに対して誤ってセット動作が実行されることがない。

30

【0081】

本実施の形態に係る抵抗変化メモリ装置も、カラムスイッチ20の構成を1つのトランジスタQN11からなる構成とすることができる。この構成によれば、カラム選択線CSLyにより選択されたカラムスイッチ20は、ビット線群BL0<3:0>を駆動させることができる。これとともに、カラム選択線CSLyにより選択されていないカラムスイッチ20は、ビット線群BLy<3:0>をフローティング状態に保つことが可能となる。本実施の形態のカラムスイッチ20によれば、トランジスタの数を低減することができ、カラム制御回路をより簡易な構成とすることができる。

【0082】

40

[第4の実施の形態]

次に、本発明に係る抵抗変化メモリ装置の第4の実施の形態について図14～図16を参照して説明する。図14は抵抗変化メモリ装置のカラム/ロウ制御回路の配置例を示すブロック図である。そして、図15～図16は抵抗変化メモリ装置のカラム制御回路の構成例を示す回路図である。図14～図16に示す本実施の形態に係る抵抗変化メモリ装置において、第1～第3の実施の形態と同一の構成を有する箇所には、同一符号を付すことによりその説明を省略する。

【0083】

本実施の形態に係る抵抗変化メモリ装置は、センスアンプ/書き込みバッファ22とカラムスイッチ20とを接続するローカルデータ線LDQ<3:0>が、ローカルデータ線

50

$LDQ_{odd} < 3 : 0 >$ 及び $LDQ_{even} < 3 : 0 >$ の 2 つに分割されている点において、第 1 ~ 第 3 の実施の形態と異なる。以下、図 14 ~ 図 16 を参照して、カラム制御回路の構成を説明する。

【0084】

図 15 に示されるように、カラムスイッチ 20 には 128 本のカラム選択線 CSL_y ($y = < 127 : 0 >$) のいずれか一本が接続されている。また、カラムスイッチ 20 には、ローカルデータ線 $LDQ_{even} < 3 : 0 >$ 又は $LDQ_{odd} < 3 : 0 >$ のいずれかが接続されている。複数個並ぶカラムスイッチ 20 には、ローカルデータ線 $LDQ_{even} < 3 : 0 >$ 又は $LDQ_{odd} < 3 : 0 >$ が交互に接続されている。

【0085】

また、カラムスイッチ 20 には、ビット線群 $BL_y < 3 : 0 >$ が接続されており、このビット線 BL は一列に並んで設けられた複数のメモリセル MC に接続されている。前述のように、1 つのカラムスイッチ 20 に接続されるビット線群 $BL_y < 3 : 0 >$ はビット線 $BL_y0 \sim$ ビット線 BL_y3 までの 4 本の配線からなる。同様に、ローカルデータ線 $LDQ_{even} < 3 : 0 >$ 及び $LDQ_{odd} < 3 : 0 >$ は、 $LDQ_{even}0 \sim LDQ_{even}3$ 、 $LDQ_{odd}0 \sim LDQ_{odd}3$ までの 4 本の配線からなる配線である。カラムスイッチ 20 の構成は図 9 に示す第 2 の実施の形態と同様である。

【0086】

図 16 には、カラムスイッチ 20 及びローカルデータ線 $LDQ_{even} < 3 : 0 >$ 及び $LDQ_{odd} < 3 : 0 >$ のさらに詳細な構成が示されている。1 つのカラムスイッチ 20 は、4 つの NMOS トランジスタ $QN11$ を備える。この 4 つのトランジスタ $QN11$ のゲートにはカラム選択線 CSL_y ($y = < 127 : 0 >$) がそれぞれ接続されている。ここで、カラムスイッチ $20n$ は 128 個設けられたカラムスイッチ 20 のうち n 番目のものを示している。

【0087】

カラムスイッチ 20 内の 4 つのトランジスタ $QN11$ のうち、ドレインにローカルデータ線 $LDQ_{odd} < 0 >$ が接続されたトランジスタのソースにはビット線 $BL_n < 0 >$ が接続されている。同様にドレインにローカルデータ線 $LDQ_{odd} < 1 >$ 、 $< 2 >$ 、 $< 3 >$ が接続されたトランジスタのソースにはビット線 $BL_n < 1 >$ 、 $< 2 >$ 、 $< 3 >$ がそれぞれ接続されている。また、カラムスイッチ $20n$ に隣接するカラムスイッチ $20n+1$ 、 $20n-1$ 内の 4 つのトランジスタ $QN11$ のドレインにローカルデータ線 $LDQ_{even} < 3 : 0 >$ が、ソースにビット線 BL_{n+1} 、 BL_{n-1} がそれぞれ接続されている。これにより、上述したようにローカルデータ線 $LDQ_{even} < 3 : 0 >$ が接続されるカラムスイッチ 20 と、 $LDQ_{odd} < 3 : 0 >$ が接続されるカラムスイッチ 20 とが交互に設けられる。

【0088】

図 14 ~ 図 16 に示す抵抗変化メモリ装置におけるセット動作について説明する。ここで、セット動作が実行されるメモリセル MC はビット線 $BL_n < 0 >$ 、 $< 3 >$ が接続されたメモリセル MC であるとして説明する。

【0089】

図 16 に示すように、セット動作を実行する際に、センスアンプ / 書き込みバッファ 22 により、ローカルデータ線 $LDQ_{odd} < 0 >$ 、 $< 3 >$ には電圧 V_{SET} が印加される。また、ローカルデータ線 $LDQ_{odd} < 1 >$ 、 $< 2 >$ には接地電圧 V_{ss} が印加される。そして、ローカルデータ線 $LDQ_{even} < 3 : 0 >$ には全て接地電圧 V_{ss} が印加される。次に、カラムデコーダ 21 により、カラム選択線 CSL_y のうち、セット動作が実行されるメモリセル MC を選択駆動するカラムスイッチ $20n$ に接続されたカラム選択線 CSL_n がオン状態にされる。また、カラムスイッチ $20n$ に隣接しているカラムスイッチ $20n+1$ 、 $20n-1$ に接続されたカラム選択線 CSL_{n+1} 、 CSL_{n-1} もオン状態にされる。これにより、カラムスイッチ $20n$ 及びカラムスイッチ $20n+1$ 、 $20n-1$ のトランジスタ $QN11$ が導通する。そして、カラムスイッチ $20n$ 、 $20n+1$

10

20

30

40

50

、 $20n - 1$ 以外のカラムスイッチ 20 に接続されたカラム選択線 $CSLy$ はオフ状態にされる。

【0090】

カラムスイッチ $20n$ のうち、ローカルデータ線 $LDQodd < 0 >$ 、 $< 3 >$ に接続されたビット線 $BLn < 0 >$ 、 $< 3 >$ には、導通したトランジスタ $QN11$ を介して電圧 $VSET$ が印加される。また、ローカルデータ線 $LDQodd < 1 >$ 、 $< 2 >$ に接続されたビット線 $BLn < 1 >$ 、 $< 2 >$ には接地電圧 Vss が印加される。また、カラムスイッチ $20n$ に隣接しているカラムスイッチ $20n + 1$ 、 $20n - 1$ では、ローカルデータ線 $LDQeven < 3 : 0 >$ に接続されたビット線 $BLn < 3 : 0 >$ に、導通したトランジスタ $QN11$ を介して接地電圧 Vss が印加される。そして、カラムスイッチ $20n$ 、 $20n + 1$ 、 $20n - 1$ 以外のカラムスイッチ 20 に接続されたカラム選択線 $CSLy$ はオフ状態であるため、電圧が印加されずフローティング状態となる。

10

【0091】

一方、選択メモリセル MC に接続されたワード線 $WL01$ が接地電圧 Vss に選択駆動される。これにより選択メモリセル MC のダイオード Di が順方向バイアス状態となり電流が流れ、選択メモリセル MC の可変抵抗素子 VR が高抵抗状態から低抵抗状態へと変化し、セット動作が完了する。

【0092】

ビット線 BL の選択駆動を行う場合、選択ビット線 $BL01$ に電圧 $VSET$ を印加する際に、カップリングにより隣接するフローティング状態の非選択ビット線 BL の電位が上昇する場合がある。この場合、非選択ビット線 BL に接続された非選択メモリセル MC に対し、誤ってセット動作が実行されてしまうおそれがある。

20

【0093】

しかし、本実施の形態に係る抵抗変化メモリ装置においては、カラムスイッチ $20n$ に隣接しているカラムスイッチ $20n + 1$ 、 $20n - 1$ に接続されたビット線群 $BLn + 1 < 3 : 0 >$ 、 $BLn - 1 < 3 : 0 >$ に接地電圧 Vss が印加されている。そのため、セット動作時に選択ビット線 $BL01$ に隣接するビット線 BL の電圧を確実に接地電圧 Vss に保持することができる。選択ビット線 $BL01$ に隣接するビット線 BL のシールド効果により、その他の非選択ビット線 BL をフローティング状態としても、非選択ビット線 BL の電位は接地電圧 Vss からほとんど上がることがない。本実施の形態における抵抗変化メモリ装置によれば、非選択メモリセル MC に対して誤ってセット動作が実行されることがない。

30

【0094】

本実施の形態に係る抵抗変化メモリ装置も、カラムスイッチ 20 の構成を1つのトランジスタ $QN11$ からなる構成とすることができる。この構成によれば、カラム選択線 $CSLy$ により選択されたカラムスイッチ 20 は、ビット線群 $BL0 < 3 : 0 >$ を駆動させることができる。これとともに、カラム選択線 $CSLy$ により選択されていないカラムスイッチ 20 は、ビット線群 $BLy < 3 : 0 >$ をフローティング状態に保つことが可能となる。本実施の形態のカラムスイッチ 20 によれば、トランジスタの数を低減することができる。

40

【0095】

以上、本発明の実施の形態を説明したが、本発明はこれらに限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、組み合わせ等が可能である。例えば、実施の形態においてセット動作として抵抗変化メモリ装置の動作を説明したが、これはメモリセル MC に印加する電圧や電流、電圧の印加時間等を調整することにより選択メモリセル MC が低抵抗状態から高抵抗状態へと変化するリセット動作またはリード動作とすることができる。また、実施の形態において、ビット線群 $BLy < 3 : 0 >$ は4本の配線からなり、ワード線群 $WLx < 7 : 0 >$ は8本の配線からなっていた。このビット線群及びワード線群に含まれるビット線 BL の本数及びワード線 WL の本数は、抵抗変化メモリ装置の設計により、変更することが可能である。

50

【図面の簡単な説明】

【 0 0 9 6 】

【図 1】第 1 の実施の形態の抵抗変化メモリ装置の構成を示す斜視図である。

【図 2】第 1 の実施の形態の抵抗変化メモリ装置のメモリセルアレイの等価回路を示す回路図である。

【図 3】第 2 の実施の形態の抵抗変化メモリ装置のメモリセルアレイの配線を示す図である。

【図 4】第 2 の実施の形態の抵抗変化メモリ装置のカラム / ロウ制御回路の配置例を示すブロック図である。

【図 5】第 2 の実施の形態の抵抗変化メモリ装置のロウ制御回路の構成例を示す回路図である。

10

【図 6】第 2 の実施の形態の抵抗変化メモリ装置のロウ制御回路の構成例を示す回路図である。

【図 7】第 2 の実施の形態の抵抗変化メモリ装置のロウ制御回路の構成例を示す回路図である。

【図 8】第 2 の実施の形態の抵抗変化メモリ装置のロウ制御回路の構成例を示す回路図である。

【図 9】第 2 の実施の形態の抵抗変化メモリ装置のカラム制御回路の構成例を示す回路図である。

【図 10】第 2 の実施の形態の抵抗変化メモリ装置のカラム制御回路の構成例を示す回路図である。

20

【図 11】第 2 の実施の形態の抵抗変化メモリ装置のカラム制御回路の構成例を示す回路図である。

【図 12】第 2 の実施の形態の抵抗変化メモリ装置のカラム制御回路の構成例を示す回路図である。

【図 13】第 3 の実施の形態の抵抗変化メモリ装置のカラム / ロウ制御回路の動作タイミングを示すタイミングチャートである。

【図 14】第 4 の実施の形態の抵抗変化メモリ装置のカラム / ロウ制御回路の配置例を示すブロック図である。

【図 15】第 4 の実施の形態の抵抗変化メモリ装置のカラム制御回路の構成例を示す回路図である。

30

【図 16】第 4 の実施の形態の抵抗変化メモリ装置のカラム制御回路の構成例を示す回路図である。

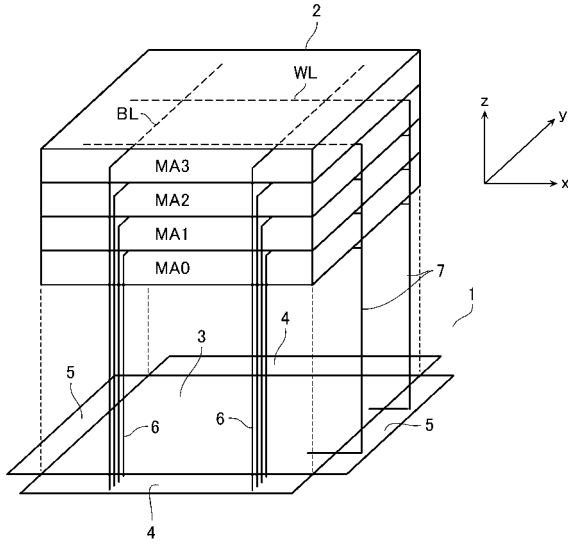
【符号の説明】

【 0 0 9 7 】

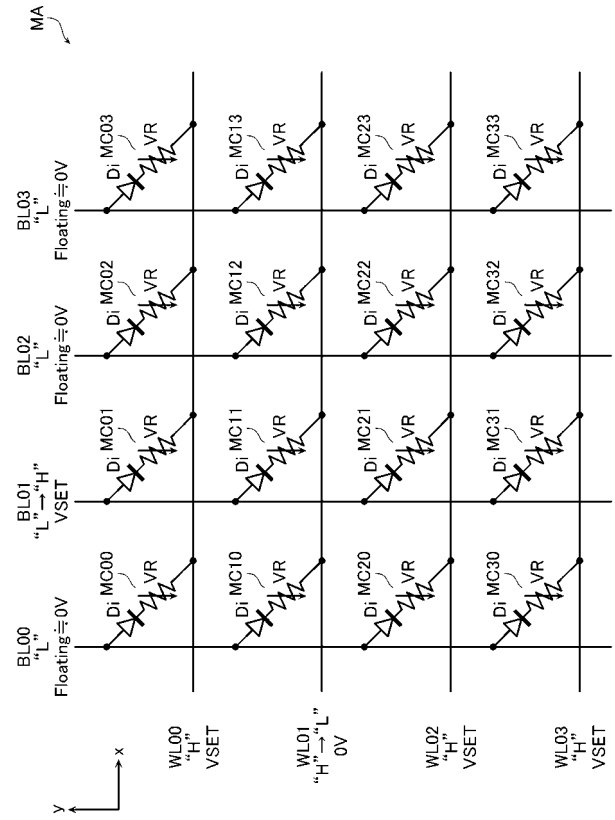
1・・・半導体基板、 2・・・メモリブロック、 3・・・配線領域、 4・・・ビット線コンタクト領域、 5・・・ワード線コンタクト領域、 6・・・ビット線コンタクト、 7・・・ワード線コンタクト、 10・・・ロウデコーダ、 11・・・メインロウデコーダ、 12・・・書き込み駆動線ドライバ、 13・・・ロウ電源線ドライバ、 14・・・ロウ系周辺回路、 20・・・カラムスイッチ、 21・・・カラムデコーダ、 22・・・センスアンプ / 書き込みバッファ、 23・・・カラム電源線ドライバ、 24・・・カラム系周辺回路、 MA・・・メモリセルアレイ、 MC・・・メモリセル、 VR・・・可変抵抗素子、 Di・・・ダイオード、 BL・・・ビット線、 WL・・・ワード線、 MWL・・・メインワード線 CSL・・・カラム選択線。

40

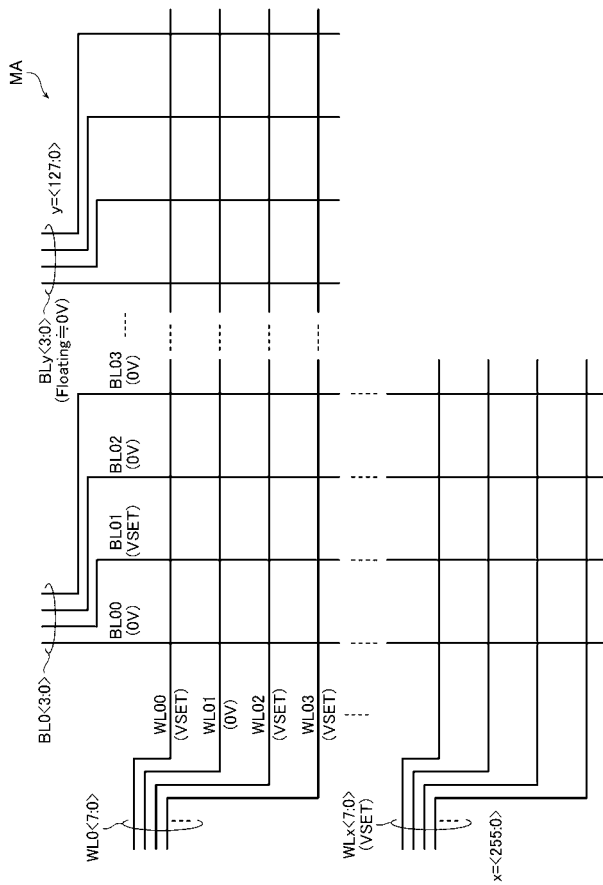
【図 1】



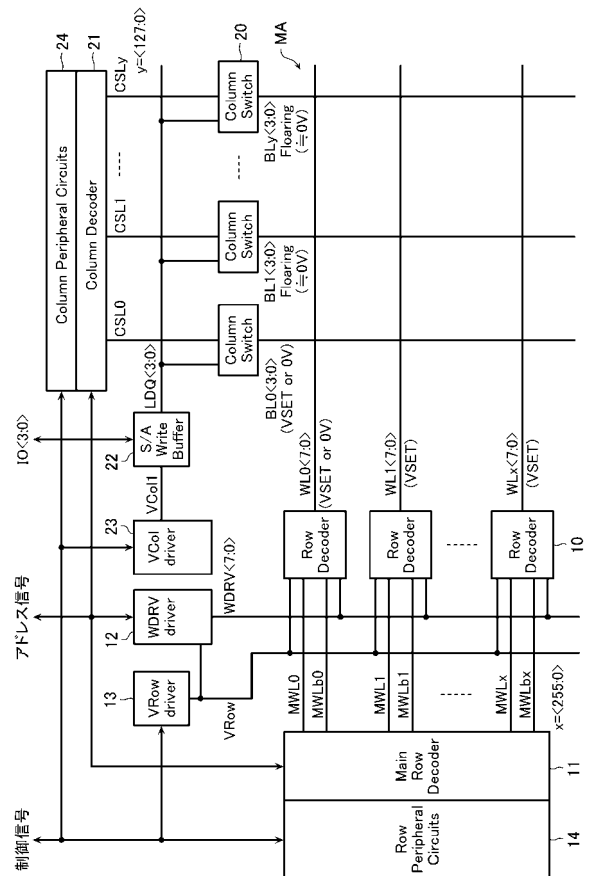
【図 2】



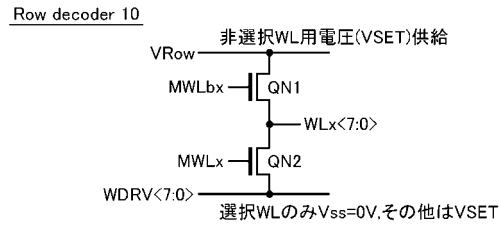
【図 3】



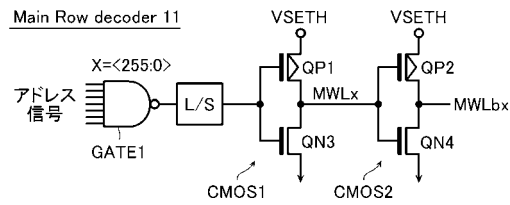
【図 4】



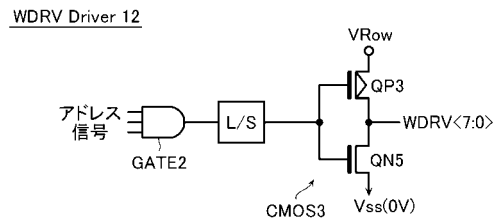
【図 5】



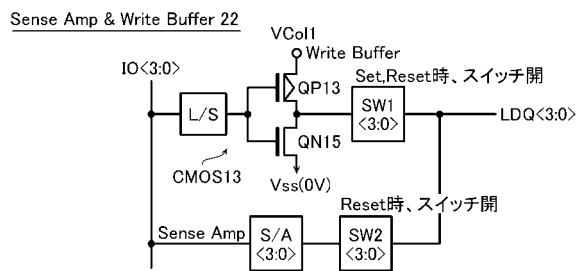
【図 6】



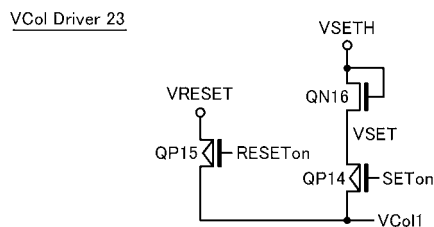
【図 7】



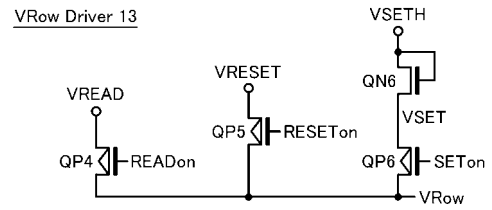
【図 1 1】



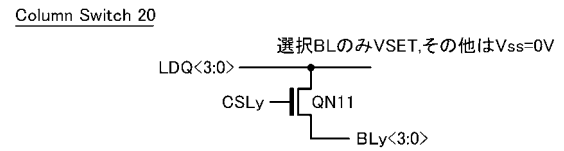
【図 1 2】



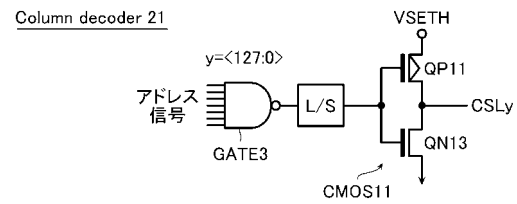
【図 8】



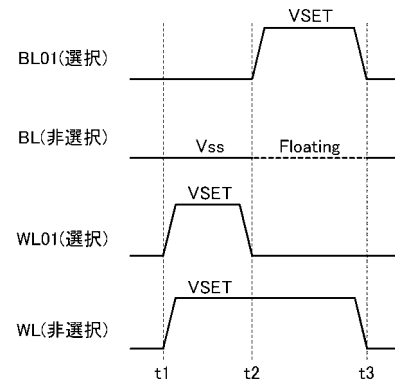
【図 9】



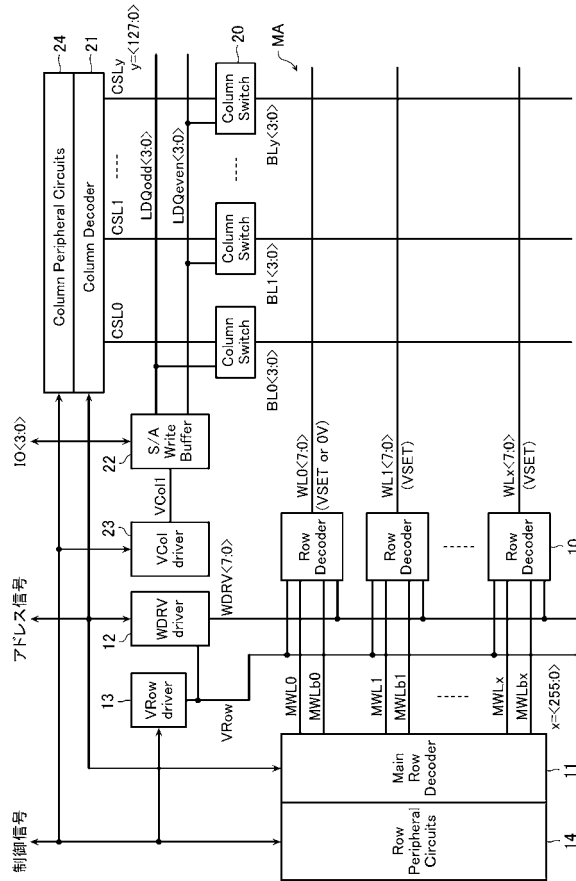
【図 1 0】



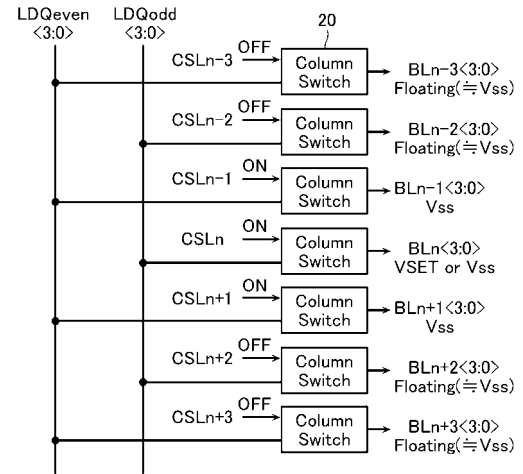
【図 1 3】



【図 14】



【図 15】



【図 16】

