



(12) 发明专利

(10) 授权公告号 CN 112531028 B

(45) 授权公告日 2024. 05. 17

(21) 申请号 201911366432.3

(22) 申请日 2019.12.26

(65) 同一申请的已公布的文献号
申请公布号 CN 112531028 A

(43) 申请公布日 2021.03.19

(30) 优先权数据
2019-168401 2019.09.17 JP

(73) 专利权人 株式会社东芝
地址 日本东京都
专利权人 东芝电子元件及存储装置株式会社

(72) 发明人 小松香奈子

(74) 专利代理机构 永新专利商标代理有限公司
72002

专利代理师 牛玉婷

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

(56) 对比文件

CN 103325827 A, 2013.09.25

EP 2843707 A1, 2015.03.04

JP 2008034738 A, 2008.02.14

JP 2013232533 A, 2013.11.14

JP 2016225644 A, 2016.12.28

JP H11243198 A, 1999.09.07

US 2017084739 A1, 2017.03.23

US 2017194489 A1, 2017.07.06

审查员 张自童

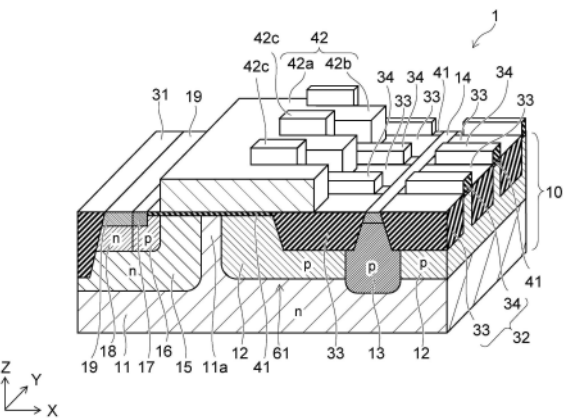
权利要求书1页 说明书8页 附图15页

(54) 发明名称

半导体装置

(57) 摘要

实施方式提供耐压和导通电阻的平衡良好的半导体装置。实施方式的半导体装置具备半导体基板、在上述半导体基板上设置的绝缘部件、以及在上述半导体基板上及上述绝缘部件上设置的电极。上述绝缘部件具有多个第1部分和比上述第1部分薄的多个第2部分。上述第1部分和上述第2部分沿着平行于上述半导体基板的上表面中的不与上述绝缘部件相接的区域的第1方向交替地排列。



1. 一种半导体装置,其中,
具备:
半导体基板;
多个绝缘部件,设置在上述半导体基板上,沿着第1方向相互分离而排列;以及
电极,配置在上述半导体基板上以及上述多个绝缘部件上,
上述电极具有:
基部,在上述第1方向上延伸;以及
多个齿部,从上述基部向与上述第1方向交叉的第2方向延伸,
在上下方向上,上述绝缘部件与上述齿部重叠,上述绝缘部件间的区域与上述齿部间的区域重叠,
在上下方向上,上述绝缘部件的一半以上位于比上述半导体基板的上表面中的不与上述绝缘部件相接的区域靠上方的位置。
2. 如权利要求1所述的半导体装置,其中,
还具备:
第1导电型的源极层,设置在上述半导体基板上;以及
第1导电型的漏极层,设置在上述半导体基板上,
上述半导体基板的至少上层部分是第2导电型,
上述绝缘部件配置在上述漏极层与上述源极层之间或者上述漏极层与上述源极层之间的正上方区域。

半导体装置

[0001] 本申请享受以日本专利申请第2019—168401号(申请日:2019年9月17日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0002] 本发明涉及半导体装置。

背景技术

[0003] 在DMOS(Double-Diffused MOSFET:双扩散MOSFET)中,为了确保耐压,提出了在漏极与沟道之间设置STI(Shallow Trench Isolation:元件分离绝缘体)的技术。另一方面,由于存在STI,导通电阻增加。

发明内容

[0004] 本发明提供耐压与导通电阻的平衡良好的半导体装置。

[0005] 实施方式的半导体装置具备半导体基板、在上述半导体基板上设置的绝缘部件、以及在上述半导体基板上及上述绝缘部件上设置的电极。上述绝缘部件具有多个第1部分和比上述第1部分薄的多个第2部分。上述第1部分和上述第2部分沿着第1方向交替地排列,上述第1方向平行于上述半导体基板的上表面的不与上述绝缘部件相接的区域。

附图说明

[0006] 图1是表示第一实施方式的半导体装置的平面图。

[0007] 图2是表示第一实施方式的半导体装置的局部放大平面图。

[0008] 图3的(a)是图2所示的A—A'线的截面图,图3的(b)是图2所示的B—B'线的截面图。

[0009] 图4是表示第一实施方式的半导体装置的立体截面图。

[0010] 图5是表示第二实施方式的半导体装置的局部放大平面图。

[0011] 图6的(a)是图5所示的A—A'线的截面图,图6的(b)是图5所示的B—B'线的截面图。

[0012] 图7是表示第二实施方式的半导体装置的立体截面图。

[0013] 图8的(a)及图8的(b)是表示第三实施方式的半导体装置的截面图。

[0014] 图9是表示第三实施方式的半导体装置的立体截面图。

[0015] 图10的(a)及图10的(b)是表示第四实施方式的半导体装置的截面图。

[0016] 图11是表示第四实施方式的半导体装置的立体截面图。

[0017] 图12的(a)及图12的(b)是表示第五实施方式的半导体装置的截面图。

[0018] 图13是表示第五实施方式的半导体装置的立体截面图。

[0019] 图14的(a)及图14的(b)是表示第六实施方式的半导体装置的截面图。

[0020] 图15是表示第六实施方式的半导体装置的立体截面图。

具体实施方式

[0021] (第一实施方式)

[0022] 以下,对第一实施方式进行说明。

[0023] 图1是表示本实施方式的半导体装置的平面图。

[0024] 图2是表示本实施方式的半导体装置的局部放大平面图。

[0025] 图3的(a)是图2所示的A—A'线的截面图,图3的(b)是图2所示的B—B'线的截面图。

[0026] 图4是表示本实施方式的半导体装置的立体截面图。

[0027] 另外,各图是示意图,适当夸张及省略地进行了描绘。例如,在图3的(a)及图3的(b)中,为了使图容易观察,仅示出了后述的硅基板10、绝缘部件32的第1部分33及第2部分34、栅极电极42。图6的(a)及图6的(b)、图8的(a)及图8的(b)、图10的(a)及图10的(b)、图12的(a)及图12的(b)、图14的(a)及图14的(b)也同样。此外,在图之间,各构成要素的纵横比不一定一致。

[0028] 如图1、图2、图3的(a)及图3的(b)、图4所示,本实施方式的半导体装置1中,设有作为半导体基板的硅基板10。硅基板10例如由单晶硅(Si)构成。在硅基板10的上层部分的一部分,设有导电型为n型的深n阱11。另外,硅基板10的将深n阱11包围的部分的导电型可以是p型。

[0029] 本说明书中,为了便于说明,采用XYZ正交坐标系。将与硅基板10的上表面10a平行并且相互正交的2个方向作为“X方向”及“Y方向”,将与上表面10a垂直的方向设为“Z方向”。此外,将Z方向也称作“上下方向”。Z方向之中,以上表面10a为基准,将远离硅基板10的方向也称作“上”,将朝向硅基板10的内部的方向也称作“下”。

[0030] 在深n阱11上的中央部分,设有导电型为p型的漂移层12以及导电型为p型的p阱13。p阱13的杂质浓度比漂移层12的杂质浓度高。另外,“杂质浓度”是在硅中成为载流子的杂质的浓度。从上方观察,漂移层12及p阱13的形状例如是在Y方向上延伸的长方形。在图4所示的例子中,p阱13将漂移层12的中央部贯通,p阱13的下表面位于比漂移层12的下表面靠下方。但是,不限于此,p阱13的下表面也可以位于比漂移层12的下表面靠上方。在p阱13上,设有导电型为p型的漏极接触层14。漏极接触层14的杂质浓度比p阱13的杂质浓度高。漏极接触层14也在与硅基板10的上表面10a平行的Y方向上延伸。

[0031] 在深n阱11上的周边部分,设有导电型为n型的n阱15。从上方观察,n阱15的形状例如是将漂移层12及p阱13包围的长方形的框状。n阱15与漂移层12分离,与深n阱11的外表面也分离。在漂移层12与n阱15之间,配置有深n阱11的部分11a。

[0032] 在n阱15上的一部分,设有导电型为p型的源极层16。在源极层16上的一部分,设有导电型为p型的源极接触层17。源极接触层17的杂质浓度比源极层16的杂质浓度高。源极接触层17在与硅基板10的上表面10a平行的Y方向上延伸。在n阱15上的另一部分,设有导电型为n型的体(body)层18。体层18的杂质浓度比n阱15的杂质浓度高。体层18与源极层16相接。在体层18上的一部分,设有导电型为n型的体接触层19。体接触层19的杂质浓度比体层18的杂质浓度高。体接触层19与源极接触层17相接。

[0033] 从上方观察,源极层16、源极接触层17、体层18以及体接触层19的形状例如是被n阱15包含的框状。深n阱11、漂移层12、p阱13、漏极接触层14、n阱15、源极层16、源极接触层

17、体层18以及体接触层19是硅基板10的一部分。

[0034] 在硅基板10上,作为元件分离绝缘体,设有STI (Shallow Trench Isolation) 31。STI31例如由硅氧化物(SiO)形成。从上方观察,STI31的形状例如是长方形的框状,沿着深n阱11的外缘而配置。深n阱11的外缘与STI31的底面相接。以下,将由STI31包围的区域称作“元件区域”。

[0035] 在硅基板10上,设有绝缘部件32。绝缘部件32例如由硅氧化物形成。绝缘部件32设有多个第1部分33和多个第2部分34。绝缘部件32配置在漏极接触层14与源极接触层17之间或其正上区域,例如,配置在漏极接触层14与深n阱11的部分11a之间或其正上区域。相邻的第1部分33与第2部分34彼此相接。

[0036] 在Z方向(上下方向)上,第1部分33的一半以上配置在硅基板10内。例如,在Z方向上,第1部分33的大致整体配置在硅基板10内。此外,在第1部分33的上表面33a,存在没有被硅基板10覆盖的区域。例如,上表面33a的整体没有被硅基板10覆盖。例如,第1部分33通过与STI31相同的工序形成。

[0037] 在Z方向上,第2部分34的一半以上位于硅基板10的上表面10a中的不与绝缘部件32相接的区域的上方。例如,在Z方向上,第2部分34的大致整体位于上表面10a中的不与绝缘部件32相接的区域的上方。因此,第1部分33的上表面33a位于比第2部分34的上表面34a靠下方,第1部分33的下表面33b位于比第2部分34的下表面34b靠下方。例如,在Z方向上,第1部分33的上表面33a的位置与第2部分34的下表面34b的位置大致相同。第2部分34例如是钛酸锶(日语:ステップドオキサイド,STO),通过与STI31不同的工序形成。

[0038] 从上方来看,第1部分33和第2部分34沿Y方向交替排列。即,沿着与硅基板10(半导体基板)的上表面10a的不与绝缘部件32相接的区域平行的Y方向(第1方向),第1部分33和第2部分34交替排列。例如,第1部分33和第2部分34周期性排列。相邻的第1部分33和第2部分34彼此相接。第2部分34的厚度 t_2 比第1部分33的厚度 t_1 薄。即, $t_2 < t_1$ 。另外,“厚度”是指Z方向上的长度。

[0039] 在硅基板10上,设有例如由硅氧化物构成的栅极绝缘膜41,在栅极绝缘膜41上以及绝缘部件32上,设有栅极电极42。栅极电极42至少遍及n阱15的正上区域、深n阱11的部分11a的正上区域、漂移层12的正上区域、绝缘部件32的第1部分33的正上区域以及绝缘部件32的第2部分34的正上区域而配置。栅极绝缘膜41比绝缘部件32的第2部分34薄。

[0040] 在栅极电极42的侧面上以及绝缘部件32的第2部分34的侧面上,设有侧壁。但是,在各图中,为了使图容易观察,侧壁省略了图示。在后述的其他实施方式中也同样。侧壁由绝缘材料构成,例如是硅氧化层与硅氮化层的层叠体。栅极绝缘膜41例如配置在硅基板10与栅极电极42之间、硅基板10与侧壁之间、以及硅基板10与第2部分34之间。另一方面,栅极绝缘膜41没有配置在硅基板10与第1部分33之间。另外,栅极绝缘膜41可以配置在硅基板10与第1部分33之间。

[0041] 从上方观察,栅极电极42的大致形状例如是包括绝缘部件32的外缘的正上区域的框状。即,栅极电极42设有在X方向上延伸的一对X边部和在Y方向上延伸的一对Y边部。各Y边部的形状是梳状。更详细而言,在栅极电极42的各Y边部,设有在Y方向上延伸的带状的基部42a、和从基部42a朝向p阱13侧(漏极侧)沿X方向延伸的多个齿部42b。多个齿部42b沿着Y方向且相互分离,例如周期性地排列。

[0042] 在上下方向上,即,从上方观察,栅极电极42的基部42a中的漏极侧的部分与绝缘部件32的第1部分33及第2部分34这双方重叠。此外,在上下方向上,齿部42b与第1部分33重叠,第2部分34位于齿部42b间。在基部42a中的将绝缘部件32的第2部分34覆盖的部分,可以形成有反映了第2部分34的形状的突起部42c。另外,也可以不形成突起部42c。

[0043] 在硅基板10上,以将栅极电极42覆盖的方式,设有层间绝缘膜(未图示)。在层间绝缘膜内,设有多个接触体(未图示)及多个布线(未图示)。布线经由接触体而与漏极接触层14、源极接触层17、体接触层19以及栅极电极42等连接。

[0044] 通过这样的结构,在半导体装置1中,在由STI31划分出的元件区域内,形成有p沟道型的DMOS61。DMOS61包含绝缘部件32。在DMOS61中,通过深n阱11的部分11a以及n阱15,形成沟道区域。另外,在图1中,为了方便,对DMOS61的源极侧附加符号“S”,对漏极侧附加符号“D”。在DMOS61中,从源极接触层17朝向漏极接触层14的方向是X方向。

[0045] 接着,对本实施方式的半导体装置1的动作及效果进行说明。

[0046] 在DMOS61中,在漏极接触层14与沟道区域之间设有绝缘部件32的第1部分33,所以从漏极接触层14向源极接触层17流动的导通电流的一部分在第1部分33的下方迂回而流动。因此,DMOS61其漏极—栅极间的距离长,耐压高。

[0047] 此外,由于栅极电极42的齿部42b配置在第1部分33上,所以通过场板效应,能够缓和漂移层12内的电场的集中并且确保栅极—漏极间的距离,使耐压提高。

[0048] 进而,导通电流的另一部分流过绝缘部件32的第2部分34的直下方,不会被第1部分33妨碍。因此,能够降低DMOS61的导通电阻。在该电流通路上,栅极电极42的基部42a中的漏极侧的部分配置在绝缘部件32的第2部分34上,所以能够缓和漂移层12内的电场的集中。

[0049] 根据本实施方式,不仅是XZ平面,在也包括Y方向的三维空间中,能够缓和电场的集中,实现耐压和导通电阻的平衡良好的DMOS。

[0050] (第二实施方式)

[0051] 接着,对第二实施方式进行说明。

[0052] 图5是表示本实施方式的半导体装置的局部放大平面图。

[0053] 图6的(a)是图5所示的A—A'线的截面图,图6的(b)是图5所示的B—B'线的截面图。

[0054] 图7是表示本实施方式的半导体装置的立体截面图。

[0055] 如图5、图6的(a)及图6的(b)、图7所示,本实施方式的半导体装置2与第一实施方式的半导体装置1(参照图1~图4)相比不同点在于,取代栅极电极42而设有栅极电极43。

[0056] 从上方观察,栅极电极43的形状例如是框状。栅极电极43设有带状部分43a,作为在Y方向上延伸的Y边部。带状部分43a的两侧面43b在Y方向上以直线状延伸。即,在带状部分43a,没有设置栅极电极42那样的齿部。此外,在带状部分43a中的将绝缘部件32的第2部分34覆盖的部分,可以形成有反映了第2部分34的形状的突起部43c。另外,也可以不形成突起部43c。

[0057] 如果绝缘部件32的第2部分34的厚度 t_2 足够厚,则即使不对栅极电极43设置齿部,也能够确保所需要的耐压。本实施方式中的上述以外的结构、动作及效果与第一实施方式相同。例如,第2部分34的厚度 t_2 比第1部分33的厚度 t_1 薄。即, $t_2 < t_1$ 。但是,如本实施方式那样,栅极电极43的形状是带状的情况下,第2部分34的厚度 t_2 可以与第1部分33的厚度 t_1

相同,也可以更厚。即,可以是 $t_2 \geq t_1$ 。

[0058] (第三实施方式)

[0059] 接着,对第三实施方式进行说明。

[0060] 图8的(a)及图8的(b)是表示本实施方式的半导体装置的截面图。

[0061] 图9是表示本实施方式的半导体装置的立体截面图。

[0062] 图8的(a)所示的截面的位置是与图5所示的A—A'线相当的位置,图8的(b)所示的截面的位置是与图5所示的B—B'线相当的位置。

[0063] 如图8的(a)及图8的(b)、图9所示,本实施方式的半导体装置3与第二实施方式的半导体装置2(参照图5、图6的(a)及图6的(b)、图7)相比不同点在于,取代绝缘部件32而设有绝缘部件35。

[0064] 在绝缘部件35中,设有多个第1部分33和多个第2部分36。在Z方向上,第2部分36的一半以上配置在硅基板10内。例如,在Z方向上,第2部分36的大致整体配置在硅基板10内。此外,在第2部分36的上表面36a,存在不被硅基板10覆盖的区域。例如,上表面36a的整体没有被硅基板10覆盖。第1部分33的位置及形状与第二实施方式相同。

[0065] 因而,在Z方向上,绝缘部件35的一半以上例如大致整体配置在硅基板10内。此外,在绝缘部件35的上表面存在没有被硅基板10覆盖的区域,例如,绝缘部件35的上表面的整体没有被硅基板10覆盖。例如,第2部分36通过与设于半导体装置3的某个STI相同的工序形成。在Y方向上,多个第1部分33和多个第2部分36交替排列。相邻的第1部分33和第2部分36彼此相接。第2部分36的厚度 t_3 比第1部分33的厚度 t_1 薄。即, $t_3 < t_1$ 。另外,栅极绝缘膜41比第2部分36薄。

[0066] 此外,与第二实施方式同样地,在栅极电极43,设有在Y方向上延伸的带状部分43a。带状部分43a的两侧面43b在Y方向上以直线状延伸。但是,在带状部分43a没有形成突起部43c(参照图7)。本实施方式中的上述以外的结构、动作及效果与第一实施方式相同。

[0067] (第四实施方式)

[0068] 接着,对第四实施方式进行说明。

[0069] 图10的(a)及图10的(b)是表示本实施方式的半导体装置的截面图。

[0070] 图11是表示本实施方式的半导体装置的立体截面图。

[0071] 图10的(a)所示的截面的位置相当于图2所示的A—A'线,图10的(b)所示的截面的位置相当于图2所示的B—B'线。

[0072] 如图10的(a)及图10的(b)、图11所示,本实施方式的半导体装置4与第一实施方式的半导体装置1(参照图1~图4)相比不同点在于,取代绝缘部件32而设有绝缘部件37。在Z方向上,绝缘部件37的一半以上例如大致整体位于硅基板10的上表面10a中的不与绝缘部件37相接的区域的上方。绝缘部件37例如由硅氧化物形成。

[0073] 在绝缘部件37中,多个第1部分38和多个第2部分39沿着Y方向交替地并且例如周期性地排列。相邻的第1部分38和第2部分39彼此相接。绝缘部件37的第1部分38及第2部分39例如都是钛酸锶。第2部分39的厚度 t_5 比第1部分38的厚度 t_4 薄。即, $t_5 < t_4$ 。另外,栅极绝缘膜41比第2部分39薄。第1部分38的上表面38a位于比第2部分39的上表面39a靠上方。在Z方向上,第1部分38的下表面38b的位置与第2部分39的下表面39b的位置大致相同。

[0074] 半导体装置4设有栅极电极42。从上方观察,栅极电极42的形状与第一实施方式的

半导体装置1的栅极电极42的形状相同。即,栅极电极42的Y边部的形状是梳状,设有在Y方向上延伸的1个基部42a、和从基部42a向X方向的漏极侧延伸的多个齿部42b。

[0075] 基部42a中的与齿部42b相反侧的部分隔着栅极绝缘膜41而配置在硅基板10上。基部42a中的齿部42b侧的部分位于绝缘部件37的第1部分38及第2部分39这双方之上。齿部42b配置在绝缘部件37的第1部分38上。因此,在上下方向上,齿部42b与第1部分38重叠,第2部分39位于齿部42b间。另外,在栅极电极42的上表面,也可以形成有反映了绝缘部件37的形状的凹凸。

[0076] 在本实施方式中,栅极电极42的齿部42b向漏极侧延伸,所以能够抑制硅基板10内的电场的集中。此外,齿部42b配置在绝缘部件37的第1部分38上,所以能够确保漏极—栅极间的耐压。进而,栅极电极42的基部42a中的齿部42b侧的部分配置在绝缘部件37的第1部分38上以及第2部分39上,由此也能够抑制硅基板10内的电场的集中并且确保耐压。

[0077] 进而,在本实施方式中,绝缘部件37的第1部分38和第2部分39沿着Y方向交替排列,由此能够三维地控制硅基板10内的电场分布。本实施方式中的上述以外的结构、动作及效果与第一实施方式相同。

[0078] (第五实施方式)

[0079] 接着,对第五实施方式进行说明。

[0080] 图12的(a)及图12的(b)是表示本实施方式的半导体装置的截面图。

[0081] 图13是表示本实施方式的半导体装置的立体截面图。

[0082] 图12的(a)所示的截面的位置相当于图5所示的A—A'线,图12的(b)所示的截面的位置相当于图5所示的B—B'线。

[0083] 本实施方式是将上述的第二实施方式和第四实施方式组合的例子。即,如图12的(a)及图12的(b)、图13所示,本实施方式的半导体装置5中,设有在第四实施方式中说明的绝缘部件37和在第二实施方式中说明的栅极电极43。

[0084] 与第四实施方式同样地,在绝缘部件37中,第1部分38和比第1部分38薄的第2部分39沿Y方向交替排列。第1部分38及第2部分39各自的在Z方向上的一半以上例如大致整体配置在硅基板10的上表面10a中的不与绝缘部件37相接的区域的上方。

[0085] 与第二实施方式同样地,在栅极电极43中,设有在Y方向上延伸的带状部分43a。带状部分43a的源极侧的部分隔着栅极绝缘膜41而配置在硅基板10上。带状部分43a中的漏极侧的部分登上绝缘部件37的第1部分38上及第2部分39上。在栅极电极43的上表面,也可以形成有反映了绝缘部件37的形状的凹凸。本实施方式中的上述以外的结构、动作及效果与第一实施方式相同。

[0086] (第六实施方式)

[0087] 接着,对第六实施方式进行说明。

[0088] 图14的(a)及图14的(b)是表示本实施方式的半导体装置的截面图。

[0089] 图15是表示本实施方式的半导体装置的立体截面图。

[0090] 图14的(a)所示的截面的位置相当于图2所示的A—A'线,图14的(b)所示的截面的位置相当于图2所示的B—B'线。

[0091] 如图14的(a)及图14的(b)、图15所示,本实施方式的半导体装置6与第四实施方式的半导体装置4(参照图10的(a)及图10的(b)、图11)相比不同点在于,没有设置绝缘部件37

的第2部分39。即,在半导体装置4中,绝缘部件37的仅第1部分38沿着Y方向相互分离而排列。在硅基板10与第1部分38之间,设有栅极绝缘膜41。此外,在第1部分38间的区域中,在硅基板10与栅极电极42之间设有栅极绝缘膜41。

[0092] 换言之,在半导体装置6中,设有硅基板10、在硅基板10上设置的沿Y方向相互分离而排列的多个绝缘部件(第1部分38)、以及在硅基板10上及多个绝缘部件(第1部分38)上配置的栅极电极42。与第四实施方式同样地,在栅极电极42的Y边部,设有在Y方向上延伸的基部42a、和从基部42a向X方向的漏极侧延伸的多个齿部42b。在上下方向上,第1部分38与齿部42b重叠,第1部分38间的区域与齿部42b间的区域重叠。

[0093] 根据半导体装置6所要求的耐压,即使不设置绝缘部件37的第2部分39,也能够实现所需要的导通电阻和耐压。本实施方式中的上述以外的结构、动作及效果与第一实施方式相同。

[0094] 根据以上说明的实施方式,能够实现耐压和导通电阻的平衡良好的半导体装置。

[0095] 以上,说明了本发明的几个实施方式,这些实施方式是作为例子提示的,并不意欲限定发明的范围。这些新的实施方式能够以其他各种各样的形态实施,在不脱离发明主旨的范围内,能够进行各种省略、替换、变更。这些实施方式及其变形包含在发明的范围及主旨中,并且包含在权利要求所记载的发明及其等价范围内。

[0096] 此外,在上述的各实施方式中,示出了对半导体装置设置DMOS的例子,但不限于此。例如也可以设置LDMOS(Laterally Diffused MOS:横向扩散MOS)、DEMOS(Drain Extended MOS:扩展漏极型MOS)、EDMOS(Extended Drain MOS:正交栅极扩展漏极MOS)或者高耐压MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor:金属氧化物半导体场效应晶体管)。

[0097] 进而,在上述的各实施方式中,示出了使用硅基板作为半导体基板的例子,但不限于此。半导体基板例如可以是SiC基板、SiGe基板或者化合物半导体基板。此外,各部的导电型可以相反。

[0098] 本发明包括以下的形态。

[0099] (附记1)

[0100] 一种半导体装置,具备:

[0101] 半导体基板;

[0102] 多个第1绝缘部件,配置在上述半导体基板内,上表面在上述半导体基板的上表面露出;

[0103] 多个第2绝缘部件,设置在上述半导体基板上;以及

[0104] 电极,设置在上述半导体基板上、上述第1绝缘部件上以及上述第2绝缘部件上,

[0105] 上述第1绝缘部件和上述第2绝缘部件沿着与上述半导体基板的上表面平行的第1方向交替地排列。

[0106] (附记2)

[0107] 如附记1所述的半导体装置,上述第2绝缘部件比上述第1绝缘部件薄。

[0108] (附记3)

[0109] 一种半导体装置,具备:

[0110] 半导体基板;

- [0111] 绝缘部件,配置在上述半导体基板内,上表面在上述半导体基板的上表面露出;以及
- [0112] 电极,设置在上述半导体基板上以及上述绝缘部件上,
- [0113] 上述绝缘部件具有:
- [0114] 多个第1部分;以及
- [0115] 多个第2部分,比上述第1部分薄;
- [0116] 上述第1部分和上述第2部分沿着与上述半导体基板的上表面平行的第1方向交替地排列。
- [0117] (附记4)
- [0118] 一种半导体装置,具备:
- [0119] 半导体基板;
- [0120] 绝缘部件,设置在上述半导体基板上;以及
- [0121] 电极,配置在上述半导体基板上以及上述绝缘部件上,
- [0122] 上述绝缘部件具有:
- [0123] 多个第1部分;以及
- [0124] 多个第2部分,比上述第1部分薄,
- [0125] 上述第1部分和上述第2部分沿着与上述半导体基板的上表面平行的第1方向交替地排列。

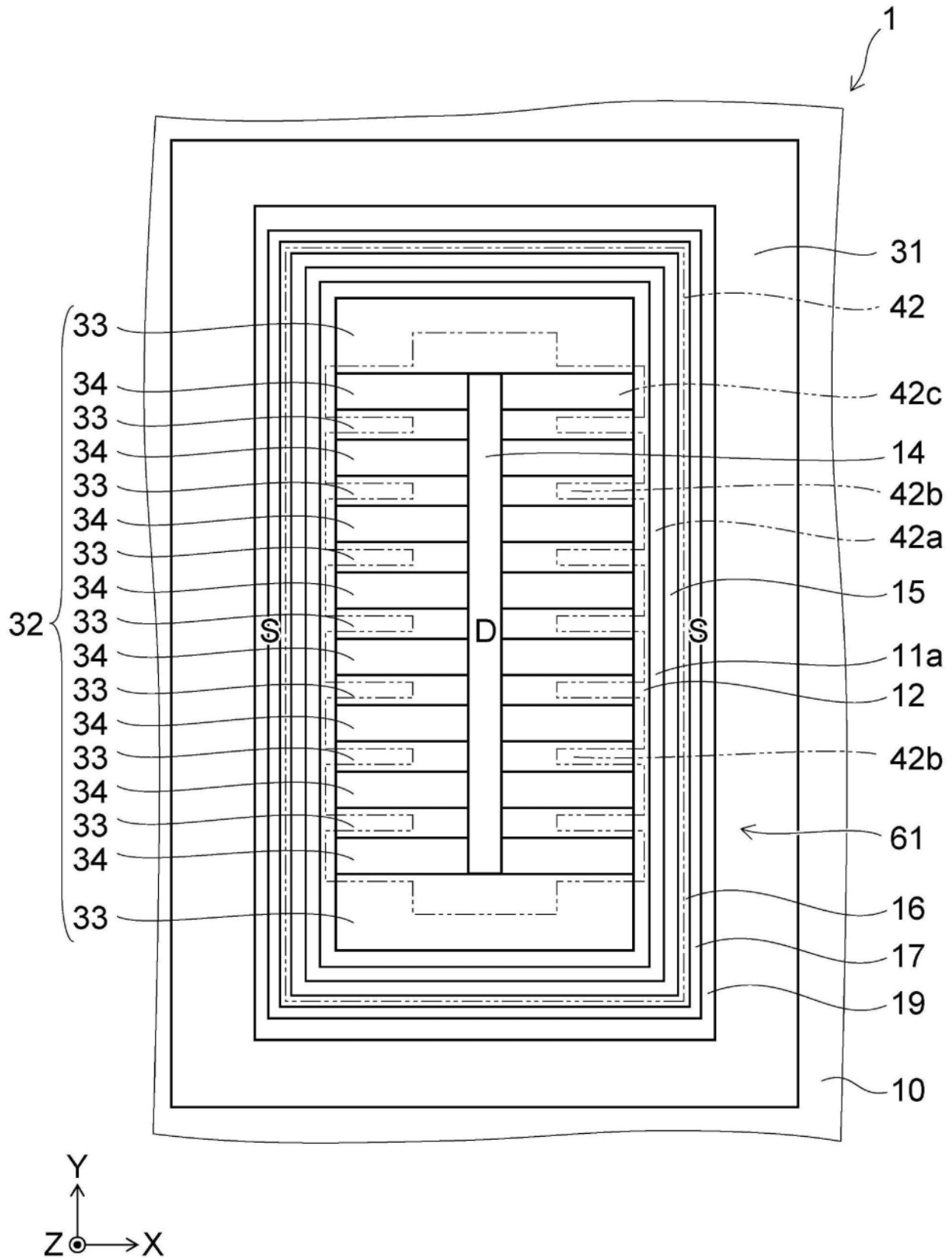


图1

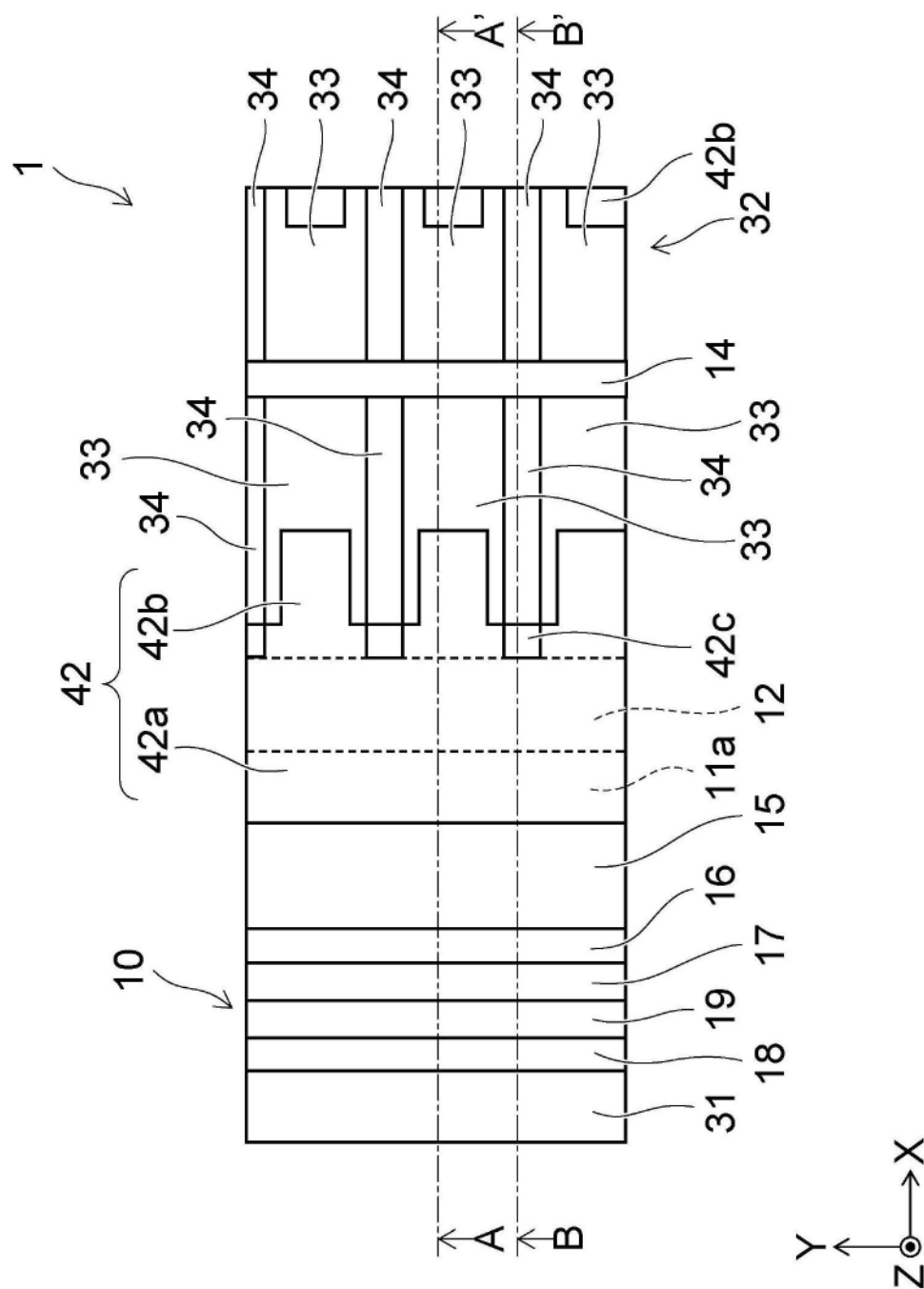


图2

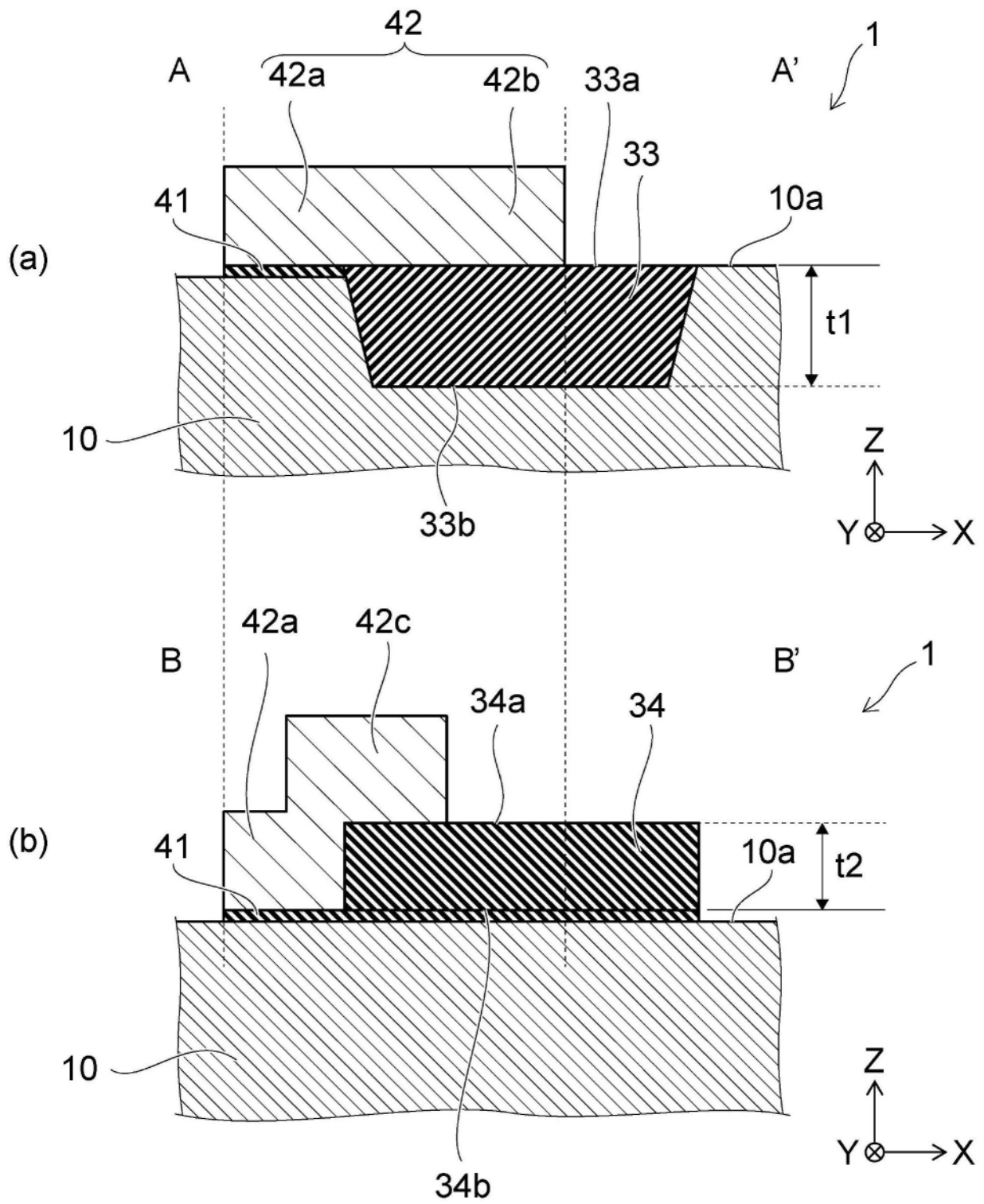


图3

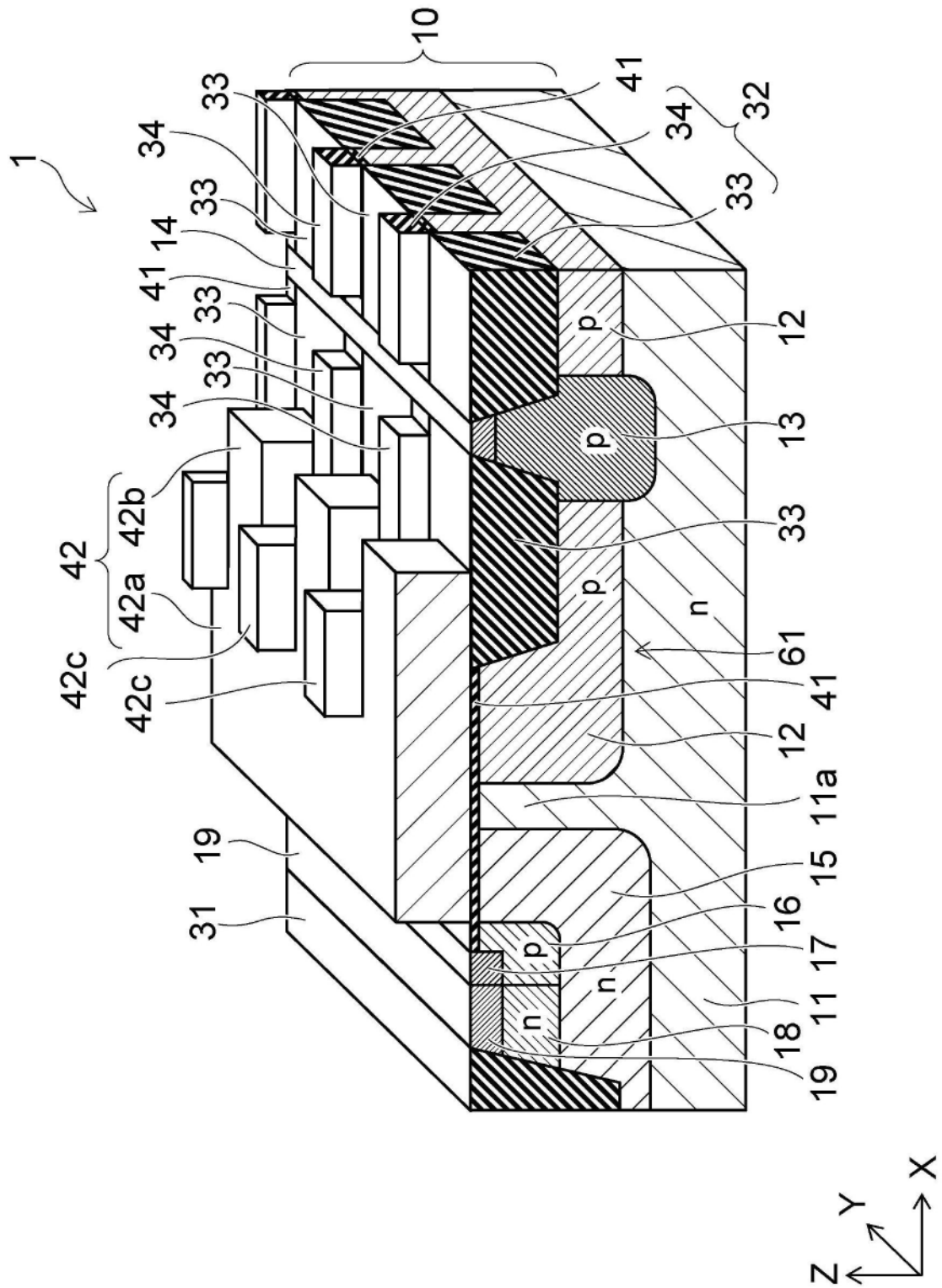


图4

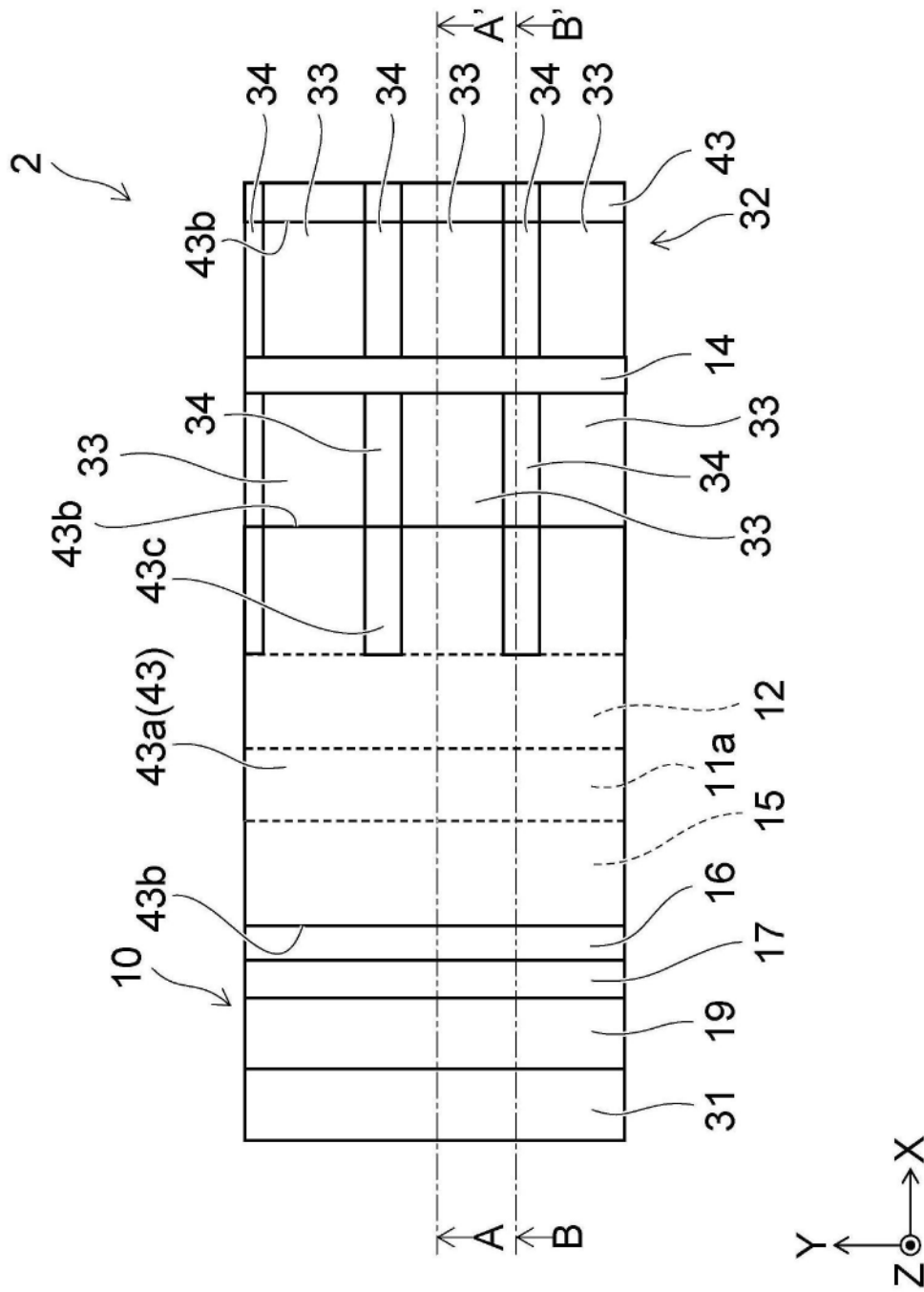


图5

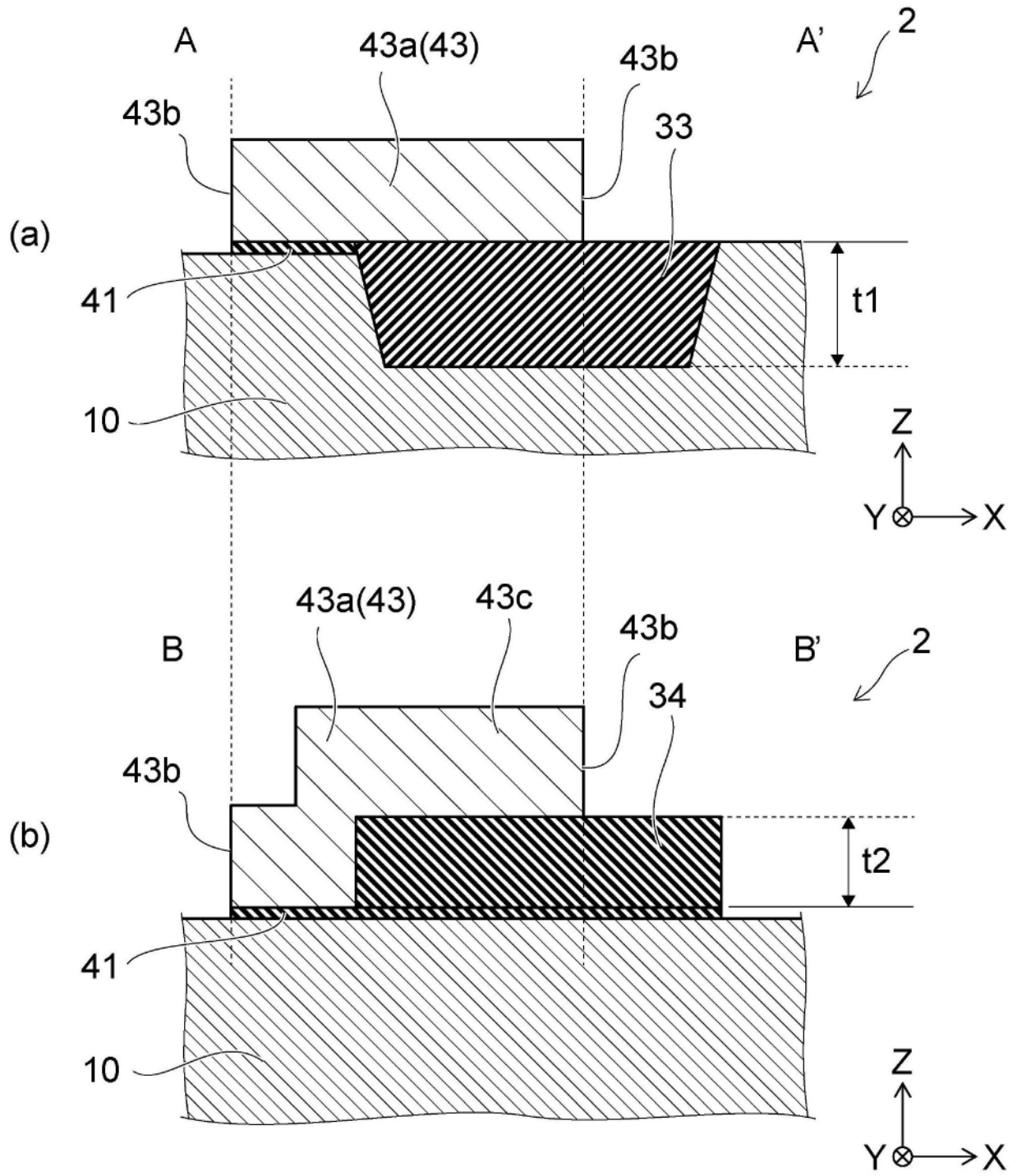


图6

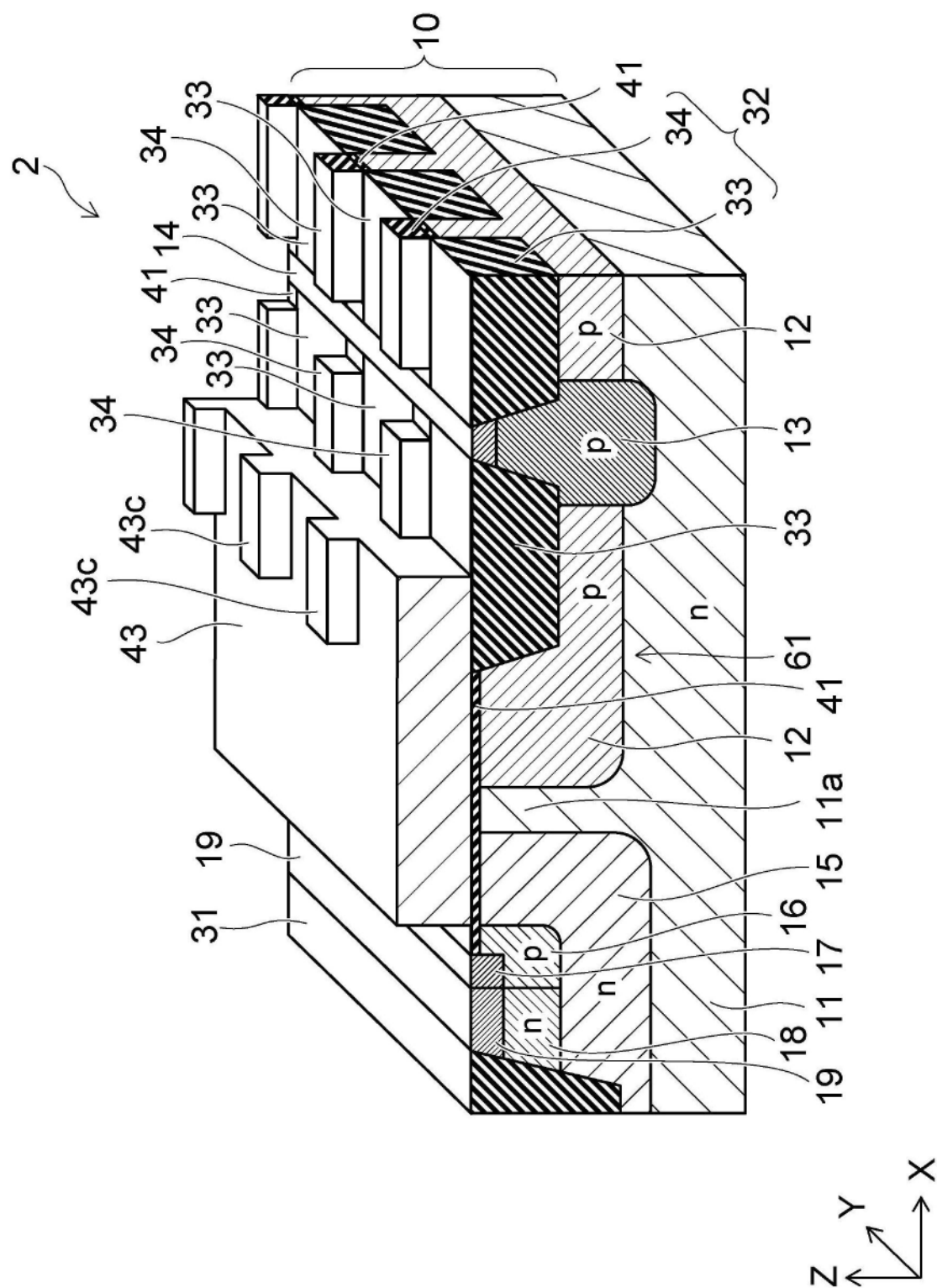


图7

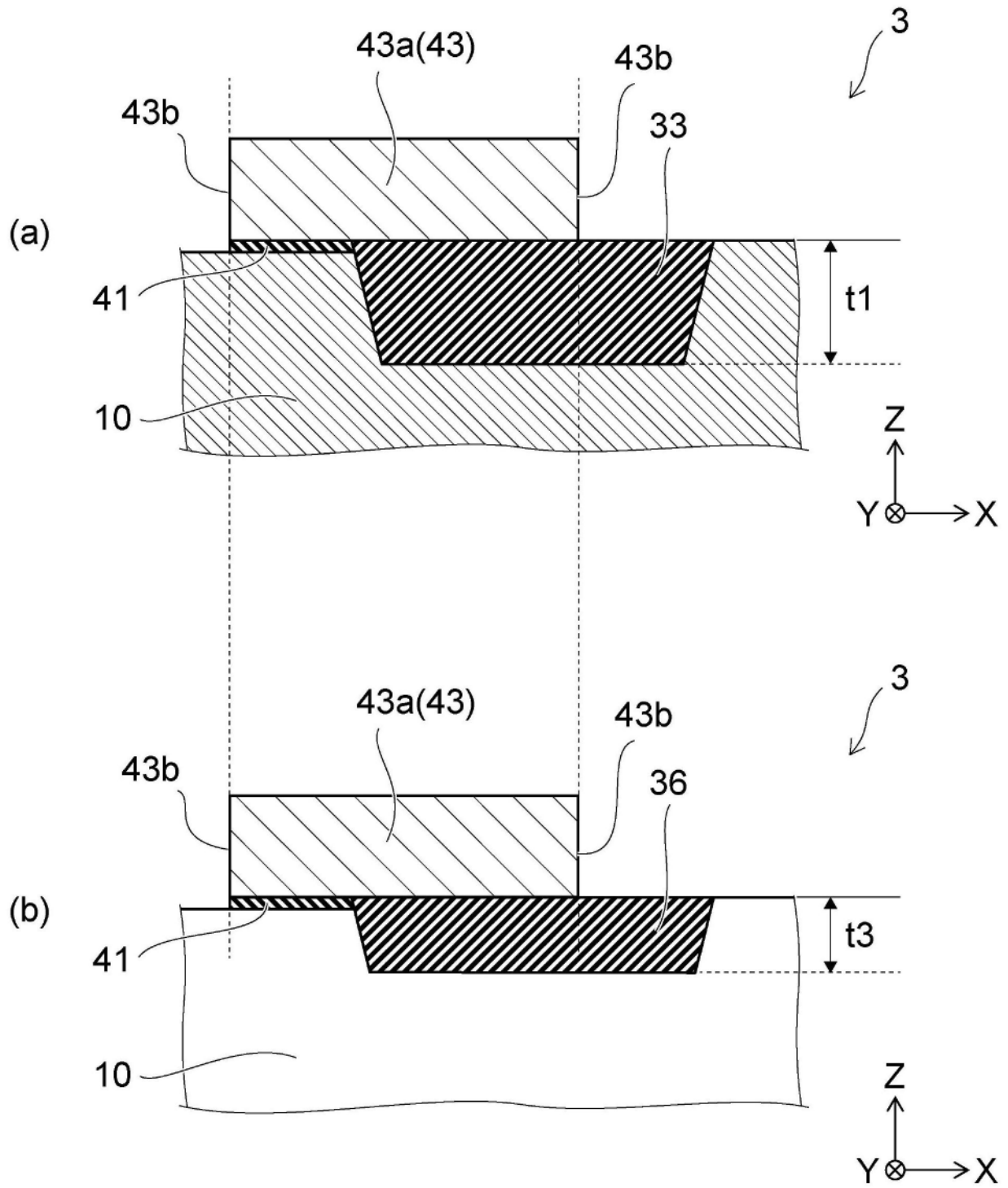


图8

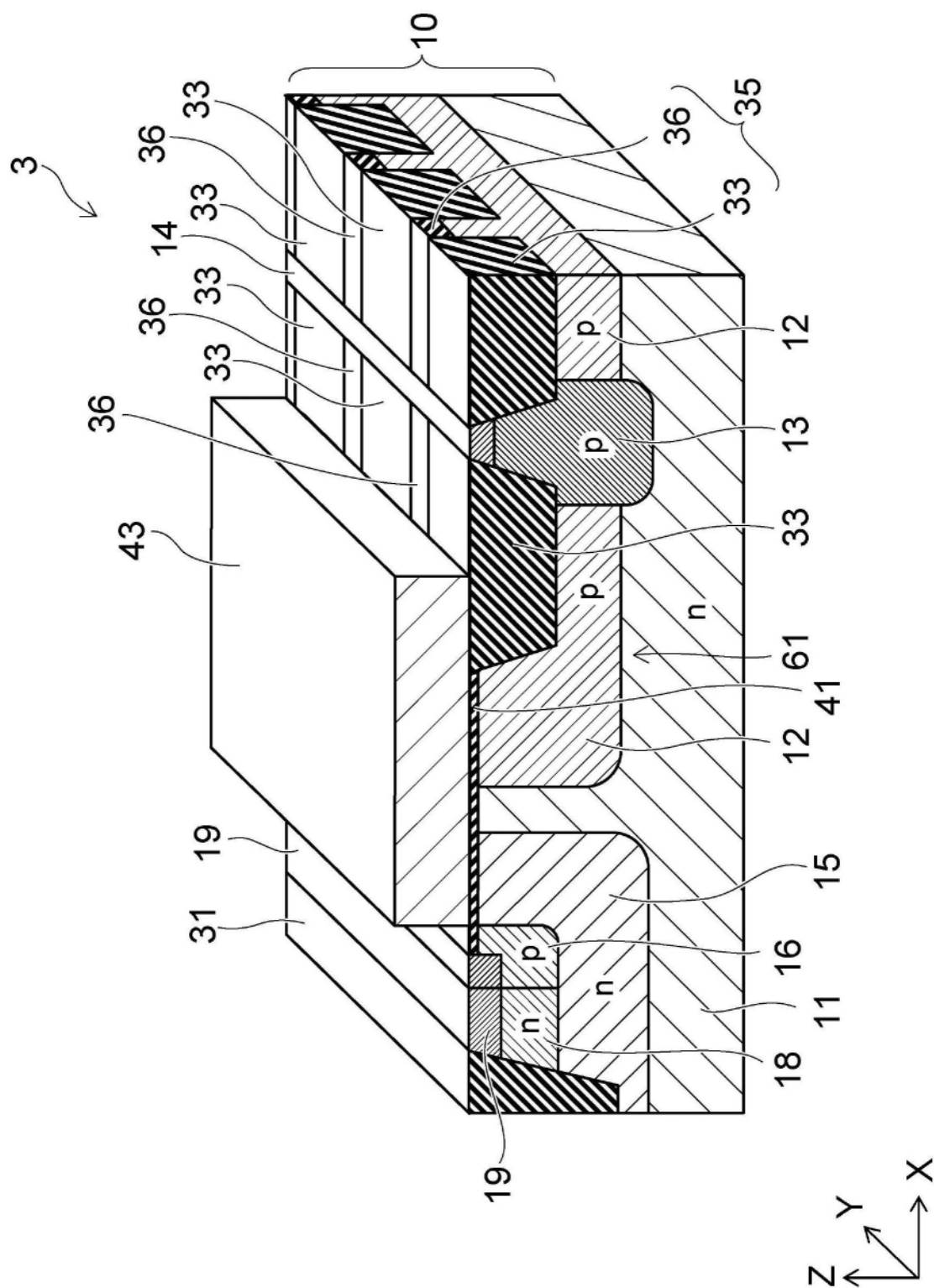


图9

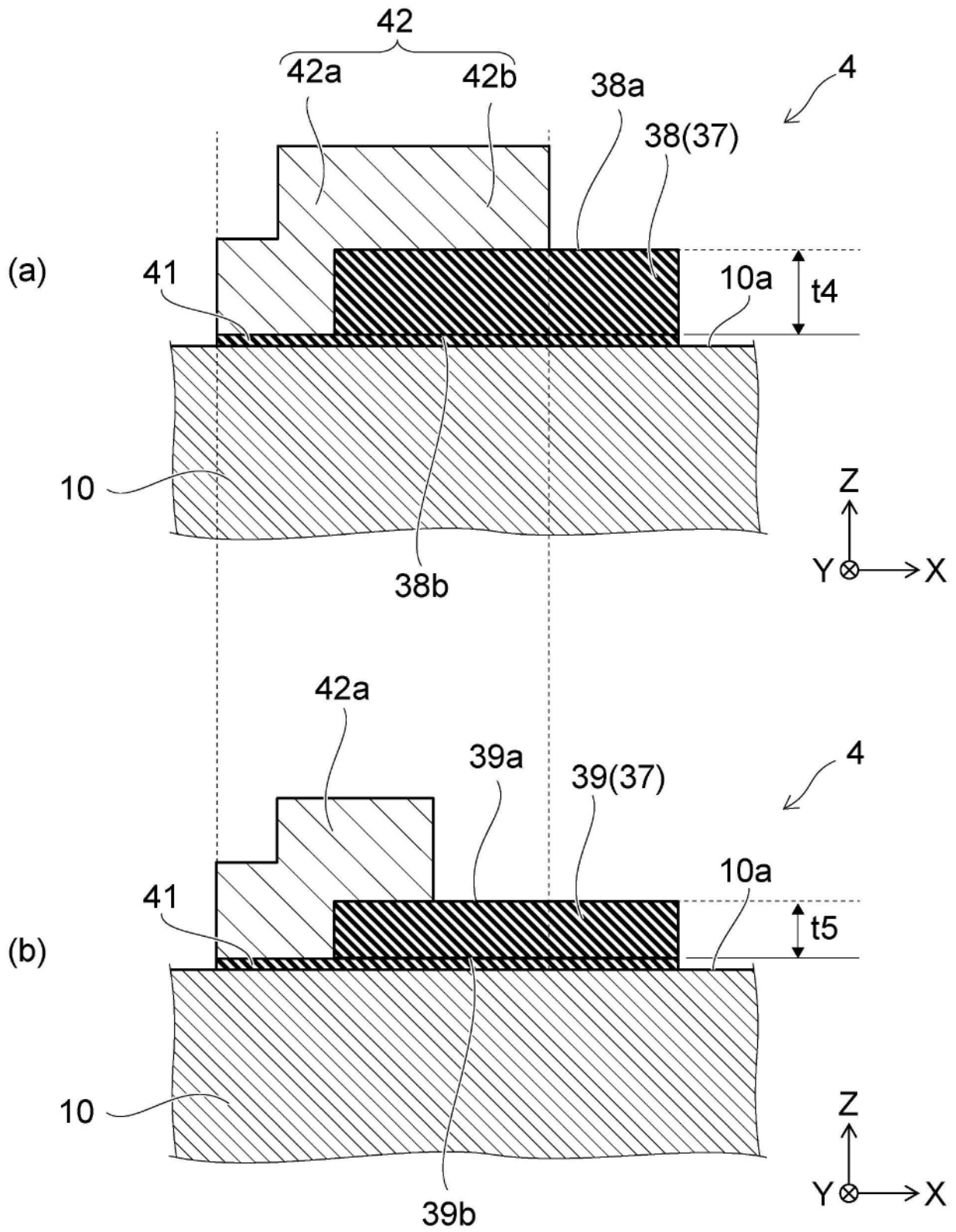


图10

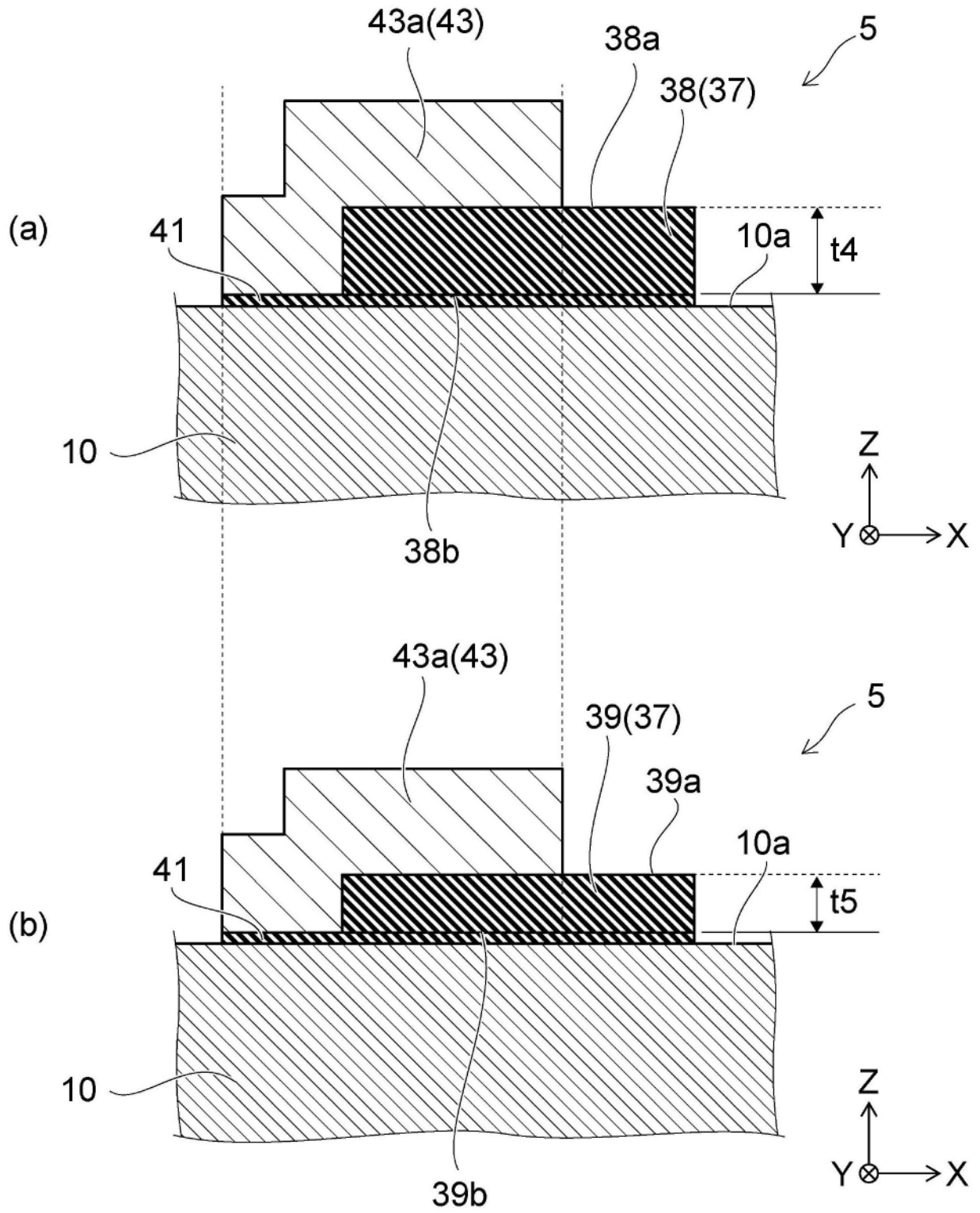


图12

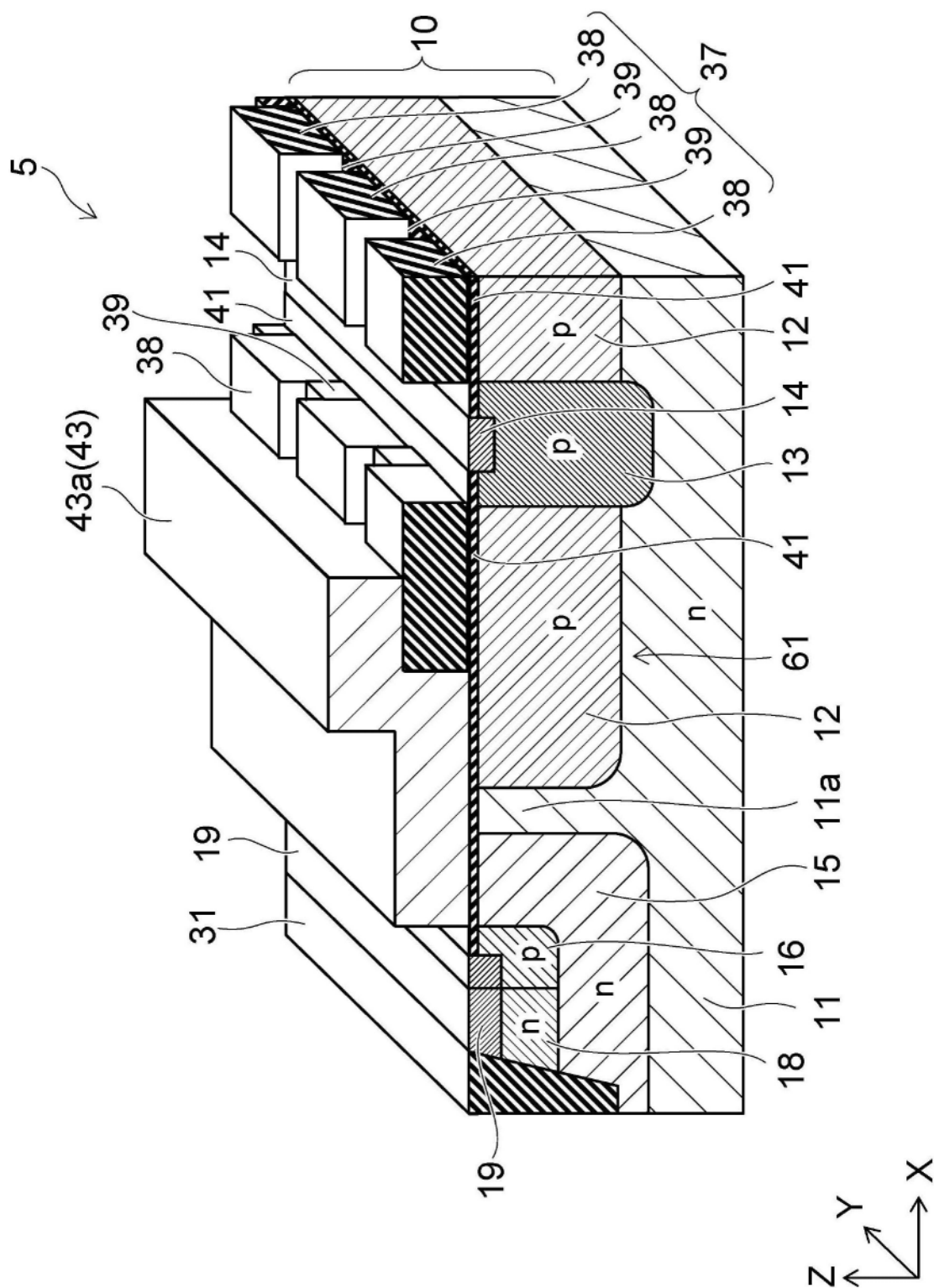


图13

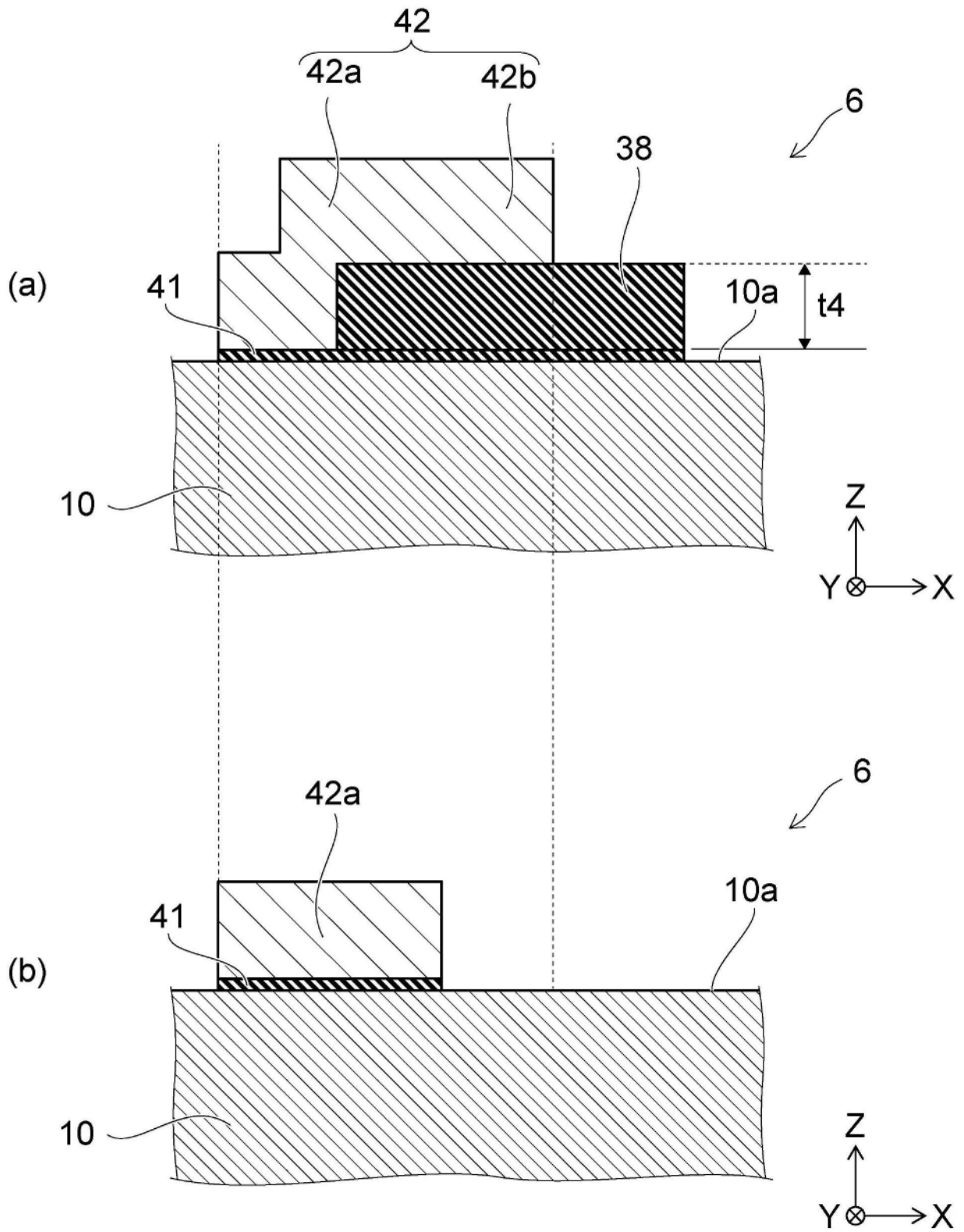


图14

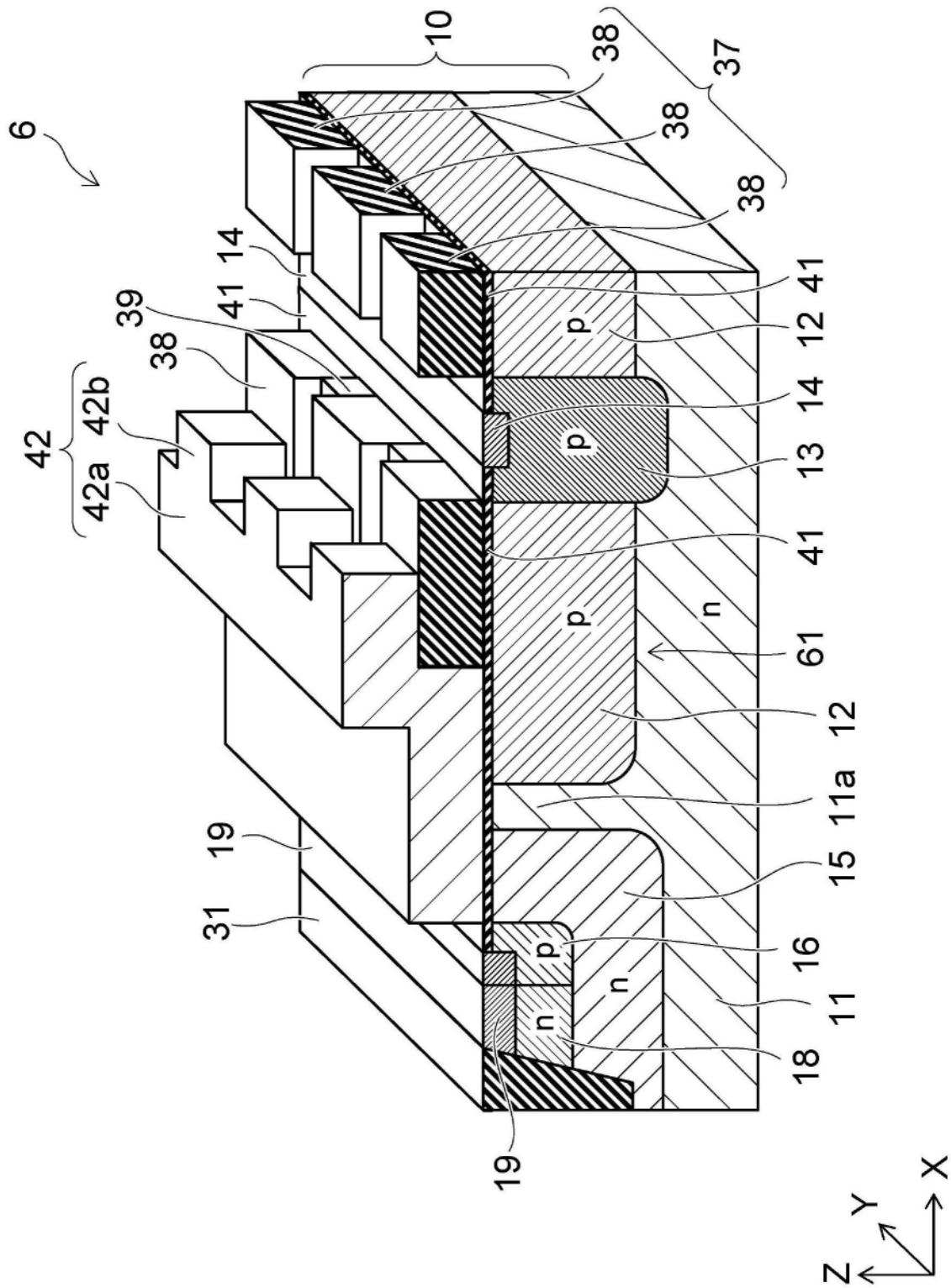


图15