



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월08일
(11) 등록번호 10-1428788
(24) 등록일자 2014년08월04일

(51) 국제특허분류(Int. Cl.)

G11C 5/14 (2006.01)

(21) 출원번호 10-2008-0028710

(22) 출원일자 2008년03월28일

심사청구일자 2013년02월13일

(65) 공개번호 10-2008-0090288

(43) 공개일자 2008년10월08일

(30) 우선권주장

JP-P-2007-00097991 2007년04월04일 일본(JP)

(56) 선행기술조사문헌

JP2000197365 A

JP2003085506 A

US20070029977 A1

US20060256597 A1

전체 청구항 수 : 총 9 항

심사관 : 손준영

(73) 특허권자

가부시킴가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

후지타 마사시

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시킴가이샤한도오파이 에네루기 켄큐쇼 내

카토 키요시

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시킴가이샤한도오파이 에네루기 켄큐쇼 내

(74) 대리인

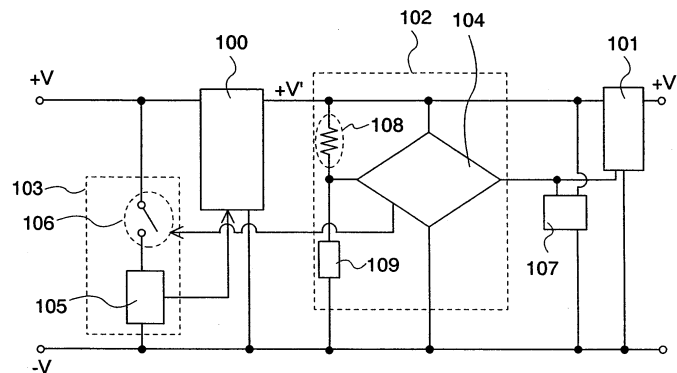
황의만

(54) 발명의 명칭 반도체장치

(57) 요약

회로 내의 소자를 파괴시킬 정도의 고주파 신호가 공급된 경우에도 일정 이상의 전압이 가해지지 않는 정류 회로를 가지는 반도체장치를 제공한다. 기관 단자를 가지는 트랜지스터를 구비한 정류 회로와, 정류 회로의 출력과 기준이 되는 전압을 비교하는 비교 회로부와, 정류 회로의 트랜지스터의 스레시홀드(threshold) 전압을 제어하기 위한 전압을 생성하는 회로를 가지고, 비교 회로의 비교 결과에 의해, 정류 회로에 전압이 입력되고, 정류 회로의 트랜지스터의 스레시홀드 전압을 제어함으로써, 정류 회로의 정류 능력을 제어한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체장치로서,

제1 트랜지스터와 제1 용량 소자를 포함하는 정류 회로;

비교 회로; 및

전압 생성 회로를 포함하고,

상기 정류 회로의 제1 입력 단자는 상기 전압 생성 회로의 제1 입력 단자에 전기적으로 접속되고,

상기 정류 회로의 제2 입력 단자는 상기 전압 생성 회로의 출력 단자에 전기적으로 접속되고,

상기 정류 회로의 출력 단자는 상기 비교 회로의 제1 입력 단자에 전기적으로 접속되고,

상기 비교 회로의 출력 단자는 상기 전압 생성 회로의 제2 입력 단자에 전기적으로 접속되고,

상기 정류 회로의 상기 제1 입력 단자는 상기 제1 용량 소자의 제1 단자에 전기적으로 접속되고,

상기 정류 회로의 상기 제2 입력 단자는 상기 제1 트랜지스터의 제2 게이트에 전기적으로 접속되고,

상기 정류 회로의 상기 출력 단자는 상기 제1 트랜지스터의 제2 단자에 전기적으로 접속되고,

상기 제1 용량 소자의 제2 단자는 상기 제1 트랜지스터의 제1 단자 및 상기 제1 트랜지스터의 제1 게이트에 전기적으로 접속되고,

상기 비교 회로는 상기 비교 회로의 상기 제1 입력 단자의 제1 전압과 상기 비교 회로의 제2 입력 단자의 기준 전압을 비교하여 결정된 상기 비교 회로의 상기 출력 단자에 제1 신호를 출력하고,

상기 전압 생성 회로는 상기 제1 신호에 따라, 상기 전압 생성 회로의 상기 출력 단자에 제2 전압을 출력하고,

상기 제1 트랜지스터의 스레시홀드 전압은 상기 제2 전압에 의해 제어 가능한, 반도체장치.

청구항 2

반도체장치로서,

제1 트랜지스터와 제1 용량 소자를 포함하는 정류 회로;

비교 회로; 및

전압 생성 회로를 포함하고,

상기 정류 회로의 제1 입력 단자는 상기 전압 생성 회로의 제1 입력 단자에 전기적으로 접속되고,

상기 정류 회로의 제2 입력 단자는 상기 전압 생성 회로의 출력 단자에 전기적으로 접속되고,

상기 정류 회로의 출력 단자는 상기 비교 회로의 제1 입력 단자에 전기적으로 접속되고,

상기 비교 회로의 출력 단자는 상기 전압 생성 회로의 제2 입력 단자에 전기적으로 접속되고,

상기 정류 회로의 상기 제1 입력 단자는 상기 제1 용량 소자의 제1 단자에 전기적으로 접속되고,

상기 정류 회로의 상기 제2 입력 단자는 상기 제1 트랜지스터의 제2 게이트에 전기적으로 접속되고,

상기 정류 회로의 상기 출력 단자는 상기 제1 트랜지스터의 제2 단자에 전기적으로 접속되고,

상기 제1 용량 소자의 제2 단자는 상기 제1 트랜지스터의 제1 단자 및 상기 제1 트랜지스터의 제1 게이트에 전기적으로 접속되고,

상기 제1 트랜지스터는 상기 제1 트랜지스터의 상기 제1 게이트와 상기 제1 트랜지스터의 상기 제2 게이트 사이에 반도체층을 포함하고,

상기 비교 회로는 상기 비교 회로의 상기 제1 입력 단자의 제1 전압과 상기 비교 회로의 제2 입력 단자의 기준

전압을 비교하여 결정된 상기 비교 회로의 상기 출력 단자에 제1 신호를 출력하고,
상기 전압 생성 회로는 상기 제1 신호에 따라, 상기 전압 생성 회로의 상기 출력 단자에 제2 전압을 출력하고,
상기 제1 트랜지스터의 스레시홀드 전압은 상기 제2 전압에 의해 제어 가능한, 반도체장치.

청구항 3

반도체장치로서,
제1 트랜지스터와 제1 용량 소자를 포함하는 정류 회로;
비교 회로; 및
전압 생성 회로를 포함하고,
상기 정류 회로의 제1 입력 단자는 상기 전압 생성 회로의 제1 입력 단자에 전기적으로 접속되고,
상기 정류 회로의 제2 입력 단자는 상기 전압 생성 회로의 출력 단자에 전기적으로 접속되고,
상기 정류 회로의 출력 단자는 상기 비교 회로의 제1 입력 단자에 전기적으로 접속되고,
상기 비교 회로의 출력 단자는 상기 전압 생성 회로의 제2 입력 단자에 전기적으로 접속되고,
상기 정류 회로의 상기 제1 입력 단자는 상기 제1 용량 소자의 제1 단자에 전기적으로 접속되고,
상기 정류 회로의 상기 제2 입력 단자는 상기 제1 트랜지스터의 제2 게이트에 전기적으로 접속되고,
상기 정류 회로의 상기 출력 단자는 상기 제1 트랜지스터의 제2 단자에 전기적으로 접속되고,
상기 제1 용량 소자의 제2 단자는 상기 제1 트랜지스터의 제1 단자 및 상기 제1 트랜지스터의 제1 게이트에 전기적으로 접속되고,
상기 제1 트랜지스터는 상기 제1 트랜지스터의 상기 제1 게이트와 상기 제1 트랜지스터의 상기 제2 게이트 사이에 단결정 반도체층을 포함하고,
상기 비교 회로는 상기 비교 회로의 상기 제1 입력 단자의 제1 전압과 상기 비교 회로의 제2 입력 단자의 기준 전압을 비교하여 결정된 상기 비교 회로의 상기 출력 단자에 제1 신호를 출력하고,
상기 전압 생성 회로는 상기 제1 신호에 따라, 상기 전압 생성 회로의 상기 출력 단자에 제2 전압을 출력하고,
상기 제1 트랜지스터의 스레시홀드 전압은 상기 제2 전압에 의해 제어 가능한, 반도체장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 기준 전압을 생성하고 상기 기준 전압을 상기 비교 회로에 출력하는 바이어스 회로를 더 포함하는 반도체 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 제1 전압으로부터 상기 기준 전압을 생성하는 바이어스 회로를 더 포함하는 반도체장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 정류 회로는 상기 제 1 트랜지스터의 스레시홀드 전압이 상기 제2 전압에 의해 변경될 때 상기 제1 전압을 변경하는, 반도체장치.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 정류 회로의 상기 제1 입력 단자에 전기적으로 접속된 안테나를 더 포함하는 반도체장치.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 전압 생성 회로는 스위치, 제2 트랜지스터, 및 제2 용량 소자를 포함하고,

상기 전압 생성 회로의 상기 제1 입력 단자는 상기 스위치의 제1 단자에 전기적으로 접속되고,

상기 전압 생성 회로의 상기 제2 입력 단자는 상기 스위치의 제어 단자에 전기적으로 접속되고,

상기 전압 생성 회로의 상기 출력 단자는 상기 제2 트랜지스터의 제1 단자 및 상기 제2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제2 용량 소자의 제2 단자는 상기 제2 트랜지스터의 제2 단자에 전기적으로 접속되는, 반도체장치.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 정류 회로는 제2 트랜지스터 및 제2 용량 소자를 포함하고,

상기 정류 회로의 상기 제2 입력 단자는 상기 제2 트랜지스터의 제2 게이트에 전기적으로 접속되고,

상기 정류 회로의 제3 입력 단자는 상기 제2 트랜지스터의 제1 단자, 상기 제2 트랜지스터의 제1 게이트, 및 상기 제2 용량 소자의 제1 단자에 전기적으로 접속되고,

상기 정류 회로의 상기 출력 단자는 상기 제2 용량 소자의 제2 단자에 전기적으로 접속되고,

상기 제2 트랜지스터의 제2 단자는 상기 제1 트랜지스터의 상기 제1 단자에 전기적으로 접속되는, 반도체장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체장치에 관한 것이다.

배경 기술

[0002] 근년, 별개의 대상물에 ID(개체 식별 번호)를 부여함으로써, 그 대상물이 가지고 있는 정보의 이력을 명확하게 하고, 생산 또는 관리 등에 유용하게 사용하는 개체 인식 기술이 주목받고 있다. 그 중에서도, 무선 통신 장치(리더/라이터(reader/writer), 휴대 전화기, 퍼스널 컴퓨터 등, 무선에 의한 신호의 송수신이 가능한 것)와 무선에 의한 데이터의 통신이 가능한 반도체장치(이하, 반도체장치라고 함)인 RF 태그(tag)(ID 태그, IC 태그, IC 칩, 무선 태그, 또는 전자 태그라고도 함) 등의 RFID(Radio Frequency Identification)가 시장 등에서 시험적으로 도입되고 있고, 다양한 분야에의 응용이 기대되고 있다. 반도체장치에는, 전원을 가지지 않고 외부로부터 전원을 얻는 수동형(패시브형)의 것과, 전원을 내장하는 능동형(액티브형)의 것이 존재한다.

[0003] 반도체장치는, 무선 통신 장치와 무선에 의한 데이터의 통신을 행할 수가 있기 때문에, 무선 통신 장치와 거리가 떨어져 있는 경우에도 통신이 가능하다. 통신 가능한 거리를 통신 거리라고 한다. 통신 거리는, 전원을 가지지 않는 수동형의 반도체장치에서는, 송수신 회로의 정류 기능의 성능에 의한 영향이 크고, 수신 전력으로부터 직류 전압을 생성할 때의 변환 효율에 따라 좌우된다. 또한, 전원을 내장하는 능동형의 반도체장치에서는, 통신 거리는, 전원을 충전할 때의 효율(시간)에 영향을 준다. 그 때문에, 무선 통신 장치와 반도체장치 사이에서는, 통신 거리를 늘리기 위해 무선 통신 장치로부터 반도체장치에의 전력 공급 효율을 높이는 연구 개발이 활발히 진행되고 있다(예를 들어, 문헌 1).

[0004] [문헌 1] 일본국 공개특허공고 2006-5651호 공보

발명의 내용

해결 하고자하는 과제

[0005] 그러나, 무선 통신에 있어서, 무선 통신 장치에 의해 다수의 반도체장치로부터의 신호를 동시에 읽어내는 경우, 무선 통신 장치와 각각의 반도체장치와의 사이의 통신 거리는 상이한 경우가 있다. 또한, 예를 들어, 반도체장치가 부착된 상품을 상자에 채워 포크 리프트 등으로 옮기는 경우와 같이, 무선 통신 장치 앞을 통과하기까지의 통신 거리가 변화하는 경우가 있다. 일반적으로, 전력은, 전력이 방사되는 점으로부터 전력의 측정점까지의 거리의 제곱에 비례하여 감소한다. 즉, 통신 거리에 따라 무선 통신 장치로부터 반도체장치에 공급되는 전력은 다르다. 따라서, 어느 일정 길이의 통신 거리의 통신이 가능한 경우에, 예를 들어, 무선 통신 장치와 반도체장치가 접촉하는 등, 극단적으로 짧은 거리에서 신호를 수신한 경우에는, 반도체장치에 고주파 신호가 공급되면, 반도체장치에 대전류가 흐르게 된다. 이 경우, 반도체장치는 무선 통신 장치로부터의 신호를 정확하게 복조하지 못하고 오동작하고, 반도체장치의 내부 소자가 열화(劣化)한다. 또한, 최악의 경우, 반도체장치 자체가 파괴되거나 할 가능성이 있다.

- [0006] 본 발명은, 이상과 같은 문제를 감안하여 이루어진 것으로, 소자를 파괴시킬 정도의 고주파 신호를 수신한 경우에도, 정상으로 동작하고, 또한, 신뢰성이 높은 반도체장치를 제공하는 것을 과제로 한다.
- [0007] 또한, 본 발명의 반도체장치는, IC 태그, 무선 태그, 전자 태그 등의 무선 통신에 의해 데이터의 통신이 가능한 것이라면 모두 그 범주에 포함된다.

과제 해결수단

- [0008] 본 발명은 상기 과제를 해결하기 위해 이하의 구성을 채용하였다.
- [0009] 본 발명의 하나는, 정류 회로와, 정류 회로의 출력과 기준이 되는 전압을 비교하는 비교 회로와, 비교 회로에서의 비교 결과에 따라 정류 회로의 출력 전압을 제어하기 위한 제어 회로를 가지는 반도체장치이다.
- [0010] 보다 구체적으로는, 본 발명의 하나는, 신호 입력 단자(입력 단자라고도 칭함)와, 신호 입력 단자에 접속되고, 신호 입력 단자로부터 입력된 신호로부터 제1 직류 전압을 생성하는 정류 회로와, 정류 회로에 접속되고, 정류 회로로부터 입력된 제1 직류 전압과 기준 전압과의 비교를 행하는 비교부와, 비교부에 접속된 스위치와, 정류 회로에 접속되고, 또한, 스위치를 통하여 신호 입력 단자에 접속된 기관 전압 생성 회로를 가지고, 비교부에서의 비교 결과에 따라 스위치가 온(ON)으로 됨으로써, 스위치를 통하여 신호 입력 단자로부터 입력된 신호로부터 제2 직류 전압을 생성하는 기관 전압 생성부를 가지고, 정류 회로는, 적어도 게이트 단자와, 소스 단자와, 드레인 단자와, 기관 단자(제2 게이트 단자, 제어 단자라고도 부름)를 가지고, 게이트 단자가 소스 단자와 드레인 단자 중의 한쪽에 접속되고, 기관 단자가 기관 전압 생성 회로에 접속된 트랜지스터와, 트랜지스터의 소스 단자와 드레인 단자 중의 한쪽에 전기적으로 접속된 용량 소자를 가지고, 트랜지스터는, 기관 단자를 통하여 제2 직류 전압이 인가됨으로써 기관 전압의 값이 제어되는 반도체장치이다.
- [0011] 또한, 본 발명의 하나에서, 비교부에 접속되고, 기준 전압을 생성하고, 기준 전압을 비교부에 출력하는 바이어스 회로를 가지는 구성으로 할 수도 있다.
- [0012] 본 발명의 하나는, 신호 입력 단자와, 신호 입력 단자에 접속되고, 신호 입력 단자로부터 입력된 신호로부터 제1 직류 전압을 생성하는 정류 회로와, 정류 회로에 접속되고, 정류 회로로부터 입력된 제1 직류 전압과 기준 전압의 비교를 행하는 비교부와, 비교부에 접속된 제1 스위치와, 정류 회로에 접속되고, 또한, 제1 스위치를 통하여 신호 입력 단자에 접속된 기관 전압 생성 회로를 가지고, 비교부에서의 비교 결과에 따라 제1 스위치가 온으로 됨으로써, 제1 스위치를 통하여 신호 입력 단자로부터 입력된 신호로부터 제2 직류 전압을 생성하는 기관 전압 생성부와, 비교부에 접속된 제2 스위치와, 제2 스위치에 접속된 바이어스 회로를 가지고, 정류 회로는, 적어도 게이트 단자와, 소스 단자와, 드레인 단자와, 기관 단자를 가지고, 게이트 단자가 소스 단자와 드레인 단자 중의 한쪽에 전기적으로 접속되고, 기관 단자가 기관 전압 생성 회로에 접속된 트랜지스터와, 트랜지스터의 소스 단자와 드레인 단자 중의 한쪽에 전기적으로 접속된 용량 소자를 가지고, 제2 스위치는 트랜지스터의 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 바이어스 회로는 트랜지스터의 기관 단자에 접속되고, 또한, 제2 스위치를 통하여 트랜지스터의 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 비교부에서의 비교 결과에 따라 제2 스위치가 온으로 됨으로써, 제2 스위치를 통하여 정류 회로로부터 입력된 신호로부터 제3 직류 전압을 생성하고, 트랜지스터는 기관 단자를 통하여 제1 직류 전압 또는 제2 직류 전압이 인가됨으로써 기관 전압의 값이 제어되는 반도체장치이다.
- [0013] 또한, 본 발명의 하나에서, 비교부에 접속되고, 기준 전압을 생성하고, 기준 전압을 비교부에 출력하는 제2 바이어스 회로를 가지는 구성으로 할 수도 있다.
- [0014] 또한, 본 발명에서, 신호 입력 단자에 접속되고, 신호의 송수신을 행하는 안테나를 가지는 구성으로 할 수도 있다.
- [0015] 또한, 본 발명에서, 트랜지스터는 단결정 반도체층을 가지는 구성으로 할 수도 있다.
- [0016] 또한, 본 발명에서, 정류 회로로서 반파(半波) 배압(倍壓) 정류 회로를 사용할 수도 있다. 반파 배압 정류 회로는, 입력된 신호를 배압 정류함으로써, 입력된 신호의 전압보다 높은 전압을 생성한다.
- [0017] 또한, A와 B가 접속되어 있다고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기서, A, B는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이라고 한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계

이외의 것도 포함하는 것으로 한다.

[0018] 또한, 본 서류(명세서, 특허청구범위 또는 도면 등)에서의 트랜지스터는, 게이트 단자, 소스 단자, 및 드레인 단자의 적어도 3개의 단자를 가지고, 게이트 단자란, 게이트 전극의 부분(게이트가 되는 영역, 도전층, 및 배선 등을 포함함) 또는 게이트 전극과 전기적으로 접속되어 있는 부분의 일부를 말한다. 또한, 소스 단자란, 소스 전극의 부분(소스가 되는 영역, 도전층, 및 배선 등을 포함함)이나, 소스 전극과 전기적으로 접속되어 있는 부분의 일부를 말한다. 또한, 드레인 단자란, 드레인 전극(드레인이 되는 영역, 도전층, 및 배선 등을 포함함)이나, 드레인 전극과 전기적으로 접속되어 있는 부분의 일부를 말한다.

[0019] 또한, 본 서류(명세서, 특허청구범위 또는 도면 등)에서의 트랜지스터의 소스 단자와 드레인 단자는 트랜지스터의 구조나 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 단자 또는 드레인 단자인지를 한정하는 것이 곤란하다. 그래서, 본 서류(명세서, 특허청구범위 또는 도면 등)에서는, 소스 단자 및 드레인 단자로부터 임의로 선택한 한쪽의 단자를 소스 단자와 드레인 단자 중의 한쪽이라고 표기하고, 다른 한쪽의 단자를 소스 단자와 드레인 단자 중의 다른 한쪽이라고 표기한다.

[0020] 또한, 본 서류(명세서, 특허청구범위 또는 도면 등)에서의 용량 소자는, 한쪽의 전극과 다른 한쪽의 전극의 적어도 2개의 전극을 가지고, 한쪽의 전극의 일부 또는 전부를 제1 단자라고 표기하고, 다른 한쪽의 전극의 일부 또는 전부를 제2 단자라고 표기한다.

효 과

[0021] 본 발명을 사용함으로써, 반도체장치 내에서 장치 내의 소자를 파괴시킬 정도의 신호가 공급된 경우에도, 장치 내에 필요 이상의 전압이 가해지지 않는 반도체장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0022] 본 발명의 실시형태에 대하여 도면을 사용하여 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그의 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태에서 같은 것을 가리키는 부호는 다른 도면에서 공통으로 한다.

[0023] [실시형태 1]

[0024] 본 실시형태에서는, 본 발명의 반도체장치에 있어서의 전원부의 회로 구성에 대하여 도 1을 사용하여 설명한다.

[0025] 도 1에 나타내는 바와 같이, 전원부는 정류 회로(100)와, 전원 회로(101)와, 비교부(102)와, 기관 전압 생성부(103)와, 바이어스 회로(107)를 가진다.

[0026] 정류 회로(100)는 신호 입력 단자인 +V 단자로부터 입력된 신호를 정류화, 또한, 평활화함으로써 제1 직류 전압인 직류 전압(VDC)을 생성하여, +V' 단자에 출력한다.

[0027] 전원 회로(101)는 +V' 단자로부터 입력된 직류 전압(VDC)을 정전압화함으로써 전원 전압을 생성하여, +V'' 단자에 출력한다.

[0028] 바이어스 회로(107)는 +V' 단자로부터 입력된 직류 전압(VDC)으로부터 기준 전압(V_BIAS)을 생성하여, 전원 회로(101) 및 비교부(102)에 출력한다. 그러나, 전원 회로(101)에서 기준 전압(V_BIAS)을 생성하는 경우, 또는, 기준 전압(V_BIAS)이 필요 없는 경우에는, 바이어스 회로(107)로부터 기준 전압(V_BIAS)을 전원 회로(101)에 출력하지 않아도 좋다.

[0029] 비교부(102)는 비교 회로(104)와, 저항 소자(108), 및 트랜지스터 군(群)(109)을 가진다. 저항 소자(108) 및 트랜지스터 군(109)은 정류 회로(100)에서 생성된 직류 전압(VDC)을 기초로 직류 전압(VDC')을 생성하여, 비교 회로(104)에 출력한다. 여기서, 직류 전압(VDC')을 생성하기 위해 트랜지스터 군(109)을 사용하였지만, 트랜지스터 군(109)을 저항 소자로 치환할 수도 있다.

[0030] 비교 회로(104)는 직류 전압(VDC')과 기준 전압(V_BIAS)의 크기를 비교하고, 그 결과를 기관 전압 생성부(103)에 출력한다.

[0031] 기관 전압 생성부(103)는 기관 전압 생성 회로(105) 및 스위치(106)를 가진다. 스위치(106)는 비교 회로(104)로부터 입력되는 신호에 따라 온 또는 오프가 선택되고, +V 단자와 기관 전압 생성 회로(105)의 도통(導通) 또

는 비도통(非導通)이 선택된다. 기관 전압 생성 회로(105)는 스위치(106)가 온일 때 +V 단자와 접속 상태로 되고, +V 단자로부터 기관 전압 생성 회로(105)에 신호가 입력된다. 기관 전압 생성 회로(105)는 +V 단자로부터 입력된 신호를 정류화, 또한, 평활화함으로써 제2 직류 전압인 직류 전압(VSUB)을 생성하여, 정류 회로(100)에 출력한다. 스위치(106)가 오프일 때는, 기관 전압 생성 회로(105)는 -V 단자의 전위와 같은 값의 전위를 정류 회로(100)에 출력한다.

[0032] 도 1에 나타나지 않지만, 예를 들어, 안테나로부터 신호가 공급되는 반도체장치에서는, +V 단자에는 안테나의 + 단자가 접속되고, -V 단자에는 안테나의 - 단자가 접속된다.

[0033] 다음에 각 회로의 구성에 대하여 설명한다.

[0034] 정류 회로(100)의 구성에 대하여 도 2를 사용하여 설명한다. 또한, 본 실시형태에서, 제1 트랜지스터(201) 및 제2 트랜지스터(202)를 N채널형 트랜지스터로 하여 설명하지만, 각 트랜지스터의 게이트 단자의 접속처를 소스 단자와 드레인 단자 중의 한쪽으로부터 소스 단자와 드레인 단자 중의 다른 한쪽으로 바꾸고, 후술하는 기관 전압 생성 회로(105)의 각 트랜지스터의 게이트 단자의 접속처를 반대로 함으로써, P채널형 트랜지스터를 사용할 수도 있다.

[0035] 정류 회로(100)의 구성을 도 2에 나타낸다. 정류 회로(100)는, 소스 단자와 드레인 단자 중의 한쪽이 -V 단자에 접속된 제1 트랜지스터(201)와, 소스 단자와 드레인 단자 중의 한쪽이 제1 트랜지스터(201)의 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 소스 단자와 드레인 단자 중의 다른 한쪽이 +V' 단자에 접속된 제2 트랜지스터(202)와, 제1 단자가 +V 단자에 접속되고 제2 단자가 제1 트랜지스터(201)의 소스 단자와 드레인 단자 중의 다른 한쪽, 및 제2 트랜지스터(202)의 소스 단자와 드레인 단자 중의 한쪽에 접속된 제1 용량 소자(203)와, 제1 단자가 제2 트랜지스터(202)의 소스 단자와 드레인 단자 중의 다른 한쪽 및 +V' 단자에 접속되고, 제2 단자가 제1 트랜지스터(201)의 소스 단자와 드레인 단자 중의 한쪽 및 -V 단자에 접속된 제2 용량 소자(204)를 가진다.

[0036] 제1 트랜지스터(201) 및 제2 트랜지스터(202)는 각각의 게이트 단자가 소스 단자와 드레인 단자 중의 한쪽에 접속된다.

[0037] 또한, 제1 트랜지스터(201) 및 제2 트랜지스터(202)로서는, 예를 들어, 반도체 기관을 사용한 트랜지스터를 적용할 수 있다. 반도체 기관을 사용한 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 반도체층은 같은 반도체 기관을 사용하여 형성되고, 각각의 트랜지스터의 반도체층이 소자 분리층에 의해 분리되어 있다. 또한, 반도체 기관을 사용한 트랜지스터를 적용한 제1 트랜지스터(201) 및 제2 트랜지스터(202)는 각각 독립하여 제어되도록 설치된 기관 단자를 가지고, 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 기관 단자는 기관 전압 생성 회로(105)에 접속된다.

[0038] 제1 트랜지스터(201) 및 제2 트랜지스터(202)로서, 반도체 기관을 사용한 트랜지스터를 적용한 경우, 반도체 기관의 활성층으로서 기능하는 단결정 반도체층에 적어도 제1 내지 제3 불순물 영역이 제공되어 있다. 제1 불순물 영역은 소스 영역이고, 제2 불순물 영역은 드레인 영역이고, 제3 불순물 영역은 전압이 인가되는 영역이다. 이 트랜지스터는, 게이트로부터 활성층에 제1 전압이 인가되고, 제3 불순물 영역으로부터 활성층에 제2 전압이 인가된다. 활성층에 인가하는 제1 전압과 제2 전압의 전압값을 제어함으로써, 트랜지스터의 스레시홀드(threshold) 전압을 제어할 수 있다. 또한, 제3 불순물 영역을 기관 단자라고 부르고, 제3 불순물 영역에 인가되는 전압을 기관 전압이라고 부르는 일이 있다.

[0039] 또한, SOI 기관을 사용한 단결정 반도체막을 가지는 트랜지스터도 사용할 수가 있다. 이것에 의해, 기관의 일부에 기관 단자가 되는 영역을 제공할 수 있고, 또한, 전기 특성이나 사이즈나 형상 등의 편차가 적고, 전류 공급 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다.

[0040] 또한, 제1 트랜지스터(201) 및 제2 트랜지스터(202)로서는, 활성층을 사이에 끼우고 제1 게이트 단자와 제2 게이트 단자가 제공되어 있는 트랜지스터를 사용할 수 있다. 이 트랜지스터는, 제1 게이트 단자로부터 활성층에 제1 전압이 인가되고, 제2 게이트 단자로부터 활성층에 제2 전압이 인가된다. 활성층에 인가되는 제1 전압과 제2 전압의 전압값을 제어함으로써, 트랜지스터의 스레시홀드 전압을 제어할 수 있다. 또한, 제1 게이트 단자와 제2 게이트 단자 중의 한쪽을 기관 단자라 부르고, 기관 단자에 인가되는 전압을 기관 전압이라고 부르는 일이 있다. 기관 전압에 의해 제어되는 트랜지스터의 예로서는, 예를 들어, 기관에 유리 기관, 석영 기관 등을 사용할 수 있고, 반도체층에 비정질 실리콘, 다결정 실리콘, 또는 미(微)결정(마이크로크리스탈(microcrystal)) 또는 세미아모르퍼스(semi-amorphous)라고도 칭함) 실리콘 등의 비(非)단결정 반도체막을 사용할 수 있다.

- [0041] 또한, 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 구조로서는, MOS형 트랜지스터, 접합형 트랜지스터 등을 사용할 수 있다. 예를 들어, MOS형 트랜지스터를 사용한 경우, 상기 반도체 기판을 적용할 수가 있고, 높은 이동도를 얻을 수 있기 때문에, 트랜지스터의 사이즈를 작게 할 수 있다.
- [0042] 전원 회로(101)는, 정류 회로(100)로부터 입력된 직류 전압을 사용하여 정(定)전압의 전원 전압을 생성하는 기능을 가진다. 전원 회로(101)로서는 레귤레이터 등을 사용할 수 있다.
- [0043] 다음에, 비교부(102)의 구성에 대하여 도 3을 사용하여 설명한다. 또한, 본 실시형태에서, 제1 트랜지스터(402) 및 제2 트랜지스터(403)를 각각 P채널형 트랜지스터 및 N채널형 트랜지스터로 하여 설명한다.
- [0044] 또한, 트랜지스터 군(401)은 N채널형 트랜지스터로 하여 설명하지만, 각 트랜지스터의 게이트 단자의 접속처를 소스 단자와 드레인 단자 중의 한쪽으로부터 소스 단자와 드레인 단자 중의 다른 한쪽으로 바꿈으로써, P채널형 트랜지스터를 사용할 수도 있다.
- [0045] 도 3에 나타내는 바와 같이, 비교부(102)는, 임의의 수의 트랜지스터를 가지는 트랜지스터 군(401)(도 1의 트랜지스터 군(109)에 상당)과, 게이트 단자가 트랜지스터 군(401)에 접속되고, 소스 단자와 드레인 단자 중의 한쪽이 스위치(106)에 접속되고, 소스 단자와 드레인 단자 중의 다른 한쪽이 +V' 단자에 접속된 제1 트랜지스터(402)와, 게이트 단자가 바이어스 회로(107)에 접속되고, 소스 단자와 드레인 단자 중의 한쪽이 제1 트랜지스터(402)의 소스 단자와 드레인 단자 중의 한쪽에 접속되고, 소스 단자와 드레인 단자 중의 다른 한쪽이 트랜지스터 군(401) 및 -V 단자에 접속된 제2 트랜지스터(403)와, 한쪽 끝이 트랜지스터 군(401)의 한쪽 끝 및 제1 트랜지스터의 게이트 단자에 접속되고, 다른 쪽 끝이 +V' 단자에 접속된 저항 소자(404)(도 1의 저항 소자(108)에 상당)를 가진다. 또한, 트랜지스터 군(401)의 각 트랜지스터는 각각의 게이트 단자가 소스 단자와 드레인 단자 중의 한쪽에 접속된다. 또한, 제1 트랜지스터(402)의 게이트 단자와 트랜지스터 군(401)의 한쪽 끝과 저항 소자(404)의 한쪽 끝의 접속점을 노드(p)라 하고, 제1 트랜지스터(402)의 소스 단자와 드레인 단자 중의 한쪽과, 제2 트랜지스터(403)의 소스 단자와 드레인 단자 중의 한쪽, 및 도 1의 스위치(106)의 접속점을 노드(q)라 한다.
- [0046] 또한, 비교부(102)는 다른 구성을 적용할 수도 있다. 비교부(102)의 다른 구성에 대하여 도 4(A) 및 도 4(B)를 사용하여 설명한다.
- [0047] 예를 들어, 비교부(102)는, 도 4(A)에 나타내는 바와 같이, +V' 단자와 비교 회로(104)의 입력 단자와의 사이에 저항 소자(108)를 가지는 구성이나, 도 4(B)에 나타내는 바와 같이, 저항 소자(108)와 트랜지스터 군(109)을 마련하지 않는 구성으로 할 수도 있다. 외부로부터 입력되면, 소자에 전류가 흐른다. 소자에 흐르는 전류량과 소자의 부담은 비례하고 있고, 각 구성을 적절히 선택하여 사용함으로써, 소자에 흐르는 전류의 크기에 따라 소자의 부담을 경감시켜 비교 동작을 행할 수 있다.
- [0048] 바이어스 회로(107)는 기준 전압(V_{BIAS})을 생성하여 비교부(102)에 입력하는 기능을 가진다. 또한, 전원 회로(101)에서 기준 전압(V_{BIAS})이 필요한 경우, 전원 회로(101) 내에 바이어스 회로(107)를 마련하여도 좋고, 그 경우, 바이어스 회로(107)로부터 기준 전압(V_{BIAS})을 입력함으로써 회로를 간략화할 수 있다.
- [0049] 다음에, 기관 전압 생성 회로(105)의 구성에 대하여 설명한다. 또한, 본 실시형태에서는, 제1 트랜지스터(301) 및 제2 트랜지스터(302)를 N채널형 트랜지스터로 하여 설명하지만, 각 트랜지스터의 게이트 단자의 접속처를 소스 단자와 드레인 단자 중의 다른 한쪽으로부터 소스 단자와 드레인 단자 중의 한쪽으로 바꿈으로써 P채널형 트랜지스터를 사용할 수도 있다.
- [0050] 기관 전압 생성 회로(105)의 구성을 도 5에 나타낸다. 기관 전압 생성 회로(105)는, 소스 단자와 드레인 단자 중의 한쪽이 -V 단자에 접속된 제1 트랜지스터(301)와, 소스 단자와 드레인 단자 중의 한쪽이 제1 트랜지스터(301)의 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 소스 단자와 드레인 단자 중의 다른 한쪽이 도 1의 정류 회로(100)에 접속된 제2 트랜지스터(302)와, 제1 단자가 도 1의 스위치(106)에 접속되고, 제2 단자가 제1 트랜지스터(301)의 소스 단자와 드레인 단자 중의 다른 한쪽, 및 제2 트랜지스터(302)의 소스 단자와 드레인 단자 중의 한쪽에 접속된 제1 용량 소자(303)와, 제1 단자가 제2 트랜지스터(302)의 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 제2 단자가 제1 트랜지스터(301)의 소스 단자와 드레인 단자 중의 한쪽에 접속된 제2 용량 소자(304)와, 한쪽 끝이 제2 트랜지스터(302)의 소스 단자와 드레인 단자 중의 다른 한쪽 및 제2 용량 소자(304)의 제1 단자에 접속되고, 다른 쪽 끝이 제2 트랜지스터(302)의 소스 단자와 드레인 단자 중의 한쪽 및 제2 용량 소자(304)의 제2 단자에 접속된 저항 소자(305)와, 한쪽 끝이 제1 용량 소자(303)의 제1 단자에 접속되고, 다른 쪽 끝이 제1 트랜지스터의 소스 단자와 드레인 단자 중의 한쪽에 접속된 저항 소자(306)를 가진

다. 또한, 제1 트랜지스터(301) 및 제2 트랜지스터(302)는 각각의 게이트 단자가 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 또한, 기판 단자는 각각 $-V$ 단자에 접속된다.

[0051] 스위치(106)로서는, 특정의 것에 한정되지 않고, 예를 들어, 전기적 스위치나 기계적 스위치 등, 전류의 흐름을 제어할 수 있는 것이라면 사용할 수 있다. 예를 들어, 스위치로서, 트랜지스터(예를 들어, 접합형 트랜지스터, MOS 트랜지스터 등)를 사용할 수 있다. 기판 전압 생성 회로(105)는 스위치(106)를 통하여 도 1의 $+V$ 단자에 접속된다.

[0052] 다음에 본 실시형태의 전원부에 있어서의 동작에 대하여 설명한다.

[0053] 안테나로부터 수신된 신호는 $+V$ 단자 및 $-V$ 단자에 입력된다.

[0054] 또한, 본 실시형태에서는, 설명을 알기 쉽게 하기 위해, $-V$ 단자의 신호를 기준으로 하여, 일정하게 한 경우의 $+V$ 단자의 신호에 대한 동작의 설명을 한다. 안테나로부터 신호가 공급되는 반도체장치에서는, 주로 입력 신호는 차동 신호인 경우가 있다. 차동 신호란, 한 쌍의 신호선을 사용하고, 한 쌍의 신호선 각각에 서로 역위상(逆位相)의 신호를 전송하고, 각각의 신호선의 신호의 값을 서로 더함으로써 생성되는 신호이다. 입력 신호가 차동 신호이어도, 기준으로 하는 신호가 일정한지 아닌지의 차이뿐이기 때문에, 본 실시형태에서는 적용 가능하다.

[0055] 먼저, 기판 단자의 전위가 $-V$ 단자의 전위와 같은 경우의 정류 회로(100)의 동작에 대하여 도 2를 사용하여 설명한다.

[0056] $+V$ 단자로부터 입력된 신호(이하, 제1 입력 신호라고 함)는 제1 트랜지스터(201)의 소스 단자와 드레인 단자 중의 다른 한쪽에 입력된다. 제1 트랜지스터(201)는, 소스 단자와 드레인 단자 중의 다른 한쪽에 입력된 제1 입력 신호의 전위가 소스 단자와 드레인 단자 중의 한쪽의 전위보다 작은 경우에 온(ON)으로 되고, 큰 경우는 오프가 되기 때문에, 제1 입력 신호를 정류화한다. 제1 트랜지스터(201)는 정류화된 신호를 제1 용량 소자(203)에 출력한다. 제1 용량 소자(203)는 입력된 신호를 평활화하고, 평활화된 신호에 $+V$ 단자로부터 입력된 제1 입력 신호를 가한 신호(이하, 제2 입력 신호라고 함)를 제2 트랜지스터(202)의 소스 단자와 드레인 단자 중의 한쪽에 출력한다. 제2 트랜지스터(202)는, 소스 단자와 드레인 단자 중의 한쪽에 입력된 제2 입력 신호의 전위가 소스 단자와 드레인 단자 중의 다른 한쪽의 전위보다 큰 경우에 온으로 되고, 작은 경우에는 오프가 되기 때문에, 제2 입력 신호를 정류화한다. 제2 트랜지스터(202)는 정류화된 제2 입력 신호를 제2 용량 소자(204)에 출력한다. 제2 용량 소자(204)에서는, 제2 트랜지스터(202)로부터 입력된 정류화된 제2 입력 신호가 평활화되고, 평활화된 제2 입력 신호는 직류 전압(VDC)으로서 비교부(102)에 입력된다.

[0057] 이상과 같이, 전원부에서, 안테나로부터 입력된 신호를 정류 회로(100)에 의해 정류화 및 평활화함으로써 직류 전압(VDC)을 생성한다.

[0058] 또한, 본 실시형태에서의 정류 회로(100)는 반파 배압 정류 회로이고, $+V$ 단자로부터 입력된 제1 입력 신호에 제1 용량 소자에 의해 평활화된 신호를 가한 신호가 제2 입력 신호로서 정류화 및 평활화되기 때문에, 출력되는 직류 전압(VDC)을 입력 신호보다 높게 할 수 있다. 또한, 이 때의 직류 전압(VDC)은 정(正)의 값이 된다.

[0059] 또한, 배압 정류 회로의 출력인 직류 전압(VDC)을 구하는 이론식은, 정류 회로(100)에 입력되는 전압을 VIN이라 하고, 정류 회로(100)를 구성하는 트랜지스터의 스레시홀드 전압을 V_{th} 라 하면, 아래의 식 (1)로 나타내어진다.

$$VDC = 2N(VIN - V_{th}) \quad (1)$$

[0061] 식 (1)에서, N은 배압 정류 회로의 단수(段數)를 나타낸다. 이 때, 2개의 트랜지스터와 2개의 용량 소자를 사용한 배압 정류 회로의 구성을 1단(段)이라 하면, 도 2에 나타내는 정류 회로(100)는 1단 구성이므로, $N = 1$ 이 된다.

[0062] 따라서, 높은 직류 전압(VDC)을 얻기 위해, 정류 회로(100)로서, 반파 4배압 정류 회로나, 반파 6배압 정류 회로 등을 사용할 수 있다. 또한, 그 외에 전파(全波) 정류 회로를 사용할 수도 있다.

[0063] 다음에 비교부(102)의 동작에 대하여 도 3을 사용하여 설명한다. 비교부(102)에는, 정류 회로(100)로부터 직류 전압(VDC)이 입력되고, 바이어스 회로(107)로부터 기준 전압(V_{BIAS})이 입력된다. 여기서, 식 (1)로부터, 입력 전압(VIN)이 높아지면 높아질 수록, 직류 전압(VDC)이 높아지는 것을 알 수 있다. 바꾸어 말하면, 안테나로부터 공급되는 전력이 증가하면 증가할 수록, 직류 전압(VDC)도 높아진다.

[0064] 먼저, 트랜지스터 군(401)과 저항 소자(404)의 동작에 대하여 설명한다. 트랜지스터 군(401)과 저항 소자(40

4)는 직류 전압(VDC)으로부터 직류 전압(VDC')을 생성한다. 직류 전압(VDC')은, 저항 소자(404)의 저항값과 트랜지스터 군(401)을 저항이라고 간주한 경우의 저항값의 합에 대한 트랜지스터 군(401)의 저항값의 비율과 직류 전압(VDC)의 곱에 의해 결정된다.

[0065] 따라서, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값인 경우, 트랜지스터 군(401)은 오프 상태가 된다. 이 때, 트랜지스터 군(401)은 저항 소자(404)보다 매우 큰 저항이라고 볼 수 있기 때문에, 직류 전압(VDC')은 직류 전압(VDC)과 거의 같은 전위가 된다.

[0066] 한편, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우에는, 트랜지스터 군(401)은 온 상태가 된다. 이 때, 트랜지스터 군(401)은 저항 소자(404)와 동등하거나, 또는, 그것보다 작은 저항이라고 볼 수 있기 때문에, 직류 전압(VDC')도 작게 된다. 직류 전압(VDC)이 높게 되면, 직류 전압(VDC)과, 생성되는 직류 전압(VDC')과의 전위차가 커진다.

[0067] 여기서, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값인 경우라고 하는 것은, 안테나로부터 공급되는 전력이 적절한 경우이다. 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우라고 하는 것은, 안테나로부터 공급되는 전력이 높고, 소자의 열화, 파괴나, 동작 불량을 일으킬 우려가 있는 경우이다.

[0068] 또한, 도 3에서, 트랜지스터 군(401)의 트랜지스터의 수는 3개인 경우에 대하여 설명하고 있지만, 이것에 한정되지 않고, 트랜지스터 군(401)의 트랜지스터의 수를 바꿈으로써 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값을 바꿀 수 있으므로, 소자의 열화, 파괴나, 동작 불량을 고려하여, 트랜지스터 군(401)에 있어서의 트랜지스터의 스레시홀드 전압을 설정할 수 있다.

[0069] 계속하여, 비교 회로(104)의 동작에 대하여 도 3을 사용하여 설명한다. 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값인 경우에는, 상술한 바와 같이, 직류 전압(VDC')은 직류 전압(VDC)과 거의 같은 전위가 되어, 비교 회로(104)에 입력되고, 제1 트랜지스터(402)는 오프가 된다. 기준 전압(V_{BIAS})은 항상 바이어스 회로(107)로부터 비교 회로(104)에 입력되어 있으므로, 제2 트랜지스터(403)는 온 상태로 되어 있다. 그 때문에 노드(q)는 -V 단자의 전위와 거의 같은 전위로 되어 있고, 도 1의 스위치(106)에 있어서의 노드(q)에 접속된 단자는 -V 단자의 전위와 거의 같은 전위로 된다.

[0070] 한편, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우는, 상술한 바와 같이, 트랜지스터 군(401)의 각 트랜지스터의 스레시홀드 전압과 직류 전압(VDC)의 관계에 따라 직류 전압(VDC')은 변화한다. 제1 트랜지스터(402)는 직류 전압(VDC')이 작아지면 온으로 된다. 제1 트랜지스터(402)에서 흐르는 전류량은 직류 전압(VDC')을 작게 하면 많아진다. 제2 트랜지스터(403)는 항상 온 상태이므로, 항상 어느 일정 전류가 흐른다. 여기서, 노드(q)의 전위는 제1 트랜지스터(402)와 제2 트랜지스터(403)에 흐르는 전류량에 의해 결정되고, 제1 트랜지스터(402)에 흐르는 전류량이 제2 트랜지스터(403)에 흐르는 전류량보다 많게 되면, 노드(q)의 전위는 높아진다. 즉, 직류 전압(VDC')이 작아질 수록 노드(q)의 전위는 높아진다. 또한, 직류 전압(VDC)이 높아지면 높아질 수록, 노드(q)의 전위는 높아진다. 이 전위는 도 1의 스위치(106)의 노드(q)에 접속된 단자로 출력된다.

[0071] 다음에, 기관 전압 생성부(103)를 구성하는 기관 전압 생성 회로(105) 및 스위치(106)의 동작에 대하여 도 1 및 도 5를 사용하여 설명한다. 여기서는, 스위치(106)를 N채널형 트랜지스터로 하여 설명한다. 또한, 소스 단자와 드레인 단자 중의 한쪽을 +V 단자에 접속하고, 소스 단자와 드레인 단자 중의 다른 한쪽을 -V 단자에 접속하고, 게이트 단자는 비교부(102)에 접속된다.

[0072] 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값인 경우는, 스위치(106)는 노드(q)에 접속된 그의 게이트 단자가 노드(q)의 전위로부터 -V 단자의 전위로 되고, -V 단자의 전위는 저항 소자(306)를 통하여 스위치(106)의 소스 단자와 드레인 단자 중의 다른 한쪽에 전달되기 때문에, 스위치(106)는 오프로 된다. 이 때, 정류 회로(100)에 출력되는 전압은 저항 소자(305)를 통하여 -V 단자의 전위와 같은 값으로 된다. 이 때, 저항 소자(305) 및 저항 소자(306)의 저항값은 기관 전압 생성 시에 영향을 주지 않을 정도로 큰 값인 것이 바람직하다.

[0073] 한편, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우는, 상술한 바와 같이, 스위치(106)의 게이트 단자에 노드(q)의 전위가 입력되고, 소스 단자와 드레인 단자 중의 다른 한쪽에 저항 소자(306)를 통하여 -V 단자의 전위가 전달되기 때문에, 스위치(106)는 온으로 된다. 그 때문에, +V 단자로부터 외부에서 입력된 신호(제1 입력 신호)는 기관 전압 생성 회로(105)에 입력된다.

- [0074] 여기서, 스위치(106)가 온으로 됨으로써, 외부로부터 입력된 신호는 정류 회로(100) 및 기관 전압 생성 회로(105)에 공급된다. 그 경우, 정류 회로(100)에만 공급되어 있는 경우보다 기관 전압 생성 회로(105)에 공급되는 만큼, 정류 회로(100)에 공급되는 전력이 줄어들기 때문에, 정류 회로(100)를 구성하는 소자에의 부하가 경감된다.
- [0075] 또한, 상기한 식 (1)로부터, 안테나로부터의 공급 전력이 줄어든다고 하는 것은, 입력 전압(VIN)이 작아지기 때문에, 정류 회로(100)가 생성하는 직류 전압(VDC)도 낮아진다.
- [0076] 여기서, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값일 가능성도 있지만, 이 경우에도, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우, 기관 전압 생성 회로(105)는 이하와 같은 동작을 한다.
- [0077] 기관 전압 생성 회로(105)는 정류 회로(100)와는, 제1 트랜지스터(301)와 제2 트랜지스터(302)의 기관 단자의 접속처와 게이트 단자의 접속처가 다르고, 저항 소자(305, 306)가 추가되어 있는 점에서 다르다. 또한, 게이트 단자의 접속처가 소스 단자와 드레인 단자 중의 한쪽이 아니라, 소스 단자와 드레인 단자 중의 다른 한쪽이므로, 이 경우의 기관 전압 생성 회로(105)의 출력인 직류 전압(VSUB)은 -V 단자의 전위보다 낮아진다. 직류 전압(VSUB)을 구하는 이론식은, 기관 전압 생성 회로(105)에 입력되는 전압을 VIN'라 하고, 그 회로를 구성하는 트랜지스터의 스레시홀드 전압을 Vth라 하면, 하기 식 (2)로 나타내어진다.
- [0078]
$$-VSUB = -2N(VIN' - Vth) \quad (2)$$
- [0079] 식 (2)에서, N은 배압 정류 회로의 단수를 나타낸다. 이 때, 2개의 트랜지스터와 2개의 용량 소자를 사용한 배압 정류 회로의 구성을 1단이라 하면, 도 5에 나타내는 기관 전압 생성 회로(105)는 1단 구성이므로, N = 1이 된다.
- [0080] 기관 전압 생성 회로(105)에서 생성된 직류 전압(VSUB)은 도 2의 정류 회로(100)의 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 기관 단자로 출력된다.
- [0081] 다시, 정류 회로(100)의 동작에 대하여 도 2를 사용하여 설명한다. 여기서, 기관 단자의 전위는 -V 단자의 전위보다 낮게 되어 있다. 이것은, 상술한 바와 같이, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우에, 비교 회로(104)의 노드(q)의 전위가 높게 되고, 스위치(106)가 온으로 되기 때문이다. 그러면, 기관 전압 생성 회로(105)로부터 -V 단자보다 낮은 직류 전압(VSUB)이 정류 회로(100)에 출력된다.
- [0082] 한편, 정류 회로(100)의, 기관 단자의 전위가 -V 단자의 전위와 같거나 또는 그것에 가까운 값인 경우, 즉, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값인 경우이고, 안테나로부터 공급되는 전력이 적절한 경우에는, 스위치(106)가 오프 상태이고, -V 단자와 같거나 또는 그것에 가까운 값인 직류 전압(VSUB)이 기관 전압 생성 회로(105)로부터 정류 회로(100)에 출력된다.
- [0083] 정류 회로(100)의 제1 트랜지스터(201) 및 제2 트랜지스터(202)에서는, 기관 단자에 입력된 직류 전압(VSUB)을 기관 전압으로 하여, 기관 전압에 따라 각각의 트랜지스터의 스레시홀드 전압(Vth)이 제어된다. 예를 들어, 제1 트랜지스터(201) 및 제2 트랜지스터(202)가 N채널형 트랜지스터인 경우, 기관 전압을 낮게 함으로써, 스레시홀드 전압(Vth)을 높게 하고, 또한 기관 전압을 높게 함으로써, 스레시홀드 전압(Vth)을 낮게 할 수 있다. 또는, P채널형 트랜지스터의 경우, 기관 전압을 낮게 함으로써, 스레시홀드 전압(Vth')을 낮게 하고, 또한 기관 전압을 높게 함으로써, 스레시홀드 전압(Vth')을 높게 할 수 있다.
- [0084] 정류 회로(100)의 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 기관 전압은 통상의 값(공급되는 전력이 적절할 때의 값)보다 낮게 되기 때문에, 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 스레시홀드 전압(Vth)은 높게 된다. 스레시홀드 전압(Vth)과 정류 회로(100)의 출력인 직류 전압(VDC)의 관계는 식 (1)과 같기 때문에, 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 스레시홀드 전압(Vth)이 높게 되면, 직류 전압(VDC)이 낮게 된다.
- [0085] 이상과 같이, 소자를 파괴시킬 정도의 고주파 신호가 공급된 경우라도, 정류 회로(100)에 공급되는 전력을 분배할 수 있다. 또한, 정류 회로(100)의 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 스레시홀드 전압을 상승시킴으로써, 정류 회로(100)의 출력 전압을 저하시킬 수 있다. 따라서, 직류 전압(VDC)이 커지는 것을 억제할 수 있다.
- [0086] 본 실시형태의 구성으로 함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어 통신 거리

가 변화한 상태에서, 소자를 파괴시킬 정도의 고주파 신호가 입력되어, 회로 내에 대전류가 흐른 경우라도, 정류 회로에 제공된 트랜지스터의 스레시홀드 전압을 제어함으로써, 반도체장치의 내부의 회로에 필요 이상의 전압이 가해지지 않게 할 수 있다. 따라서, 반도체장치의 내부의 회로를 구성하는 소자를 열화 또는 파괴시키는 일 없이, 정상으로 동작시킬 수 있는 반도체장치를 제공할 수 있다.

[0087] [실시형태 2]

[0088] 본 실시형태에서는, 상기 실시형태 1의 도 1에서 설명한 전원부의 정류 회로(100) 및 기관 전압 생성 회로(105)가 다른 구성인 경우에 대하여 설명한다. 또한, 정류 회로(100)와 기관 전압 생성 회로(105) 이외의 각 회로의 구성은 상기 실시형태 1과 같기 때문에, 실시형태 1에서의 설명을 원용한다.

[0089] 먼저, 정류 회로(100)의 다른 구성에 대하여 설명한다. 또한, 본 실시형태에서, 제1 트랜지스터(201') 및 제2 트랜지스터(202')를 N채널형 트랜지스터로 하여 설명하지만, 각 트랜지스터의 게이트 단자의 접속처를 소스 단자와 드레인 단자 중의 한쪽으로부터 소스 단자와 드레인 단자 중의 다른 한쪽으로 바꾸고, 후술하는 기관 전압 생성 회로(105)의 각 트랜지스터의 게이트 단자의 접속처를 소스 단자와 드레인 단자 중의 다른 한쪽으로부터 소스 단자와 드레인 단자 중의 한쪽으로 바꿈으로써, P채널형 트랜지스터를 사용할 수도 있다.

[0090] 본 실시형태의 정류 회로(100)의 구성을 도 6에 나타낸다. 정류 회로(100)는, 소스 단자와 드레인 단자 중의 한쪽이 -V 단자에 접속된 제1 트랜지스터(201')와, 소스 단자와 드레인 단자 중의 한쪽이 제1 트랜지스터(201')의 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 소스 단자와 드레인 단자 중의 다른 한쪽이 +V' 단자에 접속된 제2 트랜지스터(202')와, 제1 단자가 +V 단자에 접속되고, 제2 단자가 제1 트랜지스터(201')의 소스 단자와 드레인 단자 중의 다른 한쪽, 및 제2 트랜지스터(202')의 소스 단자와 드레인 단자 중의 한쪽에 접속된 제1 용량 소자(203')와, 제1 단자가 제2 트랜지스터(202')의 소스 단자와 드레인 단자 중의 다른 한쪽 및 +V' 단자에 접속되고, 제2 단자가 제1 트랜지스터(201')의 소스 단자와 드레인 단자 중의 한쪽 및 -V 단자에 접속된 제2 용량 소자(204')를 가진다. 정류 회로(100)의 제1 트랜지스터(201') 및 제2 트랜지스터(202')로서, 반도체 기관을 사용한 트랜지스터를 적용한 경우, 제1 트랜지스터(201') 및 제2 트랜지스터(202')는 각각 독립하여 제어되도록 설치된 기관 단자를 가지고, 제1 트랜지스터(201')의 기관 단자는 도 1의 기관 전압 생성 회로(105)에 접속되고, 제2 트랜지스터(202')의 기관 단자는 -V 단자에 접속된다.

[0091] 제1 트랜지스터(201') 및 제2 트랜지스터(202')로서 반도체 기관을 사용한 트랜지스터를 적용한 경우, 반도체 기관의 활성층으로서 기능하는 단결정 반도체층에 적어도 제1 내지 제3 불순물 영역이 제공되어 있다. 제1 불순물 영역은 소스 영역이고, 제2 불순물 영역은 드레인 영역이고, 제3 불순물 영역은 전압이 인가되는 영역이다. 이 트랜지스터에서는, 게이트로부터 활성층에 제1 전압이 인가되고, 제3 불순물 영역으로부터 활성층에 제2 전압이 인가된다. 활성층에 인가하는 제1 전압과 제2 전압의 전압값을 제어함으로써, 트랜지스터의 스레시홀드 전압을 제어할 수 있다. 또한, 제3 불순물 영역을 기관 단자라 부르고, 제3 불순물 영역에 인가되는 전압을 기관 전압이라고 부르는 일 있다.

[0092] 또한, 제1 트랜지스터(201') 및 제2 트랜지스터(202')는 각각의 게이트 단자가 소스 단자와 드레인 단자 중의 한쪽에 접속된다.

[0093] 또한, SOI 기관을 사용한 단결정 반도체막을 가지는 트랜지스터도 사용할 수가 있다. 이것에 의해, 기관의 일부에 기관 단자가 되는 영역을 제공할 수 있고, 또한, 전기 특성이나 사이즈나 형상 등의 편차가 적고, 전류 공급 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다.

[0094] 또한, 제1 트랜지스터(201') 및 제2 트랜지스터(202')로서는, 활성층을 사이에 끼우고 제1 게이트 단자와 제2 게이트 단자가 제공되어 있는 트랜지스터를 사용할 수 있다. 이 트랜지스터에서는, 제1 게이트 단자로부터 활성층에 제1 전압이 인가되고, 제2 게이트 단자로부터 활성층에 제2 전압이 인가된다. 활성층에 인가되는 제1 전압과 제2 전압의 전압값을 제어함으로써, 트랜지스터의 스레시홀드 전압을 제어할 수 있다. 또한, 제1 게이트 단자와 제2 게이트 단자 중의 한쪽을 기관 단자라 부르고, 기관 단자에 인가되는 전압을 기관 전압이라고 부르는 일 있다. 제1 게이트 단자와 제2 게이트 단자가 제공되어 있는 트랜지스터의 예로서는, 예를 들어, 기관에 유리 기관, 석영 기관 등을 사용할 수 있고, 반도체층에 비정질 실리콘, 다결정 실리콘, 또는 미결정(마이크로크리스탈, 세미아모르퍼스라고도 함) 실리콘 등의 비단결정 반도체막을 사용한 구성의 것을 사용할 수 있다.

[0095] 또한, 제1 트랜지스터(201') 및 제2 트랜지스터(202')의 구조로서는, MOS형 트랜지스터, 접합형 트랜지스터 등을 사용할 수 있다. 예를 들어, MOS형 트랜지스터를 사용함으로써, 상기 반도체 기관을 사용할 수 있고, 높은

이동도를 얻을 수 있기 때문에, 트랜지스터의 사이즈를 작게 할 수 있다.

- [0096] 다음에, 기관 전압 생성 회로(105)의 다른 구성에 대하여 설명한다. 또한, 본 실시형태에서는, 제1 트랜지스터(301'), 제2 트랜지스터(302') 및 스위치(106)를 N채널형 트랜지스터로 하여 설명하지만, 각 트랜지스터의 게이트 단자의 접속처를 소스 단자와 드레인 단자 중의 한쪽으로부터 소스 단자와 드레인 단자 중의 다른 한쪽으로 바꿈으로써 P채널형 트랜지스터를 사용할 수도 있다.
- [0097] 기관 전압 생성 회로(105)의 구성을 도 7에 나타낸다. 기관 전압 생성 회로(105)는, 소스 단자와 드레인 단자 중의 한쪽이 -V 단자에 접속된 제1 트랜지스터(301')와, 소스 단자와 드레인 단자 중의 한쪽이 제1 트랜지스터(301')의 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 소스 단자와 드레인 단자 중의 다른 한쪽이 도 1의 정류 회로(100)에 접속된 제2 트랜지스터(302')와, 제1 단자가 도 1의 스위치(106)에 접속되고, 제2 단자가 제1 트랜지스터(301')의 소스 단자와 드레인 단자 중의 다른 한쪽, 및 제2 트랜지스터(302')의 소스 단자와 드레인 단자 중의 한쪽에 접속된 제1 용량 소자(303')와, 제1 단자가 제2 트랜지스터(302')의 소스 단자와 드레인 단자 중의 다른 한쪽에 접속되고, 제2 단자가 제1 트랜지스터(301')의 소스 단자와 드레인 단자 중의 한쪽에 접속된 제2 용량 소자(304')와, 한쪽 끝이 제2 트랜지스터(302')의 소스 단자와 드레인 단자 중의 다른 한쪽 및 제2 용량 소자(304')의 제1 단자에 접속되고, 다른 쪽 끝이 제1 트랜지스터(301')의 소스 단자와 드레인 단자 중의 한쪽 및 제2 용량 소자(304')의 제2 단자에 접속된 저항 소자(305')와, 한쪽 끝이 제1 용량 소자(303')의 제1 단자에 접속되고, 다른 쪽 끝이 제1 트랜지스터(301')의 소스 단자와 드레인 단자 중의 한쪽에 접속된 저항 소자(306')를 가진다. 또한, 제1 트랜지스터(301') 및 제2 트랜지스터(302')의 각각의 게이트 단자는 소스 단자와 드레인 단자 중의 한쪽에 접속되고, 또한, 제1 트랜지스터(301') 및 제2 트랜지스터(302')의 기관 단자는 각각 -V 단자에 접속된다.
- [0098] 다음에, 본 실시형태의 전원부의 동작에 대하여 설명한다. 그러나, 제1 직류 전압인 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값인 경우, 즉, 안테나로부터 공급되는 전력이 적절한 경우의 동작은 실시형태 1과 같기 때문에, 실시형태 1에서의 설명을 원용한다. 따라서, 여기서는, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우, 즉, 안테나로부터 공급되는 전력이 높은 경우에 대하여 설명한다.
- [0099] 외부로부터 수신한 신호는 신호 입력 단자인 +V 단자 및 -V 단자로부터 정류 회로(100)에 입력된다.
- [0100] 또한, 본 실시형태에서는, 설명을 알기 쉽게 하기 위해, -V 단자의 신호를 기준으로 하여, 일정하게 한 경우의 +V 단자의 신호에 대한 동작의 설명을 한다. 안테나로부터 신호가 공급되는 반도체장치에서는, 입력 신호는 차동 신호인 경우가 있지만, 기준으로 하는 신호가 일정한지 아닌지의 차이뿐이기 때문에, 입력 신호가 차동 신호이어도, 본 실시형태는 적용 가능하다.
- [0101] 먼저, 기관 전압 생성 회로(105)의 동작에 대하여 도 1 및 도 7을 사용하여 설명한다.
- [0102] 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우는, 상술한 바와 같이, 스위치(106)의 게이트 단자에 노드(q)의 전위가 입력되고, 또한, 소스 단자와 드레인 단자 중의 다른 한쪽에 저항 소자(306)를 통하여 -V 단자의 전위가 전달되기 때문에, 스위치(106)는 온이 된다. 그 때문에, +V 단자로부터 외부에서 입력된 신호(제1 입력 신호)는 기관 전압 생성 회로(105)에 입력된다.
- [0103] 여기서, 스위치(106)가 온으로 됨으로써, 외부로부터 입력된 신호는 정류 회로(100) 및 기관 전압 생성 회로(105)에 공급된다. 그 경우, 정류 회로(100)에만 공급되어 있던 경우보다도 기관 전압 생성 회로(105)에 공급되는 만큼, 정류 회로(100)에 공급되는 전력이 감소하기 때문에, 정류 회로(100)를 구성하는 소자에의 부하가 경감된다.
- [0104] 또한, 상기한 식 (1)로부터, 안테나로부터의 공급 전력이 감소된다고 하는 것은, 입력 전압(VIN)이 작아지기 때문에, 정류 회로(100)가 생성하는 직류 전압(VDC)도 낮아진다.
- [0105] 여기서, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값일 가능성도 있지만, 이 경우에도, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우, 기관 전압 생성 회로(105)는 이하의 동작을 한다.
- [0106] 기관 전압 생성 회로(105)는 정류 회로(100)와 거의 같은 구성을 하고 있지만, 제1 트랜지스터(301')와 제2 트랜지스터(302')의 기관 단자의 접속처가 다르고, 또한 저항 소자(305', 306')가 추가되어 있다. 게이트 단자의 접속처가 소스 단자와 드레인 단자 중의 한쪽이므로, 이 경우의 기관 전압 생성 회로(105)의 출력인 직류 전압

(VSUB)은 $-V$ 단자의 전위보다 높게 된다. 직류 전압(VSUB)을 구하는 이론식은, 기관 전압 생성 회로(105)에 입력되는 전압을 VIN' 라 하고, 그 회로를 구성하는 트랜지스터의 스레시홀드 전압을 V_{th} 라 하면, 하기 식 (3)으로 나타내어진다.

[0107]
$$VSUB = 2N(VIN' - V_{th}) \quad (3)$$

[0108] 식 (3)에서, N 은 배압 정류 회로의 단수를 나타내므로, 이 때, 2개의 트랜지스터와 2개의 용량 소자를 사용한 배압 정류 회로의 구성을 1단이라 하면, 도 5에 나타내는 기관 전압 생성 회로(105)는 1단 구성이므로, $N = 1$ 이 된다.

[0109] 기관 전압 생성 회로(105)에서 생성된 제2 직류 전압인 직류 전압(VSUB)은 도 1 및 도 7의 정류 회로(100)의 제 1 트랜지스터(201')의 기관 단자로 출력된다.

[0110] 계속하여, 정류 회로(100)의 동작에 대하여 도 6을 사용하여 설명한다. 여기서, 기관 단자의 전위는 $-V$ 단자의 전위보다 높게 되어 있다. 이것은, 상술한 바와 같이, 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우, 비교 회로(104)의 노드(q)의 전위가 높아지고, 스위치(106)가 온으로 되기 때문이다. 그러면, 기관 전압 생성 회로(105)로부터 $-V$ 단자보다 높은 직류 전압(VSUB)이 출력되어, 정류 회로(100)에 입력된다.

[0111] 정류 회로(100)의 제1 트랜지스터(201')에서는, 기관 단자에 입력된 직류 전압(VSUB)을 기관 전압으로 하여, 기관 전압에 따라 트랜지스터의 스레시홀드 전압(V_{th})이 제어된다. 예를 들어, 제1 트랜지스터(201')가 N채널형 트랜지스터인 경우, 기관 전압을 낮게 함으로써, 스레시홀드 전압(V_{th})을 높게 하고, 또한, 기관 전압을 높게 함으로써, 스레시홀드 전압(V_{th})을 낮게 할 수 있다. 반대로, P채널형 트랜지스터의 경우, 기관 전압을 낮게 함으로써, 스레시홀드 전압(V_{th}')을 낮게 하고, 또한, 기관 전압을 높게 함으로써, 스레시홀드 전압(V_{th}')을 높게 할 수 있다.

[0112] 정류 회로(100)의 제1 트랜지스터(201')의 기관 전압은 통상의 값(공급되는 전력이 적절할 때의 값)보다 높게 되기 때문에, 제1 트랜지스터(201')의 스레시홀드 전압(V_{th})은 낮아진다. 제1 트랜지스터(201')의 스레시홀드 전압(V_{th})이 마이너스까지 낮아지게 되면, 제1 트랜지스터(201')의 오프 동작을 할 수 없게 되고, 항상 온 상태가 되어, 항상 전류가 흐르게 된다. 이렇게 되면, 제1 트랜지스터(201')의 정류 기능은 상실되어, 저항 소자와 같은 동작밖에 할 수 없게 된다. 정류 회로(100)로서는, 배압(倍壓)을 할 수 없게 되어, 반파 정류 회로와 같은 동작이 된다. 반파 정류 회로는, 입력되는 전압을 VIN 으로 하고, 출력을 직류 전압(VDC)으로 한 경우, 하기 식 (4)와 같이 된다. 여기서, 입력 전압을 VIN 이라 하고, 그 회로를 구성하는 MOS 트랜지스터의 스레시홀드 전압을 V_{th} 라 한다.

[0113]
$$VDC = (VIN - V_{th}) \quad (4)$$

[0114] 따라서, 정류 회로(100)에서, 제1 트랜지스터(201)의 스레시홀드 전압(V_{th})이 통상의 값(공급되는 전력이 적절할 때의 값)보다 매우 낮게 되면, 직류 전압(VDC)도 낮아진다.

[0115] 또한, 정류 회로(100)로서는, 반파 4배압 정류 회로, 반파 6배압 정류 회로, 또는 전파 정류 회로를 사용할 수도 있다.

[0116] 이상과 같이, 소자를 파괴시킬 정도의 고주파 신호가 공급된 경우, 정류 회로(100)에 공급되는 전력을 분배할 수 있다. 또한, 정류 회로(100)의 제1 트랜지스터(201)의 스레시홀드 전압을 강하시킴으로써, 제1 트랜지스터(201)에서 정류 동작이 행해지지 않게 되기 때문에, 직류 전압(VDC)이 커지는 것을 억제할 수 있다.

[0117] 본 실시형태의 구성으로 함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 통신 거리가 변화하여, 소자를 파괴시킬 정도의 고주파 신호가 회로 내에 공급된 경우라도, 정류 회로에 제공된 트랜지스터의 스레시홀드 전압을 제어함으로써, 내부 회로에 필요 이상의 전압이 가해지지 않게 할 수 있다. 따라서, 내부의 각 회로를 구성하는 소자를 열화 또는 파괴시키는 일 없이, 정상으로 동작시킬 수 있는 반도체장치를 제공할 수 있다.

[0118] [실시형태 3]

[0119] 본 실시형태에서는, 상기 실시형태 1의 도 1에서 설명한 전원부의 다른 구성에 대하여 설명한다. 또한, 이 구성에서의 정류 회로(100)는 실시형태 2의 회로 구성과 같기 때문에, 실시형태 2에서의 설명을 원용하고, 그 이외의 각 회로의 구성은 상기 실시형태 1과 같기 때문에, 실시형태 1에서의 설명을 원용한다.

- [0120] 본 실시형태에서는, 본 발명의 반도체장치의 전원부의 회로 구성에 대하여 도 8을 사용하여 설명한다.
- [0121] 도 8에 나타내는 바와 같이, 전원부는, 정류 회로(100)와, 전원 회로(101)와, 비교부(102)와, 바이어스 회로(107)를 가진다. 정류 회로(100)는, 신호 입력 단자인 +V 단자로부터 입력된 신호를 정류화 및 평활화함으로써 제1 직류 전압인 직류 전압(VDC)을 생성하여, +V' 단자에 출력한다. 전원 회로(101)는, +V' 단자로부터 입력된 직류 전압(VDC)을 정전압화하고, 전원 전압을 생성하여, +V'' 단자에 출력한다. 바이어스 회로(107)는, +V' 단자로부터 입력된 직류 전압(VDC)으로부터 기준 전압(V_BIAS)을 생성하여, 전원 회로(101) 및 비교부(102)에 출력한다. 그러나, 전원 회로(101)에서 기준 전압(V_BIAS)을 생성하는 경우, 또는, 기준 전압(V_BIAS)이 필요 없는 경우에는, 바이어스 회로(107)로부터 기준 전압(V_BIAS)을 전원 회로(101)에 출력할 필요는 없다. 비교부(102)는 비교 회로(104)와, 저항 소자(108) 및 트랜지스터 군(109)을 가진다. 저항 소자(108) 및 트랜지스터 군(109)은 정류 회로(100)에서 생성된 직류 전압(VDC)을 기초로 직류 전압(VDC')을 생성하여, 비교 회로(104)에 출력한다. 여기서, 직류 전압(VDC')을 생성하기 위해 트랜지스터 군(109)을 사용하였지만, 저항 소자로 치환할 수도 있다. 비교 회로(104)는 직류 전압(VDC')과 기준 전압(V_BIAS)의 크기를 비교하고, 그 결과를 직류 전압(VSUB)으로서 정류 회로(100)에 출력한다.
- [0122] 도 8에 나타내지 않지만, 안테나로부터 신호가 공급되는 반도체장치에서는, +V 단자에는 안테나의 +단자가 접속되고, -V 단자에는, 안테나의 - 단자가 접속된다.
- [0123] 각 회로의 구성에 대해서는, 상기 실시형태 1 및 실시형태 2와 같기 때문에, 실시형태 1 및 실시형태 2에서의 설명을 원용한다.
- [0124] 다음에, 본 실시형태에 있어서의 전원부의 동작에 대하여 설명한다.
- [0125] 안테나로부터 수신된 신호는 +V 단자 및 -V 단자에 입력된다.
- [0126] 또한, 본 실시형태에서는, 설명을 알기 쉽게 하기 위해, -V 단자의 신호를 기준으로 하여, 일정하게 한 경우의 +V 단자의 신호에 대한 동작의 설명을 한다. 실제로는, 무선 태그와 같은, 안테나로부터 신호가 공급되는 반도체장치에서는, 주로, 입력 신호는 차동 신호인 경우가 있지만, 기준으로 하는 신호가 일정한지 아닌지의 차이뿐이기 때문에, 입력 신호가 차동 신호이어도, 본 실시형태는 적용 가능하다.
- [0127] 본 실시형태에서의 전원부의 동작에 대하여 도 6 및 도 8을 사용하여 설명한다. 실시형태 2에서의 전원부의 동작과 비교하여, 정류 회로(100)의 직류 전압(VSUB)을 기관 전압 생성 회로(105)에서 생성하는 대신에, 비교 회로(104)에서 생성하는 점이 다르다. 본 실시형태에서는, 실시형태 1 및 2에서, 비교 회로(104)가 스위치(106)를 온, 오프하기 위한 신호를 직류 전압(VSUB)으로 하여 정류 회로(100)에 입력한다.
- [0128] 먼저, 안테나로부터 공급되는 전력이 적절한 경우의 동작에 대하여 설명한다. 이것은, 상술한 바와 같이, 정류 회로(100)의 출력인 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값인 경우이다. 이 경우, 직류 전압(VDC)과 직류 전압(VDC')의 관계로부터 제1 트랜지스터(402)는 오프이므로, 노드(q)는 -V 단자와 같은 전압이 되고, 노드(q)의 전위는 제2 직류 전압인 직류 전압(VSUB)으로서 정류 회로(100)에 출력된다. 직류 전압(VSUB)이 -V 단자와 같거나 그것에 가까운 전위인 경우, 일정한 입력 전압(VIN)이 입력되는 정류 회로(100)에서는, 정류 회로(100)를 구성하는 트랜지스터의 스레시홀드 전압은 변화하지 않기 때문에, 출력 전압인 직류 전압(VDC)도 일정한 값으로부터 변화하지 않는다.
- [0129] 한편, VDC가 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우의 동작에 대하여 설명한다. 이것은, 상술한 바와 같이, 정류 회로(100)의 출력인 직류 전압(VDC)이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우의 동작이다. 이 경우, 직류 전압(VDC')은, 트랜지스터 군(401)과 저항 소자(404)에 의해, 직류 전압(VDC)보다 낮아져 제1 트랜지스터(402)가 온으로 된다. 직류 전압(VDC)이 높아져 가면, 직류 전압(VDC)과 생성되는 직류 전압(VDC')과의 전위차는 커지므로, 제1 트랜지스터(402)의 전류량은 증가한다. 노드(q)의 전위는 제1 트랜지스터(402)와 제2 트랜지스터(403)의 전류량의 크기에 따라 변화하고, 제2 트랜지스터(403)의 전류량이 많은 경우에는, -V 단자와 같거나 그것에 가까운 전위가 되지만, 반대의 경우에는, 전위가 올라간다. 따라서, 직류 전압(VDC)의 크기에 따라 노드(q)의 전위가 변화한다. 노드(q)의 전위는 직류 전압(VSUB)으로서 정류 회로에 출력된다.
- [0130] 비교 회로(104)로부터, -V 단자보다 높은 전위가 정류 회로(100)의 직류 전압(VSUB)에 입력되면, 제1 트랜지스터(201')의 기관 전압이 높게 되기 때문에, 스레시홀드 전압(Vth)은 낮아진다. 제1 트랜지스터(201')의 스레시홀드 전압(Vth)이 마이너스까지 낮아져 가면, 제1 트랜지스터(201')는 오프의 동작을 할 수 없게 되고, 항상 온

상태가 되어, 항상 전류가 흐르게 된다. 이렇게 되면, 제1 트랜지스터(201')의 정류 기능은 상실되어, 저항으로서 간주될 수 있다. 정류 회로(100)로서는, 배압을 할 수 없게 되어, 반파 정류 회로와 같은 동작이 된다. 반파 정류 회로는, 출력을 직류 전압(VDC)으로 한 경우, 상기한 식 (4)와 같이 된다.

- [0131] 따라서, 정류 회로(100)에서, 제1 트랜지스터(201)의 스레시홀드 전압(V_{th})이 통상의 값(공급되는 전력이 적절할 때의 값)보다 매우 낮아지면, 직류 전압(VDC)도 낮아지는 것을 알 수 있다.
- [0132] 또한, 정류 회로(100)로서는, 반파 4배압 정류 회로, 반파 6배압 정류 회로, 또는 전파 정류 회로를 사용할 수도 있다.
- [0133] 이상과 같이, 소자를 파괴시킬 정도의 고주파 신호가 정류 회로에 공급된 경우에, 정류 회로(100)의 제1 트랜지스터(201)의 스레시홀드 전압을 낮게 함으로써, 제1 트랜지스터(201)에서 정류 동작을 행하지 않게 되기 때문에, 직류 전압(VDC)의 값이 커지는 것을 억제할 수 있다.
- [0134] 본 실시형태의 구성으로 함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 통신 거리가 변화하여, 소자를 파괴시킬 정도의 고주파 신호가 회로 내에 공급된 경우라도, 정류 회로에 제공된 트랜지스터의 스레시홀드 전압을 제어함으로써, 내부 회로에 필요 이상의 전압이 가해지지 않게 할 수 있다. 따라서, 내부의 각 회로를 구성하는 소자를 열화 또는 파괴시키는 일 없이, 정상으로 동작시킬 수 있는 반도체장치를 제공할 수 있다.
- [0135] [실시형태 4]
- [0136] 본 실시형태에서는, 상기 실시형태 3의 도 8에서 설명한 전원부의 다른 구성에 대하여 설명한다. 또한, 이 구성에서의 비교부(102)는 상기 실시형태의 회로를 변형한 것을 사용하고, 정류 회로(100)는 실시형태 2의 회로 구성과 같기 때문에, 상기 실시형태 2에서의 설명을 원용한다.
- [0137] 본 실시형태에서는, 본 발명의 반도체장치의 전원부의 회로 구성에 대하여 도 9를 사용하여 설명한다.
- [0138] 도 9에 나타내는 바와 같이, 전원부는, 정류 회로(100)와, 전원 회로(101)와, 비교부(102)와, 바이어스 회로(107)를 가진다. 정류 회로(100)는 신호 입력 단자인 +V 단자로부터 입력된 신호를 정류화 및 평활화함으로써 제1 직류 전압인 직류 전압(VDC)을 생성하여, +V' 단자에 출력한다. 전원 회로(101)는 +V' 단자로부터 입력된 직류 전압(VDC)을 정전압화하고, 전원 전압을 생성하여, +V'' 단자에 출력한다. 바이어스 회로(107)는 +V' 단자로부터 입력된 직류 전압(VDC)으로부터 기준 전압(V_{BIAS})을 생성하여, 전원 회로(101) 및 비교부(102)에 출력한다. 또한, 마찬가지로, +V' 단자로부터 입력된 직류 전압(VDC)으로부터 기준 전압(V_{BIAS}')을 생성하여, 비교부(102)에 출력한다. 그러나, 전원 회로(101)에서 기준 전압(V_{BIAS})을 생성하는 경우, 또는, 기준 전압(V_{BIAS})이 필요 없는 경우는, 바이어스 회로(107)로부터 기준 전압(V_{BIAS})을 전원 회로(101)에 출력할 필요는 없다. 비교부(102)는 비교 회로(104)와, 저항 소자(108) 및 트랜지스터 군(109)을 가진다. 저항 소자(108) 및 트랜지스터 군(109)은 정류 회로(100)에서 생성된 직류 전압(VDC)을 기초로 직류 전압(VDC')을 생성하여, 비교 회로(104)에 출력한다. 여기서, 직류 전압(VDC')을 생성하기 위해 트랜지스터 군(109)을 사용하였지만, 저항 소자로 치환할 수도 있다. 비교 회로(104)는 직류 전압(VDC')과 기준 전압(V_{BIAS})의 크기를 비교하고, 그 결과를 직류 전압(VSUB)으로서 정류 회로(100)에 출력한다.
- [0139] 도 9에 나타내지는 않지만, 안테나로부터 신호가 공급되는 반도체장치에서는, +V 단자에는 안테나의 + 단자가 접속되고, -V 단자에는, 안테나의 - 단자가 접속된다.
- [0140] 각 회로의 구성에 대해서는, 비교부(102) 이외에는, 상기 실시형태와 마찬가지로, 상기 실시형태에서의 설명을 원용한다.
- [0141] 비교부(102)의 구성에 대하여 도 10을 사용하여 설명한다. 본 실시형태에서의 비교부(102)는, 실시형태 1 내지 3과 비교하여, 제1 트랜지스터(402')와 병렬로 접속된 제3 트랜지스터(405)가 추가된 점이 다르다. 여기서, 제3 트랜지스터(405)는 P채널형 트랜지스터이다. 제3 트랜지스터(405)는 소스 단자와 드레인 단자 중의 한쪽이 제1 트랜지스터(402')의 소스 단자와 드레인 단자 중의 다른 한쪽과 저항 소자(404')의 한쪽 끝에 접속되어 있다. 또한, 소스 단자와 드레인 단자 중의 다른 한쪽이 제1 트랜지스터(402')의 소스 단자와 드레인 단자 중의 한쪽과 제2 트랜지스터(403')의 소스 단자와 드레인 단자 중의 한쪽에 접속되어 있다. 이 접속점은 노드(q)이다. 또한, 제3 트랜지스터(405)의 게이트 단자는 바이어스 회로(107)에 접속되고, 게이트 단자로부터 기준 전압(V_{BIAS}')이 입력된다.

- [0142] 다음에, 본 실시형태에 있어서의 전원부의 동작에 대하여 설명한다.
- [0143] 안테나로부터 수신된 신호는 +V 단자 및 -V 단자에 입력된다.
- [0144] 또한, 본 실시형태에서는, 설명을 알기 쉽게 하기 위해, -V 단자의 신호를 기준으로 하여, 일정하게 한 경우의 +V 단자의 신호에 대한 동작의 설명을 한다. 안테나로부터 신호가 공급되는 반도체장치에서는, 주로, 입력 신호는 차동 신호인 경우가 있지만, 기준으로 하는 신호가 일정한지 아닌지의 차이뿐이기 때문에, 입력 신호가 차동 신호이어도, 본 실시형태는 적용 가능하다.
- [0145] 본 실시형태에서의 전원부의 동작에 대하여 도 9 및 도 10을 사용하여 설명한다. 본 실시형태에서의 전원부의 동작은, 상기 실시형태 3과 비교하여, 바이어스 회로(107)에 의해 비교부(102)를 위한 2개의 다른 전위를 가지는 기준 전압(V_{BIAS})이 생성되고, 몇 개의 기준 전압(V_{BIAS})이 비교부(102)로 출력되는 점이 다르다.
- [0146] 먼저, 안테나로부터 공급되는 전력이 적절한 경우의 동작에 대하여 설명한다. 이것은, 상술한 바와 같이, 정류 회로(100)의 출력인 직류 전압(VDC)이 트랜지스터 군(401')의 모든 트랜지스터가 오프 상태로 되는 값인 경우이다. 이 경우, 직류 전압(VDC)과 직류 전압(VDC')의 관계로부터 제1 트랜지스터(402')는 오프가 된다.
- [0147] 그러나, 제3 트랜지스터(405)는, 항상 바이어스 회로(107)로부터 어느 일정한 기준 전압(V_{BIAS}')이 입력되어 있기 때문에, 항상 일정한 전류가 흐른다. 이 전류량이 제2 트랜지스터(403')에 흐르는 전류량보다 적으면, 노드(q)는 -V 단자와 거의 같은 전위가 되고, 많으면, -V 단자보다 높은 전위가 된다. 이 전위를 조정함으로써, 안테나로부터 공급되는 전력이 적절한 경우에, 정류 회로(100)의 제1 트랜지스터(201')의 제2 직류 전압인 기준 전위(V_{SUB})를 설정하여, 스레시홀드 전압을 조절할 수 있다. 정류 회로(100)는, 상술한 바와 같이, 식 (1)에 의해, 정류 회로(100)를 구성하는 트랜지스터의 스레시홀드 전압(V_{th})이 낮으면, 높은 직류 전압(VDC)을 생성할 수 있으므로, 기준 전압(V_{BIAS}')을 조정함으로써, 정류 회로(100)의 출력인 직류 전압(VDC)을 높게 할 수 있다.
- [0148] 한편, VDC가 트랜지스터 군(401')의 모든 트랜지스터가 온 상태로 되는 값인 경우의 동작에 대하여 설명한다. 이것은, 상술한 바와 같이, 정류 회로(100)의 출력인 직류 전압(VDC)이 트랜지스터 군(401')의 모든 트랜지스터가 온 상태로 되는 값인 경우의 동작이다. 이 경우, 직류 전압(VDC')은, 트랜지스터 군(401')과 저항 소자(404')에 의해, 직류 전압(VDC)보다 낮아져 제1 트랜지스터(402')가 온을 된다. 직류 전압(VDC)이 높아져 가면, 직류 전압(VDC)과 생성되는 직류 전압(VDC')과의 전위차가 커지므로, 제1 트랜지스터(402')의 전류량은 증가한다. 노드(q)의 전위는 제1 트랜지스터(402')와 제3 트랜지스터(405)의 전류량의 합과 제2 트랜지스터(403')의 전류량의 차이에 따라 변화하고, 제2 트랜지스터(403')의 전류량이 제1 트랜지스터(402')와 제3 트랜지스터(405)의 전류량의 합보다 많은 경우는, -V 단자와 거의 같은 전위가 되고, 적은 경우는, 전위가 올라간다. 따라서, 직류 전압(VDC)의 크기에 따라, 노드(q)의 전위가 변화한다. 이것이, 정류 회로(100)에 직류 전압(V_{SUB})으로서 출력된다.
- [0149] 비교 회로(104)로부터, -V 단자보다 높은 전위가 정류 회로(100)의 직류 전압(V_{SUB})에 입력되면, 제1 트랜지스터(201')의 기준 전압이 높아지기 때문에, 스레시홀드 전압(V_{th})은 낮아진다. 제1 트랜지스터(201')의 스레시홀드 전압(V_{th})이 마이너스까지 낮아져 가면, 오프 동작을 할 수 없게 되고, 항상 온 상태가 되어, 항상 전류가 흐르게 된다. 이렇게 되면, 제1 트랜지스터(201')의 정류 기능은 상실되고, 저항의 동작밖에 할 수 없게 된다. 정류 회로(100)로서는, 배압을 할 수가 없게 되어, 반파 정류 회로와 같은 동작이 된다. 반파 정류 회로는, 출력을 직류 전압(VDC)으로 한 경우, 식 (4)와 같이 된다.
- [0150] 따라서, 정류 회로(100)에서, 제1 트랜지스터(201)의 스레시홀드 전압(V_{th})이 통상보다 낮게 되면, 직류 전압(VDC)도 낮아진다.
- [0151] 또한, 정류 회로(100)로서는, 반파 4배압 정류 회로, 반파 6배압 정류 회로, 또는 전파 정류 회로를 사용할 수도 있다.
- [0152] 이상과 같이, 소자를 파괴시킬 정도의 고주파 신호가 공급된 경우에, 정류 회로(100)의 제1 트랜지스터(201)의 스레시홀드 전압을 강하시킴으로써, 제1 트랜지스터(201)에서 정류 동작을 행하지 않게 되기 때문에, 직류 전압(VDC)이 커지는 것을 억제할 수 있다.
- [0153] 또한, 반도체장치에서, 정류 회로(100)에서는, 미약한 수신 신호로부터 높은 전압을 생성함으로써 통신 거리가 늘어나므로, 스레시홀드 전압을 낮게 설정한다. 한편, 논리 회로에서는, 스레시홀드 전압을 낮춤으로써, 대기시의 소비전류가 올라가게 되므로, 스레시홀드 전압을 높게 설정한다. 본 실시형태의 회로 구성을 사용함으로써

써, 논리 회로의 스테시홀드 전압에 맞추어 모든 트랜지스터를 제작하여도, 정류 회로(100)는 스테시홀드 전압을 최적값으로 할 수 있으므로, 소비전류가 적고, 미약한 전력으로 동작하는 무선 태그를 제작할 수 있다.

- [0154] 본 실시형태의 구성으로 함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 통신 거리가 변화하여, 소자를 파괴시킬 정도의 신호가 회로 내에 공급된 경우라도, 정류 회로에 제공된 트랜지스터의 스테시홀드 전압을 제어함으로써, 내부 회로에 필요 이상의 전압이 가해지지 않게 할 수 있다. 따라서, 내부의 각 회로를 구성하는 소자를 열화 또는 파괴시키는 일 없이, 정상으로 동작시킬 수 있는 반도체장치를 제공할 수 있다.
- [0155] [실시형태 5]
- [0156] 본 실시형태에서는, 실시형태 1의 도 1에서 설명한 전원부의 다른 구성에 대하여 설명한다.
- [0157] 본 실시형태에서는, 본 발명의 반도체장치의 전원부의 회로 구성에 대하여 도 11을 사용하여 설명한다.
- [0158] 도 11에 나타내는 바와 같이, 전원부는, 정류 회로(100)와, 전원 회로(101)와, 비교부(102)와, 기관 전압 생성부(103)와, 제1 바이어스 회로(107)와, 제2 바이어스 회로(111)와, 스위치(110)를 가진다. 정류 회로(100)는 신호 입력 단자인 +V 단자로부터 입력된 신호를 정류화 및 평활화함으로써 제1 직류 전압인 직류 전압(VDC)을 생성하여, +V' 단자에 출력한다.
- [0159] 또한, 이 구성에서의 제2 바이어스 회로(111)와, 스위치(110) 이외의 각 회로는 실시형태 1과 마찬가지로, 실시형태 1에서의 설명을 인용한다.
- [0160] 제2 바이어스 회로(111)로서는, 제1 바이어스 회로(107)와 같은 회로 구성으로 할 수 있다.
- [0161] 전원 회로(101)는 +V' 단자로부터 입력된 직류 전압(VDC)을 정전압화하고, 전원 전압을 생성하여, +V'' 단자에 출력한다.
- [0162] 제1 바이어스 회로(107)는 +V' 단자로부터 입력된 직류 전압(VDC)으로부터 기준 전압(V_{BIAS})을 생성하여, 전원 회로(101) 및 비교부(102)에 출력한다. 그러나, 전원 회로(101)에서 기준 전압(V_{BIAS})을 생성하는 경우, 또는, 기준 전압(V_{BIAS})이 필요없는 경우에는, 제1 바이어스 회로(107)로부터 기준 전압(V_{BIAS})을 전원 회로(101)에 출력할 필요는 없다.
- [0163] 스위치(110)는, 비교 회로(104)의 결과인 신호에 따라 +V' 단자와 제2 바이어스 회로(111)의 온과 오프를 선택한다.
- [0164] 제2 바이어스 회로(111)는, 스위치(110)가 온일 때, +V' 단자로부터 입력된 직류 전압(VDC)으로부터 제3 직류 전압인 기준 전압(V_{BIAS'})을 생성하고, 정류 회로(100)의 직류 전압(V_{SUB})으로서 출력한다. 반대로, 스위치(110)가 오프일 때는, 제2 바이어스 회로(111)는 직류 전압(VDC)이 공급되지 않기 때문에 동작하지 않는다.
- [0165] 비교부(102)는 비교 회로(104)와, 저항 소자(108) 및 트랜지스터 군(109)을 가진다. 저항 소자(108) 및 트랜지스터 군(109)은, 정류 회로(100)에서 생성된 직류 전압(VDC)을 기초로 직류 전압(VDC')을 생성하여, 비교 회로(104)에 출력한다. 여기서, 직류 전압(VDC')을 생성하기 위해 트랜지스터 군(109)을 사용하였지만, 저항 소자로 치환할 수도 있다. 비교 회로(104)는 직류 전압(VDC')과 기준 전압(V_{BIAS})의 크기를 비교하고, 그 결과를 기관 전압 생성부(103)에 출력한다.
- [0166] 기관 전압 생성부(103)는 기관 전압 생성 회로(105) 및 스위치(106)를 가진다. 스위치(106)는 비교 회로(104)의 결과인 신호에 따라 온 또는 오프가 선택되고, +V 단자와 기관 전압 생성 회로(105)의 도통 또는 비도통이 선택된다. 기관 전압 생성 회로(105)는, 스위치(106)가 온일 때, +V 단자와 접속 상태가 되고, +V 단자로부터 기관 전압 생성 회로(105)에 신호가 입력된다. 기관 전압 생성 회로(105)는 그의 신호를 정류화 및 평활화함으로써 제2 직류 전압인 직류 전압(V_{SUB})을 생성하여, 정류 회로(100)에 출력한다. 반대로, 스위치(106)가 오프일 때는, 기관 전압 생성 회로(105)는 -V 단자와 같은 전위를 정류 회로(100)에 출력한다.
- [0167] 도 11에 나타내지는 않지만, 무선 태그와 같은, 안테나로부터 신호가 공급되는 반도체장치에서는, +V 단자에는 안테나의 +단자가 접속되고, -V 단자에는 안테나의 일 단자가 접속된다.
- [0168] 각 회로의 구성에 대해서는, 실시형태 1과 마찬가지로, 실시형태 1에서의 설명을 인용한다.
- [0169] 다음에, 본 실시형태에서의 전원부의 동작에 대하여 설명한다.

- [0170] 안테나로부터 수신된 신호는 +V 단자 및 -V 단자에 입력된다.
- [0171] 또한, 본 실시형태에서는, 설명을 알기 쉽게 하기 위해, -V 단자의 신호를 기준으로 하여, 일정하게 한 경우의 +V 단자의 신호에 대한 동작의 설명을 한다. 실제로는, 무선 태그와 같은, 안테나로부터 신호가 공급되는 반도체 장치에서는, 주로, 입력 신호는 차동 신호인 경우가 있지만, 기준으로 하는 신호가 일정한지 아닌지의 차이뿐이기 때문에, 입력 신호가 차동 신호이어도, 본 실시형태는 적용 가능하다.
- [0172] 본 실시형태에서의 전원부의 동작에 대하여 도 11을 사용하여 설명한다. 본 실시형태의 전원부의 동작은, 상기 실시형태 1과 비교하여, 2개의 바이어스 회로와, 새로운 스위치가 설치된 점이 다르다. 제1 바이어스 회로(107)로부터 비교부(102)에 기준 전압(V_{BIAS})이 출력되고, 제2 바이어스 회로(111)로부터 정류 회로(100)에 직류 전압(V_{SUB})으로서 기준 전압(V_{BIAS})이 출력된다. 또한, 스위치(110)는, +V' 단자와 제2 바이어스 회로(111)의 도통 또는 비도통을 선택하기 위해 +V' 단자와 제2 바이어스 회로(111) 사이에 접속된다. 여기서는, 스위치(110)를 P채널형 트랜지스터로 하여 설명한다.
- [0173] 먼저, 안테나로부터 공급되는 전력이 적절한 경우의 동작에 대하여 설명한다. 이것은, 상술한 바와 같이, 정류 회로(100)의 출력인 직류 전압(V_{DC})이 트랜지스터 군(401)의 모든 트랜지스터가 오프 상태로 되는 값인 경우이다. 이 경우, 비교 회로(104)로부터 스위치(106)와 스위치(110)에는, -V 단자와 거의 같은 전위가 출력되고, 스위치(106)는 오프하지만, 스위치(110)는 온한다. 따라서, 기관 전압 생성 회로(105)는, -V 단자와 같은 전위를 정류 회로(100)의 직류 전압(V_{SUB})으로서 출력하지만, 제2 바이어스 회로(111)가 동작하여, 기준 전압(V_{BIAS}')을 정류 회로(100)의 직류 전압(V_{SUB})으로서 출력한다. 여기서, 기관 전압 생성 회로(105)의 저항 소자(305)는, 기관 전압 생성 시에 영향을 주지 않을 정도로 큰 값으로 함으로써, 생성되는 직류 전압(V_{SUB})의 전위의 값은, 입력된 기준 전압(V_{BIAS}')의 전위로 결정되게 된다.
- [0174] 제2 바이어스 회로(111)로부터 직류 전압(V_{SUB})으로서 기준 전압(V_{BIAS}')이 정류 회로(100)에 입력되면, 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 기관 전압이 높아지기 때문에, 스레시홀드 전압(V_{th})은 낮아진다. 기준 전압(V_{BIAS}')의 전위를 조정함으로써, 안테나로부터 공급되는 전력이 적절한 경우에도, 정류 회로(100)의 제1 트랜지스터(201)의 직류 전압(V_{SUB})을 설정하여, 스레시홀드 전압을 조정할 수 있다. 정류 회로(100)는, 상술한 바와 같이, 식 (1)에 의해, 트랜지스터의 스레시홀드 전압(V_{th})이 낮으면, 높은 직류 전압(V_{DC})을 생성할 수 있으므로, 기준 전압(V_{BIAS}')을 조정함으로써 정류 회로(100)의 출력인 직류 전압(V_{DC})을 높게 할 수 있다.
- [0175] 한편, 직류 전압(V_{DC})이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우의 동작에 대하여 설명한다. 이것은, 상술한 바와 같이, 정류 회로(100)의 출력인 직류 전압(V_{DC})이 트랜지스터 군(401)의 모든 트랜지스터가 온 상태로 되는 값인 경우의 동작이다. 이 경우, 비교 회로(104)의 출력 전위가 -V 단자보다 높아지므로, 스위치(106)는 온하고, 스위치(110)는 오프한다. 따라서, 기관 전압 생성 회로(105)는 -V 단자보다 낮은 전위를 정류 회로(100)의 직류 전압(V_{SUB})으로서 출력하지만, 제2 바이어스 회로(111)는 동작하지 않기 때문에, 직류 전압(V_{SUB})의 값은 기관 전압 생성 회로(105)의 출력의 전위로 결정된다.
- [0176] 직류 전압(V_{SUB})이 정류 회로(100)에 입력됨으로써, 정류 회로(100)의 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 기관 전압은 통상의 값(공급되는 전력이 적절할 때의 값)보다 낮아지기 때문에, 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 스레시홀드 전압(V_{th})은 높아진다. 스레시홀드 전압(V_{th})과 정류 회로(100)의 출력인 직류 전압(V_{DC})의 관계는 식 (1)과 같기 때문에, 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 스레시홀드 전압(V_{th})이 높아지면, 직류 전압(V_{DC})이 낮아진다.
- [0177] 그 때문에, 정류 회로(100)에서, 제1 트랜지스터(201) 및 제2 트랜지스터(202)의 스레시홀드 전압(V_{th})이 통상보다 높아지면, 직류 전압(V_{DC})이 낮아진다.
- [0178] 또한, 정류 회로(100)로서는, 반파 4배압 정류 회로, 반파 6배압 정류 회로, 또는 전파 정류 회로를 사용할 수도 있다.
- [0179] 이상과 같이, 소자를 파괴시킬 정도의 고주파 신호가 공급된 경우에, 정류 회로(100)의 제1 트랜지스터(201)의 스레시홀드 전압을 강하시킴으로써, 제1 트랜지스터(201)에서 정류 동작을 행하지 않게 되기 때문에, 직류 전압(V_{DC})이 커지는 것을 억제할 수 있다.
- [0180] 또한, 반도체 장치에서, 정류 회로(100)에서는, 미약한 수신 전력으로부터 높은 전압을 생성함으로써 통신 거리가 늘어나므로, 스레시홀드 전압을 낮게 설정한다. 한편, 논리 회로에서는, 스레시홀드 전압을 낮춤으로써, 대

기 시의 소비전류가 올라가게 되므로, 스레시홀드 전압을 높게 설정한다. 본 실시형태의 회로 구성을 사용함으로써, 논리 회로의 스레시홀드 전압에 맞추어 트랜지스터를 제작하여도, 정류 회로(100)는, 스레시홀드 전압을 최적값으로 할 수 있으므로, 소비전류가 적고, 미약한 전력으로 동작하는 반도체장치를 제작할 수 있다.

[0181] 본 실시형태의 구성으로 함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 통신 거리가 변화하여, 소자를 파괴시킬 정도의 신호가 회로 내에 공급된 경우라도, 정류 회로에 제공된 트랜지스터의 스레시홀드 전압을 제어함으로써, 내부 회로에 필요 이상의 전압이 가해지지 않게 할 수 있다. 따라서, 내부의 각 회로를 구성하는 소자를 열화 또는 파괴시키는 일 없이, 정상으로 동작시킬 수 있는 반도체장치를 제공할 수 있다.

[0182] [실시형태 6]

[0183] 본 실시형태에서는, 본 발명의 정류 회로를 가지는 반도체장치에 대하여 도 12를 사용하여 설명한다.

[0184] 본 발명의 반도체장치(500)는, 무선 통신 장치로부터 신호를 수신하기 위한 안테나(501)와, 입력 회로부(513)와, 논리 회로부(514)를 가진다. 또한, 안테나(501)는, 입력 회로부(513) 및 논리 회로부(514)를 가지는 칩 본체와는 별도로 제작하고, 별도의 공정에서 접속하여 반도체장치(500)를 형성할 수 있지만, 안테나(501)와 칩 본체는 같은 공정에서 형성되는 것이 바람직하다.

[0185] 반도체장치(500)의 입력 회로부(513)는, 안테나(501)로부터 수신한 신호를 교류로부터 직류로 변환하기 위한 정류 회로(502)와, 정류 회로(502)의 트랜지스터의 기관 전압을 생성하기 위한 기관 전압 생성부(503)와, 기관 전압 생성부(503)를 동작시킬지 아닐지를 제어하기 위한 비교부(504)와, 기준 전압을 생성하기 위한 바이어스 회로(515)와, 안정된 전압을 내부 회로에 공급하기 위한 전원 회로(505)와, 내부 회로에 공급하는 클록을 생성하기 위한 클록 생성 회로부(506)와, 안테나(501)로부터 수신한 데이터를 디지털 신호에 복조하기 위한 복조 회로부(507)와, 부호화된 데이터를 변조하기 위한 변조 회로부(512)를 가진다.

[0186] 또한, 반도체장치(500)의 논리 회로부(514)는, 복조 회로부(507)에서 복조된 데이터를 해석하는 명령 해석부와 복조된 데이터를 정상으로 수신할 수 있었는지 아닌지를 판정하기 위한 판정 회로부(508)와, 메모리(509)와, 메모리(509)를 제어하기 위한 컨트롤러 회로부(510)와, 데이터를 부호화하기 위한 부호화 회로부(511)를 가진다. 여기서, 각 회로를 구성하는 트랜지스터는 기관 단자를 가지는 구성으로 해도 좋다. 무선 신호가 공급되는 반도체장치에서는, 정류 회로(502)가 미약한 수신 전력으로부터 높은 직류 전압(VDC)을 생성할 때 트랜지스터의 스레시홀드 전압을 낮게 설정하기 때문에 논리 회로부(514)의 소비전류가 문제가 된다. 각 트랜지스터에 기관 단자를 제공함으로써, 각 트랜지스터의 스레시홀드 전압을 제어할 수가 있어, 소비전류를 저감할 수 있다.

[0187] 본 실시형태에서, 변조 회로부(512)는, 부호화 회로부(511)에서 부호화된 신호가 입력되어, 부하 변조를 행한다. 복조 회로부(507)는, +V 단자로부터 입력된 전파를 복조한다. 복조 신호 출력 단자는 클록 생성 회로부(506)나 논리 회로부(514) 내의 복호 회로부에 접속된다. 전원 회로(505)는, 정류 회로(502)에서 정류화 및 평활화된 직류 전압(VDC)이 입력되고, 직류 전압(VDC)으로부터 생성한 전원 전압(VDD)을 클록 생성 회로부(506) 및 컨트롤러 회로부(510)에 출력한다. +V' 단자는 클록 생성 회로부(506)나 논리 회로부(514)에 접속되고, 각 회로에 전원을 공급하고 있다. 클록 생성 회로부(506)는 기준 클록을 출력한다. 클록 생성 회로부(506)의 출력 단자는 논리 회로부(514)에 접속되어 있고, 논리 회로부(514) 내부의 각 회로에 클록을 공급하고 있다.

[0188] 본 실시형태에서의 입력 회로부에 상기 실시형태에서의 정류 회로를 제공한 구성으로 함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 통신 거리가 변화하여, 소자를 파괴시킬 정도의 고주파 신호가 회로 내에 공급된 경우라도, 비교부(504)의 출력에 따라 기관 전압 생성부(503)에서 기관 전압을 생성하고, 기관 전압에 의해, 정류 회로(502)의 트랜지스터의 스레시홀드 전압을 제어할 수 있다. 따라서, 정류 회로(502)에서 정류화 및 평활화를 행하여, 생성된 직류 전압(VDC)이 필요 이상으로 커지는 것을 억제하여 전원 회로(505)에 출력할 수 있다.

[0189] 본 실시형태의 구성으로 함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 통신 거리가 변화하여, 소자를 파괴시킬 정도의 고주파 신호가 회로 내에 공급된 경우라도, 정류 회로에 제공된 트랜지스터의 스레시홀드 전압을 제어함으로써, 입력 회로에 필요 이상의 전압이 가해지지 않게 할 수 있다. 따라서, 입력 회로를 구성하는 소자를 열화 또는 파괴시키는 일이 없기 때문에, 그 외의 회로에서도 정상으로 동작시킬 수 있는 반도체장치를 제공할 수 있다.

[0190] 또한, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

- [0191] [실시형태 7]
- [0192] 본 실시형태에서는, 본 발명에 있어서의 정류 회로에서 사용할 수 있는 트랜지스터의 일례로서 비(非)단결정 반도체막을 가지는 트랜지스터에 대하여 설명한다.
- [0193] 본 실시형태에서의 트랜지스터를 도 13에 나타낸다. 본 실시형태에서의 트랜지스터는, 기판(1000) 위에 제1 게이트 전극(1001)을 가지고, 제1 게이트 전극(1001) 위에 제1 절연층(1002)을 가지고, 제1 절연층(1002) 위에 반도체층(1003)을 가지고, 반도체층(1003) 위에 제2 절연층(1006)을 가지고, 제2 절연층(1006) 위에 제2 게이트 전극(1008)을 가지고, 제2 게이트 전극(1008) 위에 제3 절연층(1007)을 가진다. 반도체층(1003)은 불순물 영역(1004)과 불순물 영역(1005)을 가진다. 불순물 영역(1004)과 불순물 영역(1005) 사이에는 채널 형성 영역을 가진다. 또한, 제3 절연층(1007) 위, 및 게이트 전극(1008) 위에는, 제4 절연층(1009)을 가지고, 제4 절연층(1009)의 일부에는, 임의의 수의 콘택트부를 가지고, 콘택트부를 통하여 불순물 영역(1004) 위에 제공된 배선(1010), 및 불순물 영역(1005) 위에 제공된 배선(1011)을 각각 가진다.
- [0194] 기판(1000)으로서는, 예를 들어, 유리 기판, 석영 기판, 금속 기판(예를 들어, 스테인리스 강 기판 등), 세라믹 기판 등을 사용할 수 있다. 그 밖에도, 플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르술폰(PES), 아크릴 등의 기판을 선택할 수도 있다.
- [0195] 또한, 절연층(1002, 1006, 1007, 1009)은, 산화규소, 질화규소, 산화질화규소(SiO_xNy)($x>y>0$), 및 질화산화규소(SiN_xO_y)($x>y>0$) 중 어느 하나 또는 다수를 사용할 수 있다. 또한, 선택된 재료를 사용하여 적층 구조로 할 수도 있다. 절연층은 CVD법이나 스퍼터링법 등을 사용하여 형성할 수 있다.
- [0196] 또한, 반도체층(1003)으로서는, 비정질 실리콘, 다결정 실리콘, 미결정(마이크로크리스탈, 세미아모르퍼스라고도 칭함) 실리콘 등을 사용할 수 있다. 또한, 반도체층(1003)은 스퍼터링법, LPCVD법, 플라즈마 CVD법 등에 의해 형성할 수 있다.
- [0197] 또한, 반도체층(1003)은 레이저 빔을 조사함으로써 결정화가 행해진다. 또한, 레이저 빔의 조사와, RTA 또는 퍼니스 어닐로를 사용한 열 결정화법, 결정화를 조장하는 금속 원소를 사용한 열 결정화법을 조합한 방법 등에 의해 반도체층(1003)의 결정화를 행하여도 좋다. 그 후, 얻어진 결정질 반도체막을 소망의 형상으로 에칭함으로써 반도체층(1003)이 형성된다.
- [0198] 또한, 결정화에 사용하는 레이저 발진기로서는, 연속 발진형 레이저(CW 레이저)나 펄스 발진형 레이저(펄스 레이저)를 사용할 수 있다. 여기서 사용할 수 있는 레이저 빔은, Ar 레이저, Kr 레이저, 엑시머 레이저 등의 기체 레이저, 단결정의 YAG, YVO_4 , 포르스테라이트(forsterite)(Mg_2SiO_4), YAlO_3 , GdVO_4 , 또는 다결정(세라믹)의 YAG, Y_2O_3 , YVO_4 , YAlO_3 , GdVO_4 에, 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, 및 Ta 중 1종 또는 다수 종을 첨가한 것을 매질로 하는 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저, 및 금 증기 레이저 중 1종 또는 다수 종으로부터 발진되는 것을 사용할 수 있다. 이들 레이저 빔의 기본파, 및 이들 기본파의 제2 고조파 내지 제4 고조파의 레이저 빔을 조사함으로써, 대립정의 결정을 얻을 수 있다. 예를 들어, Nd:YVO₄ 레이저(기본파 1064 nm)의 제2 고조파(532 nm)나 제3 고조파(355 nm)를 사용할 수 있다. 이 때 레이저의 파워 밀도는 0.01 MW/cm^2 이상 100 MW/cm^2 이하 정도(바람직하게는 0.1 MW/cm^2 이상 10 MW/cm^2 이하)가 필요하다. 그리고, 주사 속도를 10 cm/sec 이상 2000 cm/sec 이하 정도로 하여 조사한다. 또한, 단결정의 YAG, YVO_4 , 포르스테라이트(Mg_2SiO_4), YAlO_3 , GdVO_4 , 또는 다결정(세라믹)의 YAG, Y_2O_3 , YVO_4 , YAlO_3 , GdVO_4 에, 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 다수 종을 첨가한 것을 매질로 하는 레이저, Ar 이온 레이저, 또는 Ti:사파이어 레이저는 연속 발진을 시키는 것이 가능하고, 모드 동기 등을 행하는 것에 의해 10 MHz 이상의 발진 주파수로 펄스 발진을 시키는 것도 가능하다. 10 MHz 이상의 발진 주파수로 레이저 빔을 발진시키면, 반도체막이 레이저에 의해 용융하고 나서 고화할 때까지의 사이에 다음의 펄스가 반도체막에 조사된다. 따라서, 발진 주파수가 낮은 펄스 레이저를 사용하는 경우와 달리, 반도체막 중에서 고액 계면을 연속적으로 이동시킬 수 있기 때문에, 주사 방향을 향하여 연속적으로 성장한 결정립을 얻을 수 있다.
- [0199] 제1 게이트 전극(1001) 및 제2 게이트 전극(1008)은, 탄탈, 텅스텐, 티탄, 몰리브덴, 알루미늄, 구리, 크롬, 니오브 등으로부터 선택된 원소, 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료를 사용하여 형성할 수 있다. 또한, 인 등의 불순물 원소를 도핑한 다결정 규소로 대표되는 반도체 재료를 사용하여 형성할 수도 있다. 또한, 상기 재료의 하나 또는 다수를 선택하여, 적층 구조로 하는 것도 가능하다. 상기 재료의 조합

의 예를 들면, 질화탄탈막과 텅스텐막, 질화텅스텐막과 텅스텐막, 질화몰리브덴막과 몰리브덴막 등을 들 수 있다. 텅스텐이나 질화탄탈은 내열성이 높기 때문에, 게이트 전극의 첫 번째층과 두 번째층을 형성한 후에, 열화를 목적으로 한 가열 처리를 행할 수 있다. 또한, 2층의 적층뿐만 아니라, 3층 이상의 구조로 하는 것도 가능하다. 예를 들어, 3층의 경우는, 몰리브덴막과 알루미늄막과 몰리브덴막의 적층 구조를 채용하면 좋다.

[0200] 불순물 영역(1004) 및 불순물 영역(1005)은 반도체층(1003)의 일부에 불순물 원소를 첨가함으로써 형성할 수 있다. 또한, 불순물 원소는, 소정의 영역에 첨가하고자 하는 경우에는, 별도의 레지스트를 형성하고, 레지스트를 마스크로 하여 불순물 원소를 첨가함으로써, 소망의 영역에 소망의 원소를 함유하는 불순물 영역(1004) 및 불순물 영역(1005)을 형성할 수 있다.

[0201] 또한, 제4 절연층(1009)으로서는, 규소의 산화물 및 규소의 질화물 등의 무기 재료, 폴리이미드, 폴리아미드, 벤조시클로부텐, 아크릴, 및 에폭시 등의 유기 재료, 실록산 재료 중 어느 1종 또는 다수 종을 사용할 수 있다. 또한, 상기 재료로부터 선택된 1종 또는 다수 종을 사용하여 적층 구조를 형성하는 것도 가능하다. 또한, 제4 절연층(1009)은 CVD법, 스퍼터링법, SOG법, 액적 토출법, 스크린 인쇄법 등을 사용하여 형성할 수 있다.

[0202] 또한, 배선(1010) 및 배선(1011)은 소스 배선 또는 드레인 배선으로서 기능한다. 그것들에는 알루미늄, 텅스텐, 티탄, 탄탈, 몰리브덴, 니켈, 백금, 구리, 금, 은, 망간, 네오디뮴, 탄소, 및 규소로부터 선택된 원소, 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료를 사용할 수 있다. 또한, 상기 재료의 1종 또는 다수 종을 선택하여 사용함으로써 적층 구조로 하는 것도 가능하다. 알루미늄을 주성분으로 하는 합금 재료로서는, 예를 들어, 알루미늄을 주성분으로서 가지고, 또한, 니켈을 함유하는 재료나, 알루미늄을 주성분으로서 가지고, 또한, 니켈, 및 탄소와 규소 중의 한쪽 또는 양쪽 모두를 함유하는 합금 재료 등을 사용할 수 있다. 배선(1010) 및 배선(1011)은, 예를 들어, 배리어막과 알루미늄-규소(A1-Si)막과 배리어막의 적층 구조, 배리어막과 알루미늄-규소(A1-Si)막과 질화 티탄막과 배리어막의 적층 구조를 채용하면 좋다. 또한, 배리어막이란, 티탄, 티탄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 이루어지는 박막에 상당한다. 알루미늄이나 알루미늄-규소는 저항값이 낮고, 저열하기 때문에, 배선(1010) 및 배선(1011)을 형성하는 재료로서 최적이다. 또한, 상층과 하층의 배리어층을 형성하면, 알루미늄이나 알루미늄-규소의 휘발의 발생을 방지할 수 있다. 또한, 환원성이 높은 원소인 티탄으로 이루어지는 배리어막을 형성하면, 결정질 반도체막 위에 얇은 자연 산화막 생성되어 있었다고 하여도, 이 자연 산화막을 환원하여, 결정질 반도체막과 양호한 콘택트를 취할 수 있다.

[0203] 불순물 영역(1004)과 배선(1010), 및 불순물 영역(1005)과 배선(1011)은, 소스 단자 또는 드레인 단자로서 기능한다. 불순물 영역(1004)과 불순물 영역(1005) 사이에는 채널 형성 영역이 형성된다.

[0204] 제1 게이트 전극(1001)은 기관 단자(제어 단자라고도 부름)로서 기능한다. 제1 게이트 전극(1001)을 실시형태 1에서의 기관 전압 생성 회로(105)에 접속시키고, 기관 전압 생성 회로(105)로부터 입력된 전압이 기관 전압으로서 채널 형성 영역에 인가되어, 트랜지스터의 스레시홀드 전압을 변화시킬 수 있다.

[0205] 이상과 같이, 기관 단자를 가지는 트랜지스터를 정류 회로에 탑재함으로써, 독립적인 기관 전압을 설정할 수 있고, 기관 전압을 제어함으로써, 트랜지스터의 스레시홀드 전압을 제어하면서 정류 동작을 행할 수 있다. 또한, 정류 회로를 반도체장치에 탑재함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 소자를 파괴시킬 정도의 고주파 신호가 칩 내에 공급된 경우라도, 입력 회로에 필요 이상의 전압이 가해지지 않게 할 수 있다. 따라서, 입력 회로의 소자가 열화 또는 파괴되는 일이 없기 때문에, 그 외의 회로에서도 정상으로 동작하는 반도체장치를 제공할 수 있다.

[0206] 또한, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0207] [실시형태 8]

[0208] 본 실시형태에서는, 본 발명에 있어서의 정류 회로에 사용할 수 있는 트랜지스터의 다른 예로서 단결정 반도체막을 가지는 트랜지스터에 대하여 설명한다.

[0209] 본 실시형태에서의 트랜지스터를 도 14에 나타낸다. 본 실시형태의 트랜지스터는, 기관(2000) 위에 제1 절연층(2001) 및 제2 절연층(2006)을 가지고, 제2 절연층(2006) 위에 게이트 전극(2007)을 가진다. 기관(2000)의 일부에 웰(well) 영역(2002)을 가지고, 또한, 웰 영역(2002)의 일부에는, 불순물 영역(2003, 2004, 2005)을 가진다. 제2 절연층(2006) 및 게이트 전극(2007)은 기관(2000)의 불순물 영역(2003)과 불순물 영역(2004) 사이의 영역 위에 제공되어 있다. 또한, 게이트 전극(2007) 및 기관(2000) 위에는, 제3 절연층(2008)을 가지고, 제3 절연층(2008)의 일부에는, 임의의 수의 콘택트부를 가지고, 콘택트부를 통하여 불순물 영역(2003) 위에 제공된 배선(2009), 불순물 영역(2004) 위에 제공된 배선(2010), 불순물 영역(2005) 위에 제공된 배선(2011)을 각각 가

진다.

- [0210] 기판(2000)으로서는, 예를 들어, n형 또는 p형의 도전형을 가지는 단결정 실리콘 기판, 화합물 반도체 기판 (GaAs 기판, InP 기판, GaN 기판, SiC 기판, 사파이어 기판, ZnSe 기판 등), 및 부착법 또는 SIMOX(Separation by Implanted Oxygen)법을 사용하여 제작된 SOI(Silicon on Insulator) 기판 중 어느 하나를 사용할 수 있다.
- [0211] 또한, 제1 절연층(2001)의 형성에는, 선택 산화법(LOCOS : Local Oxidation of Silicon법) 또는 트랜지 분리법 등을 사용할 수 있다.
- [0212] 게이트 전극(2007)으로서는, 탄탈, 텅스텐, 티탄, 몰리브덴, 알루미늄, 구리, 크롬, 니오브 등을 사용할 수 있다. 또한, 게이트 전극(2007)은, 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 함유하는 화합물을 사용하여 형성된 막을 사용하여 형성할 수도 있다. 또는, 반도체 막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한 다결정 규소 등의 반도체를 사용하여 형성할 수도 있다. 또한, 게이트 전극(2007)은 소정의 형상으로 가공(패터닝 등)함으로써 형성할 수 있다.
- [0213] 웰 영역(2002) 및 불순물 영역(2003, 2004, 2005)은 불순물 원소를 첨가함으로써 형성할 수 있다. 불순물 원소로서는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용한다. n형을 부여하는 불순물 원소로서는, 인이나 비소 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는, 붕소나 알루미늄이나 갈륨 등을 사용할 수 있다. 또한, 소정의 영역에 첨가하고자 하는 경우에는, 별도의 레지스트를 형성하고, 레지스트를 마스크로 하여 불순물 원소를 첨가함으로써 소정의 영역에 소망의 원소를 함유하는 웰 영역(2002) 및 불순물 영역(2003, 2004, 2005)을 형성할 수 있다.
- [0214] 제2 절연층(2006) 및 제3 절연층(2008)으로서는, 무기 재료, 유기 재료, 또는 유기 재료와 무기 재료의 혼합 재료를 사용하여 형성할 수 있다. 예를 들어, 산화규소, 산화질화규소, 질화산화규소, DLC(Diamond Like Carbon)로 대표되는 탄소를 함유하는 막, 아크릴, 에폭시, 폴리이미드, 폴리비닐페놀, 또는 벤조시클로부텐 등을 사용할 수 있다. 또한, 제2 절연층(2006) 및 제3 절연층(2008)은 그의 재료에 따라, CVD법, 스퍼터링법, 액적 토출법 또는 인쇄법 등으로 형성할 수 있다.
- [0215] 불순물 영역(2003)과 배선(2009), 및 불순물 영역(2004)과 배선(2010)은 소스 단자 또는 드레인 단자로서 기능한다. 불순물 영역(2003)과 불순물 영역(2004) 사이에는 채널 형성 영역이 형성된다.
- [0216] 불순물 영역(2005) 및 배선(2011)은, 독립적인 기판 전압을 가지는 기판 단자로서 기능한다. 따라서, 배선(2011)을 실시형태 1의 도 1에서의 기판 전압 생성 회로(105)에 접속시킴으로써, 기판 단자를 통하여 입력된 전압이 기판 전압으로서 채널 형성 영역에 인가되어, 트랜지스터의 스레시홀드 전압을 제어할 수 있다.
- [0217] 이상과 같이, 기판 단자를 가지는 트랜지스터를 정류 회로에 탑재함으로써, 독립적인 기판 전압을 설정할 수 있고, 기판 전압을 제어함으로써, 트랜지스터의 스레시홀드 전압을 제어하면서 정류 동작을 행할 수 있다. 또한, 정류 회로를 반도체장치에 탑재함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 소자를 파괴시킬 정도의 고주파 신호가 칩 내에 공급된 경우라도, 입력 회로에 필요 이상의 전압이 가해지지 않게 할 수 있다. 따라서, 입력 회로의 소자가 열화 또는 파괴되는 일이 없기 때문에, 그 외의 회로에서도 정상으로 동작하는 반도체장치를 제공할 수 있다.
- [0218] 또한, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0219] [실시형태 9]
- [0220] 본 실시형태에서는, 상기 실시형태에서의 정류 회로를 구비한 반도체장치의 사용예에 대하여 설명한다.
- [0221] 상기 실시형태에서의 정류 회로를 구비한 반도체장치의 사용예를 도 15에 나타낸다. 반도체장치는 광범위 걸쳐 사용되는데, 예를 들어, 지폐, 동전, 유가증권류, 무기명 채권류, 증서류(운전면허증이나 주민등록증 등, 도 15(A) 참조), 포장용 용기류(포장지나 병 등, 도 15(C) 참조), 기록 매체(DVD 소프트웨어나 비디오 테이프 등, 도 15(B) 참조), 탈 것류(자전거 등, 도 15(D) 참조), 신변용품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활용품류, 또는 전자 기기(액정 표시장치, EL 표시장치, 텔레비전 장치, 또는 휴대 전화기) 등의 물품, 또는 각 물품에 다는 꼬리표(도 15(E), 도 15(F) 참조) 등에 제공하여 사용할 수 있다.
- [0222] 본 발명의 반도체장치(4000)는, 프린트 기판에 실장하거나, 표면에 붙이거나 또는 묶음으로써, 물품에 고정된다. 예를 들어, 책이면 종이에 묻거나, 또는 유기 수지로 된 패키지라면 이 유기 수지에 묻어, 각 물품에 고정된다. 본 발명의 반도체장치(4000)는, 소형, 박형, 경량을 실현하기 때문에, 물품에 고정한 후에도 그

물품 자체의 디자인성을 해치는 일이 없다. 또한, 지폐, 동전, 유가증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 반도체장치(4000)를 제공함으로써, 인증 기능을 제공할 수 있고, 이 인증 기능을 활용하면, 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 신변용품, 식품류, 의류, 생활용품류, 또는 전자 기기 등에 본 발명의 반도체장치를 부착함으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다. 또한, 탈 것류인 경우에도, 본 발명의 반도체장치를 부착함으로써, 도난 등에 대한 시큐리티성을 높일 수 있다.

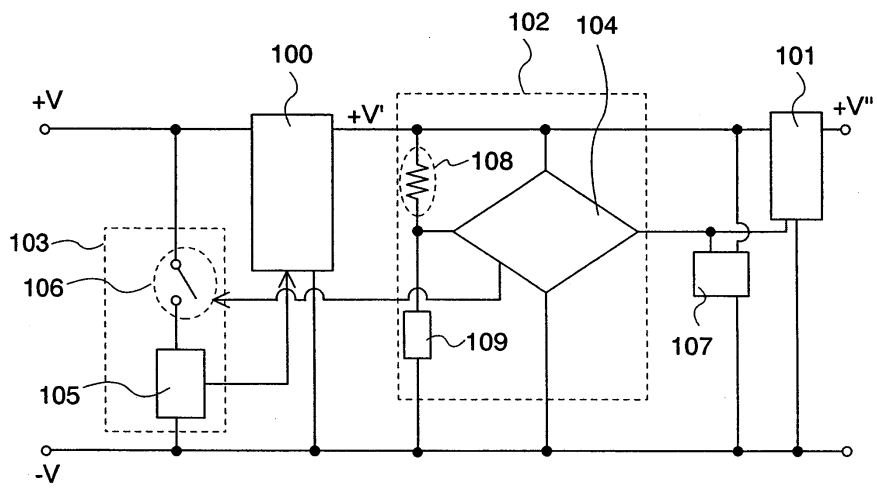
[0223] 이상과 같이, 본 발명의 정류 회로를 탑재한 반도체장치를 본 실시형태에서 든 각 용도에 사용함으로써, 소정의 통신 거리에서 통신이 가능한 반도체장치에서, 예를 들어, 통신 거리가 변화하여, 소자를 파괴시킬 정도의 고주파 신호가 회로에 공급된 경우라도, 회로 내부의 소자가 열화 또는 파괴되는 일 없이 안정된 동작을 실현할 수 있기 때문에, 물품의 인증성 또는 시큐리티성에 대한 신뢰성을 높일 수 있다.

도면의 간단한 설명

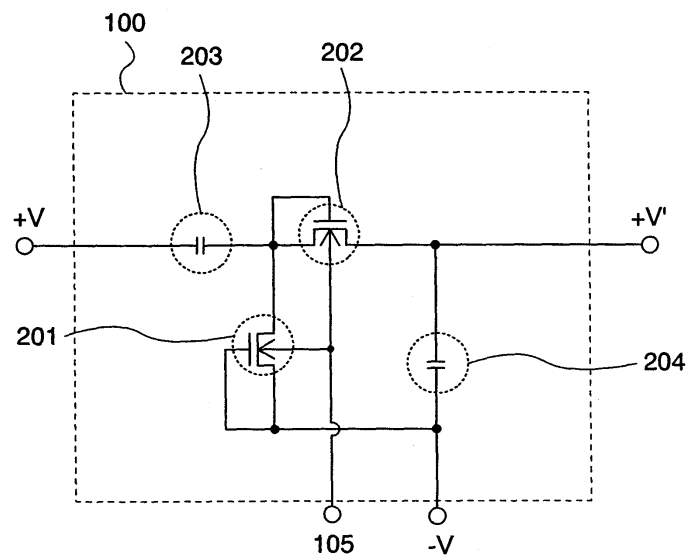
- [0224] 도 1은 본 발명에 있어서의 전원부를 나타내는 블록도.
- [0225] 도 2는 실시형태 1에 있어서의 정류 회로의 회로 구성을 나타내는 도면.
- [0226] 도 3은 실시형태 1 내지 실시형태 2에 있어서의 비교부의 회로 구성의 일 형태를 나타내는 도면.
- [0227] 도 4는 본 발명에 있어서의 비교부의 다른 구성을 나타내는 도면.
- [0228] 도 5는 실시형태 1에 있어서의 기관 전압 생성 회로의 회로 구성을 나타내는 도면.
- [0229] 도 6은 실시형태 2에 있어서의 정류 회로의 회로 구성을 나타내는 도면.
- [0230] 도 7은 실시형태 2에 있어서의 기관 전압 생성 회로의 회로 구성을 나타내는 도면.
- [0231] 도 8은 실시형태 3에 있어서의 전원부를 나타내는 블록도.
- [0232] 도 9는 실시형태 4에 있어서의 전원부를 나타내는 블록도.
- [0233] 도 10은 실시형태 4에 있어서의 비교 회로를 나타내는 블록도.
- [0234] 도 11은 실시형태 5에 있어서의 전원부를 나타내는 블록도.
- [0235] 도 12는 본 발명에 있어서의 반도체장치의 블록도.
- [0236] 도 13은 실시형태 7에 있어서의 본 발명의 반도체장치에 탑재되는 정류 회로에 사용할 수 있는 트랜지스터를 나타내는 단면도.
- [0237] 도 14는 실시형태 8에 있어서의 본 발명의 반도체장치에 탑재되는 정류 회로에 사용할 수 있는 트랜지스터를 나타내는 단면도.
- [0238] 도 15는 실시형태 9에 있어서의 본 발명의 반도체장치의 사용예를 나타내는 도면.

도면

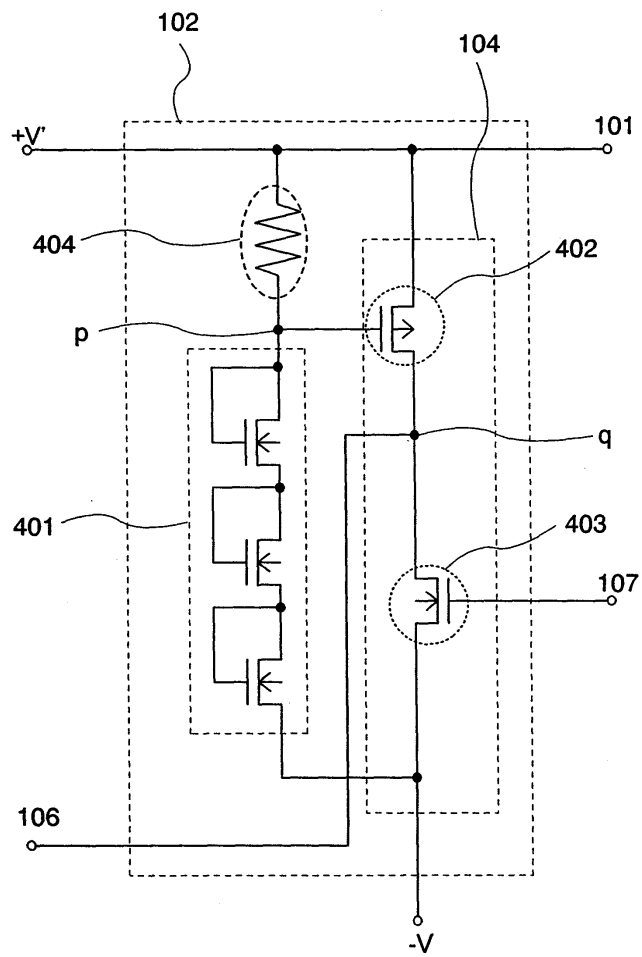
도면1



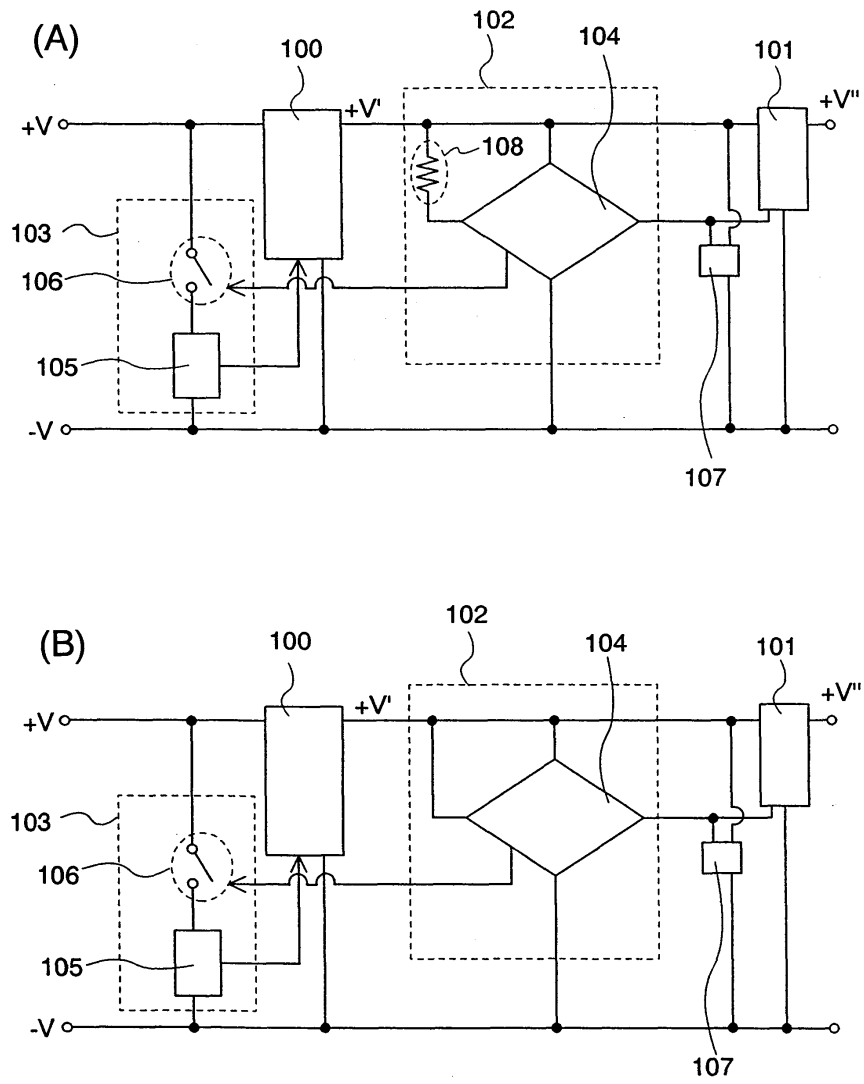
도면2



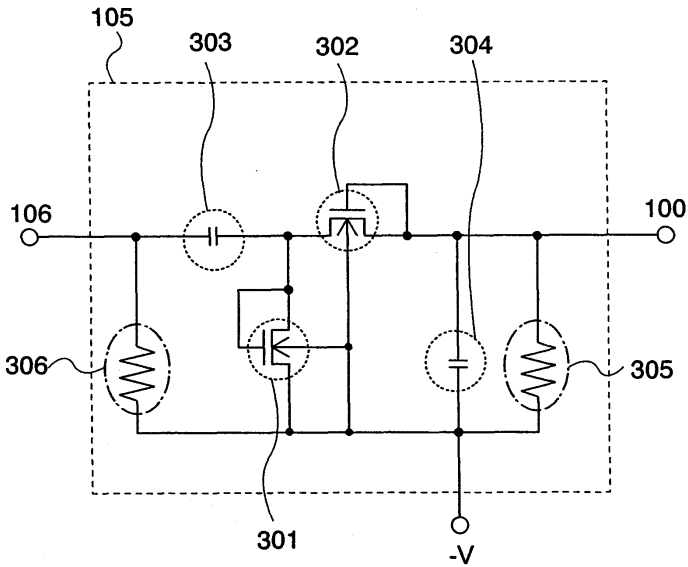
도면3



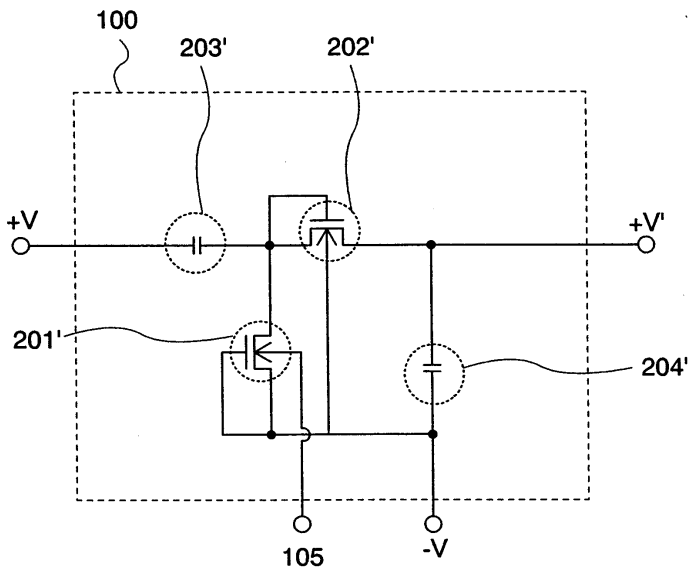
도면4



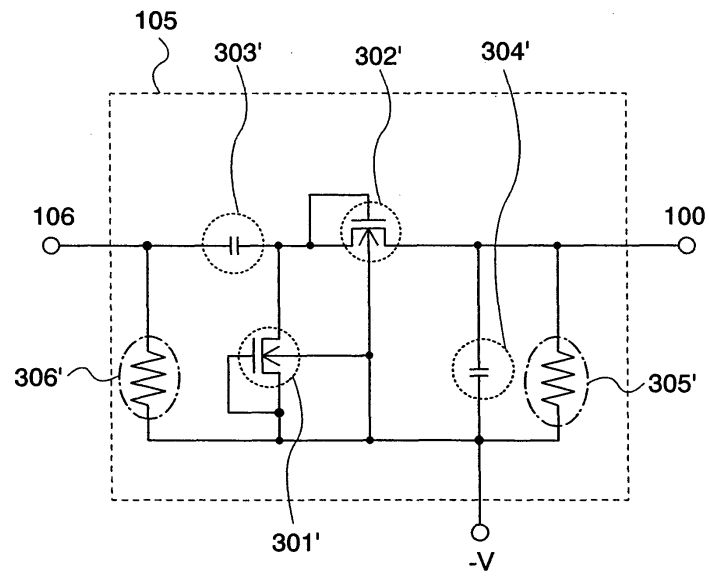
도면5



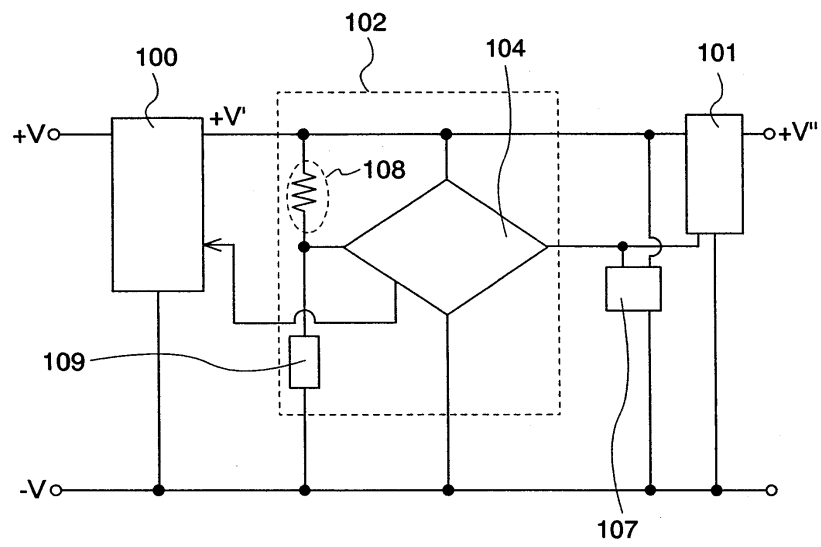
도면6



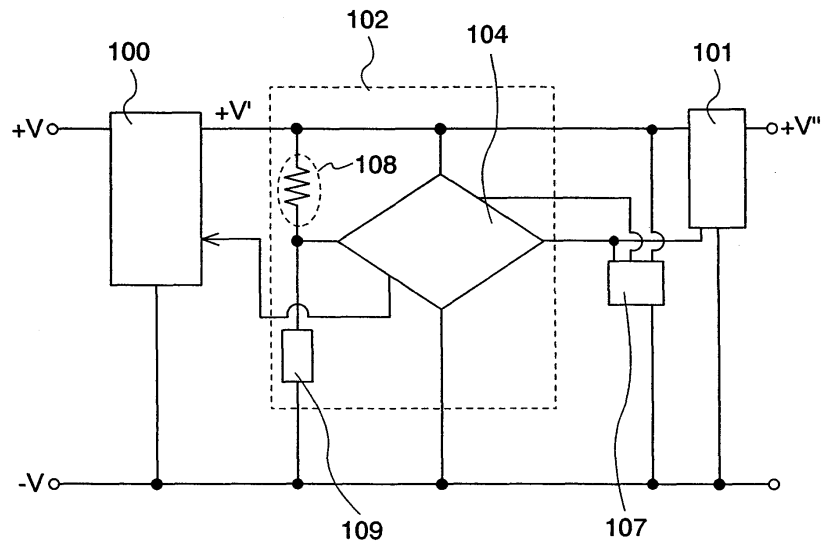
도면7



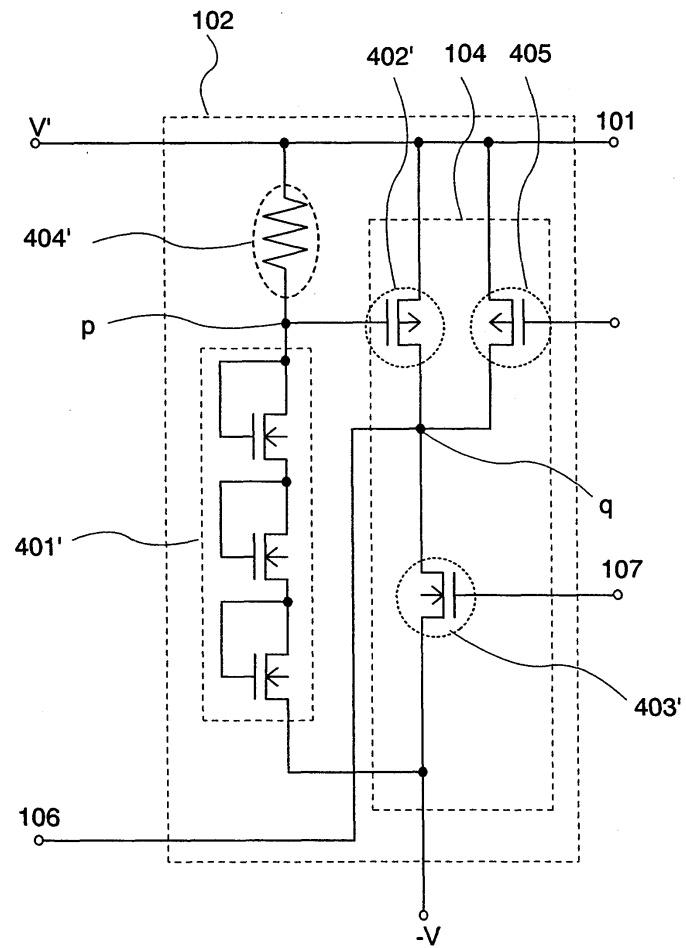
도면8



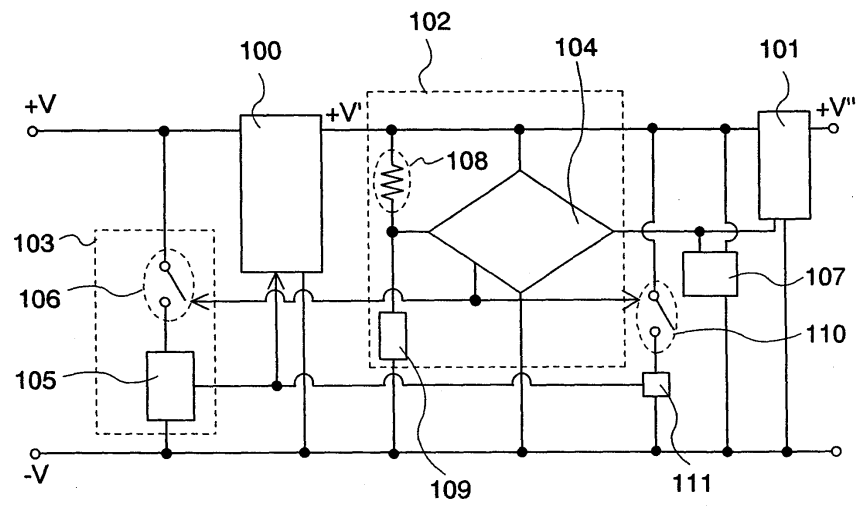
도면9



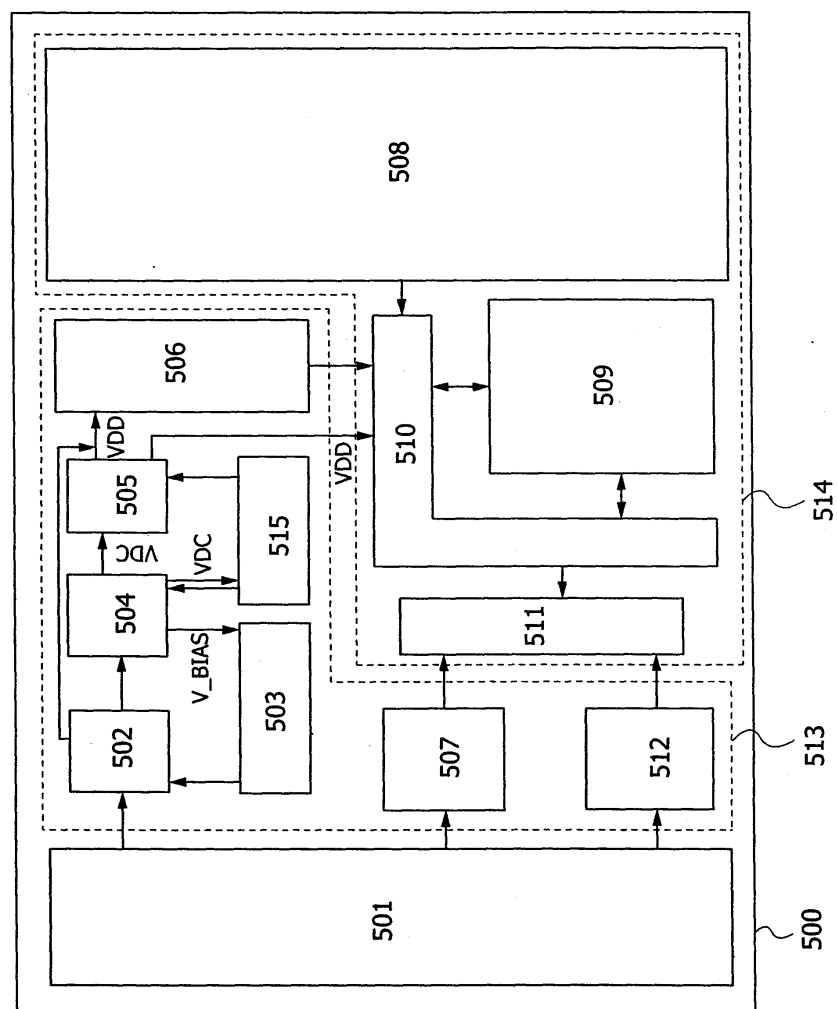
도면10



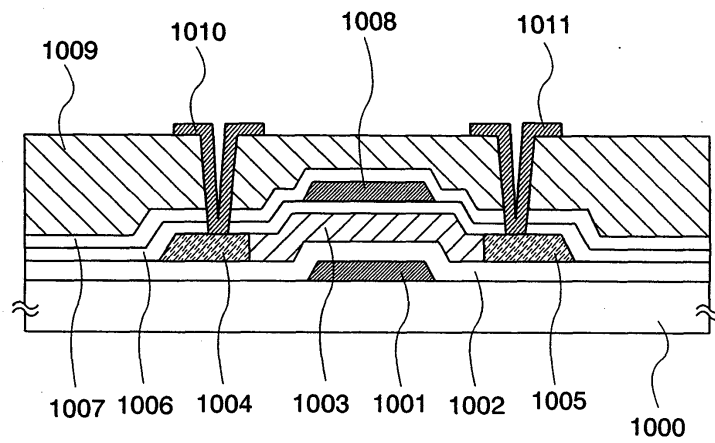
도면11



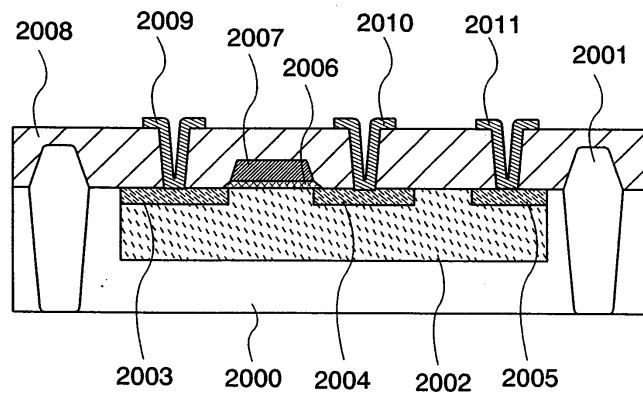
도면12



도면13



도면14



도면15

