

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年3月12日(12.03.2015)



(10) 国際公開番号
WO 2015/033595 A1

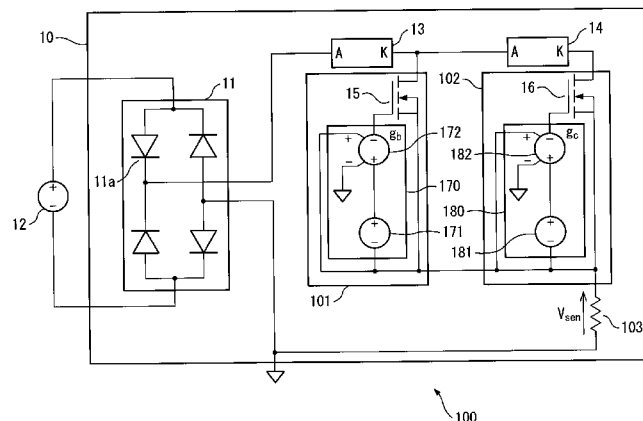
- (51) 国際特許分類:
H01L 33/00 (2010.01)
- (21) 国際出願番号: PCT/JP2014/054911
- (22) 国際出願日: 2014年2月27日(27.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-183520 2013年9月4日(04.09.2013) JP
- (71) 出願人: シチズン電子株式会社(CITIZEN ELECTRONICS CO., LTD.) [JP/JP]; 〒4030001 山梨県富士吉田市上暮地一丁目23番1号 Yamanashi (JP). シチズンホールディングス株式会社(CITIZEN HOLDINGS CO., LTD.) [JP/JP]; 〒1888511 東京都西東京市田無町六丁目1番12号 Tokyo (JP).
- (72) 発明者: 堺 圭亮(SAKAI, Keisuke); 〒4030001 山梨県富士吉田市上暮地一丁目23番1号 シチズン電子株式会社内 Yamanashi (JP). 秋山 貴(AKIYAMA, Takashi); 〒4030001 山梨県富士吉田市上暮地一丁目23番1号 シチズン電子株式会社内 Yamanashi (JP).
- (74) 代理人: 青木 篤, 外(AOKI, Atsushi et al.); 〒1058423 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル青和特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ(AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LED CURRENT CONTROL CIRCUIT

(54) 発明の名称: LED電流制御回路

図4



(57) 要約:

[続葉有]



WO 2015/033595 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

単一の電流検出抵抗でバイパス回路及び定電流回路に流れる電流を検出する。LED電流制御回路は、電流制限回路端子間に流れるLED電流を制限する電流制限回路102と、第1部分LED列13と第2部分LED列14との間に接続されたバイパス回路端子間に流れるバイパス電流を制限するバイパス回路101と、電流制限回路出力端子及びバイパス回路出力端子に接続された電流情報検出素子103とを有し、電流制限回路は、電流検出素子によって検出された電流情報及び予め定められた第1係数に基づいてLED電流を制限し、バイパス回路は、脈流電圧の状態に応じて、電流情報及び予め定められた第2係数に基づいてバイパス電流を制限して、第1部分LED列からバイパス回路を介して電流検出素子に流れていた電流を、バイパス回路を介さずに第2部分LED列へ向けて流れるように制御することを特徴とする。

明 細 書

発明の名称：ＬＥＤ電流制御回路

技術分野

[0001] 本発明は、ＬＥＤ（Light Emitting Diode、発光ダイオード）電流制御回路に関する。より詳細には、本発明は、商用交流電源の電圧に応じて、点灯する個数が変化するようにＬＥＤに流れる電流を制御するＬＥＤ電流制御回路に関する。

背景技術

[0002] 商用交流電源から出力される電圧を全波整流して得られた波形を有する電圧を複数のＬＥＤが直列接続されたＬＥＤ列に印加し、ＬＥＤを点灯させるＬＥＤ駆動回路が知られている。脈流電圧とも称される全波整流された電圧をＬＥＤ列に印加すると、全波整流された電圧が直列接続されたＬＥＤ列の合計の閾値電圧より低い位相ではＬＥＤが全て点灯しないので、ＬＥＤ照明装置は、暗く且つフリッカが目立つものになる。ＬＥＤが発光しない時間を削減するために、全波整流された電圧に応じてＬＥＤ列に含まれるＬＥＤが点灯する個数を変化させる駆動方式が知られている。

[0003] 例えば、特許文献１の図２６には、ＬＥＤ照明装置２６００が示されている。ＬＥＤ照明装置２６００は、商用交流電源と、ブリッジ整流器２６０５と、ＬＥＤ群１～３を含むＬＥＤ列と、ＦＥＴＱ１と、バイポーラトランジスタＱ２及び抵抗Ｒ２、Ｒ３を含むバイパス回路と、電流制限抵抗Ｒ１とを備える。また、ＬＥＤ照明装置２６００のバイパス回路をデプレッション型ＦＥＴ及び抵抗で構成し、電流制限抵抗Ｒ１を定電流回路で置き換えることにより、ＬＥＤ照明装置２６００と同等の機能を維持し且つ素子数の削減及び動作の安定化を図ることが知られている。

[0004] 図１は、従来のＬＥＤ照明装置の一例の回路ブロック図である。

[0005] ＬＥＤ照明装置８００は、ＬＥＤ駆動回路８０と、商用交流電源８２とを有する。ＬＥＤ駆動回路８０は、ブリッジ整流器８１と、第１部分ＬＥＤ列

８３と、第２部分ＬＥＤ列８４と、バイパス回路８０１と、電流制限回路８０２とを有する。第１部分ＬＥＤ列８３と、第２部分ＬＥＤ列８４とは、直列接続されて、ＬＥＤ列を形成する。バイパス回路８０１と、電流制限回路８０２とは、ＬＥＤ列に流れる電流を制御するＬＥＤ電流制御回路として機能する。

[0006] ブリッジ整流器８１は４個のダイオード８１ａを有し、入力端子に商用交流電源８２が接続されている。ブリッジ整流器８１の端子Ｅは全波整流された電圧を出力し、ブリッジ整流器８１の端子Ｆはバイパス回路８０１から電流Ｉが入力される。第１部分ＬＥＤ列８３は直列接続された複数のＬＥＤ８３ａを有し、第２部分ＬＥＤ列８４は直列接続された複数のＬＥＤ８４ａを有する。第１部分ＬＥＤ列８３の初段のＬＥＤ８３ａのアノードは端子Ｅに接続され、第１部分ＬＥＤ列８３の最終段のＬＥＤ８３ａのカソードは第２部分ＬＥＤ列８４の初段のＬＥＤ８４ａのアノードに接続されている。

[0007] バイパス回路８０１はデプレッション型のＦＥＴ８５と抵抗８７とを有し、ＦＥＴ８５のドレインは第１部分ＬＥＤ列８３と第２部分ＬＥＤ列８４との間を接続する接続部に接続されている。ＦＥＴ８５のソースは抵抗８７の右端子に接続され、ゲートは抵抗８７の左端子及び端子Ｆに接続されている。電流制限回路８０２はディプレッション型のＦＥＴ８６と抵抗８８とを有し、ＦＥＴ８６のドレインは第２部分ＬＥＤ列８４の最終段のＬＥＤ８４ａのカソードに接続されている。ＦＥＴ８６のソースは抵抗８８の右端子に接続され、ゲートは抵抗８８の左端子及びＦＥＴ８５のソースに接続されている。ＦＥＴ８５及びＦＥＴ８６は、電気特性が互いに等しくなるように形成される。

[0008] 図２（ａ）はＬＥＤ駆動回路８０に印加される電圧の１周期を示し、図２（ｂ）は図２（ａ）に示す電圧が印加されたときに流れる電流Ｉの大きさを示す図である。

[0009] 印加された電圧が第１部分ＬＥＤ列８３の閾値電圧以下となっている期間では電流Ｉは流れない。この期間は、図２（ｂ）において t_1 で示される。

印加された電圧が、第１部分ＬＥＤ列８３の閾値電圧を越え、且つ第１部分ＬＥＤ列８３の閾値電圧と第２部分ＬＥＤ列８４の閾値電圧との合計の電圧に満たない期間では、第１部分ＬＥＤ列８３からバイパス回路８０１を經由して電流Ｉが流れる。このときＦＥＴ８５は、抵抗８７からのフィードバックにより定電流動作する（以下第１の定電流動作状態と称する）。この期間は、図２（ｂ）において t_2 で示される。さらに印加された電圧が上昇し、第１部分ＬＥＤ列８３の閾値電圧と第２部分ＬＥＤ列８４の閾値電圧との合計の電圧を越えると、第２部分ＬＥＤ列８４にも電流が流れるようになる。このとき抵抗８７の電圧降下が大きくなりＦＥＴ８５はオフし、ＦＥＴ８６が抵抗８８からのフィードバックにより定電流動作する（以下第２の定電流動作状態と称する）。この期間は、図２（ｂ）において t_3 で示される。

[0010] ＬＥＤ駆動回路８０は、印加される電圧に応じて、ＬＥＤ８３ａ及び８４ａが全く点灯しない期間と、第１部分ＬＥＤ列８３のみが点灯する期間と、第１部分ＬＥＤ列８３及び第２部分ＬＥＤ列８４が共に点灯する期間とを備える。

[0011] また、電流制限回路及びバイパス回路にそれぞれ含まれるＦＥＴのソースに接続される抵抗に流れる電流を検出してＦＥＴに流れる電流を制御することにより、ＬＥＤ照明装置の発光効率、力率及び全高調波歪を改善することが知られている。

[0012] 図３は、特許文献２に示される従来のＬＥＤ照明装置の等価回路ブロック図である。

[0013] ＬＥＤ照明装置９００は、ＬＥＤ駆動回路９０と、商用交流電源９２とを有する。ＬＥＤ駆動回路９０は、ブリッジ整流器９１と、第１部分ＬＥＤ列９３と、第２部分ＬＥＤ列９４と、バイパス回路９０１と、電流制限回路９０２と、第１電流検出抵抗９０３と、第２電流検出抵抗９０４とを有する。第１部分ＬＥＤ列９３と、第２部分ＬＥＤ列９４とはそれぞれ、直列接続された複数のＬＥＤを有する。バイパス回路９０１と、電流制限回路９０２と、第１電流検出抵抗９０３と、第２電流検出抵抗９０４とはＬＥＤ列に流れ

る電流を制御するＬＥＤ電流制御回路として機能する。ブリッジ整流器９１、商用交流電源９２、第１部分ＬＥＤ列９３及び第２部分ＬＥＤ列９４はそれぞれ、ブリッジ整流器８１、商用交流電源８２、第１部分ＬＥＤ列８３及び第２部分ＬＥＤ列８４に対応する構成を有する。

[0014] バイパス回路９０１は、エンハンス型ＦＥＴであるＦＥＴ９５と、バイパス回路電流制御部９７０とを有する。バイパス回路電流制御部９７０は、バイパス回路基準電源９７１とバイパス回路可変電源９７２とを有する。バイパス回路基準電源９７１のマイナス端子はＦＥＴ９５のソースと接続し、バイパス回路基準電源９７１のプラス端子はバイパス回路可変電源９７２のプラス端子と接続され、バイパス回路可変電源９７２のマイナス端子はＦＥＴ９５のゲートに接続される。ＦＥＴ９５のゲートソース間電圧は、バイパス回路基準電源９７１の両端間の電圧からＦＥＴ９５のソース電圧の定数倍（バイパス回路可変電源９７２のゲイン）の電圧を減算したものである。

[0015] バイパス回路可変電源９７２は、第１電流検出抵抗９０３に流れる電流、すなわちＦＥＴ９５のドレイン電流が増加すると、ＦＥＴ９５のゲートに出力する電圧が低下する。仮にＦＥＴ９５のドレイン電流が増加すると、バイパス回路基準電源９７１の電圧から減算されるＦＥＴ９５のソース電圧（前述のように定数倍される）が増加するので、ＦＥＴ９５のゲートソース間電圧は低下しドレイン電流を減らそうとする。また仮にＦＥＴ９５のドレイン電流が減少すると、バイパス回路基準電源９７１の電圧から減算されるＦＥＴ９５のソース電圧（前述のように定数倍される）が減少するので、ＦＥＴ９５のゲートソース間電圧は上昇しドレイン電流を増やそうとする。つまりバイパス回路９０１は第１電流検出抵抗９０３及び第２電流検出抵抗９０４によりネガティブフィードバックが掛っている。このとき第１電流検出抵抗９０３及び第２電流検出抵抗９０４の抵抗値を適当な値にすることにより、バイパス回路９０１は所望の電流による定電流動作が可能になる。

[0016] ブリッジ整流器９１から出力される電圧が第１部分ＬＥＤ列９３と第２部分ＬＥＤ列９４との合計の閾値電圧を越えて、第２部分ＬＥＤ列に電流が流

れ出すと、F E T 9 5 のゲートソース間電圧が低下してバイパス回路 9 0 1 に流れる電流、すなわち F E T 9 5 に流れる電流は減少する。

[0017] 電流制限回路 9 0 2 は、エンハンス型 F E T である F E T 9 6 と、定電流回路電流制御部 9 8 0 とを有する。定電流回路電流制御部 9 8 0 は、電流制限回路基準電源 9 8 1 と、電流制限回路可変電源 9 8 2 とを有する。電流制限回路基準電源 9 8 1 のマイナス端子は F E T 9 6 のソースと接続し、電流制限回路基準電源 9 8 1 のプラス端子は電流制限回路可変電源 9 8 2 のプラス端子と接続され、電流制限回路可変電源 9 8 2 のマイナス端子は F E T 9 6 のゲートに接続される。F E T 9 6 のゲートソース間電圧は、電流制限回路基準電源 9 8 1 の両端間の電圧から F E T 9 6 のソース電圧の定数倍（電流制限回路可変電源 9 8 2 のゲイン）の電圧を減算したものである。電流制限回路 9 0 2 は、バイパス回路 9 0 1 と同様な構成を有する。

[0018] 電流制限回路 9 0 2 は、第 2 電流検出抵抗 9 0 4 に流れる電流、すなわち F E T 9 6 のドレイン電流が増加すると、F E T 9 6 のゲートに出力する電圧が低下する。仮に F E T 9 6 のドレイン電流が増加すると、電流制限回路基準電源 9 8 1 の電圧から減算される F E T 9 6 のソース電圧（前述のように定数倍される）が増加するので、F E T 9 6 のゲートソース間電圧は低下しドレイン電流を減らそうとする。また仮に F E T 9 6 のドレイン電流が減少すると、電流制限回路基準電源 9 8 1 の電圧から減算される F E T 9 6 のソース電圧（前述のように定数倍される）が減少するので、F E T 9 6 のゲートソース間電圧は上昇しドレイン電流を増やそうとする。つまり電流制限回路 9 0 2 は第 2 電流検出抵抗 9 0 4 によりネガティブフィードバックが掛っている。このとき第 2 電流検出抵抗 9 0 4 の抵抗値を適当な値にすることにより、電流制限回路 9 0 2 は所望の電流による定電流動作が可能になる。

[0019] また、L E D 列に含まれる部分 L E D 列の数及び電流検出抵抗の数を増やし、バイパス回路 9 0 1 と同一の構成を有する複数のバイパス回路を並列接続することにより、発光効率、力率及び全高調波歪が更に良好な L E D 照明装置を提供することが可能になる。

先行技術文献

特許文献

[0020] 特許文献1：特表2013-502081号公報

特許文献2：国際公開第2013/100736号公報

発明の概要

[0021] しかしながら、LED照明装置900では、バイパス回路901及び電流制限回路902を流れる電流を検出するために第1電流検出抵抗903及び第2電流検出抵抗904がそれぞれ配置されることに起因する種々の問題がある。例えば、発光効率等を向上させるためにバイパス回路901の数を増加させると、バイパス回路901の数の増加に応じて、電流検出抵抗の数が増加する。バイパス回路や電流検出回路の集積化に際し、電流検出抵抗の抵抗値の精度を向上させるために、電流検出抵抗として外付けの抵抗を使用する場合、電流検出抵抗の数に応じて端子数が増加することになる。また、電流検出抵抗の数が増加するに従って、電流検出抵抗で消費される消費電力が増加する。

[0022] また、LED駆動回路90では、後段に位置する電流制限回路902に流れる電流を検出する第2電流検出抵抗904が、前段に位置するバイパス回路901に流れる電流を検出する第1電流検出抵抗903と接地との間に配置される。LED駆動回路90では、第2電流検出抵抗904は第1電流検出抵抗903と接地の間に配置されるため、バイパス回路901、電流制限回路902、第1電流検出抵抗903及び第2電流検出抵抗904の接続関係が複雑になる。

[0023] また、LED照明装置900では、第2部分LED列に電流が流れている間も、バイパス回路可変電源972の電圧を規定するためにバイパス回路901を介して第1電流検出抵抗903に電流が流れている。この電流は、第1部分LED列93の発光量を増大させることに寄与するが、FET95における電圧降下が大きいため電力損失が大きく、LED照明装置900の発光効率を低下させる原因になる。

[0024] 本発明は、単一の電流検出抵抗により検出された電流に基づいてバイパス回路及び定電流回路が制御されるＬＥＤ電流制御回路を提供することを目的とする。

[0025] ＬＥＤ電流制御回路は、直列接続された複数のＬＥＤを含む第１部分ＬＥＤ列、及び、直列接続された複数のＬＥＤを含み第１部分ＬＥＤ列と直列接続された第２部分ＬＥＤ列を含むＬＥＤ列に脈流電圧が印加されたときに、ＬＥＤ列に流れる電流を制御するＬＥＤ電流制御回路であって、

第２部分ＬＥＤ列の最終段のＬＥＤのカソードに接続された電流制限回路入力端子及び電流制限回路出力端子を含み、電流制限回路入力端子及び電流制限回路出力端子間を流れるＬＥＤ電流を制限する電流制限回路と、

第１部分ＬＥＤ列と第２部分ＬＥＤ列との間に接続されたバイパス回路入力端子及び電流制限回路出力端子と接続されたバイパス回路出力端子を含み、バイパス回路入力端子及びバイパス回路出力端子間を流れるバイパス電流を制限するバイパス回路と、

電流制限回路出力端子及びバイパス回路出力端子と接続された電流検出素子とを有し、

電流制限回路は、電流検出素子によって検出された電流情報及び予め定められた第１係数に基づいて前記ＬＥＤ電流を制限し、

バイパス回路は、脈流電圧の状態に応じて、電流検出素子によって検出された電流情報及び予め定められた第２係数に基づいてバイパス電流を制限して、第１部分ＬＥＤ列からバイパス回路を介して電流検出素子に流れていた電流を、バイパス回路を介さずに第２部分ＬＥＤ列へ向けて流れるように制御する、ことを特徴とする。

[0026] ＬＥＤ電流制御回路では、電流制限回路は、ＬＥＤ電流の大きさを制限する第１電流制限素子と、電流情報及び第１係数を使用して第１電流制限素子を制御する第１電流制御部と、を有し、バイパス回路は、バイパス電流を制限する第２電流制限素子と、電流情報及び第２係数を使用して第２電流制限素子を制御する第２電流制御部とを有する、ことが好ましい。

[0027] L E D 電流制御回路では、第 1 電流制限素子及び第 2 電流制限素子はそれぞれ、F E T であり、

第 1 電流制御部は、第 1 基準電源と、電流情報と前記第 1 係数とを使用して電圧が決定される第 1 可変電源とを有し、

第 2 電流制御部は、第 2 基準電源と、電流情報と前記第 2 係数とを使用して電圧が決定される第 2 可変電源とを有し、

第 1 電流制限素子のゲートソース間電圧は、第 1 基準電源の電圧から第 1 可変電源の電圧を減算したものであり、第 2 電流制限素子のゲートソース間電圧は、第 2 基準電源の電圧から第 2 可変電源の電圧を減算したものである、ことが好ましい。

[0028] L E D 電流制御回路では、第 1 係数及び第 2 係数、並びに、第 1 基準電源及び第 2 基準電源の電圧はそれぞれ、可変である、ことが好ましい。

[0029] L E D 電流制御回路では、第 1 電流制限素子及び第 2 電流制限素子はそれぞれ、F E T であり、

第 1 電流制御部は、第 1 電流制御素子の制御用 F E T と、電流情報と前記第 1 係数とを使用して電圧が決定される第 1 可変電源とを有し、

第 2 電流制御部は、第 2 電流制御素子の制御用 F E T と、電流情報と前記第 2 係数とを使用して電圧が決定される第 2 可変電源とを有し、

第 1 電流制御素子の制御用 F E T のゲートソース間電圧は、第 1 可変電源の電圧に基づいて決定され、第 2 電流制御素子の制御用 F E T のゲートソース間電圧は、第 2 可変電源の電圧に基づいて決定される、ことが好ましい。

[0030] L E D 電流制御回路では、第 1 係数及び前記第 2 係数は可変である、ことが好ましい。

[0031] L E D 電流制御回路では、第 3 基準電源を更に有し、第 1 電流制御素子の制御用 F E T 及び第 2 電流制御素子の制御用 F E T は、第 3 基準電源からの電圧に基づいて動作する、ことが好ましい。

[0032] L E D 電流制御回路では、第 4 基準電源を更に有し、第 1 可変電源及び第 2 可変電源の電圧は、第 4 基準電源の電圧にそれぞれ連動して可変される、

ことが好ましい。

[0033] L E D 電流制御回路では、第 1 電流制限素子及び第 2 電流制限素子はそれぞれ、F E T であり、

第 1 電流制御部は、第 1 電流制御素子の制御用オペアンプを有し、

第 2 電流制御部は、第 2 電流制御素子の制御用オペアンプを有し、

第 1 電流制御素子の制御用オペアンプの差動入力端子には電流情報に対応した電圧及び第 1 基準電源の電圧が入力され、第 2 電流制御素子の制御用オペアンプの差動入力端子には電流情報に対応した電圧及び第 2 基準電源の電圧が入力され、

第 1 電流制限素子のゲートソース間電圧は、第 1 電流制御素子の制御用オペアンプの出力に基づいて決定され、第 2 電流制限素子のゲートソース間電圧は、第 2 電流制御素子の制御用オペアンプの出力に基づいて決定される、ことが好ましい。

[0034] L E D 電流制御回路では、第 1 係数及び第 2 係数、並びに、第 1 基準電源及び第 2 基準電源の電圧はそれぞれ可変である、ことが好ましい。

[0035] L E D 電流制御回路では、第 1 電流制限素子及び第 2 電流制限素子はそれぞれ、F E T であり、

第 1 電流制御部は、第 1 電流制御素子の制御用オペアンプを有し、

第 2 電流制御部は、第 2 電流制御素子の制御用オペアンプを有し、

第 1 電流制御素子の制御用オペアンプの差動入力端子には電流情報に対応した電圧及び第 1 可変電源の電圧が入力され、第 2 電流制御素子の制御用オペアンプの差動入力端子には電流情報に対応した電圧及び第 2 可変電源の電圧が入力され、

第 1 電流制限素子のゲートソース間電圧は、第 1 電流制御素子の制御用オペアンプの出力に基づいて決定され、第 2 電流制限素子のゲートソース間電圧は、第 2 電流制御素子の制御用オペアンプの出力に基づいて決定される、ことが好ましい。

[0036] L E D 電流制御回路では、第 4 基準電源を更に有し、第 1 可変電源及び第

2 可変電源の電圧は、第 4 基準電源の電圧にそれぞれ連動して可変される、ことが好ましい。

[0037] LED 電流制御回路では、第 3 基準電源を更に有し、第 1 電流制御素子の制御用オペアンプ及び第 2 電流制御素子の制御用オペアンプは、第 3 基準電源からの電圧に基づいて動作する、ことが好ましい。

[0038] LED 電流制御回路では、LED 列は、直列接続された複数の LED を含み第 1 部分 LED 列と第 2 部分 LED 列との間に直列接続された第 3 部分 LED 列を更に有し、バイパス回路入力端子は、第 1 部分 LED 列と第 3 部分 LED 列との間に接続され、

第 2 部分 LED 列と第 3 部分 LED 列との間に接続された第 2 バイパス回路入力端子と、電流制限回路出力端子に接続された第 2 バイパス回路出力端子とを有し、第 2 バイパス回路端子入力端子及び第 2 バイパス回路端子出力端子間に流れる第 2 バイパス電流を制限する第 2 バイパス回路を更に有し、

第 2 バイパス回路は、脈流電圧の状態に応じて、電流検出素子によって検出された電流情報と、予め定められた第 3 係数に基づいて第 2 バイパス電流を制限して、第 3 部分 LED 列から第 2 バイパス回路を介して電流検出素子に流れていた電流を、第 2 バイパス回路を介さずに第 2 部分 LED 列へ向けて流れるように制御する、ことが好ましい。

[0039] また、LED 電流制御回路は、直列接続された複数の LED を含む第 1 部分 LED 列、及び、直列接続された複数の LED を含み第 1 部分 LED 列と直列接続された第 2 部分 LED 列を含む LED 列に脈流電圧が印加されたときに、LED 列に流れる電流を制御する電流制御回路であって、第 2 部分 LED 列の最終段の LED のカソードに接続された電流制限回路入力端子及び電流制限回路出力端子を含み、電流制限回路入力端子及び電流制限回路出力端子間を流れる LED 電流を制限する電流制限回路と、第 1 部分 LED 列と第 2 部分 LED 列との間に接続されたバイパス回路入力端子及び電流制限回路出力端子と接続されたバイパス回路出力端子を含み、バイパス回路入力端子及びバイパス回路出力端子間を流れるバイパス電流を制限するバイパス回

路と、電流制限回路出力端子及びバイパス回路出力端子と接続された電流検出素子と、を有し、電流制限回路は、電流検出素子によって検出された電流情報及び予め定められた第1係数に基づいてLED電流を制限し、バイパス回路は、脈流電圧の状態に応じて、電流検出素子によって検出された電流情報及び予め定められた第1係数とは異なった第2係数に基づいてバイパス電流を制限して、第1部分LED列からバイパス回路を介して電流検出素子に流れていた電流を、バイパス回路を介さずに第2部分LED列へ向けて流れるように制御する、ことを特徴とする。

[0040] 本発明では、単一の電流検出抵抗により検出された電流に基づいてバイパス回路及び定電流回路が制御されるLED電流制御回路を提供することが可能になった。

図面の簡単な説明

[0041] [図1]従来のLED照明装置の回路ブロック図である。

[図2] (a) は図1に示すLED駆動回路に印加される電圧の1周期を示す図であり、(b) は(a)に示す電圧が印加されたときに流れる電流の大きさを示す図である。

[図3]従来の他のLED照明装置の回路ブロック図である。

[図4]LED照明装置100の回路ブロック図である。

[図5]バイパス回路電流制御部170の内部回路の回路ブロック図である。

[図6]電流制限回路電流制御部180の内部回路の回路ブロック図である。

[図7] (a) はLED照明装置100が有するFETの電圧－電流特性を示す図であり、(b) はLED照明装置100が有するFETのドレイン電流を示す図であり、(c) はLED照明装置100が有するFETのゲートソース間電圧を示す図である。

[図8]他のLED照明装置200の回路ブロック図である。

[図9] (a) はLED照明装置200が有するFETの電圧－電流特性を示す図であり、(b) はLED照明装置200が有するFETのドレイン電流を示す図であり、(c) はLED照明装置200が有するFETのゲートソース間電圧を示す図である。

ス間電圧を示す図である。

[図10]更に他のLED照明装置110の回路ブロック図である。

[図11] (a) はLED照明装置110が有するFETの電圧－電流特性を示す図であり、(b) はLED照明装置110が有するFETのドレイン電流を示す図であり、(c) はLED照明装置110が有するFETのゲートソース間電圧を示す図である。

[図12] (a) はLED照明装置110が有するFETの電圧－電流特性と電流制御部の電圧－電流特性との関係を示す図であり、(b) は(a)の部分拡大図である。

[図13] (a) はLED照明装置110において漏れ電流が生じている場合のFETの電圧－電流特性を示す図であり、(b) は(a)の場合のFETのドレイン電流を示す図であり、(c) は(a)の場合のFETのゲートソース間電圧を示す図である。

[図14] (a) は図13の場合のFETの電圧－電流特性と電流制御部の電圧－電流特性との関係を示す図であり、(b) は(a)の部分拡大図である。

[図15] (a) はLED照明装置110において漏れ電流が生じていない場合のFETの電圧－電流特性を示す図であり、(b) は(a)の場合のFETのドレイン電流を示す図であり、(c) は(a)の場合のFETのゲートソース間電圧を示す図である。

[図16] (a) は図15の場合のFETの電圧－電流特性と電流制御部の電圧－電流特性との関係を示す図であり、(b) は(a)の部分拡大図である。

[図17]更に他のLED照明装置210の回路ブロック図である。

[図18] (a) はLED照明装置210が有するFETの電圧－電流特性を示す図であり、(b) はLED照明装置210が有するFETのドレイン電流を示す図であり、(c) はLED照明装置210が有するFETのゲートソース間電圧を示す図である。

[図19] (a) はLED照明装置210が有するFETの電圧－電流特性と電流制御部の電圧－電流特性との関係を示す図であり、(b) は(a)の部分

拡大図である。

[図20] (a) は更に他のLED照明装置300の回路ブロック図であり、(b) は更に他のLED照明装置310の回路ブロック図であり、(c) は更に他のLED照明装置320の回路ブロック図である。

[図21] (a) は図20(a) に示すLED照明装置300のFETのドレイン電流を示す図であり、(b) は図20(b) に示すLED照明装置310のFETのドレイン電流を示す図であり、(c) は図20(c) に示すLED照明装置320のFETのドレイン電流を示す図である。

[図22] (a) は更に他のLED照明装置330の回路ブロック図であり、(b) は更に他のLED照明装置340の回路ブロック図である。

[図23] (a) は図22(a) に示すLED照明装置330のFETのドレイン電流を示す図であり、(b) は図22(b) に示すLED照明装置340のFETのドレイン電流を示す図である。

[図24]更に他のLED照明装置400の回路ブロック図である。

[図25]図24に示すLED照明装置400の電流検出抵抗410を流れる電流 I_{sen} を示す図である。

[図26]更に他のLED照明装置420の回路ブロック図である。

[図27]更に他のLED照明装置440の回路ブロック図である。

[図28]更に他のLED照明装置500の回路ブロック図である。

[図29]更に他のLED照明装置510の回路ブロック図である。

発明を実施するための形態

[0042] 以下図面を参照して、本発明に係るLED照明装置、LED駆動回路及びLED電流制御回路について説明する。但し、本発明の技術的範囲はそれらの実施の形態に限定されず、特許請求の範囲に記載された発明との均等物に及ぶ点に留意されたい。

[0043] 図4は、LED照明装置100の回路ブロック図である。

[0044] LED照明装置100は、LED駆動回路10と、商用交流電源12とを有する。LED駆動回路10は、ブリッジ整流器11と、第1部分LED列

１３と、第２部分ＬＥＤ列１４と、バイパス回路１０１と、電流制限回路１０２と、電流検出抵抗１０３とを有する。第１部分ＬＥＤ列１３と、第２部分ＬＥＤ列１４とはそれぞれ、直列接続された複数のＬＥＤを有する。バイパス回路１０１と、電流制限回路１０２と、電流検出抵抗１０３とは、ＬＥＤ列に流れる電流を制御するＬＥＤ電流制御回路として機能する。

[0045] ブリッジ整流器１１、商用交流電源１２、第１部分ＬＥＤ列１３及び第２部分ＬＥＤ列１４は、それぞれ、ブリッジ整流器８１、商用交流電源８２、第１部分ＬＥＤ列８３及び第２部分ＬＥＤ列８４に対応する構成を有する。

[0046] バイパス回路１０１は、エンハンス型ＦＥＴであるＦＥＴ１５と、バイパス回路電流制御部１７０とを有する。ＦＥＴ１５のドレインは、第１部分ＬＥＤ列１３と第２部分ＬＥＤ列１４との間に接続されたバイパス電流入力端子である。ＦＥＴ１５のソースは、電流検出抵抗１０３の一方の端子に接続されたバイパス電流出力端子である。

[0047] 電流制限回路１０２は、エンハンス型ＦＥＴであるＦＥＴ１６と、電流制限回路電流制御部１８０とを有する。ＦＥＴ１６のドレインは、第２部分ＬＥＤ列１４の最終段のＬＥＤのカソードに接続された制限電流入力端子である。ＦＥＴ１６のソースは、電流検出抵抗１０３の一方の端子に接続された制限電流出力端子である。

[0048] 図５は、バイパス回路電流制御部１７０の内部回路の回路ブロック図である。

[0049] バイパス回路電流制御部１７０は、バイパス回路基準電源１７１と、バイパス回路可変電源１７２とを有する。バイパス回路基準電源１７１は、オペアンプ１７１０と、抵抗値が R_{11} である第１抵抗１７１１と、抵抗値が R_{12} である第２抵抗１７１２とを有する。第２抵抗１７１２は、可変抵抗である。オペアンプ１７１０のプラス入力端子には、１Ｖの電圧が入力される。

[0050] オペアンプ１７１０の出力端子からは、

$$V_{ref} = (1 + (R_{12}/R_{11})) \times 1V$$

が出力される。

[0051] バイパス回路可変電源 172 は、増幅部 173 と、第 1 減算部 174 と、第 2 減算部 175 とを有する。増幅部 173 は、オペアンプ 1730 と、抵抗値が R_{31} である第 31 抵抗 1731 と、抵抗値が R_{72} である第 72 抵抗 1732 とを有する。第 72 抵抗 1732 は、可変抵抗である。オペアンプ 1730 のプラス入力端子には電流検出抵抗 103 の端子間電圧 V_{sen} が入力される。

[0052] オペアンプ 1730 の出力端子からは、

$$V_{sen1} = (1 + (R_{72}/R_{31})) \times V_{sen}$$

が出力される。ここで、 $1 + (R_{72}/R_{31})$ をバイパス回路ゲイン g_b とすると、

$$V_{sen1} = g_b \times V_{sen}$$

となる。

[0053] 第 1 減算部 174 は、オペアンプ 1740 と、抵抗値が R_{41} である第 41 抵抗 1741 と、抵抗値が R_{42} である第 42 抵抗 1742 と、抵抗値が R_{43} である第 43 抵抗 1743 と、抵抗値が R_{44} である第 44 抵抗 1744 とを有する。

[0054] オペアンプ 1740 の出力端子からは、

$$V_{40out} = (1 + (R_{44}/R_{43})) \times \\ ((R_{42}/(R_{41} + R_{42})) V_{sen1} - (R_{44}/(R_{43} + R_{44})) V_{sen})$$

が出力される。ここで、第 41 抵抗 1741、第 42 抵抗 1742、第 43 抵抗 1743 及び第 44 抵抗 1744 の抵抗値 R_{41} 、 R_{42} 、 R_{43} 及び R_{44} を全て等しくすることにより、

$$V_{40out} = V_{sen1} - V_{sen}$$

とすることができる。

[0055] 第 2 減算部 175 は、オペアンプ 1750 と、抵抗値が R_{51} である第 51 抵抗 1751 と、抵抗値が R_{52} である第 52 抵抗 1752 と、抵抗値が R_{53} である第 53 抵抗 1753 と、抵抗値が R_{54} である第 54 抵抗 1754 とを有する。

。

[0056] オペアンプ 1750 の出力端子からは、

$$V_{50out} = (1 + (R_{54}/R_{53})) \times \\ \left[(R_{52}/(R_{51} + R_{52})) V_{ref} - (R_{54}/(R_{53} + R_{54})) V_{40out} \right]$$

が出力される。ここで、第 51 抵抗 1751、第 52 抵抗 1752、第 53 抵抗 1753 及び第 54 抵抗 1754 の抵抗値 R_{51} 、 R_{52} 、 R_{53} 及び R_{54} を全て等しくすることにより、

$$V_{50out} = V_{ref} - V_{40out} \\ = V_{ref} - (V_{sen1} - V_{sen}) = (V_{ref} - V_{sen1}) + V_{sen}$$

とすることができる。

[0057] V_{50out} は FET 15 のゲート電圧 V_g であり、FET 15 のソース電圧 V_s は電流検出抵抗 103 の端子間電圧 V_{sen} である。したがって、FET 15 のゲートソース間電圧 V_{gs} は、

$$V_{gs} = V_g - V_s \\ = V_{50out} - V_{sen} \\ = (V_{ref} - V_{sen1}) + V_{sen} - V_{sen} \\ = V_{ref} - V_{sen1} \\ = V_{ref} - g_b \times V_{sen}$$

となる。

[0058] 図 4 に示されたバイパス回路基準電源 171 のマイナス端子は電流検出抵抗の一端に接続し、その電圧は V_{sen} であった。図 4 に示されたバイパス回路基準電源 171 は、プラス端子とマイナス端子の間の電圧が V_{ref} であり、プラス端子の電圧は、 $(V_{ref} + V_{sen})$ となる。このとき、バイパス回路可変電源 172 のマイナス端子からは、プラス端子の電圧から、プラス入力端子（図では左上側の端子）の電圧にゲイン g_b を掛けた値を引いた電圧 $(V_{ref} + V_{sen} - g_b \times V_{sen})$ が出力される。

[0059] 一方、図 5 に示されたバイパス回路基準電源 171 には、電圧 V_{sen} が入力しておらず、オペアンプ 1810 の出力は V_{ref} である。しかしながら、図 5 に示

されたバイパス可変電源 172 の出力 ($V_{50out} = V_{ref} - g_b \times V_{sen} + V_{sen}$) は、図 4 に示されたバイパス可変電源 172 の出力と一致する。

[0060] すなわち、図 4 に示されたバイパス回路基準電源 171 と図 5 に示されたバイパス回路基準電源 171 とは完全に一致しているというわけではない。図 4 に示されたバイパス回路基準電源 171 の機能の一部（電圧 V_{ref} を電圧 V_{sen} だけシフトする）が、図 5 に示されたバイパス回路可変電源 172 に含まれている。具体的には、図 5 のバイパス回路可変電源 172 において、電圧 V_{sen} が入力する第 43 抵抗 R_{43} の一端が、図 4 に示されたバイパス回路基準電源 171 のマイナス端子に相当する。

[0061] 図 6 は、電流制限回路電流制御部 180 の内部回路の回路ブロック図である。

[0062] 電流制限回路電流制御部 180 は、電流制限回路基準電源 181 と、電流制限回路可変電源 182 とを有する。電流制限回路基準電源 181 は、バイパス回路基準電源 171 と同一の構成を有する。なお、図 5 と同様に、図 6 に示された電流制限回路電流制御部 180 と図 4 に示された電流制限回路電流制御部 180 とは完全には一致していないが、図 4 と図 6 とで FET16 に印加されるゲート電圧 V_g は等しい。

[0063] オペアンプ 1810 の出力端子からは、オペアンプ 1710 と同様に、

$$V_{ref} = (1 + (R_{12}/R_{11})) \times 1V$$

が出力される。

[0064] 電流制限回路可変電源 182 は、増幅部 183 と、第 1 減算部 184 と、第 2 減算部 185 とを有する。第 1 減算部 184 は、バイパス回路可変電源 172 の第 1 減算部 174 と同一の構成を有し、第 2 減算部 185 は、バイパス回路可変電源 172 の第 2 減算部 175 と同一の構成を有する。

[0065] 増幅部 183 は、オペアンプ 1830 と、抵抗値が R_{31} である第 31 抵抗 1831 と、抵抗値が R_{82} である第 82 抵抗 1832 とを有する。第 82 抵抗 1832 は、可変抵抗である。オペアンプ 1830 のプラス入力端子には電流検出抵抗 103 の端子間電圧 V_{sen} が入力される。

[0066] オペアンプ 1830 の出力端子からは、

$$V_{\text{sen2}} = (1 + (R_{82}/R_{31})) \times V_{\text{sen}}$$

が出力される。ここで、 $1 + (R_{82}/R_{31})$ を電流制限回路ゲイン g_c とすると

、

$$V_{\text{sen2}} = g_c \times V_{\text{sen}}$$

となる。

[0067] 第 1 減算部 184 の構成は前述した図 5 に示す第 1 減算部 174 と同様の構成であるので、オペアンプ 1840 の出力端子からは、

$$V_{40\text{out}} = (1 + (R_{44}/R_{43})) \times \\ ((R_{42}/(R_{41} + R_{42})) V_{\text{sen2}} - (R_{44}/(R_{43} + R_{44})) V_{\text{sen}})$$

が出力される。ここで、第 41 抵抗 1841、第 42 抵抗 1842、第 43 抵抗 1843 及び第 44 抵抗 1844 の抵抗値 R_{41} 、 R_{42} 、 R_{43} 及び R_{44} を全て等しくすることにより、

$$V_{40\text{out}} = V_{\text{sen2}} - V_{\text{sen}}$$

とすることができる。

[0068] 第 2 減算部 185 の構成は前述した図 5 に示す第 2 減算部 184 と同様の構成であるので、オペアンプ 1850 の出力端子からは、

$$V_{50\text{out}} = (1 + (R_{54}/R_{53})) \times \\ [(R_{52}/(R_{51} + R_{52})) V_{\text{ref}} - (R_{54}/(R_{53} + R_{54})) V_{40\text{out}}]$$

が出力される。ここで、第 51 抵抗 1851、第 52 抵抗 1852、第 53 抵抗 1853 及び第 54 抵抗 1854 の抵抗値 R_{51} 、 R_{52} 、 R_{53} 及び R_{54} を全て等しくすることにより、

$$V_{50\text{out}} = V_{\text{ref}} - V_{40\text{out}} \\ = V_{\text{ref}} - (V_{\text{sen2}} - V_{\text{sen}}) = (V_{\text{ref}} - V_{\text{sen2}}) + V_{\text{sen}}$$

とすることができる。

[0069] $V_{50\text{out}}$ は FET 16 のゲート電圧 V_g であり、FET 16 のソース電圧 V_s は電流検出抵抗 103 の端子間電圧 V_{sen} である。したがって、FET 16 のゲートソース間電圧 V_{gs} は、

$$\begin{aligned}
 V_{gs} &= V_g - V_s \\
 &= V_{50out} - V_{sen} \\
 &= (V_{ref} - V_{sen2}) + V_{sen} - V_{sen} \\
 &= V_{ref} - V_{sen2} \\
 &= V_{ref} - g_c \times V_{sen}
 \end{aligned}$$

となる。

[0070] バイパス回路可変電源 172 の増幅部 173 と、電流制限回路可変電源 182 の増幅部 183 とでは、第 7 2 抵抗 1732 の抵抗値と、第 8 2 抵抗 1832 の抵抗値とを相違させることにより、ゲインを相違させている。

[0071] 図 7 は、LED 照明装置 100 が有する各種の特性を示す図である。

[0072] 図 7 (a) は、FET 15 及び 16 の $V_{gs} - I_d$ 曲線と、増幅部 173 及び 183 で生成される電圧との関係を示す図である。図 7 (a) において、横軸は FET 15 及び 16 のゲートソース間電圧 V_{gs} を示し、縦軸は FET 15 及び 16 のドレイン電流 I_d を示す。

[0073] 図 7 (b) は、FET 15 のドレイン電流 I_d 、FET 16 のドレイン電流 I_d 及び FET 15 及び 16 それぞれのドレイン電流 I_d の合計値の経時的变化を示す図である。図 7 (b) において、横軸は全波整流波形の 1 周期分の時間を示し、縦軸は FET 15 及び 16 のドレイン電流 I_d を示す。図 7 (b) において、実線は FET 15 のドレイン電流 I_d を示し、破線は FET 16 のドレイン電流 I_d を示し、一点鎖線は FET 15 及び 16 のドレイン電流の合計の電流を示す。

[0074] 図 7 (c) は、FET 15 のゲートソース間電圧 V_{gs} 及び FET 16 のゲートソース間電圧 V_{gs} の経時的变化を示す図である。図 7 (c) において、横軸は図 7 (b) の横軸に対応する時間を示し、縦軸は FET 15 及び 16 のゲートソース間電圧 V_{gs} を示す。図 7 (c) において、実線は FET 15 のゲートソース間電圧 V_{gs} を示し、破線は FET 16 のゲートソース間電圧 V_{gs} を示す。

[0075] 図 7 (c) に示す期間 t_1 は、印加された電圧が第 1 部分 LED 列 13 の

閾値電圧以下であり、第１部分ＬＥＤ列１３及び第２部分ＬＥＤ列１４の双方に電流が流れていない期間である。図７（ｃ）に示す期間 t_2 は、印加された電圧が第１部分ＬＥＤ列１３の閾値電圧よりも大きく且つ第１部分ＬＥＤ列１３の閾値電圧と第２部分ＬＥＤ列１４の閾値電圧との合計の電圧以下であり、第１部分ＬＥＤ列１３に電流が流れている期間である。図７（ｃ）に示す期間 t_3 は、印加された電圧が第１部分ＬＥＤ列１３の閾値電圧と第２部分ＬＥＤ列１４の閾値電圧との合計の電圧よりも大きくなり、第１部分ＬＥＤ列１３及び第２部分ＬＥＤ列１４の双方に電流が流れている期間である。

[0076] 図７（ｃ）に示す期間 t_1 では、第１部分ＬＥＤ列１３及び第２部分ＬＥＤ列１４の双方に電流が流れていないので、電流検出抵抗１０３にも電流は流れない。電流検出抵抗１０３に電流が流れていないで、図７（ｃ）に示すように、ＦＥＴ１５及び１６のゲートソース間電圧 V_{gs} は共に V_{ref} となる。

[0077] 図７（ｃ）に示す期間 t_2 では、第１部分ＬＥＤ列１３に電流が流れ且つ第２部分ＬＥＤ列１４に電流が流れていない。期間 t_2 において電流検出抵抗１０３に生じる電位差を $V_{sen\ t2}$ とすると、ＦＥＴ１５のゲートソース間電圧 V_{gs} は $V_{ref} - g_b \times V_{sen\ t2}$ となり、ＦＥＴ１６のゲートソース間電圧 V_{gs} は $V_{ref} - g_c \times V_{sen\ t2}$ となる。ＦＥＴ１５のゲートソース間電圧 V_{gs} である $V_{ref} - g_b \times V_{sen\ t2}$ は図７（ａ）及び７（ｃ）の $V_{gs\ 1}$ と等しい。

[0078] 図７（ｃ）に示す期間 t_3 では、第１部分ＬＥＤ列１３及び第２部分ＬＥＤ列１４の双方に電流が流れている。期間 t_3 において電流検出抵抗１０３に生じる電位差を $V_{sen\ t3}$ とすると、ＦＥＴ１５のゲートソース間電圧 V_{gs} は $V_{ref} - g_b \times V_{sen\ t3}$ となり、ＦＥＴ１６のゲートソース間電圧 V_{gs} は $V_{ref} - g_c \times V_{sen\ t3}$ となる。ＦＥＴ１６のゲートソース間電圧 V_{gs} である $V_{ref} - g_c \times V_{sen\ t3}$ は、図７（ａ）及び７（ｃ）の $V_{gs\ 2}$ と等しい。ＦＥＴ１５のゲートソース間電圧 V_{gs} である $V_{ref} - g_b \times V_{sen\ t3}$ は、ＦＥＴ１５の閾値電圧よりも小さくなるので、期間 t_3 では、バイパス回路１０１を介して電流は流れない。バイパス回路１０１は、期間 t_2 においてバイパス回路１０１を介して

電流検出抵抗 103 に流れていた電流を、期間 t_3 において第 2 部分 LED 列 14 に向けて流れるように制御する。

[0079] 上述した様に、LED 照明装置 100 では、単一の電流検出抵抗 103 により検出された電流に基づいて、バイパス回路電流制御部 170 及び電流制限回路電流制御部 180 が制御される構成となっている。

[0080] 上述した様に、FET 16 のゲートソース間電圧 V_{gs} は、 $V_{gs} = V_{ref} - g_c \times V_{sen}$ と表すことができる。したがって、電流制限回路 102 では、電流検出素子によって検出された電流情報及び予め定められた第 1 係数（電流制限回路ゲイン g_c ）に基づいて、第 2 部分 LED 列 14 を流れる電流が制御されている。また、FET 15 のゲートソース間電圧 V_{gs} は、 $V_{gs} = V_{ref} - g_b \times V_{sen}$ と表すことができる。したがって、バイパス回路 101 では、電流検出素子によって検出された電流情報及び第 1 係数とは異なった第 2 係数（電流制限回路ゲイン g_b ）に基づいて、第 1 部分 LED 列 13 を流れていた電流が、バイパス回路を介さずに第 2 部分 LED 列 14 へ向けて流れるように制御されている。

[0081] 図 8 は、他の LED 照明装置 200 の回路ブロック図である。

[0082] LED 照明装置 200 は、LED 駆動回路 20 と、商用交流電源 22 とを有する。LED 駆動回路 20 は、ブリッジ整流器 21 と、第 1 部分 LED 列 23 と、第 2 部分 LED 列 24 と、バイパス回路 201 と、電流制限回路 202 と、電流検出抵抗 203 とを有する。第 1 部分 LED 列 23 と、第 2 部分 LED 列 24 とはそれぞれ、直列接続された複数の LED を有する。バイパス回路 201 と、電流制限回路 202 と、電流検出抵抗 203 とは、LED 列に流れる電流を制御する LED 電流制御回路として機能する。

[0083] ブリッジ整流器 21、商用交流電源 22、第 1 部分 LED 列 23 及び第 2 部分 LED 列 24 は、それぞれ、ブリッジ整流器 81、商用交流電源 82、第 1 部分 LED 列 83 及び第 2 部分 LED 列 84 に対応する構成を有する。

[0084] バイパス回路 201 は、デプレッション型 FET である FET 25 と、バイパス回路電流制御部 270 とを有する。電流制限回路 202 は、デプレッ

ション型FETであるFET26と、電流制限回路電流制御部280とを有する。

[0085] バイパス回路電流制御部270は、バイパス回路基準電源171に対応する構成を有せずに、バイパス回路可変電源172に対応するバイパス回路可変電源272のみを有することがバイパス回路電流制御部170と相違する。また、電流制限回路電流制御部280は、電流制限回路基準電源181に対応する構成を有せずに、電流制限回路可変電源182に対応する電流制限回路可変電源282のみを有することが電流制限回路電流制御部180と相違する。バイパス回路電流制御部270及び電流制限回路電流制御部280にそれぞれ配置されるFET25及びFET26の閾値電圧は、0Vよりも十分に小さいため、ゲート電圧を上昇させなくてもよいので、基準電源は配置されない。

[0086] 図9は、LED照明装置200が有する各種の特性を示す図である。

[0087] 図9(a)は、FET25及び26の $V_{gs}-I_d$ 曲線と、バイパス回路電流制御部270及び電流制限回路電流制御部180で生成される電圧との関係を示す図である。図9(a)において、横軸はFET25及び26のゲートソース間電圧 V_{gs} を示し、縦軸はFET25及び26のドレイン電流 I_d を示す。

[0088] 図9(b)は、FET25のドレイン電流 I_d 、FET26のドレイン電流 I_d 及びFET25及び26それぞれのドレイン電流 I_d の合計値の経時的变化を示す図である。図9(b)において、横軸は全波整流波形の1周期分の時間を示し、縦軸はFET25及び26のドレイン電流 I_d を示す。図9(b)において、実線はFET25のドレイン電流 I_d を示し、破線はFET26のドレイン電流 I_d を示し、一点鎖線はFET25及び26のドレイン電流の合計の電流を示す。

[0089] 図9(c)は、FET25のゲートソース間電圧 V_{gs} 、FET26のゲートソース間電圧 V_{gs} 及び電流検出抵抗203の端子間電圧の絶対値の経時的变化を示す図である。図9(c)において、横軸は図7(b)の横軸に

対応する時間を示し、縦軸はFET 25及び26のゲートソース間電圧 V_{gs} （絶対値）を示す。図9（c）において、実線はFET 25のゲートソース間電圧 V_{gs} の絶対値を示し、破線はFET 26のゲートソース間電圧 V_{gs} の絶対値を示し、一点鎖線は電流検出抵抗203の端子間電圧を示す。

[0090] 図9（c）に示す期間 t_1 では、印加された電圧が第1部分LED列23の閾値電圧以下であり、第1部分LED列23及び第2部分LED列24の双方に電流が流れていない期間である。図9（c）に示す期間 t_2 では、印加された電圧が第1部分LED列23の閾値電圧よりも大きく且つ第1部分LED列23の閾値電圧と第2部分LED列24の閾値電圧との合計の電圧以下であり、第1部分LED列23に電流が流れている期間である。図9（c）に示す期間 t_3 では、示される期間は印加された電圧が第1部分LED列23の閾値電圧と第2部分LED列24の閾値電圧との合計の電圧よりも大きくなり、第1部分LED列23及び第2部分LED列24の双方に電流が流れている期間である。

[0091] 図9（c）に示す期間 t_1 では、第1部分LED列23及び第2部分LED列24の双方に電流が流れていないので、電流検出抵抗203にも電流は流れない。電流検出抵抗103に電流が流れていないので、図9（c）に示すように、FET 15及びFET 16のゲートソース間電圧 V_{gs} は共に0Vとなる。

[0092] 図9（c）に示す期間 t_2 では、第1部分LED列23に電流が流れ且つ第2部分LED列24に電流が流れていない。期間 t_2 において電流検出抵抗203に生じる電位差を $V_{sen\ t2}$ とすると、FET 25のゲートソース間電圧 V_{gs} は $-g_b \times V_{sen\ t2}$ となり、FET 26のゲートソース間電圧 V_{gs} は $-g_c \times V_{sen\ t2}$ となる。FET 15のゲートソース間電圧 V_{gs} である $-g_b \times V_{sen\ t2}$ の大きさは図9（a）及び9（c）の $V_{gs\ 1}$ と等しい（図9では絶対値で表示）。

[0093] 図9（c）に示す期間 t_3 では、第1部分LED列23及び第2部分LED列24の双方に電流が流れている。期間 t_3 において電流検出抵抗203

に生じる電位差を $V_{\text{sen } t3}$ とすると、FET 25 のゲートソース間電圧 V_{gs} は $-g_b \times V_{\text{sen } t3}$ となり、FET 26 のゲートソース間電圧 V_{gs} は $-g_c \times V_{\text{sen } t3}$ となる。FET 26 のゲートソース間電圧 V_{gs} である $-g_c \times V_{\text{sen } t3}$ は、図 9 (a) 及び 9 (c) の V_{gs2} と等しい (図 9 では絶対値で表示)。FET 25 のゲートソース間電圧 V_{gs} である $-g_b \times V_{\text{sen } t3}$ は、FET 25 の閾値電圧よりも小さくなるので、期間 $t3$ では、バイパス回路 201 を介して電流は流れない。バイパス回路 201 は、期間 $t2$ においてバイパス回路 201 を介して電流検出抵抗 203 に流れていた電流を、期間 $t3$ において第 2 部分 LED 列 14 に向けて流れるように制御する。

[0094] 上述した様に、LED 照明装置 200 では、単一の電流検出抵抗 203 により検出された電流に基づいて、バイパス回路電流制御部 270 及び電流制限回路電流制御部 280 が制御される構成となっている。

[0095] 上述した様に、FET 26 のゲートソース間電圧 V_{gs} は、 $V_{gs} = -g_c \times V_{\text{sen}}$ と表すことができる。したがって、電流制限回路 202 では、電流検出素子によって検出された電流情報及び予め定められた第 1 係数 (電流制限回路ゲイン g_c) に基づいて、第 2 部分 LED 列 24 を流れる電流が制御されている。また、FET 25 のゲートソース間電圧 V_{gs} は、 $V_{gs} = -g_b \times V_{\text{sen}}$ と表すことができる。したがって、バイパス回路 201 では、電流検出素子によって検出された電流情報及び第 1 係数とは異なった第 2 係数 (電流制限回路ゲイン g_b) に基づいて、第 1 部分 LED 列 23 を流れていた電流が、バイパス回路を介さずに第 2 部分 LED 列 24 へ向けて流れるように制御されている。

[0096] 図 10 は、更に他の LED 照明装置 110 の回路ブロック図である。

[0097] LED 照明装置 110 は、LED 駆動回路 111 と、商用交流電源 12 とを有する。LED 駆動回路 111 は、バイパス回路 101 に対応する構成を有する第 1 バイパス回路 101a 及び第 2 バイパス回路 101b を有することが LED 駆動回路 10 と相違する。また、LED 照明装置 110 は、LED 列が第 1 部分 LED 列 13a、第 2 部分 LED 列 13b 及び第 3 部分 LED

D列14に分割されていることがLED100と相違する。

[0098] 第1バイパス回路101aは、エンハンス型FETであるFET15aと、第1バイパス回路電流制御部170aとを有する。第1バイパス回路電流制御部170aは、第1バイパス回路基準電源171aと、第1バイパス回路可変電源172aとを有する。第1バイパス回路可変電源172aのゲインは g_{b1} である。第1バイパス回路101aは、脈流電圧の状態に応じて、第1バイパス回路101aを介して電流検出抵抗103に流れていた電流を第2部分LED列13bに向けて流れるように制御する。

[0099] 第2バイパス回路101bは、エンハンス型FETであるFET15bと、第2バイパス回路電流制御部170bとを有する。第2バイパス回路電流制御部170bは、第2バイパス回路基準電源171bと、第2バイパス回路可変電源172bとを有する。第2バイパス回路可変電源172bのゲインは g_{b2} である。第2バイパス回路101bは、脈流電圧の状態に応じて、第2バイパス回路101bを介して電流検出抵抗103に流れていた電流を第3部分LED列14に向けて流れるように制御する。

[0100] 図11及び図12は、LED照明装置110が有する各種の特性を示す図である。

[0101] 図11(a)は、FET15a、15b及び16の $V_{gs}-I_d$ 曲線と、第1及び第2のバイパス回路電流制御部170a、170b、電流制限回路電流制御部180で生成される電圧との関係を示す図である。図11(a)の縦軸及び横軸は、図7(a)の縦軸及び横軸にそれぞれ対応する。

[0102] 図11(b)は、FET15aのドレイン電流 I_d 、FET15bのドレイン電流 I_d 、FET16のドレイン電流 I_d 並びにFET15a、15b及び16それぞれのドレイン電流 I_d の合計値の経時的変化を示す図である。図11(b)の縦軸及び横軸は、図7(b)の縦軸及び横軸にそれぞれ対応する。図11(b)において、実線はFET15aのドレイン電流 I_d を示し、破線はFET15bのドレイン電流 I_d を示し、一点鎖線はFET16のドレイン電流 I_d を示す。また、二点鎖線はFET15a、15b及び

16のドレイン電流の合計の電流を示す。

[0103] 図11(c)は、FET15a、15b及び16のゲートソース間電圧 V_{gs} の経時的変化を示す図である。図11(c)の縦軸及び横軸は、図7(c)の縦軸及び横軸にそれぞれ対応する。図11(c)において、実線はFET15aのゲートソース間電圧 V_{gs} を示し、破線はFET15bのゲートソース間電圧 V_{gs} を示し、一点鎖線はFET16のゲートソース間電圧 V_{gs} を示す。

[0104] 図11(c)に示す期間 t_1 では、第1部分LED列13a、第2部分LED列13b及び第3部分LED列14の全てに電流が流れていない期間である。図11(c)に示す期間 t_2 では、第1部分LED列13aのみに電流が流れている期間である。図11(c)に示す期間 t_3 では、第1部分LED列13a及び第2部分LED列13bに電流が流れている期間である。また、 t_4 で示される期間は、第1部分LED列13a、第2部分LED列13b及び第3部分LED列14の全てに電流が流れている期間である。

[0105] 図11(c)に示す期間 t_1 では、第1部分LED列13a、第2部分LED列13b及び第3部分LED列14の全てに電流が流れていないので、電流検出抵抗103にも電流は流れない。電流検出抵抗103に電流が流れていないで、図11(c)に示すように、FET15a、15b及び16のゲートソース間電圧 V_{gs} は共に V_{ref} となる。

[0106] 図11(c)に示す期間 t_2 では、第1部分LED列13aにのみ電流が流れている。期間 t_2 において電流検出抵抗103に生じる電位差を $V_{sen\ t2}$ とすると、FET15aのゲートソース間電圧 V_{gs} は $V_{ref} - g_{b1} \times V_{sen\ t2}$ となり、FET15bのゲートソース間電圧 V_{gs} は $V_{ref} - g_{b2} \times V_{sen\ t2}$ となる。FET16のゲートソース間電圧 V_{gs} は、 $V_{ref} - g_c \times V_{sen\ t2}$ となる。FET15aのゲートソース間電圧 V_{gs} である $V_{ref} - g_{b1} \times V_{sen\ t2}$ は、図11(a)及び11(c)の V_{gs1a} と等しい。

[0107] 図11(c)に示す期間 t_3 では、第1部分LED列13a及び第2部分LED列13bに電流が流れている。期間 t_3 において電流検出抵抗103

に生じる電位差を $V_{\text{sen } t3}$ とすると、FET 15 aのゲートソース間電圧 V_{gs} は $V_{\text{ref}} - g_{b1} \times V_{\text{sen } t3}$ となり、FET 15 bのゲートソース間電圧 V_{gs} は $V_{\text{ref}} - g_{b2} \times V_{\text{sen } t3}$ となる。FET 16のゲートソース間電圧 V_{gs} は、 $V_{\text{ref}} - g_c \times V_{\text{sen } t3}$ となる。FET 15 bのゲートソース間電圧 V_{gs} である $V_{\text{ref}} - g_{b2} \times V_{\text{sen } t2}$ は、図11(a)及び11(c)の V_{gs1b} と等しい。

[0108] 図11(c)に示す期間 t_4 では、第1部分LED列13a、第2部分LED列13b及び第3部分LED列14の全てに電流が流れている。期間 t_4 において電流検出抵抗103に生じる電位差を $V_{\text{sen } t4}$ とすると、FET 15 aのゲートソース間電圧 V_{gs} は $V_{\text{ref}} - g_{b1} \times V_{\text{sen } t4}$ となり、FET 15 bのゲートソース間電圧 V_{gs} は $V_{\text{ref}} - g_{b2} \times V_{\text{sen } t4}$ となる。FET 16のゲートソース間電圧 V_{gs} は、 $V_{\text{ref}} - g_c \times V_{\text{sen } t4}$ となる。FET 16のゲートソース間電圧 V_{gs} である $V_{\text{ref}} - g_c \times V_{\text{sen } t4}$ は、図11(a)及び11(c)の V_{gs2} と等しい。

[0109] 図12(a)は、FET 15 a、15 b及び16の電圧－電流特性、並びに、第1バイパス回路101a、第2バイパス回路101b及び電流制限回路102の電流制御部の出力電圧と電流検出抵抗に流れる電流との関係を示す図である。図12(b)は、図12(a)に示す図の部分拡大図である。図12(a)及び12(b)それぞれにおいて、横軸はFET 15 a、15 b及び16のゲートソース間電圧 V_{gs} を示し、縦軸はFET 15 a、15 b及び16のドレイン電流を示す。図12(a)及び12(b)それぞれにおいて、実線はFET 15 a、15 b及び16の電圧－電流特性を示し、破線は第1バイパス回路電流制御部170aの出力電圧と電流検出抵抗に流れる電流の関係を示す。また、一点鎖線は第2バイパス回路電流制御部170bの出力電圧と電流検出抵抗に流れる電流の関係を示し、二点鎖線は電流制限回路電流制御部180の出力電圧と電流検出抵抗に流れる電流の関係を示す。

[0110] 図12(a)及び図12(b)は、第1バイパス回路101a、第2バイパス回路101b又は電流制限回路102が、それぞれ単独で動作している

場合の動作点を示している。それぞれの出力電圧とは、第1バイパス回路101a、第2バイパス回路101b又は電流制限回路102が単独に動作しているときのFET15a、15b、16のゲートソース間電圧 V_{gs} に相当する。電流検出抵抗に流れる電流とは、第1バイパス回路101a、第2バイパス回路101b又は電流制限回路102が単独に動作しているときのFET15a、15b、16のドレイン電流 I_d に相当する。

[0111] FET15aのゲート電圧 V_g は、

$$V_g = V_{ref} + V_{sen} - g_{b1} \times R_s \times I_d$$

であり、FET15aのソース電圧 V_s は、

$$V_s = V_{sen}$$

である。ここで、 R_s は、電流検出抵抗103の抵抗値である。

[0112] したがって、FET15aのゲートソース間電圧 V_{gs} ($= V_g - V_s$) を I_d で表すと、

$$V_{gs} = V_{ref} - g_{b1} \times R_s \times I_d$$

の関係となる。これは、図12(a)の破線に対応する。

[0113] また、FET15aにおいてドレイン電流 I_d とゲートソース間電圧 V_{gs} は非線形な関係となり、

$$I_d = f(V_{gs})$$

と表すことができる。ここで、 f は関数を示し、図12(a)において実線で示した曲線に相当する。

[0114] 動作点は上記の2式を連立することにより得られ、図12(a)では破線と曲線の交点となる。図11(c)で示した期間 t_2 ではFET15aだけにドレイン電流 I_d が流れ、電流検出抵抗103からのフィードバックは、第1バイパス回路101aにのみ有効であるので、第1バイパス回路101aが電流検出抵抗103とともに単独動作している状態に等しくなる。

[0115] 同様に、FET15bのゲート電圧 V_g は、

$$V_g = V_{ref} + V_{sen} - g_{b2} \times R_s \times I_d$$

であり、FET15aのソース電圧 V_s は、

$$V_s = V_{sen}$$

である。

[0116] したがって、FET 15bのゲートソース間 V_{gs} ($=V_g - V_s$)をドレイン電流 I_d で表すと、

$$V_{gs} = V_{ref} - g_{b2} \times R_s \times I_{ds}$$

の関係となる。これは、図12(a)の一点鎖線に相当する。

[0117] 第2バイパス回路101bが電流検出抵抗103とともに単独動作している状態は、その動作点が一点鎖線と曲線との交点で示され、図10においてFET 15bにのみドレイン電流 I_d が流れている期間 t_3 (図11(c)参照)で実現されている。

[0118] FET 16のゲート電圧 V_g は、

$$V_g = V_{ref} + V_{sen} - g_c \times R_s \times I_d$$

であり、FET 16のソース電圧 V_s は、

$$V_s = V_{sen}$$

である。

[0119] したがって、FET 16のゲートソース間電圧 V_{gs} ($=V_g - V_s$)をドレイン電流 I_d で表すと、

$$V_{gs} = V_{ref} - g_c \times R_s \times I_d$$

の関係となる。これは、図12(a)の二点鎖線に相当する。

[0120] 電流制限回路102が電流検出抵抗103とともに単独動作している状態は、その動作点が二点鎖線と曲線との交点で示され、図10においてFET 16にのみドレイン電流 I_d が流れている期間 t_4 (図11(c)参照)で実現されている。

[0121] 以上のように第1バイパス回路101a、第2バイパス回路101b及び電流制限回路102を電流検出抵抗103とともに単独で動作させたとき、各回路(101a、101b、102)の出力電圧(V_{gs})と電流検出抵抗103に流れる電流(I_d)との関係を示す直線と、各回路(101a、101b、102)に含まれるFET(15a、15b、16)のゲートソ

ース間電圧－電流特性を示す曲線との交点が、FETの動作点となる。また、図10に示したLED照明装置110では、図11(c)で示した期間 t_2 、 t_3 、 t_4 においてそれぞれ第1バイパス回路101a、第2バイパス回路101b及び電流制限回路102が単独に動作している状態となる。すなわち、FET(15a、15b、16)のゲートソース間電圧－電流特性曲線が知られ、バイパス回路基準電源171a等の電圧 V_{ref} と電流検出抵抗103の抵抗値 R_s が与えられれば、第1バイパス回路可変電源172a、第2バイパス回路可変電源172b及び電流制限回路可変電源182のゲイン g_{b1} 、 g_{b2} 及び g_c を決定することにより、第1部分LED列13a、第2LED13b及び第3部分LED列14に流す電流を決定することができる。

[0122] 電圧 V_{ref} やゲイン g_{b1} 、 g_{b2} 、 g_c が適切に設定されていれば、第2バイパス回路101bが定電流動作しているときに第1バイパス回路101aはカットオフしている。同様に電流制限回路102が定電流動作しているときには第1、2バイパス回路101a及び101bはカットオフしている。しかしながら電圧 V_{ref} やゲイン g_{b1} 、 g_{b2} 、 g_c が不適切に設定されていると、例えば電流制限回路102が定電流動作しているときに第2バイパス回路101bに漏れ電流が生じることがある。

[0123] 図13～図16は、LED照明装置110における漏れ電流防止機能を説明するための図である。

[0124] 図13及び14はLED照明装置110において漏れ電流が生じている場合の電気特性を示す図であり、図15及び16はLED照明装置110において漏れ電流が生じていない場合の電気特性を示す図である。図13及び図15は図11に対応する図であり、図14及び16は図12に対応する図である。

[0125] 図13～図16において、商用交流電源12には、120Vの振幅を有する交流電圧を印加されており、FET15a、15b及び16の閾値電圧は3.8Vであり、電流検出抵抗103の抵抗値は1 Ω である。図13及び14において、第1バイパス回路基準電源171a、第2バイパス回路基準電

源 171b 及び電流制限回路基準電源 181 の電圧は、4.1V である。第 1 バイパス回路可変電源 172a のゲイン g_{b1} は 3.4 であり、第 2 バイパス回路可変電源 172b のゲイン g_{b2} は 2.5 であり、電流制限回路可変電源 182 のゲイン g_c は 2.0 である。

[0126] 図 15 及び 16 において、第 1 バイパス回路基準電源 171a、第 2 バイパス回路基準電源 171b 及び電流制限回路基準電源 181 の電圧は、8.0V である。第 1 バイパス回路可変電源 172a のゲイン g_{b1} は 59.1 であり、第 2 バイパス回路可変電源 172b のゲイン g_{b2} は 45.9 であり、電流制限回路可変電源 182 のゲイン g_c は 37.5 である。

[0127] 図 13 (c) に示す期間 t2 では、FET 15a に 70mA の電流が流れ、FET 15b 及び 16 には電流が流れないので合計の電流は 70mA になる。図 13 (c) に示す期間 t3 では、FET 15b に 91mA の電流が流れ、FET 15a 及び 16 には電流が流れないので合計の電流は 91mA になる。しかしながら、本条件の場合、前述のようにゲイン g_c 等が不適切に設定されているため図 13 (e) に示す期間 t4 では、バイパス回路 101b に漏れ電流が生じている。このとき、合計の電流は 112mA であるものの、FET 16 に流れる電流は 104mA であり、FET 15b に 8mA の電流が流れている。

[0128] 第 2 バイパス回路基準電源 171b の電圧 V_{ref} が 4.1、第 2 バイパス回路可変電源 172b のゲイン g_{b2} が 2.5、電流検出抵抗 103 に流れる電流が 112mA、であるとき、 $V_{gs} = V_{ref} - g_{b2} \times V_{sen\ t4}$ の式より、 $V_{gs} = 4.1V - 2.5 \times 122mA \times 1\Omega = 3.82V$ となる。このため、図 14 (b) に示すように、8mA の漏れ電流が FET 16b を介して流れることになる。

[0129] そこで、第 1 バイパス回路基準電源 171a、第 2 バイパス回路基準電源 171b 及び電流制限回路基準電源 181 の電圧、及び第 1 バイパス回路可変電源 172a、第 2 バイパス回路可変電源 172b のゲインを変更して、漏れ電流をゼロにする。

[0130] 図15(c)に示す期間 t_2 では、FET15aに70mAの電流が流れ、FET15b及び16には電流が流れないので合計の電流は70mAになる。図15(c)の示す間 t_3 では、FET15bに90mAの電流が流れ、FET15a及び16には電流が流れないので合計の電流は90mAになる。図15(c)に示す期間 t_4 では、FET16に110mAの電流が流れ、FET15a及び15bには電流が流れないので合計の電流は110mAになる。

[0131] 第2バイパス回路基準電源171bの電圧 V_{ref} が8.0、第2バイパス回路可変電源172bのゲイン g_{b2} が45.9、電流検出抵抗103に流れる電流が110mA、であるとき、 $V_{gs} = V_{ref} - g_{b2} \times V_{sen\ t4}$ の式より、 $V_{gs} = 8.0V - 45.9 \times 110mA \times 1\Omega = 2.951V$ となる。したがって、 V_{gs} が、FET15bの閾値電圧3.8Vよりも低くなるので、漏れ電流がゼロとなる。

[0132] 上述した様に、LED照明装置110では、単一の電流検出抵抗103により検出された電流に基づいて、第1バイパス回路電流制御部170a、第2バイパス回路電流制御部170b、及び電流制限回路電流制御部180が制御される構成となっている。

[0133] LED照明装置110では、電流検出素子によって検出された電流情報と、予め定められた係数（ゲイン g_{b1} 、 g_{b2} 、 g_c ）に基づいて、第1バイパス回路101a及び第2バイパス回路101bを用いて、第1部分LED列13a、第2部分LED列13b及び第3部分LED列14間での電流の切り換え制御が行われる。

[0134] 図17は、更に他のLED照明装置210の回路ブロック図である。

[0135] LED照明装置210は、LED駆動回路211と、商用交流電源22とを有する。LED駆動回路211は、バイパス回路201に対応する構成を有する第1バイパス回路201a及び第2バイパス回路201bを有することがLED駆動回路20と相違する。また、LED照明装置210は、LED列が第1部分LED列23a、第2部分LED列23b及び第3部分LED

D列24に分割されていることがLED照明装置200と相違する。

[0136] 第1バイパス回路201aは、デプレッション型FETであるFET25aと、第1バイパス回路電流制御部270aとを有する。第1バイパス回路電流制御部270aは、ゲインが g_{b1} である第1バイパス回路可変電源272aを有する。

[0137] 第2バイパス回路201bは、デプレッション型FETであるFET25bと、第2バイパス回路電流制御部270bとを有する。第2バイパス回路電流制御部270bは、ゲインが g_{b2} である第2バイパス回路可変電源272bを有する。

[0138] 図18及び図19は、LED照明装置210が有する各種の特性を示す図である。

[0139] 図18(a)は、FET25a、25b及び26の $V_{gs}-I_d$ 曲線と、増幅部273a、273b及び283で生成される電圧との関係を示す図である。図18(b)は、FET25aのドレイン電流 I_d 、FET25bのドレイン電流 I_d 、FET26のドレイン電流 I_d 並びにFET25a、25b及び16それぞれのドレイン電流 I_d の合計値の経時的変化を示す図である。図18(c)は、FET25a、25b及び26のゲートソース間電圧 V_{gs} （絶対値）の経時的変化を示す図である。

[0140] 図18(a)～図18(c)の縦軸及び横軸は、図9(a)～図9(c)の縦軸及び横軸にそれぞれ対応する。図18(b)において、実線はFET25aのドレイン電流 I_d を示し、破線はFET25bのドレイン電流 I_d を示し、一点鎖線はFET26のドレイン電流 I_d を示す。また、二点鎖線はFET25a、25b及び26のドレイン電流の合計の電流を示す。図18(c)において、実線はFET25aのゲートソース間電圧 V_{gs} を示し、破線はFET25bのゲートソース間電圧 V_{gs} を示し、一点鎖線はFET26のゲートソース間電圧 V_{gs} を示す。

[0141] 図18(c)に示す期間 t_1 では、第1部分LED列23a、第2部分LED列23b及び第3部分LED列24の全てに電流が流れていない期間で

ある。図 18 (c) に示す期間 t_2 では、第 1 部分 L E D 列 2 3 a のみに電流が流れている期間である。図 18 (c) に示す期間 t_3 では、第 1 部分 L E D 列 2 3 a 及び第 2 部分 L E D 列 2 3 b に電流が流れている期間である。図 18 (c) に示す期間 t_4 では、第 1 部分 L E D 列 2 3 a、第 2 部分 L E D 列 2 3 b 及び第 3 部分 L E D 列 2 4 の全てに電流が流れている期間である。

[0142] 図 18 (c) に示す期間 t_1 では、第 1 部分 L E D 列 2 3 a、第 2 部分 L E D 列 2 3 b 及び第 3 部分 L E D 列 2 4 の全てに電流が流れていないので、電流検出抵抗 2 0 3 にも電流は流れない。電流検出抵抗 2 0 3 に電流が流れていないで、図 18 (c) に示すように、F E T 2 5 a、2 5 b 及び 2 6 のゲートソース間電圧 V_{gs} は共に 0 V となる。

[0143] 図 18 (c) に示す期間 t_2 では、第 1 部分 L E D 列 2 3 a にのみ電流が流れている。期間 t_2 において電流検出抵抗 2 0 3 に生じる電位差を $V_{sen\ t2}$ とすると、F E T 2 5 a のゲートソース間電圧 V_{gs} は $-g_{b1} \times V_{sen\ t2}$ となり、F E T 2 5 b のゲートソース間電圧 V_{gs} は $-g_{b2} \times V_{sen\ t2}$ となる。F E T 2 6 のゲートソース間電圧 V_{gs} は、 $-g_c \times V_{sen\ t2}$ となる。F E T 2 5 a のゲートソース間電圧 V_{gs} である $-g_{b1} \times V_{sen\ t2}$ は、図 18 (a) 及び 18 (c) の $V_{gs\ 1\ a}$ と等しい。

[0144] 図 18 (c) に示す期間 t_3 では、第 1 部分 L E D 列 2 3 a 及び第 2 部分 L E D 列 2 3 b に電流が流れている。期間 t_3 において電流検出抵抗 2 0 3 に生じる電位差を $V_{sen\ t3}$ とすると、F E T 2 5 a のゲートソース間電圧 V_{gs} は $-g_{b1} \times V_{sen\ t3}$ となり、F E T 2 5 b のゲートソース間電圧 V_{gs} は $-g_{b2} \times V_{sen\ t3}$ となる。F E T 2 6 のゲートソース間電圧 V_{gs} は、 $-g_c \times V_{sen\ t3}$ となる。F E T 2 5 b のゲートソース間電圧 V_{gs} である $-g_{b2} \times V_{sen\ t2}$ は、図 18 (a) 及び 18 (c) の $V_{gs\ 1\ b}$ と等しい。

[0145] 図 18 (c) に示す期間 t_4 では、第 1 部分 L E D 列 2 3 a、第 2 部分 L E D 列 2 3 b 及び第 3 部分 L E D 列 2 4 の全てに電流が流れている。期間 t_4 において電流検出抵抗 2 0 3 に生じる電位差を $V_{sen\ t4}$ とすると、F E T 2 5

aのゲートソース間電圧 V_{gs} は $-g_{b1} \times V_{sen\ t4}$ となり、FET25bのゲートソース間電圧 V_{gs} は $-g_{b2} \times V_{sen\ t4}$ となる。FET26のゲートソース間電圧 V_{gs} は、 $-g_c \times V_{sen\ t4}$ となる。FET26のゲートソース間電圧 V_{gs} である $-g_c \times V_{sen\ t4}$ は、図18(a)及び18(c)の V_{gs2} と等しい。

[0146] 図19(a)は、FET25a、25b及び26の電圧－電流特性、並びに第1バイパス回路201a、第2バイパス回路101b及び電流制限回路202の出力電圧と電流検出抵抗203に流れる電流との関係を示す図である。図19(b)は、図19(a)に示す図の部分拡大図である。図19(a)及び19(b)それぞれにおいて、横軸はFET25a、25b及び26のゲートソース間電圧 V_{gs} を示し、縦軸はFET25a、25b及び26のドレイン電流を示す。

[0147] 図19(a)及び図19(b)のそれぞれにおいて、実線は、FET25a、25b及び26の電圧－電流特性を示し、破線は第1バイパス回路電流制御部270aの出力電圧（ゲートソース間電圧 V_{gs} ）と電流検出抵抗203に流れる電流の関係を示す。また、一点鎖線は、第2バイパス回路電流制御部270bの出力電圧（ゲートソース間電圧）と電流検出抵抗203に流れる電流との関係を示し、二点鎖線は、電流制限回路電流制御部271の出力電圧（ゲートソース間電圧）と電流検出抵抗203に流れる電流との関係を示す。

[0148] 第1バイパス回路電流制御部270aの電圧－電流特性は、

$$V_{gs} = -g_{b1} \times R_s \times I_d$$

の関係となる。ここで、 R_s は電流検出抵抗203の抵抗値である。この関係は、図19(a)において破線に相当する。また、FET25aにおいて、 $I_d = g(V_{gs})$ と表せば（ g は関数を示す。図19(a)の曲線に相当する。FET25b、FET26も同じ関係になる。）、これらの2つの連立した式からFET25aの動作点が定まる。動作点は、図19(a)において実線で示した曲線と破線の交点であり、FET25aのゲートソース間

電圧 V_{gs} は V_{gs1a} (図 18 参照) となる。

[0149] 第 2 バイパス回路電流制御部 270b の電圧－電流特性は、

$$V_{gs} = -g_{b2} \times R_s \times I_d$$

の関係となり、上述のようにして FET 25b の動作点が求められる。

[0150] 電流制限回路電流制御部 271 の電圧－電流特性は、

$$V_{gs} = -g_c \times R_s \times I_d$$

の関係となり、上述のようにして FET 26 の動作点が求められる。

[0151] 以上のように図 19 (a) で示したように、第 1 バイパス回路電流制御部 270a、第 2 バイパス回路電流制御部 270b 及び電流制限回路電流制御部 280 の出力電圧 (ゲートソース間電圧) と電流検出抵抗 203 に流れる電流の関係を示す直線と、FET の電圧－電流特性の電圧－電流特性曲線との交点が、FET の動作点となる。FET (25a、25b、26) のゲートソース間電圧－電流特性曲線が知られ、第 1 バイパス回路可変電源 272a、第 2 バイパス回路可変電源 272b 及び電流制限回路可変電源 282 のゲイン g_{b1} 、 g_{b2} 及び g_c を決定することにより、第 1 部分 LED 列 23a、第 2 LED 23b 及び第 3 部分 LED 列 24 に流す電流が決定される。

[0152] 上述した様に、LED 照明装置 210 では、単一の電流検出抵抗 203 により検出された電流に基づいて、第 1 バイパス回路電流制御部 270a、第 2 バイパス回路電流制御部 270b、及び電流制限回路電流制御部 280 が制御される構成となっている。

[0153] LED 照明装置 210 では、電流検出素子によって検出された電流情報と、予め定められた係数 (ゲイン g_{b1} 、 g_{b2} 、 g_c) に基づいて、第 1 バイパス回路 201a 及び第 2 バイパス回路 201b を用いて、第 1 部分 LED 列 23a、第 2 部分 LED 列 23b 及び第 3 部分 LED 列 24 間での電流の切り換え制御が行われる。

[0154] 図 20 は、2 つのバイパス回路及び 1 つの電流制限回路を有する半導体装置を直列接続した 3 種類の LED 照明装置の回路ブロック図である。

[0155] 図 20 (a) に示す LED 照明装置 300 は、ブリッジ整流器 11 と、商

用交流電源 1 2 と、第 1 部分 L E D 列 1 3 a ～第 6 部分 L E D 列 1 3 f と、第 1 半導体装置 3 0 1 と、第 2 半導体装置 3 0 2 とを有する。ブリッジ整流器 1 1 及び商用交流電源 1 2 は、L E D 照明装置 1 0 0 が有するものとそれぞれ同一の機能及び構成を有する。また、第 1 部分 L E D 列 1 3 a ～第 6 部分 L E D 列 1 3 f はそれぞれ、直列接続された L E D を有する。

[0156] 第 1 半導体装置 3 0 1 は、L E D 駆動回路 1 1 1 と同様に第 1 バイパス回路 1 0 1 a 及び第 2 バイパス回路 1 0 1 b と、電流制限回路 1 0 2 と、電流検出抵抗 1 0 3 とを有する。第 2 半導体装置 3 0 2 は、電流検出抵抗 1 0 3 を有さないことが第 1 半導体装置 3 0 1 と相違する。第 1 半導体装置 3 0 1 と、第 2 半導体装置 3 0 2 とは、第 1 半導体装置 3 0 1 及び第 2 半導体装置 3 0 2 の F E T のソースを互いに接続することにより直列接続されている。

[0157] 第 1 半導体装置 3 0 1 の第 1 バイパス回路 1 0 1 a の F E T のドレインは、第 1 部分 L E D 列 1 3 a と第 2 部分 L E D 列 1 3 b との間に接続される。第 1 半導体装置 3 0 1 の第 2 バイパス回路 1 0 1 b の F E T のドレインは、第 2 部分 L E D 列 1 3 b と第 3 部分 L E D 列 1 3 c との間に接続される。第 1 半導体装置 3 0 1 の電流制限回路 1 0 2 の F E T のドレインは、第 3 部分 L E D 列 1 3 c と第 4 部分 L E D 列 1 3 d との間に接続される。

[0158] 第 2 半導体装置 3 0 2 の第 1 バイパス回路 1 0 1 a の F E T のドレインは、第 4 部分 L E D 列 1 3 d と第 5 部分 L E D 列 1 3 e との間に接続される。第 2 半導体装置 3 0 2 の第 2 バイパス回路 1 0 1 b の F E T のドレインは、第 5 部分 L E D 列 1 3 e と第 6 部分 L E D 列 1 3 f との間に接続される。第 2 半導体装置 3 0 2 の電流制限回路 1 0 2 の F E T のドレインは、第 6 部分 L E D 列 1 3 f の最終段の L E D のカソードに接続される。

[0159] 図 2 0 (b) に示す L E D 照明装置 3 1 0 は、L E D 照明装置 3 0 0 のように第 1 半導体装置 3 0 1 と第 2 半導体装置 3 0 2 とが直列接続されるのではなく、同じ第 1 半導体装置 3 0 1 が 2 つ直列接続されていることが L E D 照明装置 3 0 0 と相違する。L E D 照明装置 3 1 0 では、同一の構成を有する 2 つの第 1 半導体装置 3 0 1 を直列接続することにより、第 1 部分 L E D

列 1 3 a ～第 6 部分 L E D 列 1 3 f の電流を制御する回路が形成される。

[0160] 図 2 0 (c) に示す L E D 照明装置 3 2 0 は、L E D 照明装置 3 0 0 のように第 1 半導体装置 3 0 1 と第 2 半導体装置とが直列接続されるのではなく、第 3 半導体装置 3 0 3 と第 4 半導体装置 3 0 4 とが直列接続されていることが L E D 照明装置 3 0 0 と相違する。また、L E D 照明装置 3 2 0 と L E D 照明装置 3 1 0 は、符号を除き回路図 (図 2 0 (c) 及び図 2 0 (c)) が一致するが、後述するように抵抗値やゲインなどのパラメータが異なる。

[0161] 第 3 半導体装置 3 0 3 及び第 4 半導体装置 3 0 4 は、それぞれ、電流検出抵抗 1 0 3 の代わりに電流検出抵抗 1 0 3 a 及び電流検出抵抗 1 0 3 b を有することが第 1 半導体装置 3 0 1 と相違する。電流検出抵抗 1 0 3 a 及び電流検出抵抗 1 0 3 b は互いに抵抗値が相違する。

[0162] L E D 照明装置 3 2 0 では、電流検出抵抗 1 0 3 a 及び電流検出抵抗 1 0 3 b の抵抗値を相違させることで、第 3 半導体装置 3 0 3 及び第 4 半導体装置 3 0 4 のバイパス回路及び電流制限回路のゲインを一致させることができる。すなわち、L E D 照明装置 3 2 0 では、第 3 半導体装置 3 0 3 及び第 4 半導体装置 3 0 4 の第 1 バイパス回路 1 0 1 a のゲインは互いに等しく、第 3 半導体装置 3 0 3 及び第 4 半導体装置 3 0 4 の第 2 バイパス回路 1 0 1 b のゲインは互いに等しい。また、第 3 半導体装置 3 0 3 及び第 4 半導体装置 3 0 4 の電流制限回路 1 0 2 のゲインは互いに等しい。

[0163] 図 2 1 (a) ～図 2 1 (c) はそれぞれ、L E D 照明装置 3 0 0 ～3 2 0 の F E T のドレイン電流 I_d の一例を示す図である。

[0164] 図 2 1 (a) ～図 2 1 (c) では、L E D 照明装置 3 0 0 ～3 2 0 の F E T のドレイン電流 I_d は同一の波形を有している。一例では、L E D 照明装置 3 0 0 ～3 2 0 において、商用交流電源 1 2 には、1 2 0 V の振幅を有する交流電圧を印加されており、F E T の閾値電圧は 3 . 8 V であり、基準電源の電圧は 4 . 1 V に設定される。

[0165] L E D 照明装置 3 0 0 の第 1 半導体装置 3 0 1 において、例えば、第 1 バイパス回路可変電源 1 7 2 a のゲイン g_{b1} は 1 2 に設定され、第 2 バイパス回

路可変電源 172b のゲイン g_{b2} は 8 に設定され、電流制限回路可変電源 182 のゲイン g_c は 4 に設定される。また、LED 照明装置 300 の第 2 半導体装置 302 において、例えば、第 1 バイパス回路可変電源 172a のゲイン g_{b1} は 3 に設定され、第 2 バイパス回路可変電源 172b のゲイン g_{b2} は 2 に設定され、電流制限回路可変電源 182 のゲイン g_c は 1 に設定される。さらに、LED 照明装置 300 の第 1 半導体装置 301 の電流検出抵抗 103b の抵抗値は $1\ \Omega$ と設定することができる。

[0166] LED 照明装置 310 の前段の第 1 半導体装置 301 において、例えば、第 1 バイパス回路可変電源 172a のゲイン g_{b1} は 12 に設定され、第 2 バイパス回路可変電源 172b のゲイン g_{b2} は 8 に設定され、電流制限回路可変電源 182 のゲイン g_c は 4 に設定される。また、LED 照明装置 310 の後段の第 1 半導体装置 301 において、例えば、第 1 バイパス回路可変電源 172a のゲイン g_{b1} は 3 に設定され、第 2 バイパス回路可変電源 172b のゲイン g_{b2} は 2 に設定され、電流制限回路可変電源 182 のゲイン g_c は 1 に設定される。さらに、LED 照明装置 310 における、前段及び後段の第 1 半導体装置 301 の電流検出抵抗 103 の抵抗値は $1\ \Omega$ と設定することができる。

[0167] LED 照明装置 320 の第 3 半導体装置 303 において、例えば、第 1 バイパス回路可変電源 172a のゲイン g_{b1} は 3 に設定され、第 2 バイパス回路可変電源 172b のゲイン g_{b2} は 2 に設定され、電流制限回路可変電源 182 のゲイン g_c は 1 に設定される。また、LED 照明装置 320 の第 4 半導体装置 304 において、例えば、第 1 バイパス回路可変電源 172a のゲイン g_{b1} は 3 に設定され、第 2 バイパス回路可変電源 172b のゲイン g_{b2} は 2 に設定され、電流制限回路可変電源 182 のゲイン g_c は 1 に設定される。さらに、第 3 半導体装置 303 の電流検出抵抗 103a の抵抗値は $4\ \Omega$ であり、第 4 半導体装置 304 の電流検出抵抗 103b の抵抗値は $1\ \Omega$ と設定することができる。

[0168] 図 22 は、2 つのバイパス回路及び 1 つの電流制限回路を有する半導体装置を並列接続した 2 種類の LED 照明装置の回路ブロック図である。

[0169] 図22図(a)に示すLED照明装置330は、ブリッジ整流器11と、商用交流電源12と、第1部分LED列13a～第3部分LED列13cと、第1半導体装置301と、第2半導体装置302とを有する。ブリッジ整流器11及び商用交流電源12は、LED照明装置100が有するものとそれぞれ同一の機能及び構成を有する。第1部分LED列13a～第3部分LED列13cはそれぞれ、直列接続されたLEDを有する。第1半導体装置301と、第2半導体装置302とは、第1半導体装置301及び第2半導体装置302のFETのソースを互いに接続することにより並列接続されている。

[0170] 第1半導体装置301の第1バイパス回路101a及び第2バイパス回路101bのFETのドレインは、第1部分LED列13aと第2部分LED列13bとの間に接続される。第1半導体装置301の電流制限回路102及び第2半導体装置302の第1バイパス回路101aのFETのドレインは、第2部分LED列13bと第3部分LED列13cとの間に接続される。第2半導体装置302の第2バイパス回路101b及び第2半導体装置302の電流制限回路102のFETのドレインは、第3部分LED列13cの最終段のLEDのカソードに接続される。

[0171] 図22(b)に示すLED照明装置340は、ブリッジ整流器11と、商用交流電源12と、第1部分LED列13a～第3部分LED列13cと、並列接続された2つの第1半導体装置301とを有する。ブリッジ整流器11及び商用交流電源12は、LED照明装置100が有するものとそれぞれ同一の機能及び構成を有する。また、第1部分LED列13a～第3部分LED列13cはそれぞれ、直列接続されたLEDを有する。2つの第1半導体装置301は、2つの第1半導体装置301の電流検出抵抗103の接地側の端子を互いに接続することにより並列接続される。

[0172] 2つの第1半導体装置301の第1バイパス回路101aのFETのドレインは、第1部分LED列13aと第2部分LED列13bとの間に接続される。2つの第1半導体装置301の第2バイパス回路101bのFETの

ドレインは、第2部分LED列13bと第3部分LED列13cとの間に接続される。2つの第1半導体装置301の電流制限回路102のFETのドレインは、第3部分LED列13cの最終段のLEDのカソードに接続される。

[0173] 図23(a)及び23(b)はそれぞれ、LED照明装置330及び340のFETのドレイン電流 I_d の一例を示す図である。

[0174] 図23(a)及び23(b)では、LED照明装置330及び340のFETのドレイン電流 I_d は同一の波形を有している。一例では、LED照明装置330及び340において、商用交流電源12には、120Vの振幅を有する交流電圧を印加されており、FETの閾値電圧は3.8Vであり、基準電源の電圧は4.1Vに設定され、電流検出抵抗103bの抵抗値は1Ωである。

[0175] LED照明装置330の第1半導体装置301において、第1バイパス回路可変電源172a及び第2バイパス回路可変電源172bのゲイン g_{b1} 及び g_{b2} は8に設定され、電流制限回路可変電源182のゲイン g_c は4に設定される。LED照明装置330の第2半導体装置302において、第1バイパス回路可変電源172aのゲイン g_{b1} は4に設定され、第2バイパス回路可変電源172b及び電流制限回路可変電源182のゲイン g_{b2} 及び g_c は2に設定される。

[0176] LED照明装置340の2つの第1半導体装置301において、第1バイパス回路可変電源172aのゲイン g_{b1} は16に設定され、第2バイパス回路可変電源172bのゲイン g_{b2} は8に設定される。また、電流制限回路可変電源182のゲイン g_c は4に設定される。

[0177] LED駆動回路10、20、111及び211は、単一の電流検出抵抗により検出される電圧に基づいてFETのドレイン電流を制御することができるので、電流検出抵抗で消費される電力を最小限にすることができる。

[0178] また、LED駆動回路10、20、111及び211では、FETのゲートソース間電圧を規定するときに使用するバイパス回路ゲイン及び電流制限

回路ゲインを適当な値に設定することにより、漏れ電流をなくすることができる。

[0179] また、LED照明装置300、310、320、330及び330では、単一の電流検出抵抗を有する半導体装置によりLEDに印加される電流を制御する制御部が形成される。このため、制御部を形成する複数の半導体装置を直列接続又は並列接続する場合でも、配線の接続関係が複雑になることはない。

[0180] デプレッション型FETを有するLED駆動回路20及び211では、バイパス回路基準電源及び電流制限回路基準電源に対応する構成を有していないが、バイパス回路基準電源及び電流制限回路基準電源に対応する構成を有する構成を採用してもよい。バイパス回路基準電源及び電流制限回路基準電源に対応する構成を有する構成を採用することにより、電流検出抵抗が検出する電圧とゲインとにより調整可能な範囲が広がるので、漏れ電流が流れないように設定することがより容易になる。

[0181] 図24は、更に他のLED照明装置400の回路ブロック図である。

[0182] LED照明装置400は、LED駆動回路401と、商用交流電源12とを有する。LED駆動回路401は、ブリッジ整流器11と、第1部分LED列403aと、第2部分LED列403bと、第3部分LED列403cと、第1バイパス回路402aと、第2バイパス回路402bと、電流制限回路402cと、電流検出抵抗410(=R(Ω))とを有する。商用交流電源12及びブリッジ回路11は、前述したLED装置100と同様であるので、その説明を省略する。

[0183] 第1部分LED列403aと、第2部分LED列403bと、第3部分LED列403cとは、それぞれ、直列接続された複数のLEDを有する。第1バイパス回路402aと、第2バイパス回路402bと、電流制限回路402cと、電流検出抵抗410とは、LED列に流れる電流を制御するLED電流制御回路として機能する。

[0184] 第1バイパス回路402aは、抵抗404aと、エンハンス型FETであ

るFET405a及びFET406aと、抵抗407aと、第1可変電源408aとを有する。また、第2バイパス回路402bは、抵抗404bと、エンハンス型FETであるFET405b及びFET406bと、抵抗407bと、第2可変電源408bとを有する。さらに、電流制限回路402cは、抵抗404cと、エンハンス型FETであるFET405c及びFET406cと、抵抗407cと、第3可変電源408cとを有する。第1可変電源408a、第2可変電源408b及び第3可変電源408cは、前述したLED装置100に含まれるバイパス回路可変電源172と同様に構成することができるので、その具体的な構成の説明を省略する。

[0185] 第1バイパス回路402aの第1可変電源408aは、電流検出抵抗410による電圧 V_{sen} の所定倍（ゲイン g_a ）の電圧 $V_a (= g_a \times V_{sen})$ を発生するように構成されている。電流検出抵抗410による電圧 V_{sen} が大きくなり、第1可変電源408aが発生する電圧 V_a が大きくなると、FET406aのゲート電圧が高くなり、FET406aのドレイン電流が増加する。その結果、FET405aのゲート電圧は低くなって、FET405aのドレイン電流が減少する。したがって、電流検出抵抗410による電圧 V_{sen} が十分に大きくなれば、FET405aを流れる電流が制限されて、第1バイパス回路402aを流れる電流がゼロとなる。

[0186] 一方、電流検出抵抗410による電圧 V_{sen} が減少すると、FET406aのゲート電圧が低くなり、FET406aのドレイン電流が減少する。その結果、FET405aのゲート電圧は高くなって、FET405aを流れるドレイン電流が増加する。即ち、FET406aは、第1バイパス回路402aを流れる電流が定電流（ $= I_{da}$ ）となるように動作している。

[0187] 同様に、第2バイパス回路402bの第2可変電源408bは、電流検出抵抗410による電圧 V_{sen} の所定倍（ゲイン g_b ）の電圧 $V_b (= g_b \times V_{sen})$ を発生するように構成されており、第1バイパス回路401aと同様に、第2バイパス回路402bを流れる電流が定電流（ $= I_{db}$ ）となるように動作している。

[0188] また、電流制限回路402cの第3可変電源408bは、電流検出抵抗410による電圧 V_{sen} の所定倍（ゲイン g_c ）の電圧 $V_c (=g_c \times V_{sen})$ を発生するように構成されている。電流制限回路402cは、電流制限回路402cを流れる電流を制限し、電流制限回路402cを流れる電流が定電流（ I_{db} ）となるように動作している。上記の様に、第1バイパス回路402a、第2バイパス回路402b、及び電流制限回路402cは、それぞれ、2つのFETによって制御されるデュアルFETタイプの制御方式を採用していると言える。

[0189] FET405aのドレイン電流（ I_{da} ）は、FET406aの閾値 V_{tha} 、第1可変電源408aのゲイン g_a 、及び、電流検出抵抗410の抵抗値 $R (\Omega)$ を用いて、 $I_{da} = V_{tha} / (g_a \times R)$ と表すことができる。同様に、FET406bの閾値 V_{thb} に対しFET405bのドレイン電流（ I_{db} ） $= V_{thb} / (g_b \times R)$ と表すことができ、FET406cの閾値 V_{thc} に対しFET405cのドレイン電流（ I_{dc} ） $= V_{thc} / (g_c \times R)$ と表すことができる。

[0190] 例えば、ゲイン $g_a = 30$ 、ゲイン $g_b = 15$ 、及び、ゲイン $g_c = 10$ 、 $V_{tha} = V_{thb} = V_{thc} = 1.5 (V)$ 、 $R = 1 (\Omega)$ とすると、 $I_{da} = 50 (mA)$ 、 $I_{db} = 100 (mA)$ 、 $I_{dc} = 150 (mA)$ となる。

[0191] このように、LED照明装置400では、第1可変電源408aのゲイン g_a 、第2可変電源408bのゲイン g_b 、及び、第3可変電源408bのゲイン g_c を予め所定の値に設定することにより、容易に、各段のバイパス回路及び電流制限回路を流れる定電流値を設定することができる。

[0192] なお、LED照明装置400は、第1可変電源408a等のアナログ演算を行う部分で低電圧素子を使用できるという特徴がある。例えば、第1バイパス回路402において、FET405a、406aが数十Vの耐圧を必要とするのに対し、FET406aの閾値 V_{tha} が数Vで良いため、第1可変電源408aに含まれる素子の耐圧も数Vにできる。このような特徴により

、LED照明装置400は、回路を小型化することができる。

[0193] また、LED照明装置400では、FET405a、405b、405cのゲートソース間電圧とドレイン電流の関係について詳細な情報を必要としない。すなわち、動作点について、図12(a)に実線で示された曲線のようなものを知る必要がなく、耐圧や最大許容電流などを知っておけば良い。その代り、LED照明装置400では、FET406a等の閾値 $V_{th a}$ 等を知っておく必要があり、この閾値 $V_{th a}$ 等により前述のように動作点を定めることができる。

[0194] 図25は、図24に示すLED照明装置400の電流検出抵抗410を流れる電流 I_{sen} を示す図である。

[0195] 図25の実線は、LED照明装置400の電流検出抵抗410を流れる電流 I_{sen} を示している。図25に示す期間 t_1 では、第1部分LED列403a、第2部分LED列403b、及び、第3部分LED列403cの全てに電流が流れない。

[0196] 図25に示す期間 t_2 では、第1部分LED列403a及び第1バイパス回路402aを介して電流検出抵抗410に電流 I_{sen} が流れる。ブリッジ整流器11の出力電圧が、第1部分LED列403aに含まれる全てのLEDの順方向電圧 V_f の和を越えたことにより、第1部分LED列403aに電流が流れる。この期間において、上述した例では、FET405aが $I_{da} = 50\text{mA}$ の定電流回路として動作しているので、電流 I_{sen} は約50mAとなる。なお、期間 t_2 では、第2部分LED列403b及び第3部分LED列403cには電流が流れず、また、第2バイパス回路402b及び電流制限回路402cを介しては、電流検出抵抗410へ電流は流れない。

[0197] 図25に示す期間 t_3 では、第1部分LED列403a、第2部分LED列403b、及び第2バイパス回路402bを介して電流検出抵抗410に電流 I_{sen} が流れる。ブリッジ整流器11の出力電圧が、第1部分LED列403a及び第2部分LED列403bに含まれる全てのLEDの順方向

電圧 V_f の和を越えたことにより、第1部分LED列403a及び第2部分LED列403bに電流が流れる。この期間において、上述した例では、FET405bが $I_{db} = 100\text{mA}$ の定電流回路として動作しているので、電流 I_{sen} は約 100mA となる。なお、期間 t_3 では、電流 I_{sen} が増加することによって、第1バイパス回路402aのFET405aがカットオフ（バイパス電流を制限）しているので、第1バイパス回路402aを介して電流は流れない。また、期間 t_3 では、第3部分LED列403cには電流が流れないので、電流制限回路402cを介して、電流検出抵抗410へ電流は流れない。

[0198] 図25に示す期間 t_4 では、第1部分LED列403a、第2部分LED列403b、第3部分LED列403c、及び、電流制限回路402cを介して電流検出抵抗410に電流 I_{sen} が流れる。ブリッジ整流器11の出力電圧が、第1部分LED列403a、第2部分LED列403b、及び、第3部分LED列403cに含まれる全てのLEDの順方向電圧 V_f の和を越えたことにより、第1部分LED列403a、第2部分LED列403b、及び、第3部分LED列403cに電流が流れる。この期間において、上述した例では、FET405cが $I_{dc} = 150\text{mA}$ の定電流回路として動作しているので、電流 I_{sen} は約 150mA となる。なお、期間 t_4 では、電流 I_{sen} が増加することによって、第1バイパス回路402aのFET405a及び第2バイパス回路402bのFET405bがカットオフ（バイパス電流を制限）しているので、第1バイパス回路402a及び第2バイパス回路402bを介しては、電流検出抵抗410へ電流は流れない。

[0199] 上述した様に、LED照明装置400では、単一の電流検出抵抗410により検出された電流に基づいて、第1バイパス回路404a、第2バイパス回路404b及び電流制限回路404cが制御される構成となっている。したがって、LED照明装置400では、電流検出抵抗で消費される電力を最小限にすることができる。

[0200] 上述した様に、LED照明装置400では、例えば、電流検出抵抗410

によって検出された電流情報及び予め定められた第1係数（第3可変電源408cのゲイン g_c ）に基づいて、第3部分LED列403cを流れる電流が制御される。同様に、LED照明装置400では、例えば、電流検出抵抗410によって検出された電流情報及び第1係数とは異なった第2係数（第2可変電源408bのゲイン g_b ）に基づいて、第2部分LED列403bを流れていた電流が、第2バイパス回路404bを介さずに第3部分LED列403cへ向けて流れるように制御される。

[0201] 図26は、更に他のLED照明装置420の回路ブロック図である。

[0202] LED照明装置420は、LED駆動回路421と、商用交流電源12とを有する。LED駆動回路421は、ブリッジ整流器11と、第1部分LED列403aと、第2部分LED列403bと、第3部分LED列403cと、第1バイパス回路422aと、第2バイパス回路422bと、電流制限回路422cと、電流検出抵抗410（= $R(\Omega)$ ）と、基準電源431とを有する。前述したLED照明装置400と同様の構成には、同じ番号を付してその説明を省略する。

[0203] 図24に示したLED照明装置400と、図26に示したLED照明装置420との差異は、LED照明装置420がグラウンドラインと接続されている低電圧側の基準電源431を有し、第1バイパス回路422aのFET406a、第2バイパス回路422bのFET406b、及び、電流制限回路422cのFET406cのそれぞれのドレインへ電圧（例えば、5V）を供給している点である。

[0204] したがって、LED照明装置420でも、FET406a、406b、406cの閾値 $V_{th a}$ 、 $V_{th b}$ 、 $V_{th c}$ を知ったうえで、第1可変電源408aのゲイン g_a 、第2可変電源408bのゲイン g_b 、及び、第3可変電源408cのゲイン g_c を予め所定の値に設定することにより、容易に、各段のバイパス回路及び電流制限回路を流れる定電流値を設定することができる。また、LED照明装置420における電流検出抵抗410を流れる電流 I_{sen} は、図25に実線で示したLED照明装置400における電流検

出抵抗410を流れる電流 I_{sen} と同様である。したがって、LED照明装置420における第1バイパス回路404a、第2バイパス回路404b、及び電流制限回路404cの電流切り換え動作についても、LED照明装置400におけるものと同様である。

[0205] LED照明装置400では、第1バイパス回路422a、第2バイパス回路422b、及び、電流制限回路422cに含まれるFET406a、406b、406cと、LED照明装置400の高圧側のラインとが接続されていた。したがって、LED照明装置400の実際の電気回路では、第1部分LED列403a、第2部分LED列403b、及び、第3部分LED列403cが駆動される高電圧側（FET405a、405b、405c）と、FET406a、406b、406cとを分離して配置することができなかった。

[0206] これに対して、LED照明装置420では、低電圧側に接続された基準電源431を利用し、FET406a、406b、406cを低電圧で駆動している。そこで、第1バイパス回路422a、第2バイパス回路422b、及び、電流制限回路422cについて、第1部分LED列403a、第2部分LED列403b、及び、第3部分LED列403cが駆動される高電圧側（FET405a、405b、405c）と、FET406a、406b、406c、及び、第1可変電源408a等の演算部を含む低電圧側とを分離して配置することができる（演算部の低電圧化についてはLED照明装置400における説明を参照）。なお、LED照明装置420では、FET405a、405b、405cの閾値が低電圧でなければならないが、FET406a、406b、406cに低電圧素子を使用できるというメリットがある。

[0207] 図27は、更に他のLED照明装置440の回路ブロック図である。

[0208] LED照明装置440は、LED駆動回路441と、商用交流電源12とを有する。LED駆動回路441は、ブリッジ整流器11と、第1部分LED列403aと、第2部分LED列403bと、第3部分LED列403c

と、第1バイパス回路442aと、第2バイパス回路442bと、電流制限回路442cと、電流検出抵抗410(=R(Ω))と、第4可変電源451とを有する。前述したLED照明装置400と同様の構成には、同じ番号を付してその説明を省略する。

[0209] 図24に示したLED照明装置400と、図26に示したLED照明装置420との差異は、電流検出抵抗410による電圧 V_{sen} の所定倍(ゲイン g_d)の電圧を発生するように構成されている第4可変電源451を有している点である。更に、第4可変電源451で発生した電圧が電流制限回路442cの第3可変電源408c(ゲイン g_c)に入力され、第3可変電源408cで発生した電圧が第2バイパス回路442bの第2可変電源408b(ゲイン g_b)に入力され、第2可変電源408bで発生した電圧が第1バイパス回路442aの第1可変電源408a(ゲイン g_a)に入力されるように構成されている。

[0210] 上記の構成によって、電流制限回路442cのFET406cのゲートに印加される電圧 $V_c = g_c \times g_d \times V_{sen}$ となり、第2バイパス回路442bのFET406bのゲートに印加される電圧 $V_b = g_b \times g_c \times g_d \times V_{sen}$ となり、第1バイパス回路442aのFET406aのゲートに印加される電圧 $V_a = g_a \times g_b \times g_c \times g_d \times V_{sen}$ となる。即ち、第4可変電源451のゲイン g_d を調整するだけで、第1バイパス回路442a、第2バイパス回路442b、及び、電流制限回路442cのゲインを連動して調整することが可能となる。

[0211] 図24に示したLED照明装置400では、第1バイパス回路442a、第2バイパス回路442b、及び、電流制限回路442cのゲインを個別に調整することは可能であるが、連動させて調整させることはできなかった。これに対して、LED照明装置440では、LEDの種類による V_f のバラツキを調整する場合に、各回路を連動させて調整することが可能となった。

[0212] FET405aのドレイン電流(I_{da})は、FET406aの閾値 V_{tha} 、第1可変電源408aのゲイン g_a 、及び、電流検出抵抗410の抵

抗値 R (Ω) を用いて、 $I_{da} = V_{tha} / (g_a \times g_b \times g_c \times g_d \times R)$ と表すことができる。同様に、FET406b、406cが閾値 V_{thb} 、 V_{thc} であるとき、FET405bのドレイン電流 (I_{db}) = $V_{thb} / (g_b \times g_c \times g_d \times R)$ と表すことができ、FET405cのドレイン電流 (I_{dc}) = $V_{thc} / (g_c \times g_d \times R)$ と表すことができる。

[0213] 例えば、ゲイン $g_a = 2$ 、ゲイン $g_b = 3/2$ 、及び、ゲイン $g_c = 10$ 、ゲイン $g_d = 1$ 、 $V_{tha} = V_{thb} = V_{thc} = 1.5$ (V)、 $R = 1$ (Ω) とすると、 $I_{da} = 50$ (mA)、 $I_{db} = 100$ (mA)、 $I_{dc} = 150$ (mA) となる。しかしながら、第4可変電源451のゲイン g_d を調整するだけで、 I_{da} 、 I_{db} 及び I_{dc} を連動させて調整することが可能である。

[0214] 例えば、 g_d を1から1.1に変更すれば、 $I_{da} =$ 約45 (mA)、 $I_{db} =$ 約90 (mA)、 $I_{dc} =$ 約136 (mA) となる。 $g_d = 1.1$ におけるLED照明装置440の電流検出抵抗410を流れる電流 I_{sen} は、図25に示す点線に様に表すことができる。また、 g_d を1から0.9に変更すれば、 $I_{da} =$ 約55 (mA)、 $I_{db} =$ 約111 (mA)、 $I_{dc} =$ 約166 (mA) となる。 $g_d = 0.9$ におけるLED照明装置440の電流検出抵抗410を流れる電流 I_{sen} は、図25に示す一点鎖線の様に表すことができる。すなわち、LED照明装置440は、ゲイン g_d を調整することにより、調光も可能となる。

[0215] なお、図27に示すLED照明装置440において、LED照明装置420と同様に、グラウンドラインと接続されている低電圧側の基準電源431を設け、第1バイパス回路442aのFET406a、第2バイパス回路442bのFET406b、及び、電流制限回路442cのFET406cのそれぞれのドレインへ電圧 (例えば、5V) を供給するようにしても良い。

[0216] 図28は、更に他のLED照明装置500の回路ブロック図である。

[0217] LED照明装置500は、LED駆動回路501と、商用交流電源12とを有する。LED駆動回路501は、ブリッジ整流器11と、第1部分LE

D列503aと、第2部分LED列503bと、第3部分LED列503cと、第1バイパス回路502aと、第2バイパス回路502bと、電流制限回路502cと、電流検出抵抗510(=R(Ω))と、第4基準電源511とを有する。商用交流電源12及びブリッジ回路11は、前述したLED装置100と同様であるので、その説明を省略する。

[0218] 第1部分LED列503aと、第2部分LED列503bと、第3部分LED列503cとは、それぞれ、直列接続された複数のLEDを有する。第1バイパス回路502aと、第2バイパス回路502bと、電流制限回路502cと、電流検出抵抗410とは、LED列に流れる電流を制御するLED電流制御回路として機能する。

[0219] 第1バイパス回路502aは、エンハンス型FETであるFET504a、抵抗505aと、オペアンプ506aと、第1基準電源507aとを有する。また、第2バイパス回路502bは、エンハンス型FETであるFET504b、抵抗505bと、オペアンプ506bと、第2基準電源507bとを有する。さらに、電流制限回路502cは、エンハンス型FETであるFET504c、抵抗505cと、オペアンプ506cと、第3基準電源507cとを有する。第1基準電源507a、第2基準電源507b、第3基準電源507c、及び第4基準電源511は、前述したLED装置100に含まれるバイパス回路基準電源171と同様に構成することができるので、その具体的な構成の説明を省略する。

[0220] オペアンプ506aの正電源端子には、第4基準電源511からVcc(例えば、5V)が供給され、負電源端子は、グラウンドラインと接続されている。後述するように図25の期間t2において電流検出抵抗に流れる電流I_{sen}がFET504aだけに流れているとき、オペアンプ506aは、FET504a及び電流検出抵抗510とともに負帰還回路を構成する。このとき、オペアンプ506aの非反転入力端子(+)と反転入力端子(-)はイマジナリショートをしているので、電流検出抵抗510による電圧V_{sen}と第1基準電源507aの出力電圧V_aとが同電位となるよう動作する。

すなわち、FET 504 aのドレイン電流が大きくなり、電流検出抵抗 510 による電圧 V_{sen} が第1基準電源 507 aの出力電圧 V_a より大きくなると、オペアンプ 506 aの出力端子電圧が低くなり、FET 504 aのゲート電圧が低くなって、FET 504 aのドレイン電流を減少させる。反対にFET 504 aのドレイン電流が小さく、電流検出抵抗 510 による電圧 V_{sen} が第1基準電源 507 aの出力電圧 V_a より減少すると、オペアンプ 506 aの出力端子電圧が高くなり、FET 504 aのゲート電圧は高くなって、FET 504 aを流れるドレイン電流を増加させる。即ち、FET 504 aは、期間 t_2 では第1バイパス回路 502 aを流れる電流が定電流 ($= I_{da}$) となるように動作している。

[0221] また、図25の期間 t_3 のように電流 I_{sen} が第2バイパス回路 502 bにも流れるようになると、オペアンプ 506 aは負帰還回路構成できなくなりコンパレータとして動作するようになる。このとき、電流検出抵抗 510 による電圧 V_{sen} が十分に大きくなれば、オペアンプ 506 aの出力電圧がグラウンドレベル近傍になるため、FET 504 aを流れる電流がカットオフ（制限）されて、第1バイパス回路 502 aを流れる電流がゼロとなる。

[0222] 同様に、第2バイパス回路 402 bのオペアンプ 506 bは、図25の期間 t_3 においてFET 504 b、第2基準電源 507 b及び電流検出抵抗 510 とともに負帰還回路を構成し、図25の期間 t_4 等ではコンパレータとして動作する。すなわち、第1バイパス回路 501 aと同様に、期間 t_3 ではオペアンプ 506 bは第2バイパス回路 502 bを流れる電流が定電流 ($= I_{db}$) となるように動作し、期間 t_4 ではFET 504 をカットオフする。なお、期間 t_3 においてオペアンプ 506 b等が負帰還回路を構成するのは、FET 504 aがカットオフしてからである。

[0223] また、電流制限回路 502 cのオペアンプ 506 cは、図25の期間 t_4 においてFET 504 c、第3基準電圧源 507 c及び電流検出抵抗 510 とともに負帰還回路を構成する。この結果、オペアンプ 506 cは期間 t_4

において電流制限回路502cを流れる電流が定電流(=I_{db})となるように動作する。なお、オペアンプ506cは、図25の期間t₁~t₃ではコンパレータとして動作し、ハイレベル(第4基準電源511の+側の電圧V_{cc}に近傍する電圧)を出力し、FET504cを導通状態にしているが、第3部分LED列503cに電流が流れていないので他のオペアンプ506a、506b等に影響を与えない。

[0224] 図25の期間t₂におけるFET504aのドレイン電流(I_{da})は、前述のようにオペアンプ506aの非反転入力端子(+)と反転入力端子(-)がイマジナリショートしているので、第1基準電源507aの出力電圧V_a(V)が電流検出抵抗510の上端の電圧V_{sen}(V)となることから、電流検出抵抗510の抵抗値R(Ω)を用いて、 $I_{da} = V_a / R$ と表すことができる。同様に、図25の期間t₃におけるFET504bのドレイン電流(I_{db})は、オペアンプ506bの非反転入力端子(+)と反転入力端子(-)がイマジナリショートし、第2基準電源507bの出力電圧V_b(V)と電流検出抵抗510の上端の電圧V_{sen}とが等しくなることから、電流検出抵抗501の抵抗値R(Ω)を用いて、 $I_{db} = V_b / R$ と表すことができる。同様に、図25の期間t₄におけるFET504cのドレイン電流(I_{dc})は、オペアンプ506cの非反転入力端子(+)と反転入力端子(-)がイマジナリショートし、第3基準電源507cの出力電圧V_c(V)と電流検出抵抗510の上端の電圧V_{sen}(V)が等しくなることから、電流検出抵抗510の抵抗値R(Ω)を用いて、 $I_{dc} = V_c / R$ と表すことができる。

[0225] 例えば、V_a=0.5(V)、V_b=1(V)、及び、V_c=3(V)、R=10(Ω)とすると、I_{da}=50(mA)、I_{db}=100(mA)、I_{dc}=150(mA)となる。

[0226] このように、LED照明装置500では、第1基準電源507aの出力電圧V_a、第2基準電源507bの出力電圧V_b、及び第3基準電源507cの出力電圧V_cを予め所定の値に設定することにより、容易に、各段のバイ

パス回路及び電流制限回路を流れる定電流値を設定することができる。

[0227] LED照明装置500において、 $I_{da} = 50$ (mA)、 $I_{db} = 100$ (mA)、及び $I_{dc} = 150$ (mA)となるように設定した場合には、LED照明装置500の電流検出抵抗510を流れる電流 I_{sen} は、図25に示す実線と同様になる。したがって、以下、図25に示す実線を利用して、LED照明装置500の電流検出抵抗510を流れる電流 I_{sen} について説明する。

[0228] 図25に示す期間 t_1 では、第1部分LED列503a、第2部分LED列503b、及び、第3部分LED列503cの全てに電流が流れない。

[0229] 図25に示す期間 t_2 では、第1部分LED列503a及び第1バイパス回路502aを介して電流検出抵抗510に電流 I_{sen} が流れる。ブリッジ整流器11の出力電圧が、第1部分LED列503aに含まれる全てのLEDの順方向電圧 V_f の和を越えたことにより、第1部分LED列503aに電流が流れる。この期間において、上述した例では、FET504aが $I_{da} = 50$ mAの定電流回路として動作しているので、電流 I_{sen} は約50 mAとなる。なお、期間 t_2 では、第2部分LED列503b及び第3部分LED列503cには電流が流れず、また、第2バイパス回路502b及び電流制限回路502cを介しても、電流検出抵抗510へ電流は流れない。

[0230] 図25に示す期間 t_3 では、第1部分LED列503a、第2部分LED列503b、及び第2バイパス回路502bを介して電流検出抵抗510に電流 I_{sen} が流れる。ブリッジ整流器11の出力電圧が、第1部分LED列503a及び第2部分LED列503bに含まれる全てのLEDの順方向電圧 V_f の和を越えたことにより、第1部分LED列503a及び第2部分LED列503bに電流が流れる。この期間において、上述した例では、FET504bが $I_{db} = 100$ mAの定電流回路として動作しているので、電流 I_{sen} は約100 mAとなる。なお、期間 t_3 では、電流 I_{sen} が増加することによって、第1バイパス回路502aのFET504aがカッ

トオフ（バイパス電流を制限）しているので、第1バイパス回路502aを介して電流は流れない。また、期間t3では、第3部分LED列503cには電流が流れず、更に、電流制限回路502cを介しては、電流検出抵抗510へ電流は流れない。

[0231] 図25に示す期間t4で、第1部分LED列503a、第2部分LED列503b、第3部分LED列503c、及び、電流制限回路502cを介して電流検出抵抗510に電流 I_{sen} が流れる。ブリッジ整流器11の出力電圧が、第1部分LED列503a、第2部分LED列503b、及び、第3部分LED列503cに含まれる全てのLEDの順方向電圧 V_f の和を越えたことにより、第1部分LED列503a、第2部分LED列503b、及び、第3部分LED列503cに電流が流れる。この期間において、上述した例では、FET504cが $I_{dc} = 150\text{mA}$ の定電流回路として動作しているので、電流 I_{sen} は約150mAとなる。なお、期間t4では、電流 I_{sen} が増加することによって、第1バイパス回路502aのFET504a及び第2バイパス回路502bのFET504bがカットオフ（バイパス電流を制限）しているので、第1バイパス回路502a及び第2バイパス回路502bを介して、電流検出抵抗510へ電流は流れない。

[0232] 上述した様に、LED照明装置500では、単一の電流検出抵抗510により検出された電流に基づいて、第1バイパス回路502a、第2バイパス回路502b及び電流制限回路502cが制御される構成となっている。したがって、LED照明装置500では、電流検出抵抗で消費される電力を最小限にすることができる。

[0233] 上述した様に、LED照明装置500では、例えば、電流検出抵抗510によって検出された電流情報及び予め定められた第1係数（第3基準電源507cの出力電圧 V_c ）に基づいて、第3部分LED列503cを流れる電流が制御されている。同様に、LED照明装置500では、例えば、電流検出抵抗510によって検出された電流情報及び第1係数とは異なった第2係数（第2基準電源507bの出力電圧 V_b ）に基づいて、第2部分LED列

503bを流れていた電流が、第2バイパス回路505bを介さずに第3部分LED列503cへ向けて流れるように制御されている。

[0234] 図29は、更に他のLED照明装置520の回路ブロック図である。

[0235] LED照明装置520は、LED駆動回路521と、商用交流電源12とを有する。LED駆動回路521は、ブリッジ整流器11と、第1部分LED列503aと、第2部分LED列503bと、第3部分LED列503cと、第1バイパス回路522aと、第2バイパス回路522bと、電流制限回路522cと、電流検出抵抗510(=R(Ω))と、第4基準電源511と、第4可変電源531とを有する。前述したLED照明装置500と同様の構成には、同じ番号を付してその説明を省略する。

[0236] 図28に示したLED照明装置500と、図29に示したLED照明装置520との差異は、第1可変電源527a、第2可変電源527b、第3可変電源527c、及び、第4可変電源531を有している点である。更に、第4可変電源531の出力電圧Vdが電流制限回路522cの第3可変電源527c(ゲインgc)に入力され、第3可変電源527cの出力電圧Vcが第2バイパス回路522bの第2可変電源527b(ゲインgb)に入力され、第2可変電源527bの出力電圧Vbが第1バイパス回路522aの第1可変電源527a(ゲインga)に入力されるように構成されている。

[0237] 上記の構成によって、電流制限回路522cのオペアンプ506cの非反転入力端子(+)に入力される電圧Vcが、 $V_c = g_c \times V_d$ となる。第2バイパス回路522bのオペアンプ506bの非反転入力端子(+)に入力される電圧Vbが、 $V_b = g_b \times g_c \times V_d$ となる。第1バイパス回路522aのオペアンプ506aの非反転入力端子(+)に入力される電圧Vaが、 $V_a = g_a \times g_b \times g_c \times V_d$ となる。即ち、第4可変電源531の出力電圧Vdを調整するだけで、第1バイパス回路522a、第2バイパス回路522b、及び、電流制限回路522cを連動して調整することが可能となる。

[0238] 図28に示したLED照明装置500では、第1バイパス回路522a、

第2バイパス回路522b、及び、電流制限回路522cを個別に調整することは可能であるが、連動させて調整させることはできなかった。これに対して、LED照明装置520では、LEDの種類による V_f のバラツキを調整する場合に、各回路を連動させて調整することが可能となった。

[0239] LED照明装置500で説明したように、LED照明装置520でも図25の期間 t_2 では、FET504aのドレイン電流(I_{da})は、オペアンプ506aの非反転入力端子(+)に入力される電圧 $V_a (=g_a \times g_b \times g_c \times V_d)$ 及び電流検出抵抗510の抵抗値 $R (\Omega)$ を用いて、 $I_{da} = g_a \times g_b \times g_c \times V_d / R$ と表すことができる。同様に、図25の期間 t_3 におけるFET504bのドレイン電流(I_{db})は、 $I_{db} = g_b \times g_c \times V_d / R$ と表すことができ、図25の期間 t_4 におけるFET504cのドレイン電流(I_{dc})は、 $I_{dc} = g_c \times V_d / R$ と表すことができる。

[0240] 例えば、ゲイン $g_a = 1/2$ 、ゲイン $g_b = 2/3$ 、及び、ゲイン $g_c = 1$ 、 $V_d = 1.5 (V)$ 、 $R = 10 (\Omega)$ とすると、 $I_{da} = 50 (mA)$ 、 $I_{db} = 100 (mA)$ 、 $I_{dc} = 150 (mA)$ となる。しかしながら、第4可変電源531の出力電圧 V_d を調整するだけで、 I_{da} 、 I_{db} 及び I_{dc} を連動させて調整することが可能である。すなわち、出力電圧 V_d の調節で調光も可能になる。

[0241] 例えば、 V_d を $1.5 (V)$ から $1.35 (V)$ に変更すれば、 $I_{da} = 45 (mA)$ 、 $I_{db} = 90 (mA)$ 、 $I_{dc} = 135 (mA)$ となる。 $V_d = 1.35 (V)$ におけるLED照明装置520の電流検出抵抗510を流れる電流 I_{sen} は、図25に示す点線とほぼ同様に表すことができる。また、 V_d を $1.5 (V)$ から $1.65 (V)$ に変更すれば、 $I_{da} = 55 (mA)$ 、 $I_{db} = 110 (mA)$ 、 $I_{dc} = 165 (mA)$ となる。 $V_d = 1.65 (V)$ におけるLED照明装置520の電流検出抵抗510を流れる電流 I_{sen} は、図25に示す一点鎖線とほぼ同様に表すことができる。

符号の説明

[0242] 10、20、111、211、401、421、441、501、521

LED駆動回路

11、21 ブリッジ整流器

12、22 商用交流電源

13、13a、13b、14、23、23a、23b、24、403a、
403b、403c、503a、503b、503c LED列

15、15a、15b、16、25、25a、25b、26、405a、
405b、405c、504a、504b、504c FET

100、110、200、210、300、310、320、330、3
40、400、420、440、500、520 LED照明装置

101、101a、101b、201、201a、201b、402a、
402b、422a、422b、442a、442b、502a、502b
、522a、522b バイパス回路

102、202、402c、422c、502c、522c 電流制限
回路

103、203、410、510 電流検出抵抗

170、170a、170b、270、270a、270b バイパス
回路電流制御部

180、280 電流制限回路電流制御部

506a、506b、506c オペアンプ

請求の範囲

[請求項1]

直列接続された複数のＬＥＤを含む第１部分ＬＥＤ列、及び、直列接続された複数のＬＥＤを含み前記第１部分ＬＥＤ列と直列接続された第２部分ＬＥＤ列を含むＬＥＤ列に脈流電圧が印加されたときに、前記ＬＥＤ列に流れる電流を制御する電流制御回路であって、

前記第２部分ＬＥＤ列の最終段のＬＥＤのカソードに接続された電流制限回路入力端子及び電流制限回路出力端子を含み、前記電流制限回路入力端子及び前記電流制限回路出力端子間を流れるＬＥＤ電流を制限する電流制限回路と、

前記第１部分ＬＥＤ列と前記第２部分ＬＥＤ列との間に接続されたバイパス回路入力端子及び前記電流制限回路出力端子と接続されたバイパス回路出力端子を含み、前記バイパス回路入力端子及び前記バイパス回路出力端子間を流れるバイパス電流を制限するバイパス回路と、

前記電流制限回路出力端子及び前記バイパス回路出力端子と接続された電流検出素子と、を有し、

前記電流制限回路は、前記電流検出素子によって検出された電流情報及び予め定められた第１係数に基づいて前記ＬＥＤ電流を制限し、

前記バイパス回路は、前記脈流電圧の状態に応じて、前記電流検出素子によって検出された前記電流情報及び予め定められた第２係数に基づいて前記バイパス電流を制限して、前記第１部分ＬＥＤ列から前記バイパス回路を介して前記電流検出素子に流れていた電流を、前記バイパス回路を介さずに前記第２部分ＬＥＤ列へ向けて流れるように制御する、

ことを特徴とするＬＥＤ電流制御回路。

[請求項2]

前記電流制限回路は、前記ＬＥＤ電流の大きさを制限する第１電流制限素子と、前記電流情報及び前記第１係数を使用して前記第１電流制限素子を制御する第１電流制御部と、を有し、

前記バイパス回路は、前記バイパス電流を制限する第2電流制限素子と、前記電流情報及び前記第2係数を使用して前記第2電流制限素子を制御する第2電流制御部と、を有する、請求項1に記載のLED電流制御回路。

[請求項3] 前記第1電流制限素子及び第2電流制限素子はそれぞれ、FETであり、

前記第1電流制御部は、第1基準電源と、前記電流情報と前記第1係数とを使用して電圧が決定される第1可変電源とを有し、

前記第2電流制御部は、第2基準電源と、前記電流情報と前記第2係数とを使用して電圧が決定される第2可変電源とを有し、

前記第1電流制限素子のゲートソース間電圧は、第1基準電源の電圧から第1可変電源の電圧を減算したものであり、前記第2電流制限素子のゲートソース間電圧は、第2基準電源の電圧から第2可変電源の電圧を減算したものである、請求項2に記載のLED電流制御回路。

[請求項4] 前記第1係数及び前記第2係数、並びに前記第1基準電源及び前記第2基準電源の電圧はそれぞれ、可変である、請求項3に記載のLED電流制御回路。

[請求項5] 前記第1電流制限素子及び第2電流制限素子はそれぞれ、FETであり、

前記第1電流制御部は、第1電流制御素子の制御用FETと、前記電流情報と前記第1係数とを使用して電圧が決定される第1可変電源とを有し、

前記第2電流制御部は、第2電流制御素子の制御用FETと、前記電流情報と前記第2係数とを使用して電圧が決定される第2可変電源とを有し、

前記第1電流制御素子の制御用FETのゲートソース間電圧は、前記第1可変電源の電圧に基づいて決定され、前記第2電流制御素子の

制御用 F E T のゲートソース間電圧は、前記第 2 可変電源の電圧に基づいて決定される、請求項 2 に記載の L E D 電流制御回路。

[請求項6] 前記第 1 係数及び前記第 2 係数は可変である、請求項 5 に記載の L E D 電流制御回路。

[請求項7] 第 3 基準電源を更に有し、
前記第 1 電流制御素子の制御用 F E T 及び前記第 2 電流制御素子の制御用 F E T は、前記第 3 基準電源からの電圧に基づいて動作する、請求項 5 又は 6 に記載の L E D 電流制御回路。

[請求項8] 第 4 基準電源を更に有し、
前記第 1 可変電源及び前記第 2 可変電源の電圧は、前記第 4 基準電源の電圧にそれぞれ連動して可変される、請求項 5 ～ 7 の何れか一項に記載の L E D 電流制御回路。

[請求項9] 前記第 1 電流制限素子及び第 2 電流制限素子はそれぞれ、F E T であり、

前記第 1 電流制御部は、第 1 電流制御素子の制御用オペアンプを有し、

前記第 2 電流制御部は、第 2 電流制御素子の制御用オペアンプを有し、

前記第 1 電流制御素子の制御用オペアンプの差動入力端子には前記電流情報に対応した電圧及び第 1 基準電源の電圧が入力され、前記第 2 電流制御素子の制御用オペアンプの差動入力端子には前記電流情報に対応した電圧及び第 2 基準電源の電圧が入力され、

前記第 1 電流制限素子のゲートソース間電圧は、前記第 1 電流制御素子の制御用オペアンプの出力に基づいて決定され、前記第 2 電流制限素子のゲートソース間電圧は、前記第 2 電流制御素子の制御用オペアンプの出力に基づいて決定される、請求項 2 に記載の L E D 電流制御回路。

[請求項10] 前記第 1 係数及び前記第 2 係数、並びに前記第 1 基準電源及び前記

第2基準電源の電圧はそれぞれ、可変である、請求項9に記載のLED電流制御回路。

[請求項11] 前記第1電流制限素子及び第2電流制限素子はそれぞれ、FETであり、

前記第1電流制御部は、第1電流制御素子の制御用オペアンプを有し、

前記第2電流制御部は、第2電流制御素子の制御用オペアンプを有し、

前記第1電流制御素子の制御用オペアンプの差動入力端子には前記電流情報に対応した電圧及び第1可変電源の電圧が入力され、前記第2電流制御素子の制御用オペアンプの差動入力端子には前記電流情報に対応した電圧及び第2可変電源の電圧が入力され、

前記第1電流制限素子のゲートソース間電圧は、前記第1電流制御素子の制御用オペアンプの出力に基づいて決定され、前記第2電流制限素子のゲートソース間電圧は、前記第2電流制御素子の制御用オペアンプの出力に基づいて決定される、請求項2に記載のLED電流制御回路。

[請求項12] 第4基準電源を更に有し、

前記第1可変電源及び前記第2可変電源の電圧は、前記第4基準電源の電圧にそれぞれ連動して可変される、請求項11に記載のLED電流制御回路。

[請求項13] 第3基準電源を更に有し、

前記第1電流制御素子の制御用オペアンプ及び前記第2電流制御素子の制御用オペアンプは、前記第3基準電源からの電圧に基づいて動作する、請求項9～12の何れか一項に記載のLED電流制御回路。

[請求項14] 前記LED列は、直列接続された複数のLEDを含み前記第1部分LED列と前記第2部分LED列との間に直列接続された第3部分LED列を更に有し、前記バイパス回路入力端子は、前記第1部分LED

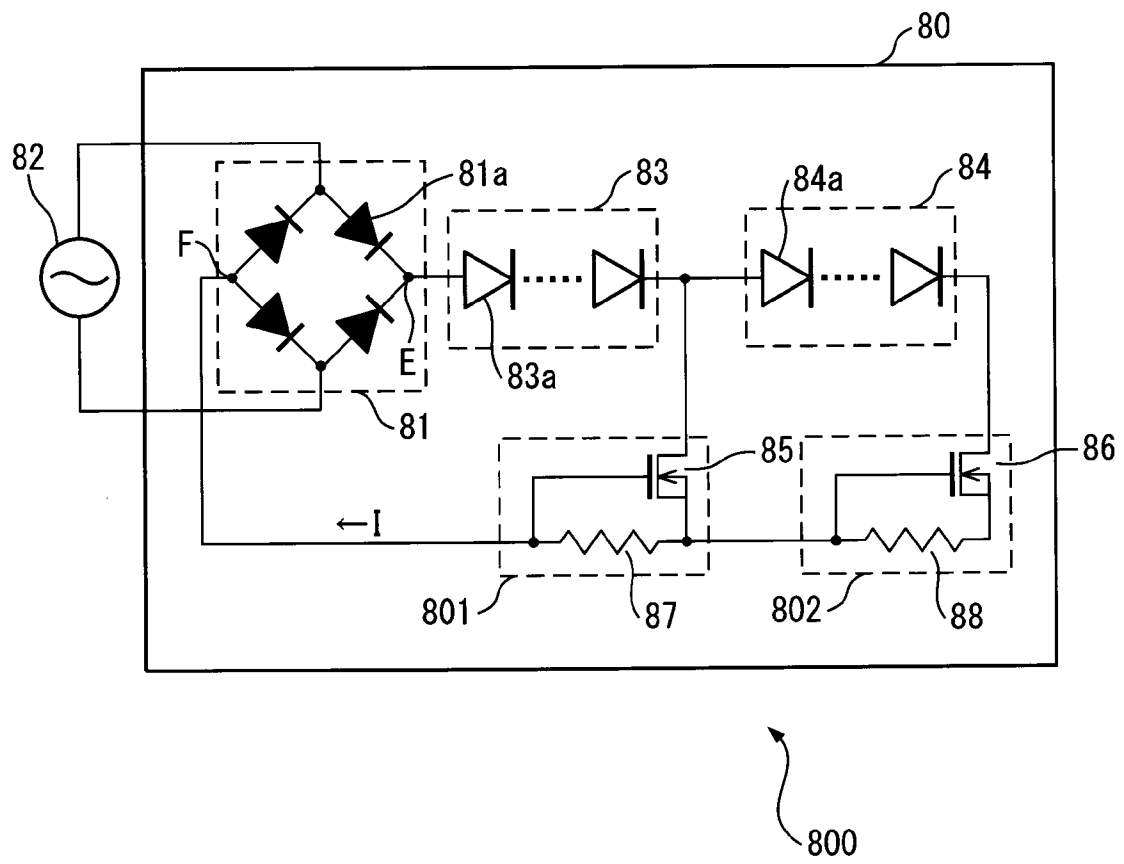
D列と前記第3部分LED列との間に接続され、

前記第2部分LED列と前記第3部分LED列との間に接続された第2バイパス回路入力端子と、前記電流制限回路出力端子に接続された第2バイパス回路出力端子とを有し、前記第2バイパス回路端子入力端子及び前記第2バイパス回路端子出力端子間に流れる第2バイパス電流を制限する第2バイパス回路を更に有し、

前記第2バイパス回路は、前記脈流電圧の状態に応じて、前記電流検出素子によって検出された前記電流情報と、予め定められた第3係数に基づいて前記第2バイパス電流を制限して、前記第3部分LED列から前記第2バイパス回路を介して前記電流検出素子に流れていた電流を、前記第2バイパス回路を介さずに前記第2部分LED列へ向けて流れるように制御する、請求項1～13の何れか一項に記載のLED電流制御回路。

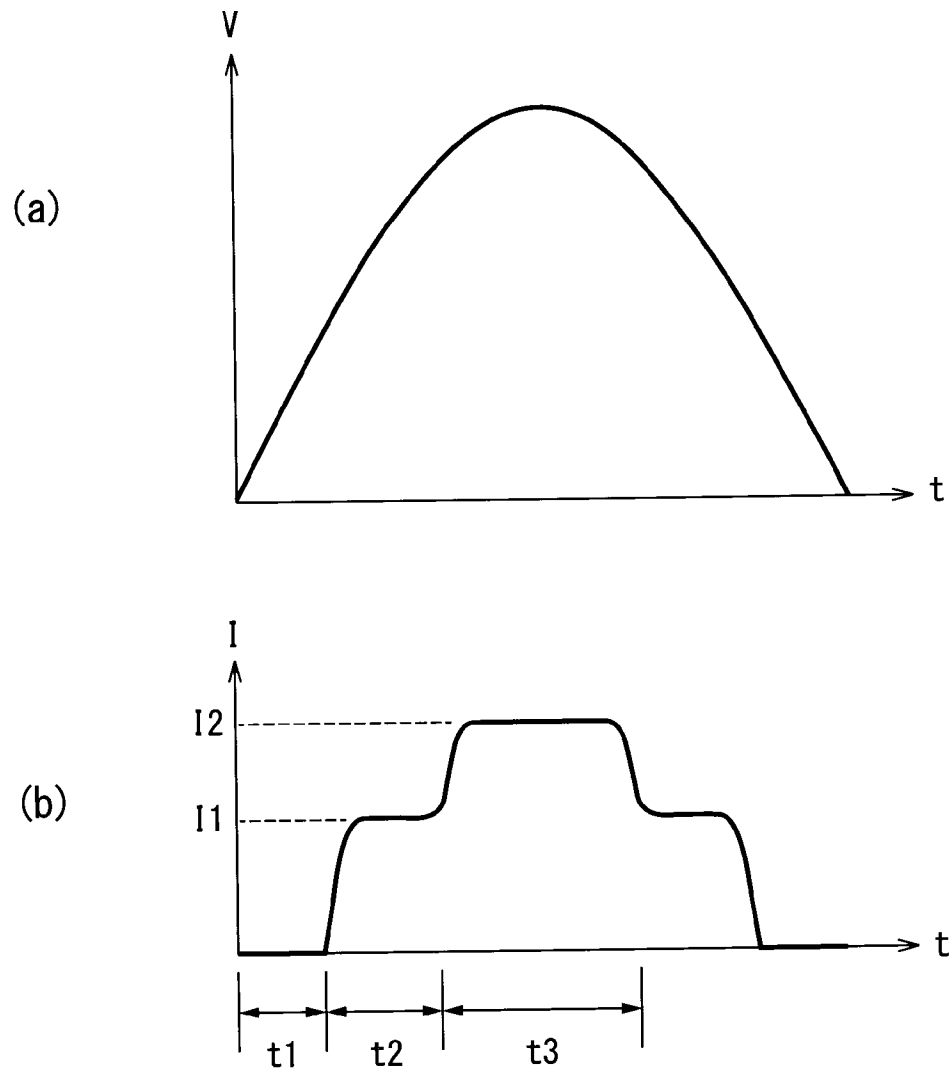
[図1]

図1



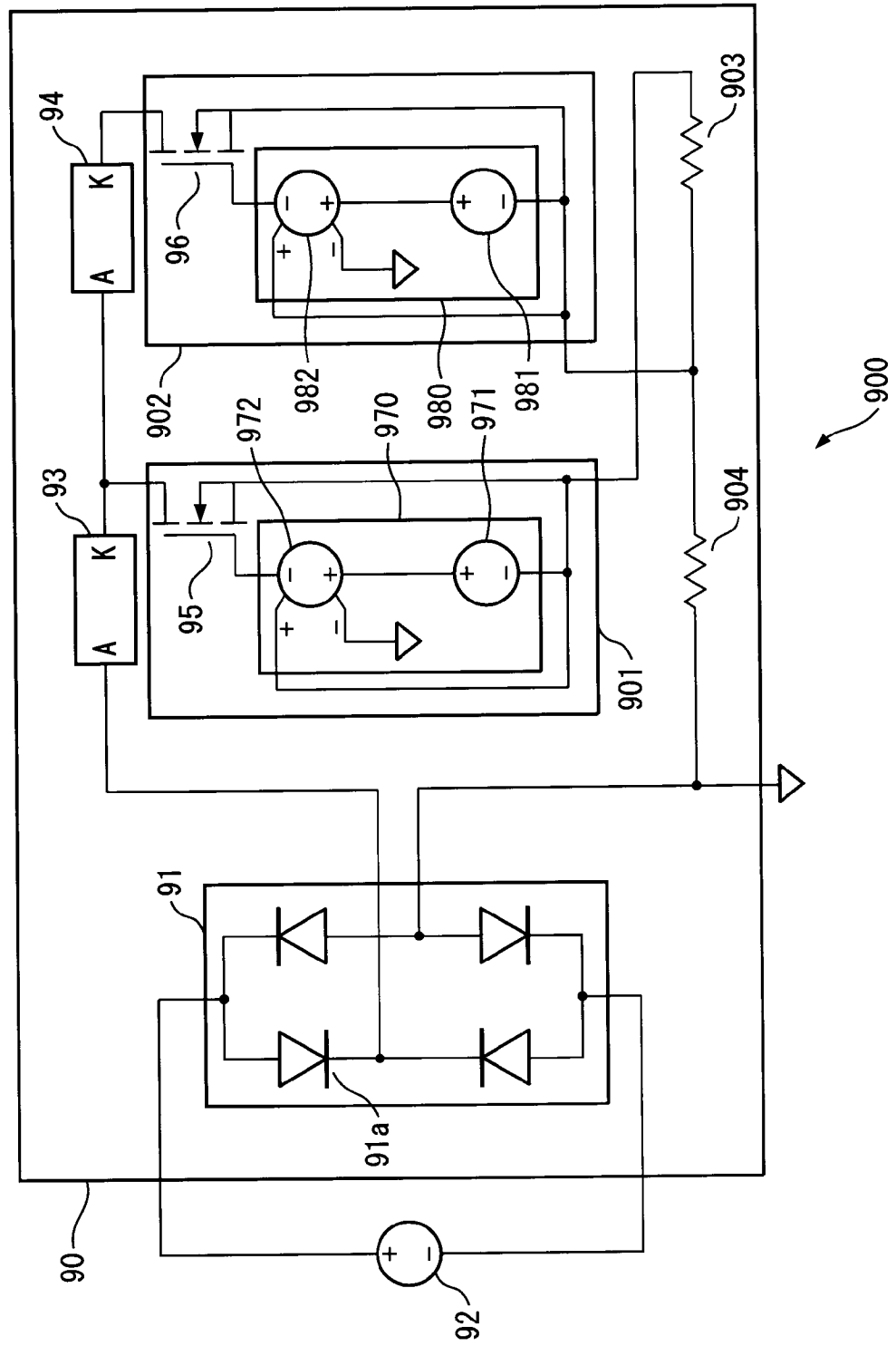
[図2]

図2

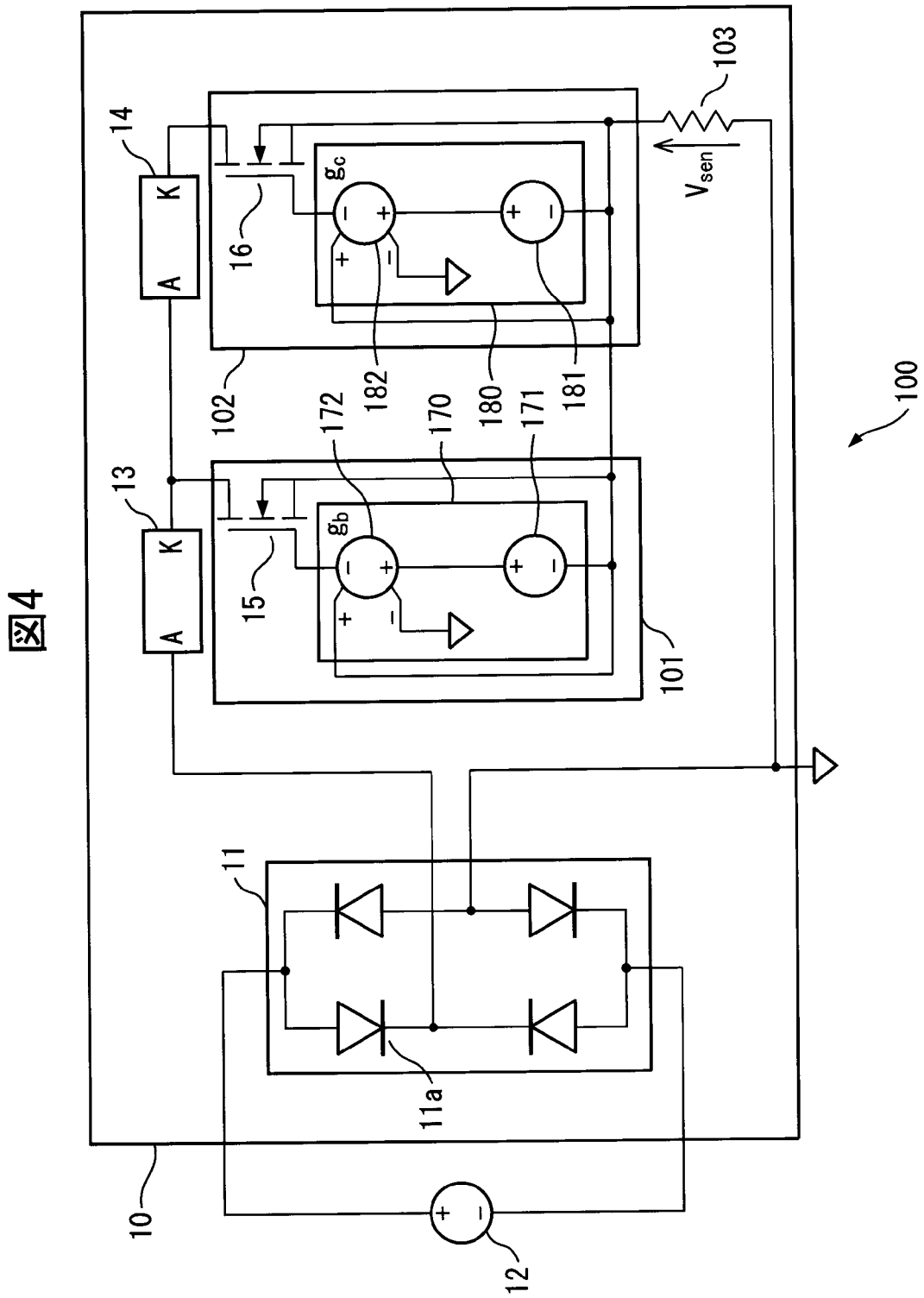


[図3]

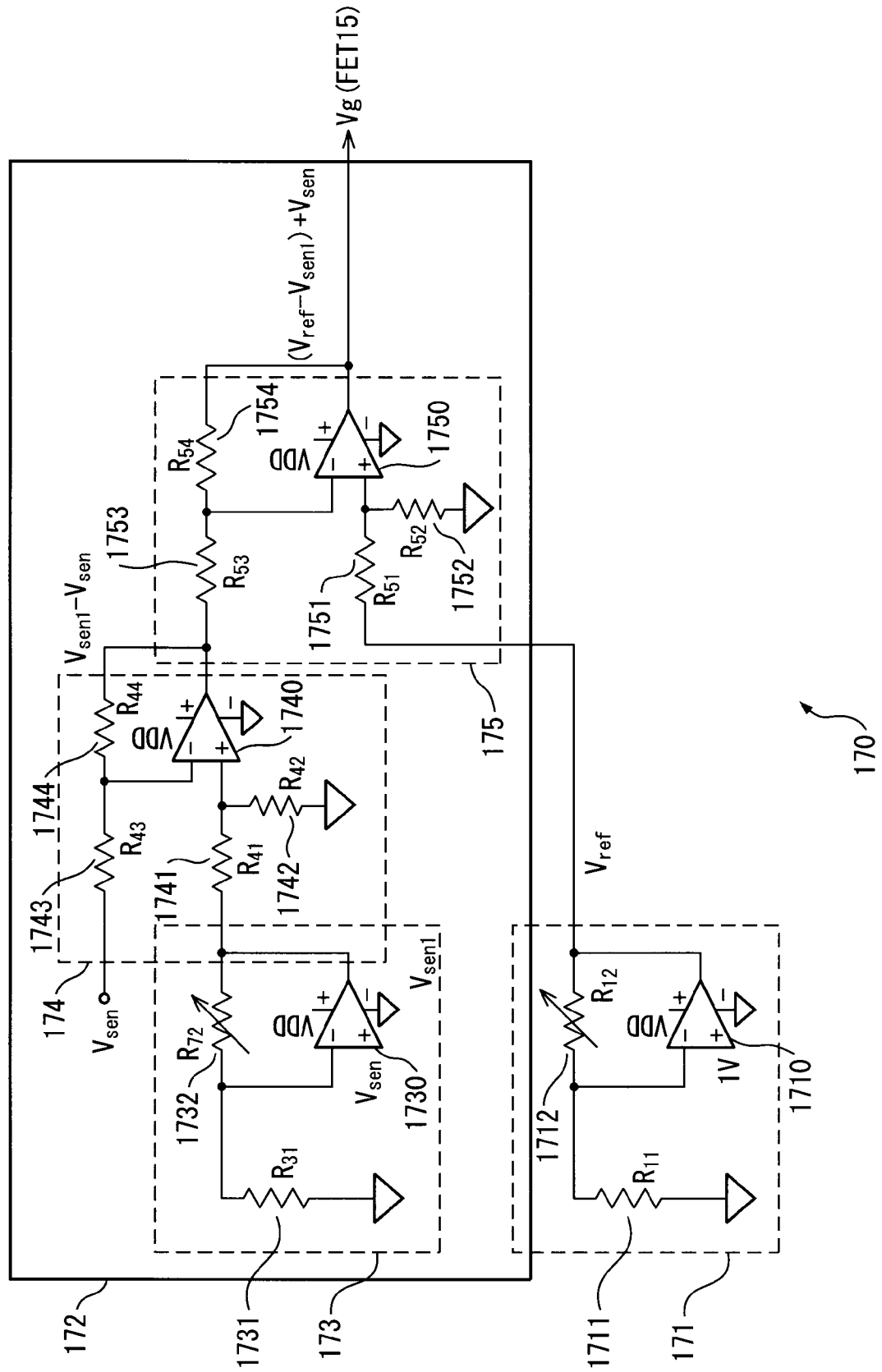
図3



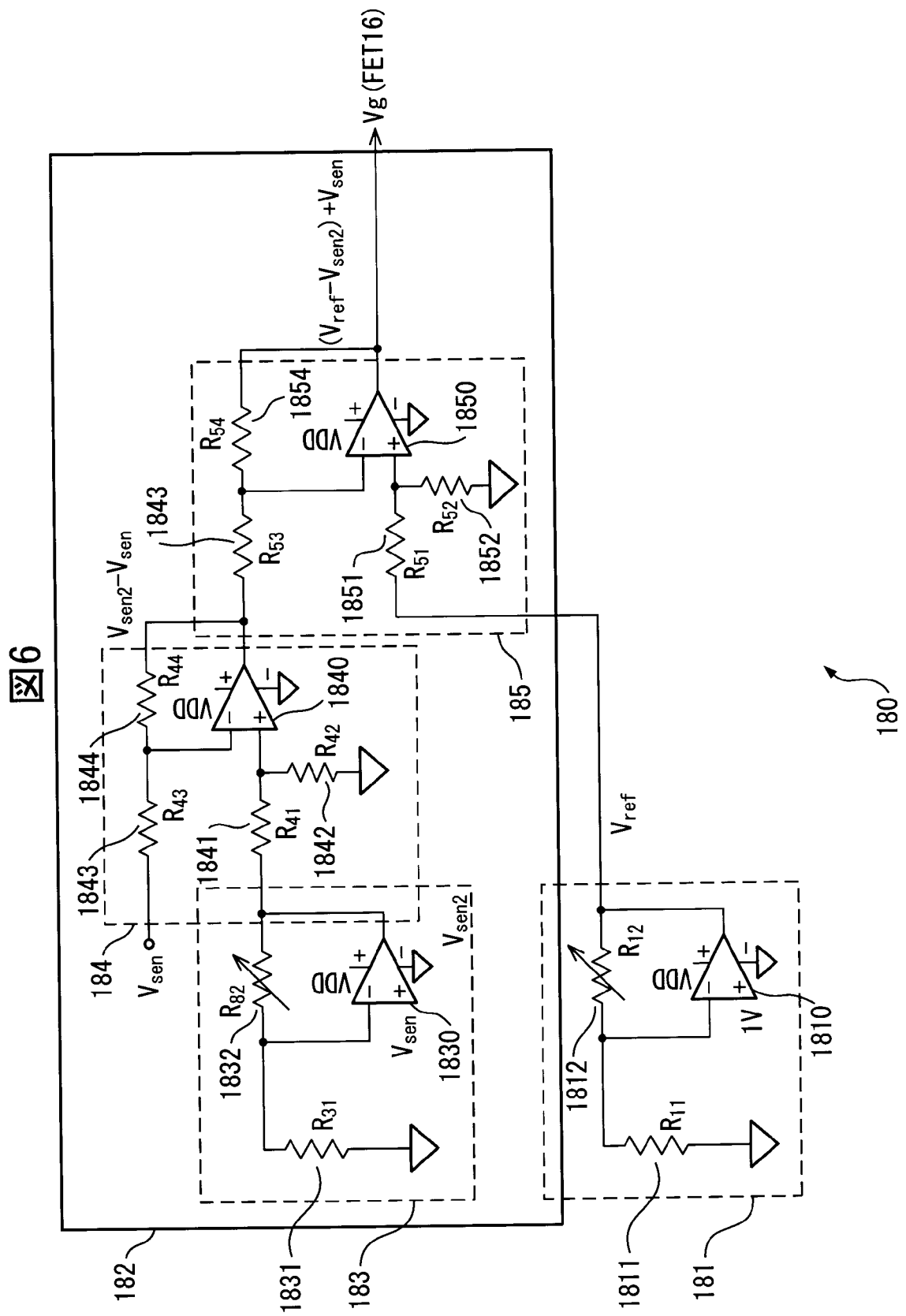
[図4]



[図5]

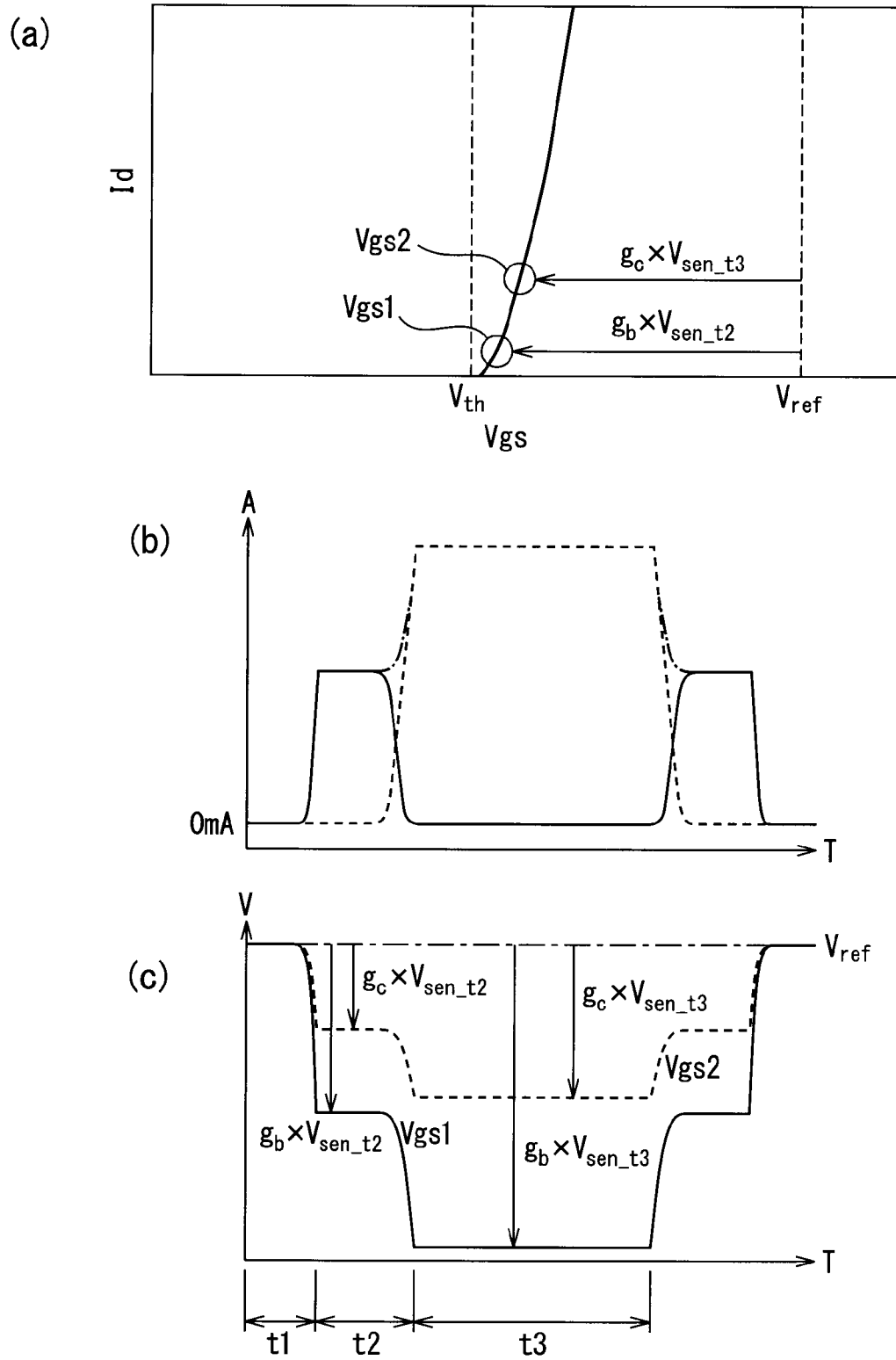


[図6]



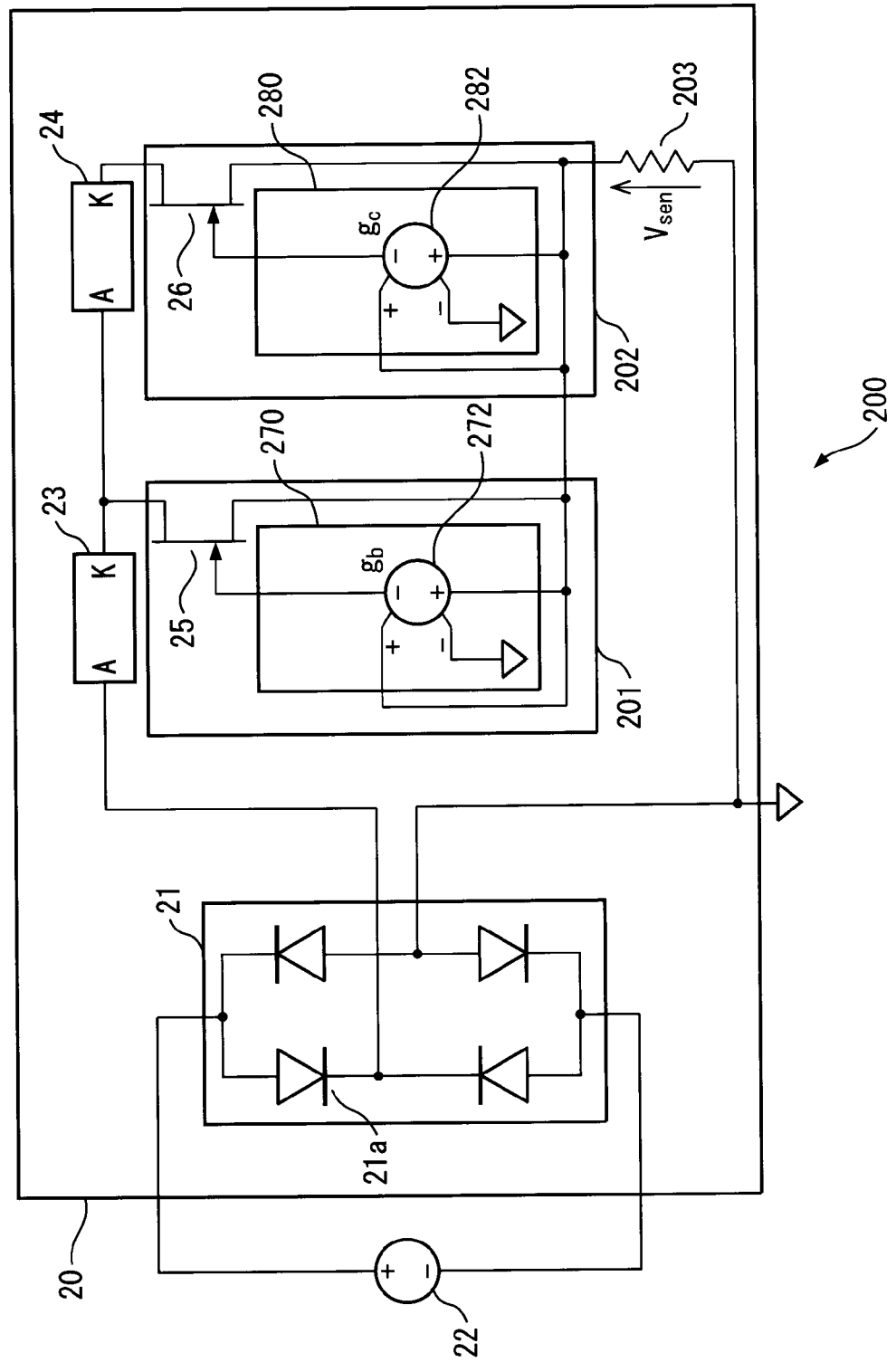
[図7]

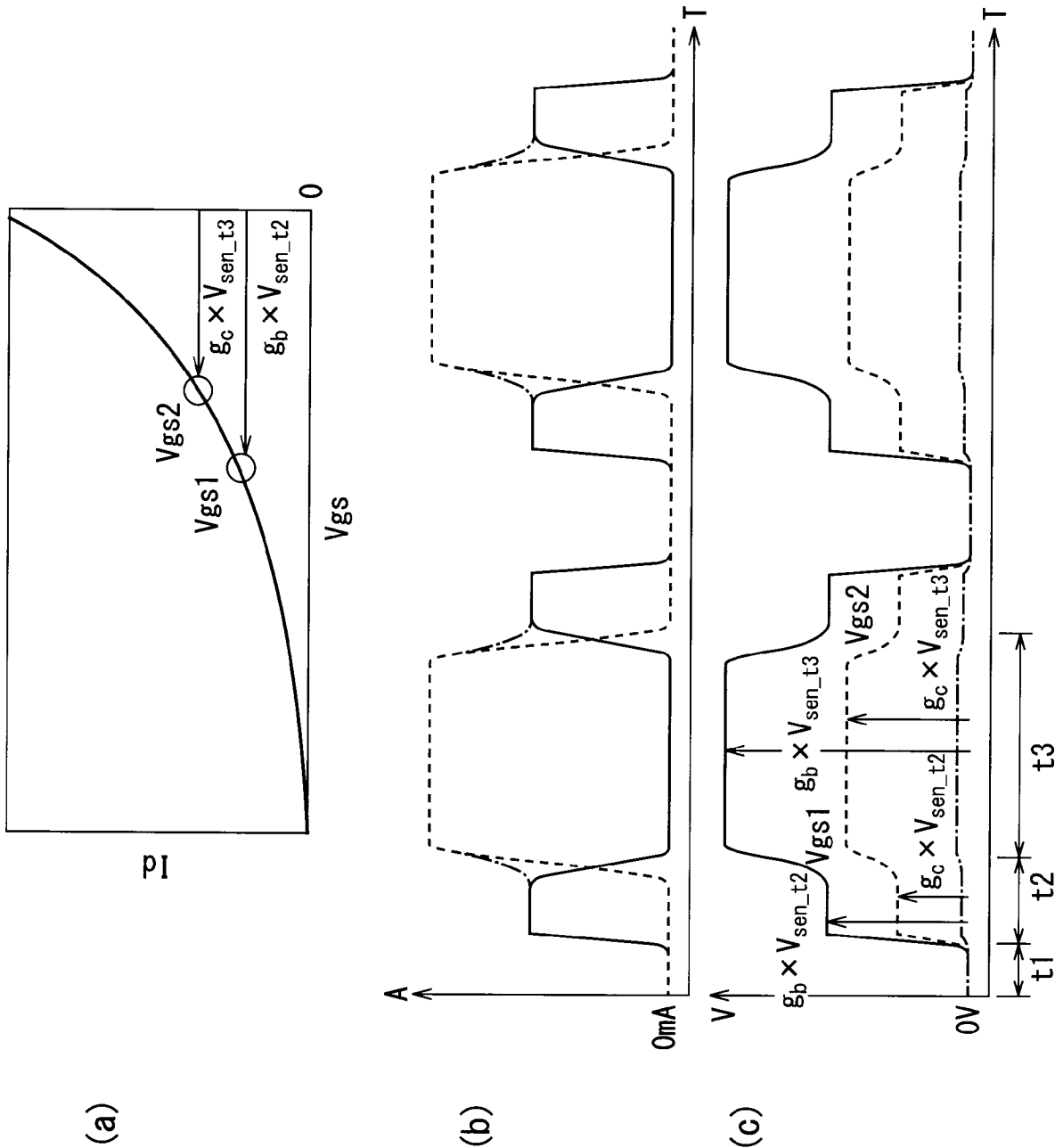
図7



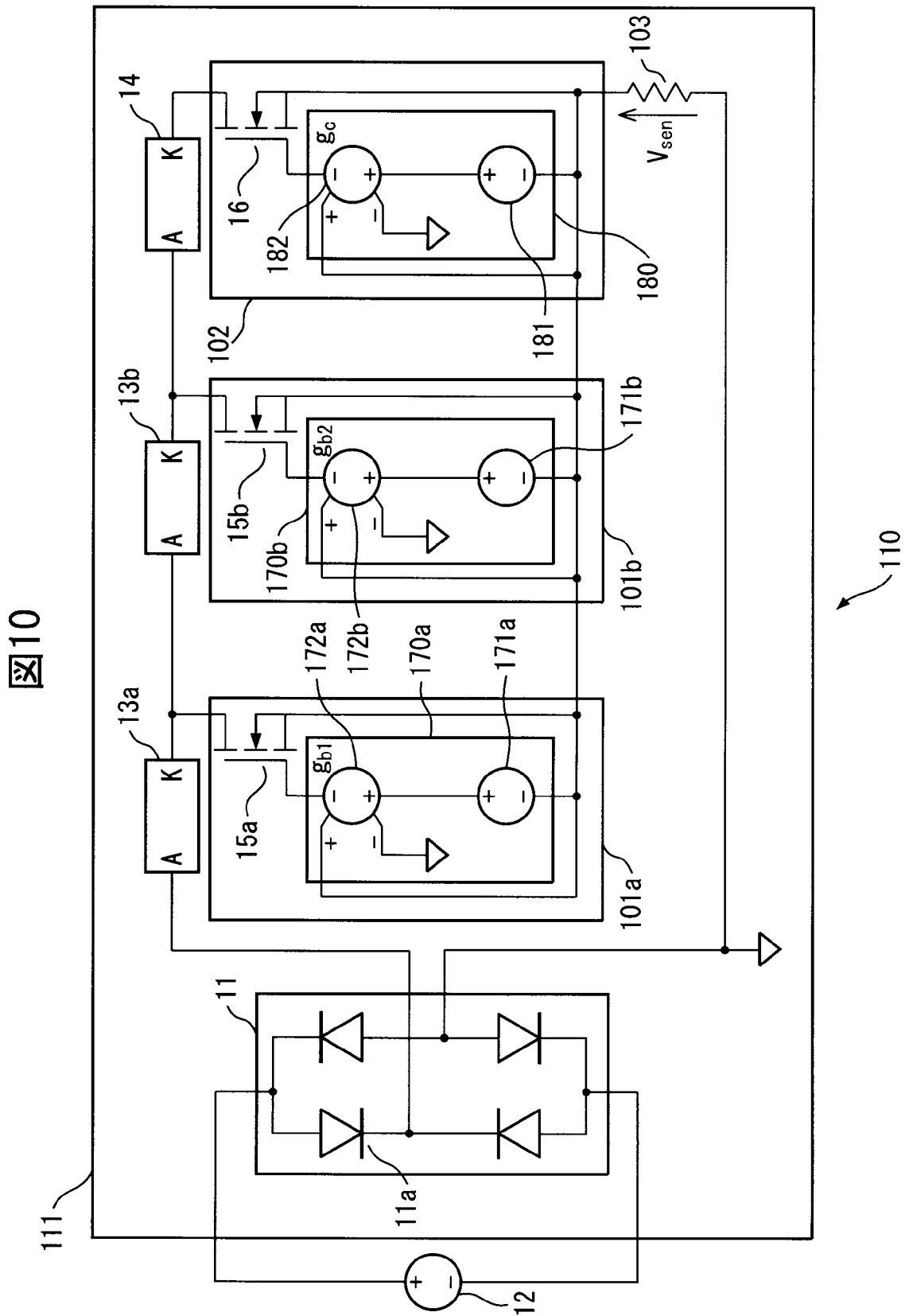
[図8]

図8





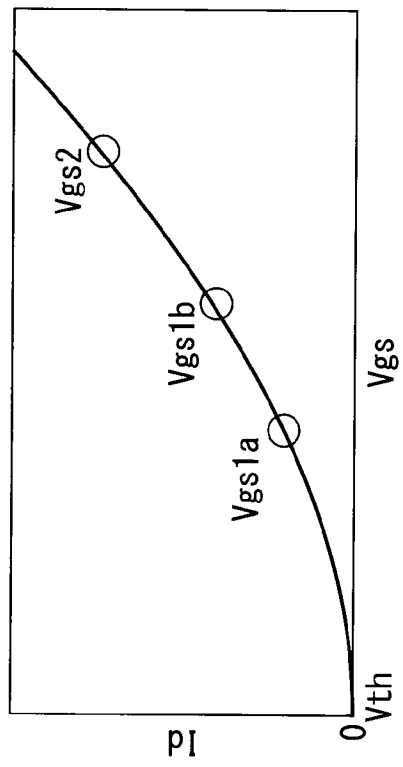
[図10]



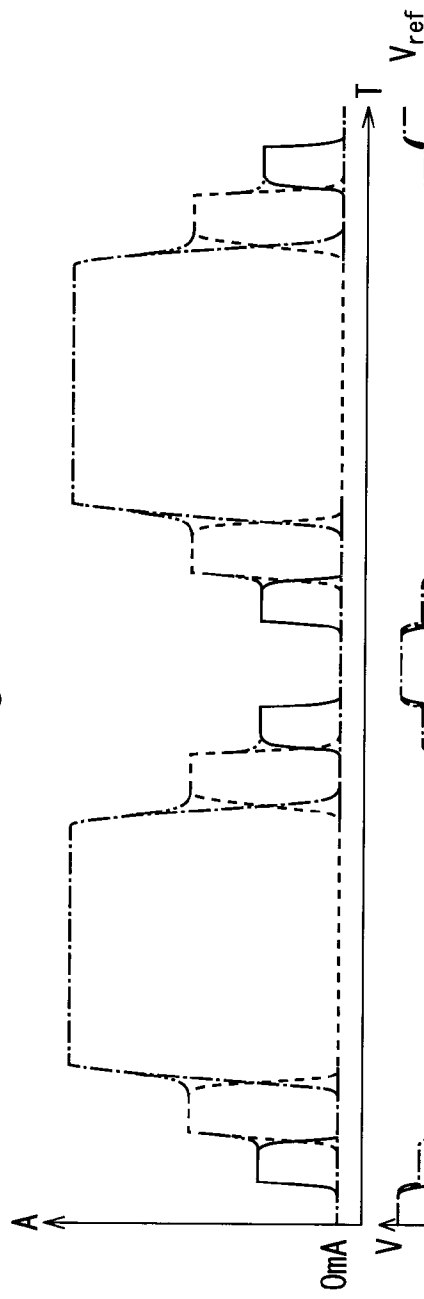
[図11]

図11

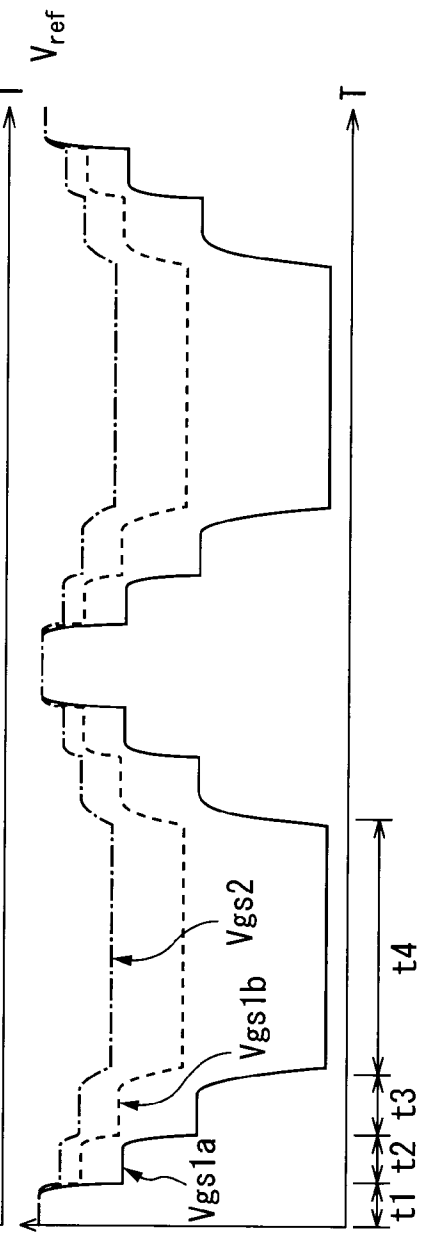
(a)



(b)

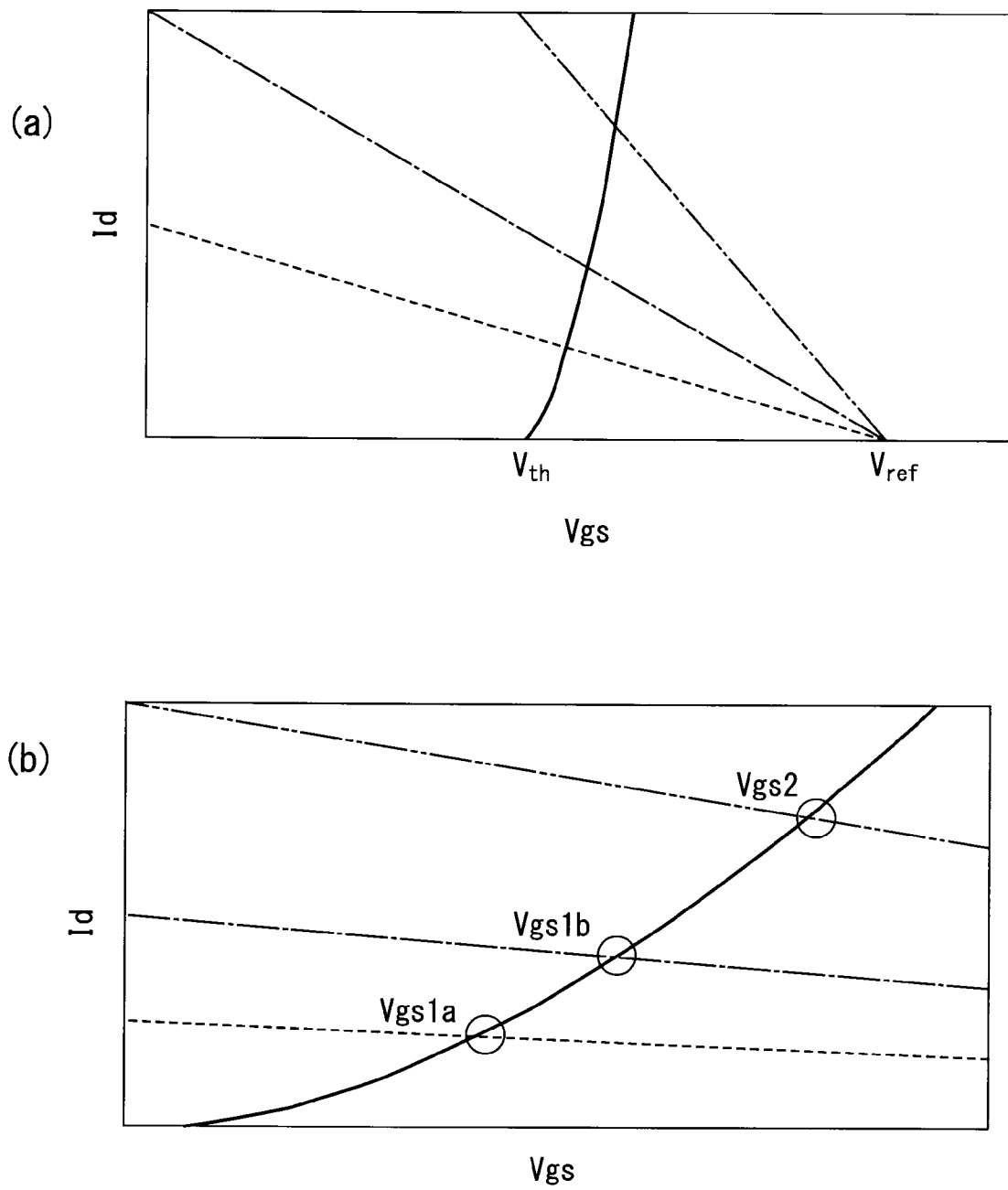


(c)

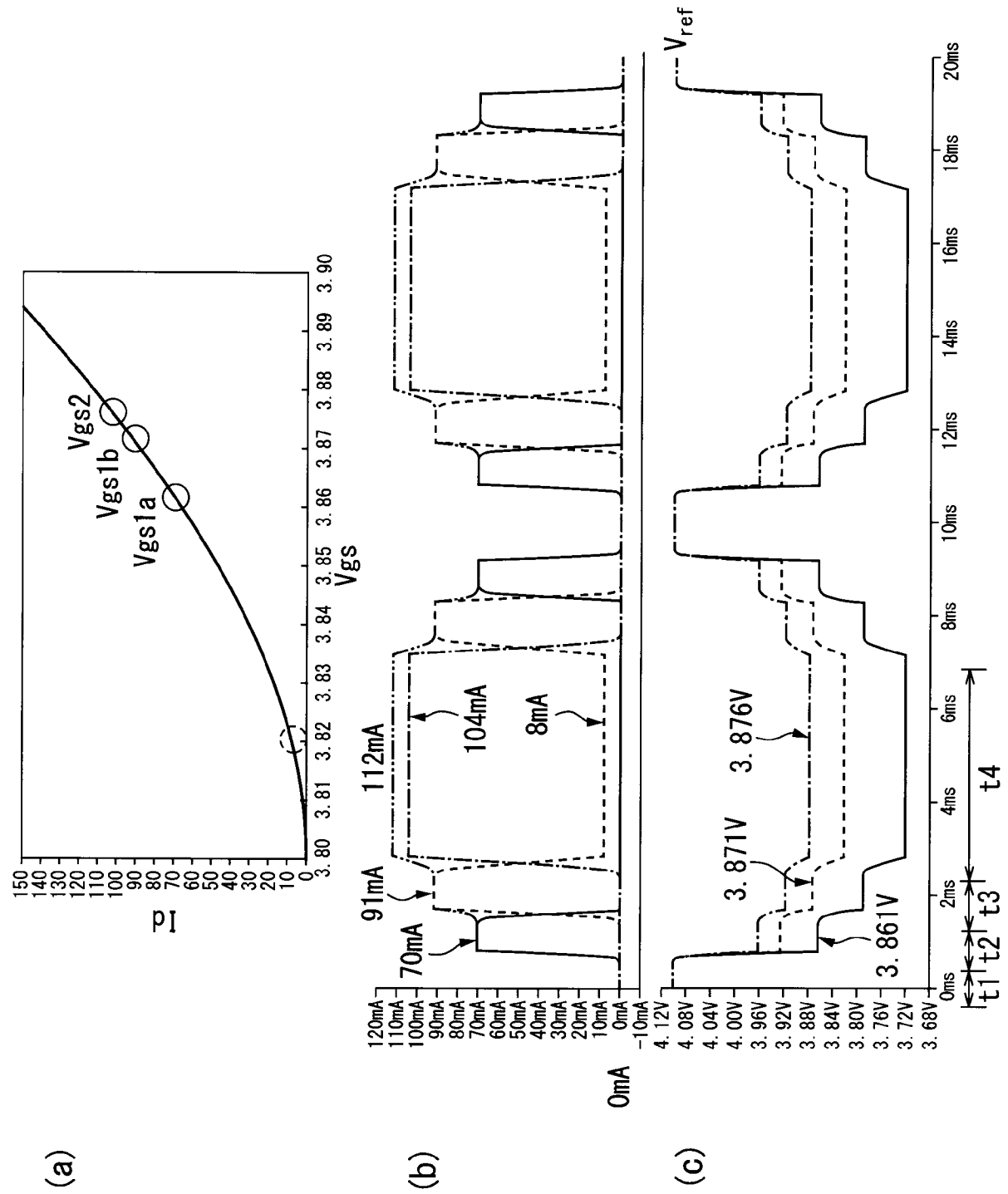


[図12]

図12

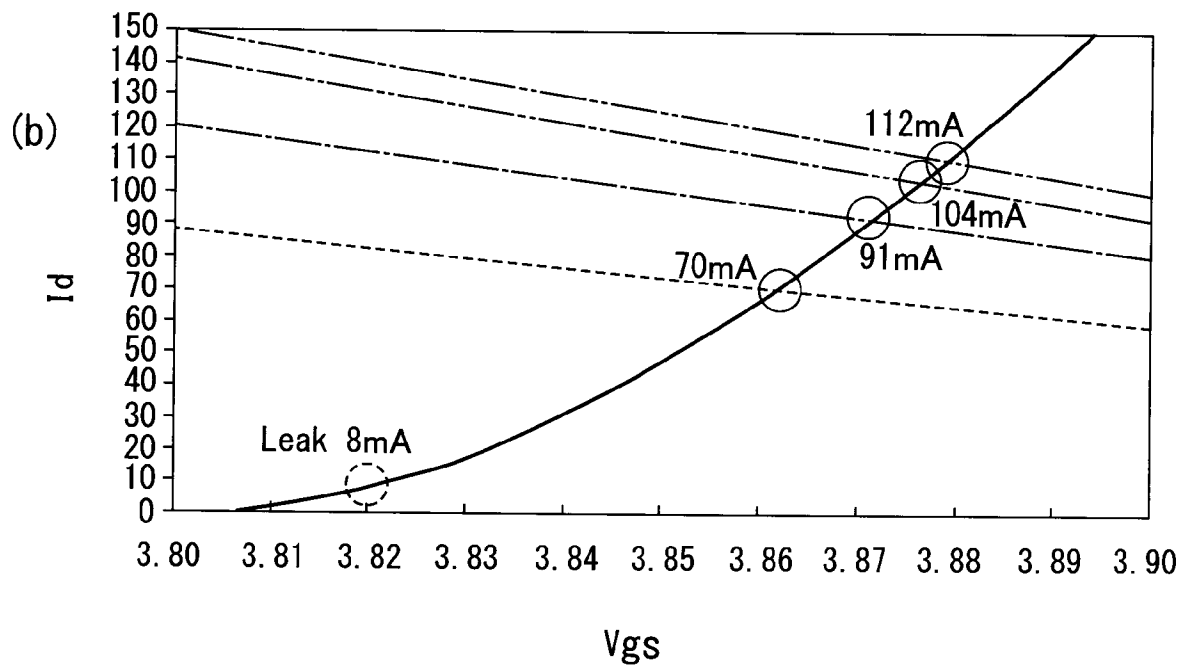
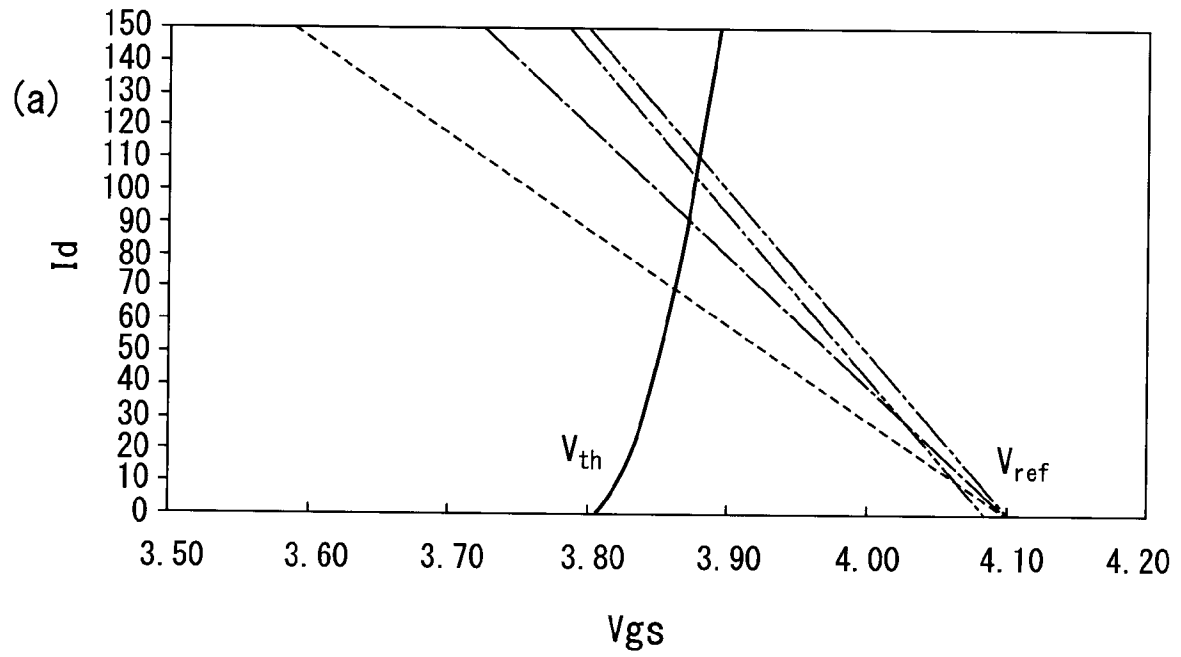


[図13]

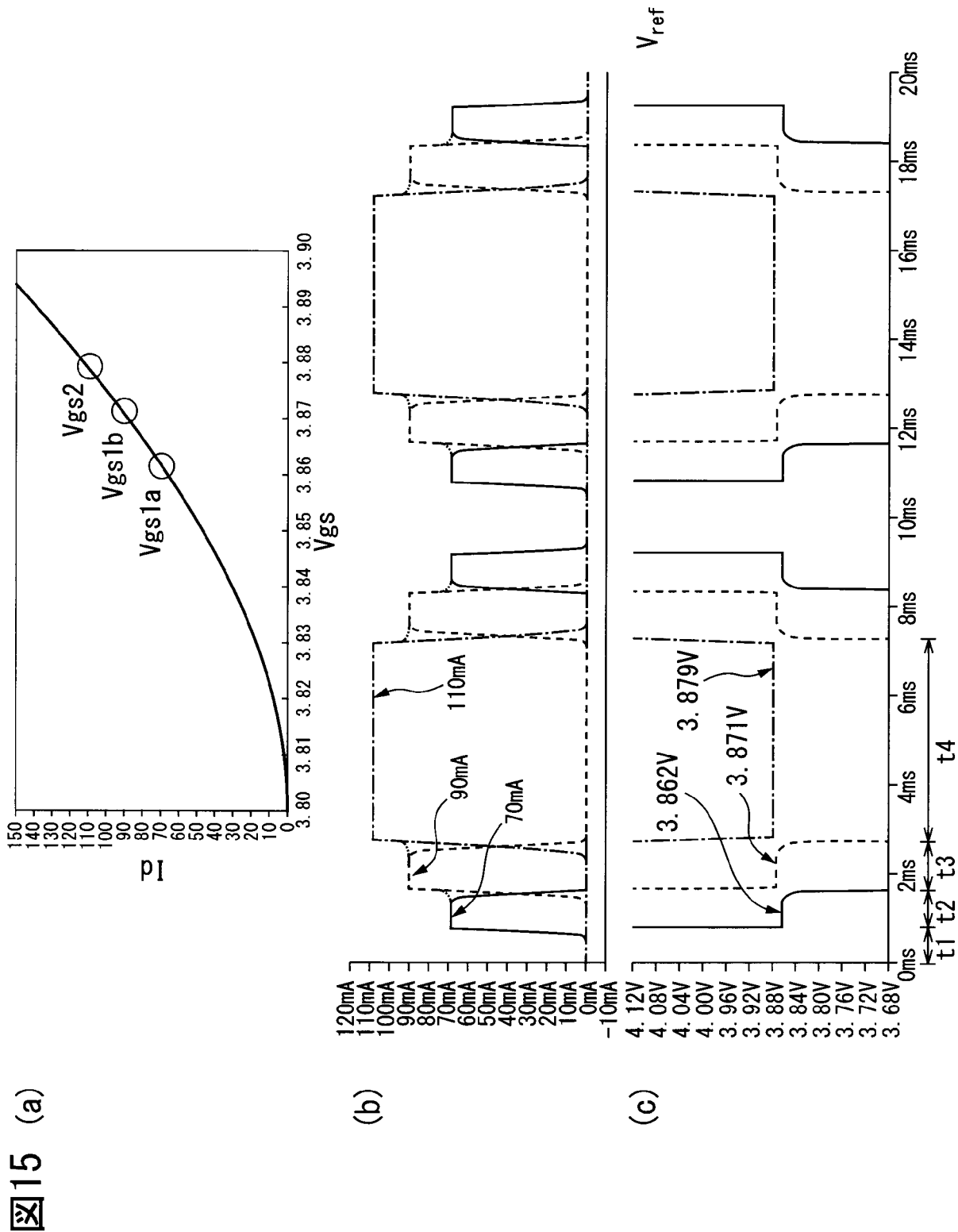


[図14]

図14

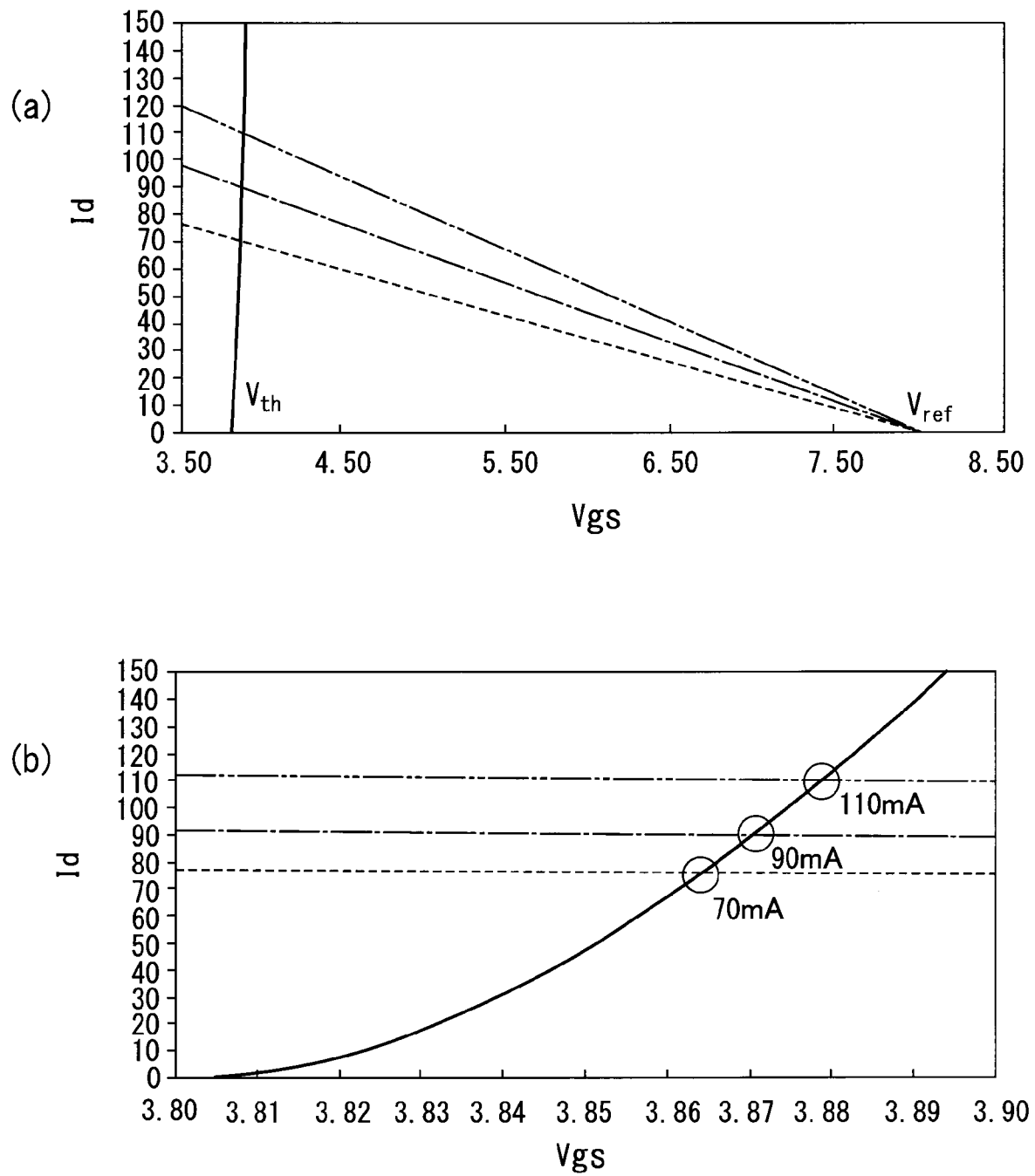


[図15]



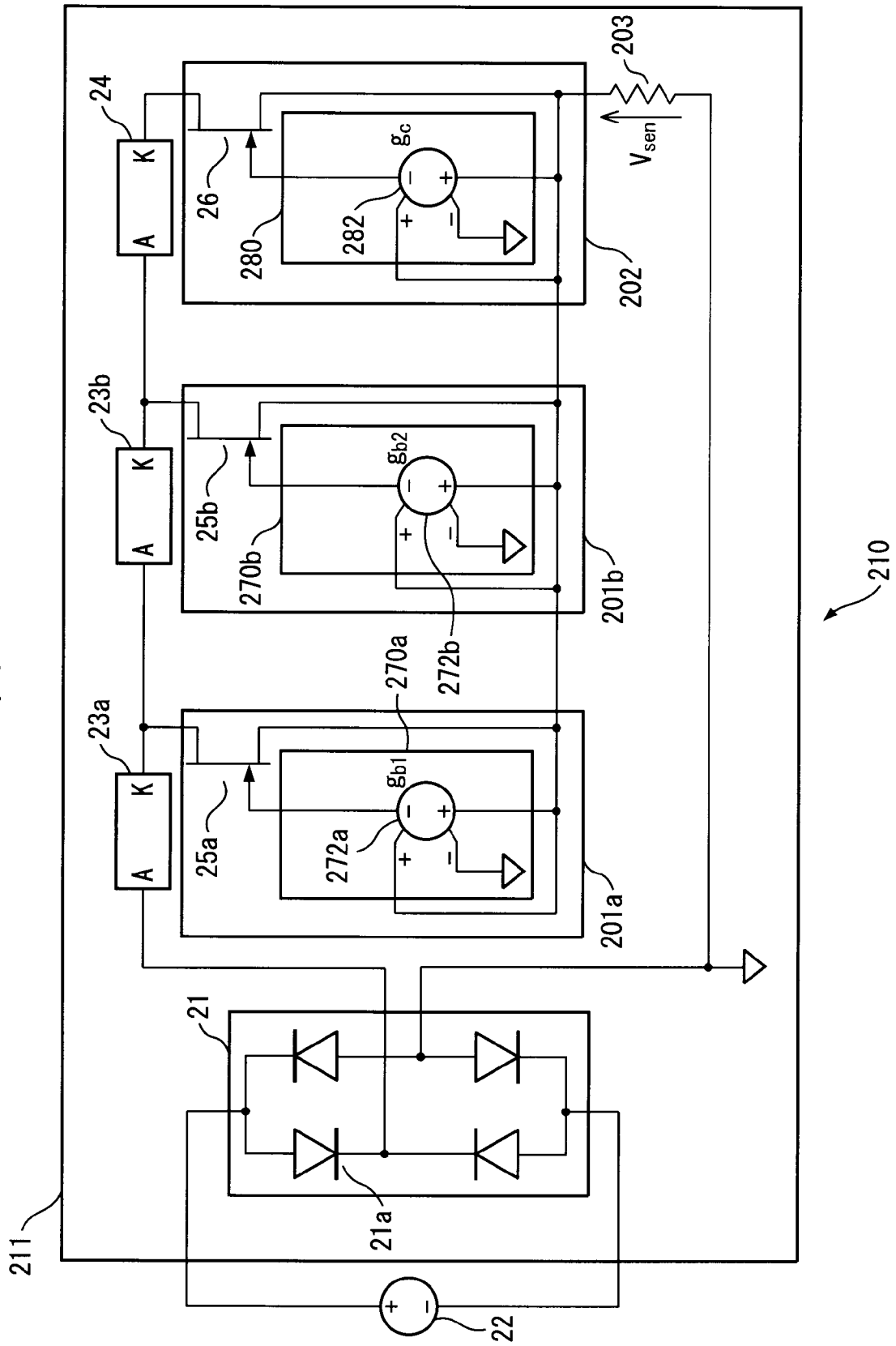
[図16]

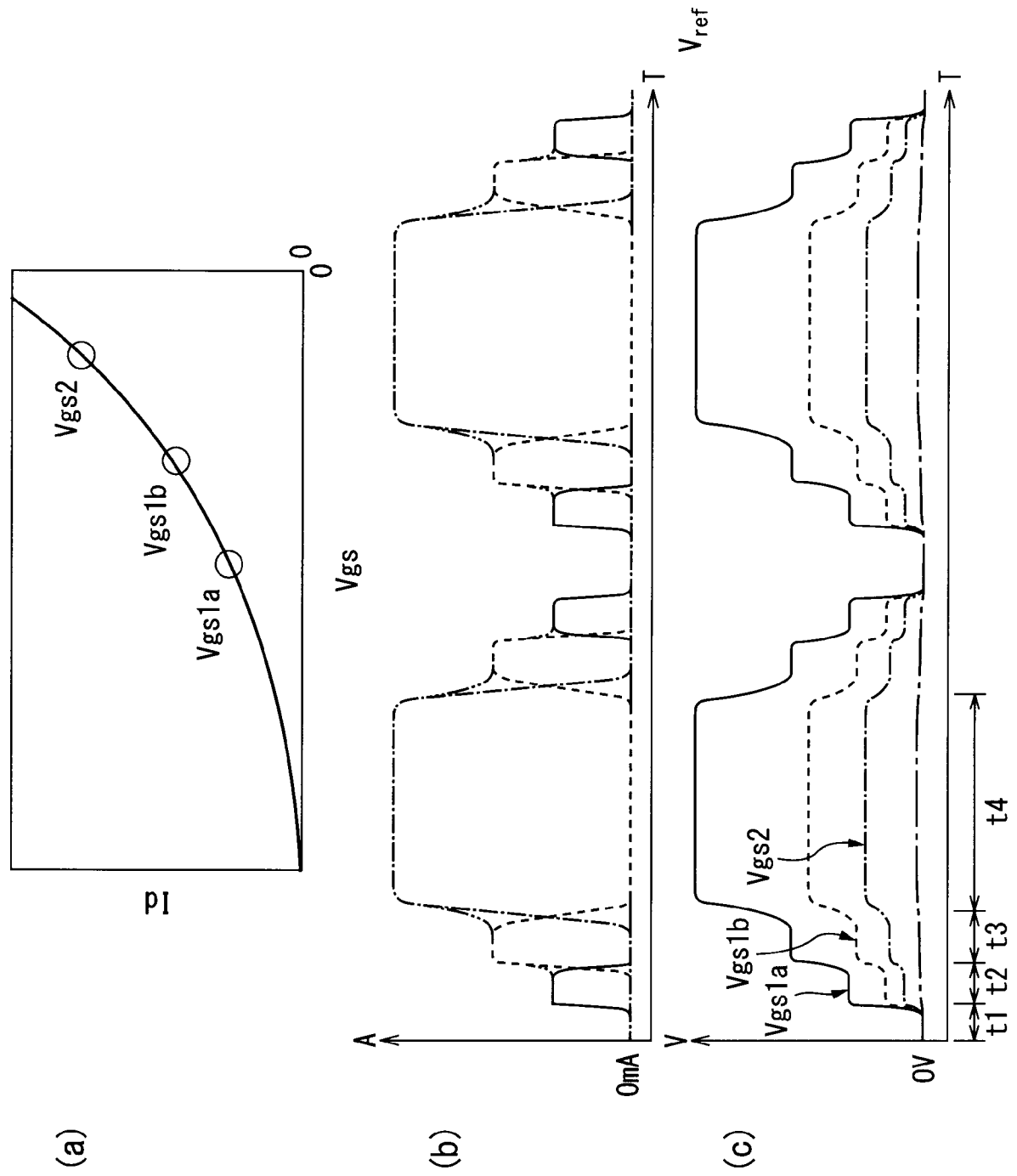
図16



[図17]

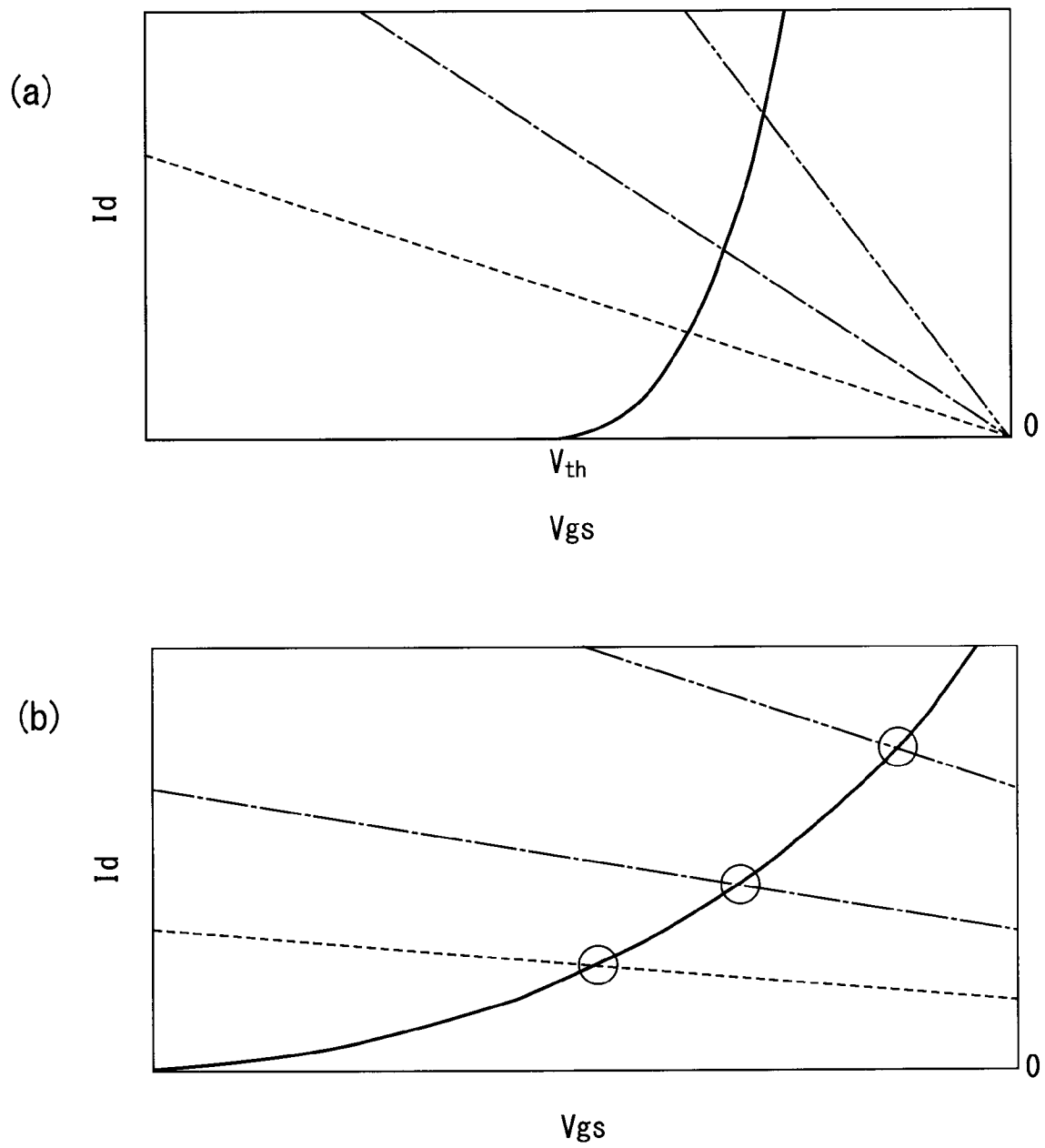
図17





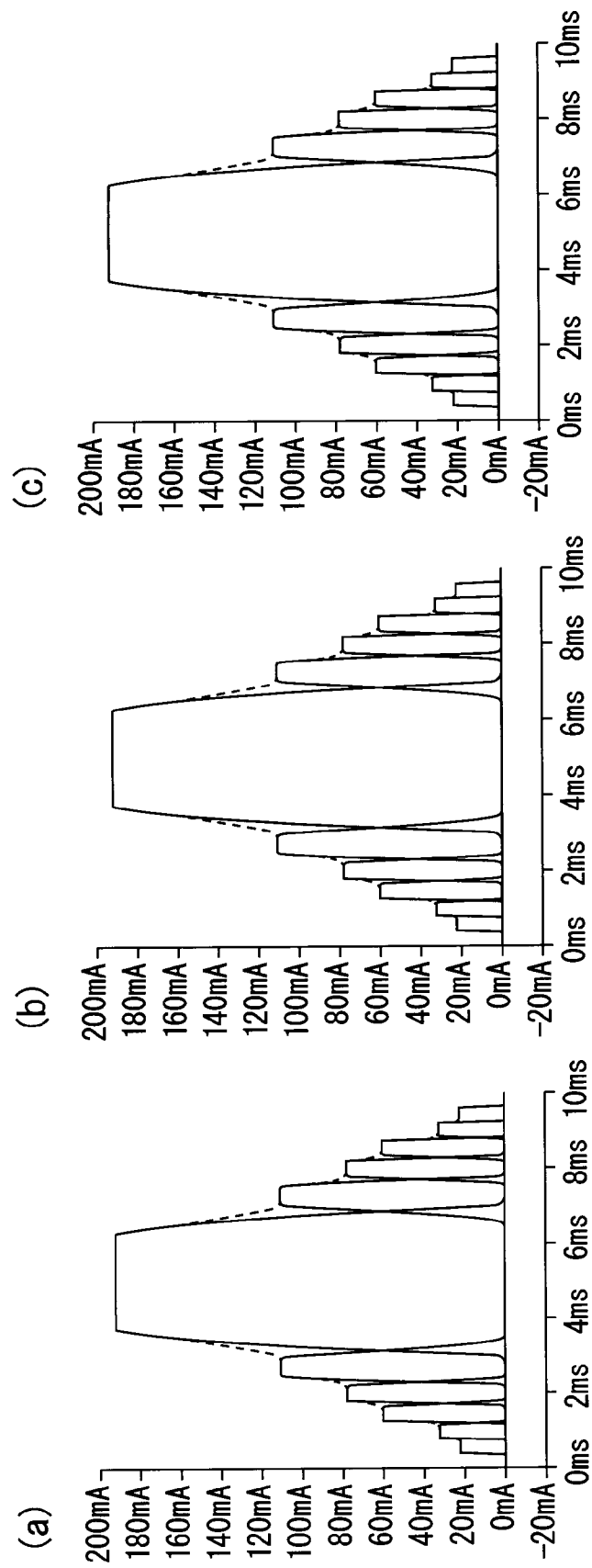
[図19]

図19



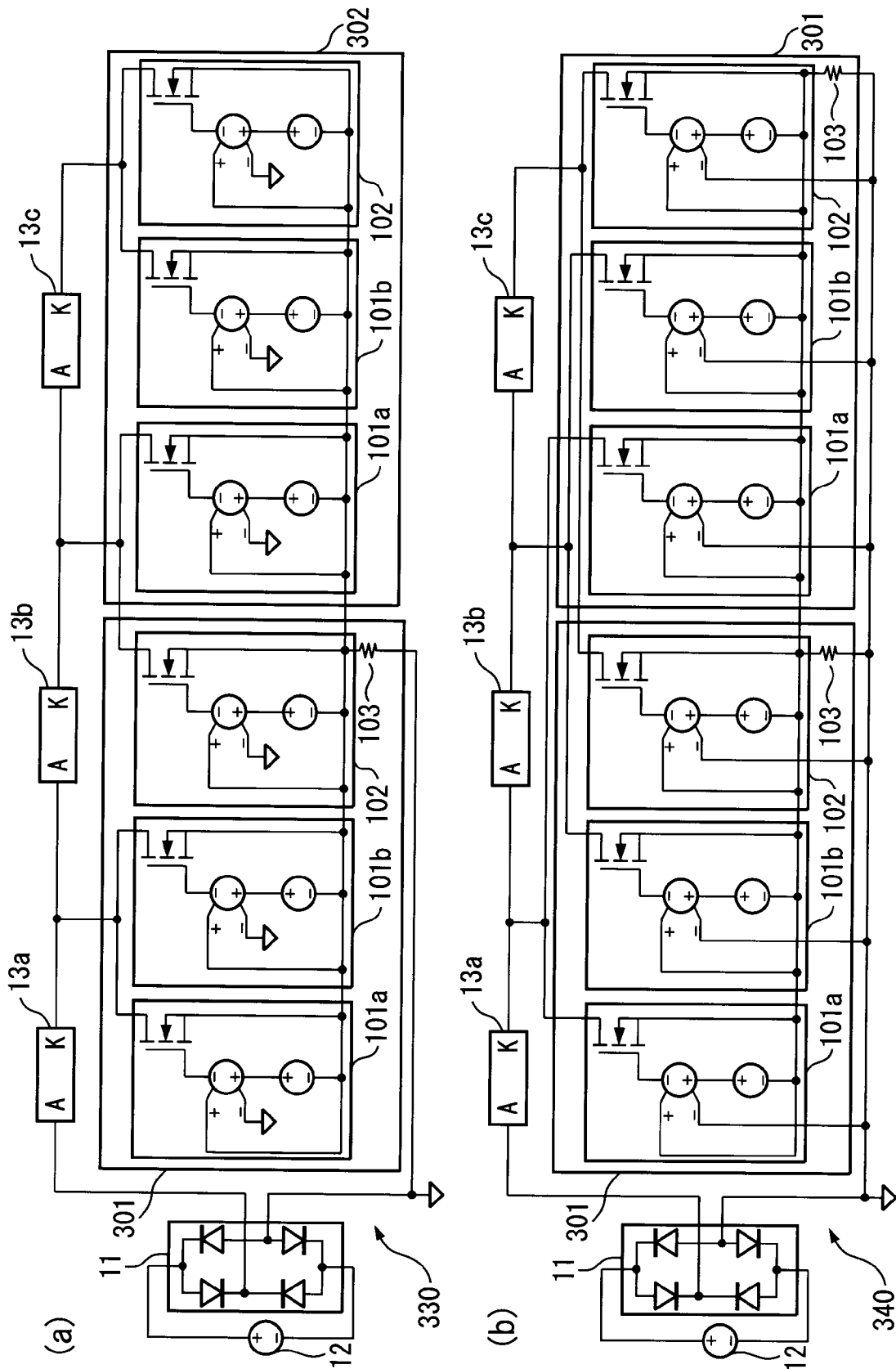
[図21]

図21



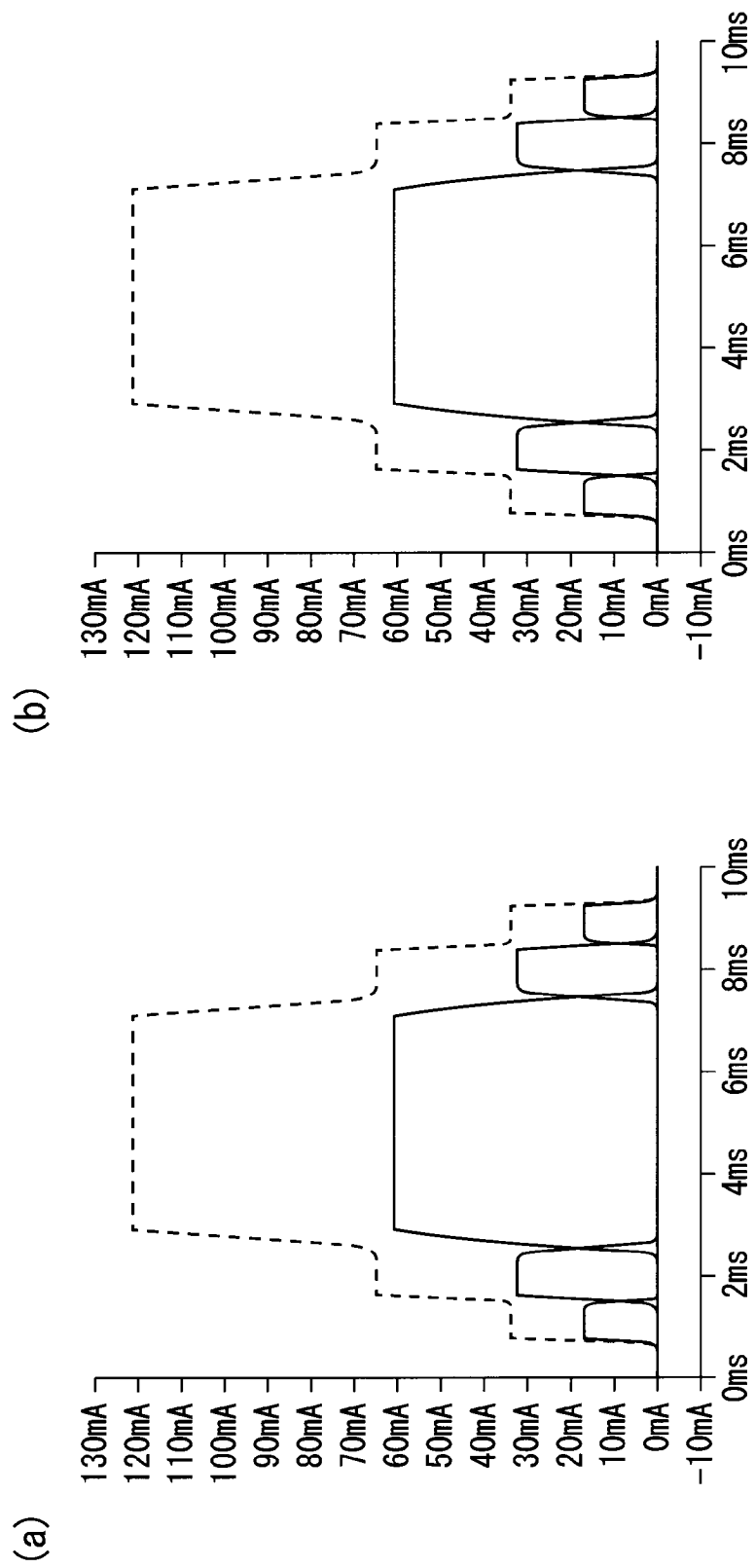
[図22]

図22

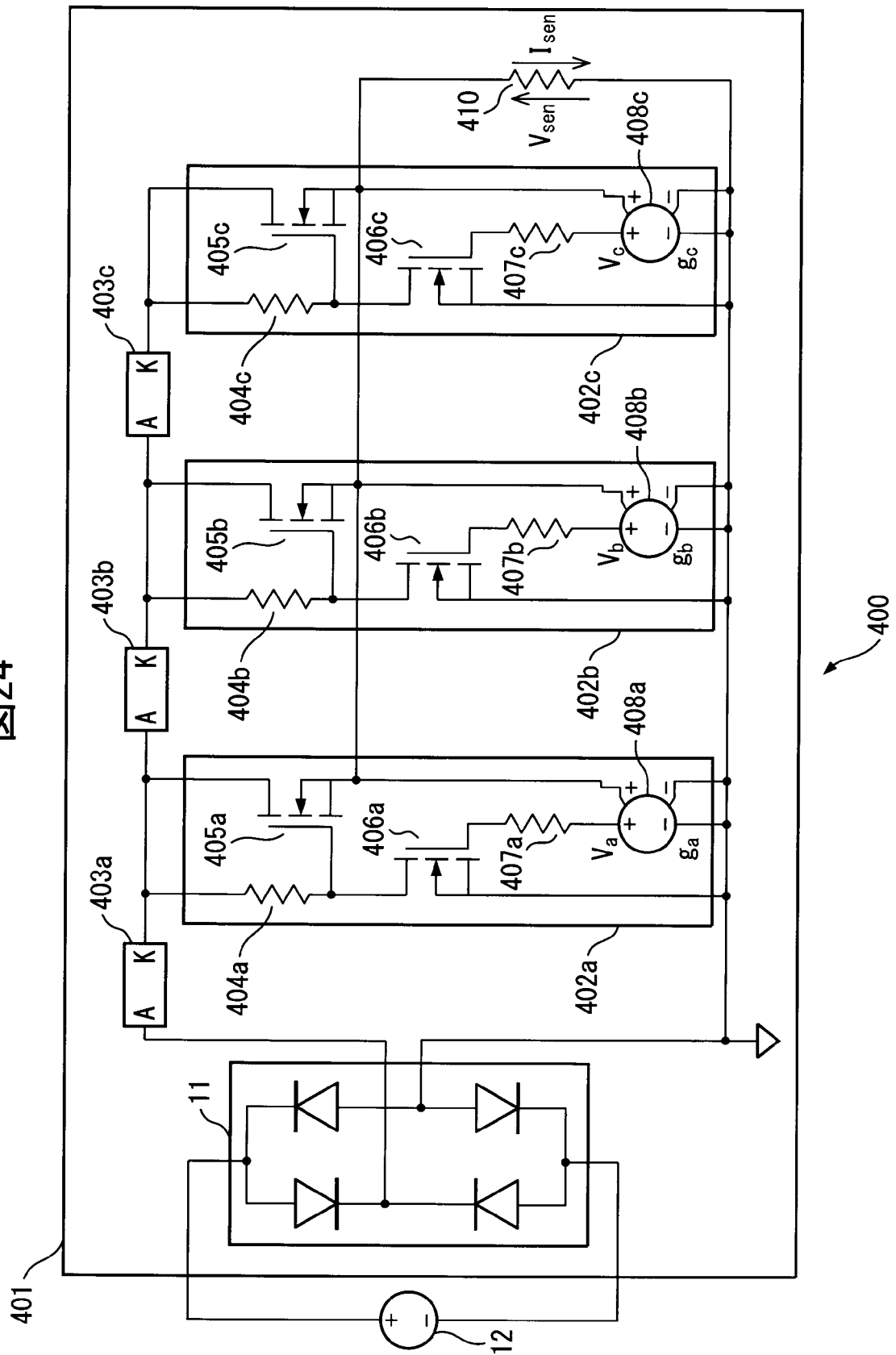


[図23]

図23

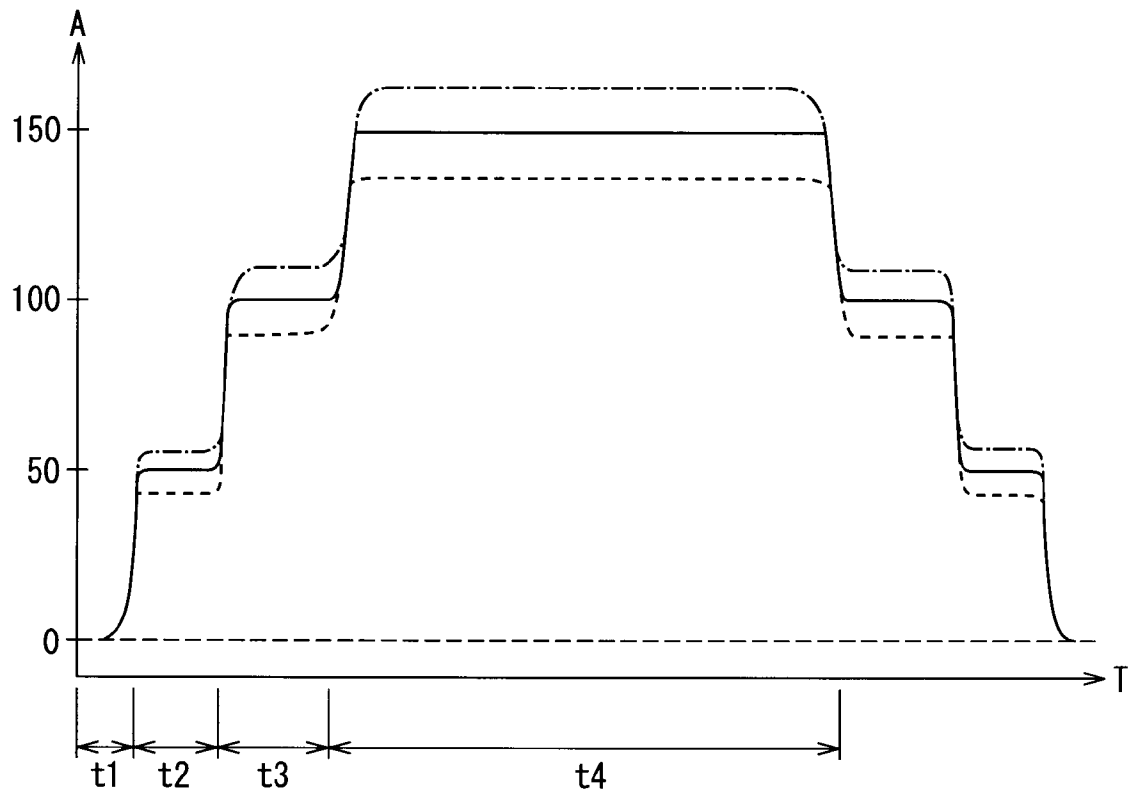


24



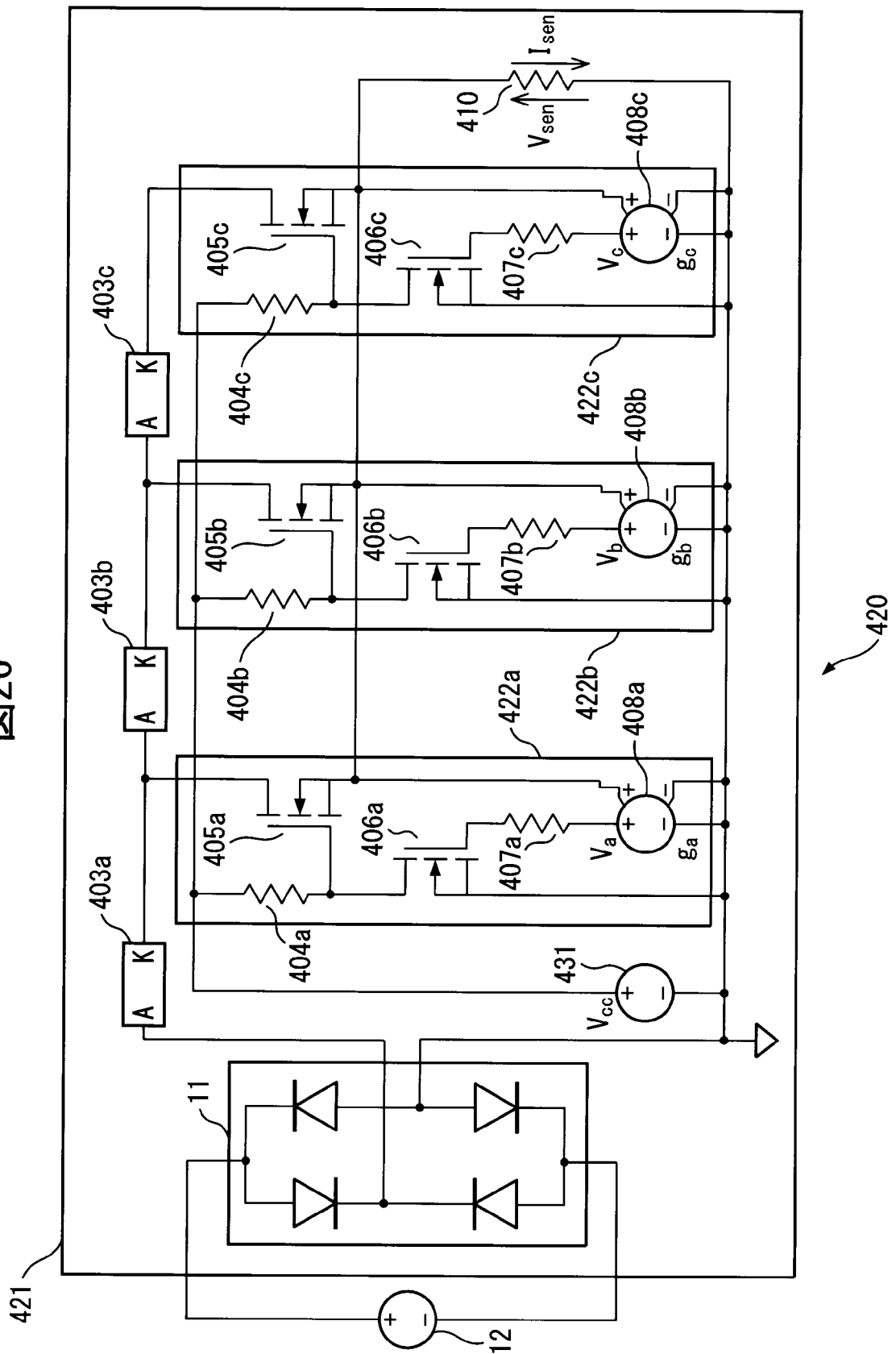
[図25]

図25



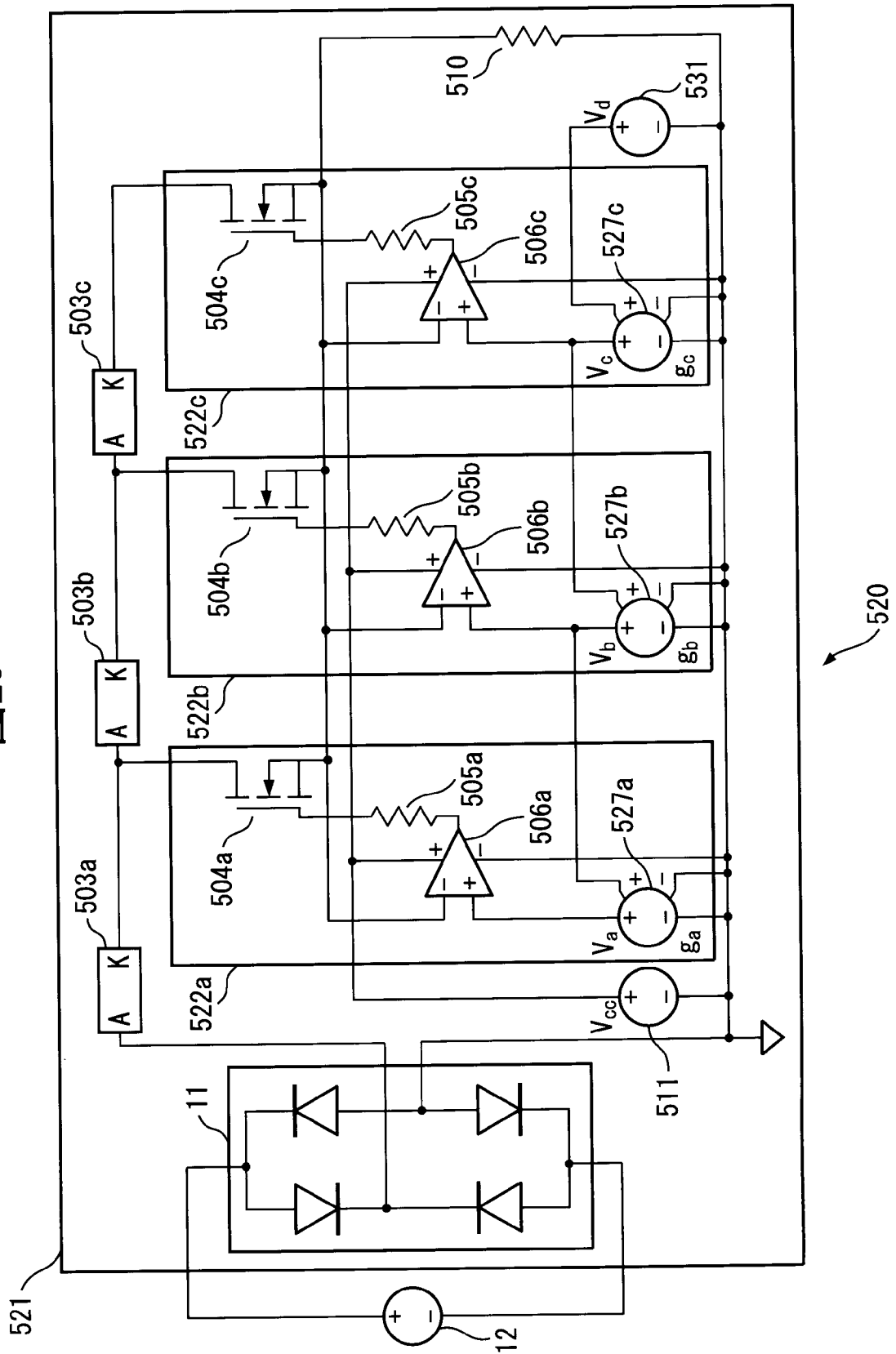
[図26]

図26



[図29]

図29



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054911

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/00(2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-087298 A (Richard Landry Gray), 28 April 2011 (28.04.2011), entire text; all drawings (particularly, paragraphs [0029] to [0035]; fig. 2) & US 2011/0084619 A1 & CN 102045923 A & TW 201117665 A	1-3, 9-11, 14 4-8, 12, 13
Y	JP 2011-040701 A (Nichia Chemical Industries, Ltd.), 24 February 2011 (24.02.2011), entire text; all drawings (particularly, paragraphs [0043] to [0062]; fig. 2) & US 2011/0199003 A1 & WO 2011/058805 A1 & AU 2010318418 A1 & CN 102612861 A & KR 10-2012-0082468 A	4-8, 12, 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 April, 2014 (24.04.14)

Date of mailing of the international search report
13 May, 2014 (13.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054911

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/105086 A1 (Rohm Co., Ltd.), 01 September 2011 (01.09.2011), entire text; all drawings (particularly, paragraph [0009]) & US 2013/0038819 A1 & WO 2011/105086 A1 & CN 102770974 A	7, 8, 12, 13
A	JP 2006-244848 A (Jamco Corp.), 14 September 2006 (14.09.2006), entire text; all drawings (particularly, paragraphs [0027] to [0040]) (Family: none)	1-14
A	US 2010/0134018 A1 (Noam TZIONY et. al.), 03 June 2010 (03.06.2010), entire text; all drawings (particularly, paragraphs [0089] to [0099]; fig. 7) (Family: none)	1-14
A	JP 2013-161937 A (Nichia Chemical Industries, Ltd.), 19 August 2013 (19.08.2013), entire text; all drawings (particularly, fig. 2) (Family: none)	1-14
A	JP 2012-529124 A (Exclara, Inc.), 15 November 2012 (15.11.2012), entire text; all drawings (particularly, paragraphs [0175], [0178]; fig. 4, 8, 27, 30) & US 2010/0308739 A1 & US 2010/0308738 A1 & US 2012/0081009 A1 & EP 2438494 A1 & WO 2010/141684 A1 & CN 102498449 A & TW 201143519 A & KR 10-2013-0010455 A & TW 201134295 A	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L33/00(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2011-087298 A（リチャード ランドリー グレイ）2011.04.28, 全文、全図（特に、[0029]-[0035]、図2）	1-3, 9-11, 14
Y	& US 2011/0084619 A1 & CN 102045923 A & TW 201117665 A	4-8, 12, 13
Y	JP 2011-040701 A（日亜化学工業株式会社）2011.02.24, 全文、全図（特に、[0043]-[0062]、図2） & US 2011/0199003 A1 & WO 2011/058805 A1 & AU 2010318418 A1 & CN 102612861 A & KR 10-2012-0082468 A	4-8, 12, 13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 4 . 2 0 1 4

国際調査報告の発送日

1 3 . 0 5 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 秀樹

2 K

3 1 5 4

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2011/105086 A1 (ローム株式会社) 2011. 09. 01, 全文、全図 (特に、[0009]) & US 2013/0038819 A1 & WO 2011/105086 A1 & CN 102770974 A	7, 8, 12, 13
A	JP 2006-244848 A (株式会社ジャムコ) 2006. 09. 14, 全文、全図 (特に、[0027]-[0040]) (ファミリーなし)	1-14
A	US 2010/0134018 A1 (Noam TZIONY et. al.) 2010. 06. 03, 全文、全図 (特に、[0089]-[0099]、Fig. 7) (ファミリーなし)	1-14
A	JP 2013-161937 A (日亜化学工業株式会社) 2013. 08. 19, 全文、全図 (特に、図 2) (ファミリーなし)	1-14
A	JP 2012-529124 A (エクスクララ インコーポレーテッド) 2012. 11. 15, 全文、全図 (特に、[0175], [0178]、図 4, 8, 27, 30) & US 2010/0308739 A1 & US 2010/0308738 A1 & US 2012/0081009 A1 & EP 2438494 A1 & WO 2010/141684 A1 & CN 102498449 A & TW 201143519 A & KR 10-2013-0010455 A & TW 201134295 A	1-14