

【特許請求の範囲】**【請求項 1】**

真空チャンバーを有する製造装置が配置され、且つ、第 1 のパーティションで囲まれた第 1 エリアと、

前記第 1 エリアに希ガスまたは水素ガスを供給して循環させるガス循環手段と、

前記第 1 エリアを囲み、且つ、第 2 のパーティションで囲まれた第 2 エリアと、

前記第 2 エリアに空気を供給して循環させる空調手段とを有するクリーンルーム。

【請求項 2】

請求項 1 において、前記第 1 エリアは、前記第 1 のパーティションで区分し、前記第 1 エリア内は、前記ガス循環手段により前記第 2 エリアよりも陽圧に調整するクリーンルーム。

10

【請求項 3】

請求項 1 または請求項 2 において、前記第 2 エリアは、前記第 2 のパーティションで区分し、前記第 1 エリア内は、前記空調手段により大気圧よりも陽圧に調整するクリーンルーム。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、前記真空チャンバーを有する製造装置は、プラズマ C V D 装置を含むクリーンルーム。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、前記第 2 エリア内には、基板を搭載した自動搬送装置が移動するクリーンルーム。

20

【請求項 6】

プラズマ C V D 装置を配置した第 1 エリアに希ガスまたは水素ガスを循環させ、
前記第 1 エリアを囲む第 2 エリアにファンフィルタユニットを通過させた大気を循環させ、
前記第 2 エリア内を移動する自動搬送装置により基板が前記プラズマ C V D 装置に搬送され、
前記プラズマ C V D 装置の真空チャンバー内に基板を設置し、
前記真空チャンバー内に材料ガスを導入してプラズマを発生させて前記基板上に半導体膜を形成する成膜方法。

30

【請求項 7】

請求項 6 において、希ガスまたは水素ガスを循環させる前記第 1 エリアは、大気圧よりも圧力が高い陽圧であることを特徴とする成膜方法。

【請求項 8】

請求項 6 または請求項 7 において、前記希ガスまたは前記水素ガスに含まれる酸素濃度および窒素濃度は 3 0 p p m 以下であることを特徴とする成膜方法。

【請求項 9】

請求項 6 乃至 8 のいずれかーにおいて、前記材料ガスは、シランガスを含むことを特徴とする成膜方法。

【請求項 1 0】

請求項 6 乃至 9 のいずれかーにおいて、前記半導体膜は微結晶半導体膜であることを特徴とする成膜方法。

40

【請求項 1 1】

絶縁表面を有する基板上にゲート電極を形成し、

前記ゲート電極上に絶縁膜を成膜し、

外気と真空チャンバー外壁との間に希ガスまたは水素ガスを循環させた第 1 エリアを真空チャンバー外壁に接して設け、

前記第 1 エリアを第 1 のパーティションで囲って真空チャンバーと第 2 エリアとを隔離し、さらに前記第 2 エリア及び前記第 1 エリアを第 2 のパーティションで囲って外気と第 2 エリアとを隔離し、前記真空チャンバー内に前記絶縁膜が設けられた基板を設置し、前記

50

真空チャンバー内に材料ガスを導入してプラズマを発生させて前記絶縁膜上に微結晶半導体膜を形成し、

前記微結晶半導体膜上にバッファ層を成膜し、

前記微結晶半導体膜の成膜は、バッファ層との界面付近の第 1 領域を絶縁膜との界面付近の第 2 領域よりも成膜速度が速くなるように成膜条件を段階的または連続的に変化させる半導体装置の作製方法。

【請求項 1 2】

請求項 1 1 において、さらに、前記バッファ層上に n 型不純物元素を含む半導体膜を成膜し、

前記 n 型不純物元素を含む半導体膜上にソース電極またはドレイン電極を形成し、

前記 n 型不純物元素を含む半導体膜をエッチングして、ソース領域及びドレイン領域を形成し、

前記ソース領域及び前記ドレイン領域と重なる領域を残存させて前記バッファ層の一部をエッチングして除去する半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置を製造する環境として用いられるクリーンルームに関する。また、本発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置の作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

半導体装置を製造する製造ラインは、ダストによる歩留まり低下を防止するために、内部を所望の清浄度に保持したクリーンルーム内に設置されている。

【0004】

製造ラインは、様々な製造装置で構成されており、装置の種類によってはダストに敏感な装置や、ダストが新たに発生しやすい装置などがあるため、クリーンルーム内で高清浄度のエリアと、低清浄度のエリアとでパーティションにより区切って厳密なダスト管理が施されている。特許文献 1 には、機器設置エリア、プロセスエリア、オペレーションエリアがそれぞれ仕切られ、独立して空調を行うクリーンルームの開示がある。

【0005】

また、特許文献 2 には、クリーンルームに設置された装置のメンテナンス時に塵埃が装置に侵入するのを防止するために、装置を包囲するエアカーテンを形成するクリーンルームの開示がある。

【特許文献 1】特開 2002 - 147811

【特許文献 2】特開 2004 - 308964

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来よりも優れた電気特性を有する半導体装置を作製するため、或いは製品歩留まりを向上させるため、クリーンルームの清浄度をできるだけ高め、維持することが求められている。

【0007】

また、粒子状のダストだけでなく、ガス状の汚染物質による汚染、いわゆる分子汚染による製造プロセスへの影響が懸念されている。

【0008】

クリーンルーム内には、外気取り込みダクトから取り込まれた空気を所定の温湿度に調整させ、ファンフィルタユニットにより浄化させた空気が供給されている。そのため、クリーンルーム内は作業者が自由に行き来できる。一方、クリーンルームが空気で満たされているため、空気に含まれる窒素および酸素が存在しており、窒素または酸素に敏感な被処理物（例えばシリコンウエハ等）を処理する場合には、その被処理物にとっては、クリーンルーム内の大気自体が汚染物質と呼べる。

【0009】

また、製造工程によっては、ある装置から次の装置に搬送される間のクリーンルームの大気に曝されている時間が基板毎、或いはロット毎に異なることによって特性バラツキが生じることもある。

10

【0010】

例えば、酸素や窒素は、非晶質半導体層の一部をn型化させる元素であり、これらの元素により非晶質半導体層中の欠陥密度が増大し、電界効果移動度を低下させる要因となる。さらに膜中に含まれた酸素や窒素が、TFTの電気特性のバラツキが生じる要因の一つとなっている恐れもある。

【0011】

特に、成膜時間の長い成膜条件で行う成膜処理であれば、チャンバー内に侵入する酸素や窒素の量も増大することとなる。例えば、微結晶シリコン膜を形成する場合、シランは水素で100倍を超え2000倍以下に希釈して成膜を行うため、成膜速度が遅く、所望の膜厚を得るまでにかかる時間が長い。また、酸素は結晶化を阻害し、微結晶シリコン膜中に取り込まれた場合にはドナーとして作用する恐れがあるため、微結晶シリコン膜を形成する際、特に低減すべき不純物である。

20

【0012】

従って、薄膜トランジスタを構成する半導体膜を高純度化させる必要がある。半導体膜は真空チャンバー内で成膜される。このとき、真空チャンバー内に残留する酸素、窒素などの大気成分ガスを極力低減しないと、半導体膜の成膜中に残留ガスが同時に取り込まれてしまい、高純度化させることができなくなってしまう。半導体膜の高純度化のためには、真空チャンバー内の到達真空度を超高真空域（ 1×10^{-7} Torr から 1×10^{-10} Torr（約 1×10^{-5} Pa 以上 1×10^{-8} Pa）の範囲）にまで真空排気することが考えられる。そのためには、真空チャンバーのリークを極力低減しなければならない。

30

【0013】

しかしながら、液晶表示装置を大量生産するための大面積ガラス基板のように、基板のサイズが大型化すると、半導体膜を成膜する真空チャンバーも大型化することになり、超高真空域に対応した真空チャンバーを製造すること自体が困難になる。また、製造ラインにおいて、真空装置をメンテナンスする際には、その都度真空チャンバーのリークを検査しなければならない、作業性を悪化させることになる。

【0014】

本発明は、製造する半導体装置の特性バラツキが低減されたクリーンルームを提供することを課題の一とする。

40

【0015】

また、非晶質半導体膜や微結晶半導体膜に用いる材料ガスは、反応性の高い特殊材料ガスであり、例えばシランガスは、酸素と反応すると着火源がなくとも発火する危険なガスである。このような反応性の高い特殊材料ガスをを用いる製造装置の安全性を高めるクリーンルーム構成も課題の一とする。

【0016】

また、膜中の酸素濃度及び窒素濃度が低減された半導体膜の成膜方法を提供することも課題の一とする。

【0017】

50

また、酸素濃度及び窒素濃度が低減された半導体膜を用いた半導体装置の作製方法を提供することも課題の一とする。

【課題を解決するための手段】

【0018】

そこで、真空チャンバーの外側から大気成分の酸素ガスや窒素ガスが、真空チャンバー内に侵入しないように、半導体膜に悪影響を与えないガスで充填させた部屋に真空チャンバーを設置する。

【0019】

具体的には、クリーンルーム内で製造装置を囲む第1エリアと、第1エリアを囲む第2エリアとをパーティションによりそれぞれ区切る。そして、製造装置を囲む第1エリアに含まれる酸素及び窒素を極力低減するため、高純度の希ガスまたは水素で充填することにより、大気における酸素濃度及び窒素濃度の100分の1以下、好ましくは1000分の1以下とし、被処理物が配置される製造装置内部をさらにクリーンに保つ。

【0020】

本明細書で開示する発明の構成は、真空チャンバーを有する製造装置が配置され、且つ、第1のパーティションで囲まれた第1エリアと、第1エリアに希ガスまたは水素ガスを供給して循環させるガス循環手段と、第1エリアを囲み、且つ、第2のパーティションで囲まれた第2エリアと、第2エリアに空気を供給して循環させる空調手段とを有するクリーンルームである。

【0021】

本発明は、上記課題の少なくとも一つを解決する。

【0022】

希ガスとしては、ヘリウム、ネオン、アルゴン、キセノン、クリプトンなどが挙げられるが、中でも安価であるアルゴンを用いることが好ましい。他の希ガスに比べてアルゴンガスは安価であるが、高純度アルゴンガスは高価であるので、内部で循環させて利用することで維持コストを低減する。

【0023】

第1エリアと第2エリアはそれぞれ独立して気体を循環させる。第1エリアは、高純度の希ガスまたは水素を循環させる。第1エリアには、酸素や窒素に敏感な製造装置、または酸素や窒素に敏感なプロセスに使用する製造装置が設置される。第1エリアに設置する製造装置の成膜室、搬送室、ロード室、アンロード室などは、大気開放する場合、窒素ではなく希ガスを用いて第1エリア内の清浄度を保つ。酸素や窒素をほとんど含まない第1エリアに設置された製造装置を用いることにより、製造する半導体装置の特性バラツキが低減されたクリーンルームを実現できる。

【0024】

また、反応性の高い特殊材料ガスを取り扱う製造装置を第1エリアに設置することで製造装置のシール部などが劣化し、シランガスなどが第1エリアに流出する、或いは、シランガスポンベに第1エリアのガスが逆流しても、発火して火災などは生じない。従って、反応性の高い特殊材料ガスを用いる製造装置の安全性を高めるクリーンルームを実現できる。

【0025】

また、上記構成において、第1エリアに希ガスまたは水素ガスを供給して循環させるガス循環手段は、少なくとも希ガスポンベまたは水素ポンベ、或いはガス精製装置を有する気体供給ユニットと、排気ユニットとを有する。なお、第1エリア内の酸素濃度、窒素濃度、および水分濃度はともに30ppm以下、好ましくは30ppb以下とする。さらに好ましくは、第1エリア内の製造装置周辺の酸素濃度、窒素濃度、および水分濃度はともに約1ppt未満とする。第1エリア内に供給するガスは、酸素濃度を測定するための酸素分析計、および窒素濃度を測定するための窒素分析計により計測することができる。

【0026】

例えば、超高純度アルゴンの圧縮ガスポンベを用いれば、99.9995以上の高純度ガ

10

20

30

40

50

スを第1エリアに供給することができる。また、超高純度水素精製装置を用いれば、9N(99.999999%)の高純度ガスを第1エリアに供給することができる。第1エリア内の製造装置周辺の酸素濃度、窒素濃度、および水分濃度は、第1エリアに供給する流速や、ガス精製法や、第1のパーティションの気密性などによっても左右されるが、極力少なくなるようなクリーンルーム構成とする。

【0027】

また、第1エリアに配置する前記真空チャンバーを有する製造装置は、プラズマCVD装置を含む。好ましくは2重チャンバー構造であるプラズマCVD装置を用いるとさらに成膜される半導体膜中の酸素濃度及び窒素濃度を効果的に低減することができる。2重チャンバー構造とは、基板を配置する第1のチャンバーの外側をさらに囲む第2のチャンバーを有する構造を指しており、第2のチャンバーには、第1のチャンバーの外側の雰囲気

10

【0028】

また、第1エリアは、ある装置で処理を終えてから次ぎの装置へ搬入するまでの間の搬送エリアも含む。酸素や窒素をほとんど含まない第1エリアで搬送することにより、ある装置から次の装置に搬送される間のクリーンルームに曝されている時間が基板毎、或いはロット毎に異なっても特性バラツキを低減できる。

【0029】

なお、第2エリアは、清浄な大気を循環させる。好ましくは、第2エリアの大気成分が第1エリア内に侵入しないような材料のパーティションで区切られるクリーンルーム構造とする。例えば、パーティションの表面材料としては、鋼板、アルミニウム板、ステンレス板などを用い、第1エリアを囲む壁や天井に用いる。上記構成において、第1エリアは、第1のパーティションで区分し、第1エリア内は、ガス循環手段により第2エリアよりと比べて陽圧に調整することが好ましい。さらに、第2エリアは、第2のパーティションで区分し、第1エリア内は、空調手段により大気圧よりも陽圧に調整することが好ましい。

20

【0030】

被処理基板をクリーンルーム外から搬送し、その基板は、まず、第2エリアに搬入され、第2エリア内を移動する自動搬送装置に搭載され、第2エリア内を基板を搭載した自動搬送装置が移動して第1エリアの製造装置のロード室に搬送する。

30

【0031】

第1エリアから第2エリアに希ガスが隙間から拡散する場合には、第1エリアの酸素濃度が低下し、第2エリアに入った作業者が酸素欠乏症を引き起こす恐れがあるため、クリーンルーム内には酸素濃度19%以上が確認できる酸素濃度計または窒素濃度計を複数設置する。特に第1エリアと第2エリアを連結する扉付近、具体的には扉と壁とのすき間をなくして十分なシール構造としなければ、第1エリアから第2エリアに希ガスが拡散する恐れがある。

【0032】

メンテナンスを行う際には、第1エリアの希ガスを排気し、第1エリア内を清浄な大気に置換した後、作業者がメンテナンスを行う。或いは、作業者が圧縮酸素形循環式呼吸器を着用して第1エリア内に入り、メンテナンス作業などを行う。圧縮酸素形循環式呼吸器は、酸素を着用者に供給した後、呼気中の二酸化炭素を清浄缶に吸収させ、酸素は呼吸袋に戻し、再利用する構造になっており、第1エリアに酸素や二酸化炭素や窒素を放出しない。

40

【0033】

また、上記構成において、第2エリアに空気を供給して循環させる空調手段は、少なくともファンフィルタユニットと、外部に大気を排気する排気ユニットとを有する。ファンフィルタユニットに用いるフィルタは、HEPA(High Efficiency Particulate Air)フィルタ、ULPA(Ultra low Penetration Air)フィルタなどを用いる。

50

【0034】

また、第1エリアまたは第2エリアの清浄度は、 $1\text{ft}^3(28.3\text{L})$ の空気中に $0.5\mu\text{m}$ 以上の微粒子が何個あるかで定義され、クラス1000以下、好ましくはクラス100以下とする。清浄度は、光散乱式自動粒子計測器、いわゆるパーティクルカウンターで測定することができる。

【0035】

なお、成膜処理を行う真空チャンバー内でプラズマを発生させる際、真空チャンバー内における圧力は、少なくとも $2 \times 10^{-2}\text{Torr}(2.666\text{Pa}) \sim 1\text{Torr}(133.3\text{Pa})$ とすることが好ましい。また、予め成膜前に真チャンバー（反応容器）内の酸素や窒素や H_2O などの大気成分ガスの残留を極力低減するため、チャンバー周辺に高い純度のアルゴンガスを流し、且つ、チャンバー内に高い純度の材料ガスを流し、成膜時の基板温度を 100 以上 300 未満の範囲とする。

10

【0036】

また、成膜方法も本明細書で開示する発明の一つであり、その発明は、プラズマCVD装置を配置した第1エリアに希ガスまたは水素ガスを循環させ、第1エリアを囲む第2エリアにファンフィルタユニットを通過させた大気を循環させ、第2エリア内を移動する自動搬送装置により基板がプラズマCVD装置に搬送され、プラズマCVD装置の真空チャンバー内に基板を設置し、真空チャンバー内に材料ガスを導入してプラズマを発生させて基板上に半導体膜を形成する成膜方法である。

【0037】

20

上記成膜方法において、希ガスまたは水素ガスを循環させる前記第1エリアは、大気圧よりも圧力が高い陽圧である。また、上記成膜方法において、希ガスまたは前記水素ガスに含まれる酸素濃度および窒素濃度は 30ppm 以下である。酸素や窒素は、非晶質半導体層の一部をn型化させる元素であり、これらの元素により非晶質半導体層中の欠陥密度が増大し、電界効果移動度を低下させる要因となる。さらに膜中に含まれた酸素や窒素が、TFTの電気特性のバラツキが生じる要因の一つとなっている恐れもある。例えば、微結晶シリコン膜を形成する場合、シランガスは水素で 100 倍を超え 2000 倍以下に希釈して成膜を行うため、成膜速度が遅く、所望の膜厚を得るまでにかかる時間が長い。また、酸素は結晶化を阻害し、微結晶シリコン膜中に取り込まれた場合にはドナーとして作用する恐れがあるため、微結晶シリコン膜を形成する際、特に低減すべき不純物である。上記成膜方法は、成膜速度が遅く、所望の膜厚を得るまでにかかる時間が長いため、酸素及び窒素が膜中に取り込まれやすい微結晶半導体膜に特に有効である。

30

【0038】

なお、本明細書において、微結晶半導体膜とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が $0.5 \sim 20\text{nm}$ の柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非単結晶半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520.5cm^{-1} よりも低周波数側に、シフトしている。即ち、単結晶シリコンを示す 520.5cm^{-1} とアモルファスシリコンを示す 480cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。

40

【0039】

なお、微結晶半導体膜に限らず、非晶質半導体膜、多結晶半導体膜、化合物半導体膜などの半導体膜の膜質も大幅に向上させることができる。例えば、半導体膜の膜厚を厚くする場合に所望の膜厚を得るまでにかかる時間が長くなったとしても上記成膜方法によれば、均一な膜質を得ることができる。

【0040】

本明細書でパーティションとは、間仕切りのことであり、例えば、2種類の異なる雰囲気

50

の接触を阻害し、それぞれの雰囲気中にガスが混入することを防止する間仕切りのことを指す。

【0041】

従来では、真空排気する必要がある時以外は、成膜室および成膜室に連結する搬送室などの真空チャンバー内を窒素で充填して待機させていたが、本発明においては、希ガスまたは水素で真空置換する。真空置換は、チャンバー内を真空にした後、ガスを導入しておくチャンバー内の清浄度を保つ方法の一つである。

【0042】

また、FOUP (Front Opening Unified Pod) 等の可搬式で密閉可能な基板搬送容器を用いて、その基板搬送容器によって局所的なクリーン空間を保持しながら、基板を基板搬送容器に収納し、次工程へ搬送する方法と本発明と組み合わせることで、さらにプラズマCVD装置のチャンバー内の酸素濃度、及び窒素濃度を低減できる。基板搬送容器内に気密する高純度ガスは、窒素ではなく、希ガスまたは水素ガスを用いる。

10

【0043】

また、半導体装置の作製方法も本明細書で開示する発明の一つであり、その発明は、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極上に絶縁膜を成膜し、外気と真空チャンバー外壁との間に希ガスまたは水素ガスを循環させた第1エリアを真空チャンバー外壁に接して設け、第1エリアを第1のパーティションで囲って真空チャンバーと第2エリアとを隔離し、さらに第2エリア及び第1エリアを第2のパーティションで囲って外気と第2エリアとを隔離し、真空チャンバー内に絶縁膜が設けられた基板を設置し、真空チャンバー内に材料ガスを導入してプラズマを発生させて絶縁膜上に微結晶半導体膜を形成し、微結晶半導体膜上にパッファ層を成膜し、微結晶半導体膜の成膜は、パッファ層との界面付近の第1領域を絶縁膜との界面付近の第2領域よりも成膜速度が速くなるように成膜条件を段階的または連続的に変化させる半導体装置の作製方法である。

20

【0044】

微結晶半導体膜は酸素を含む雰囲気に触れると酸化するため、大気開放せずにパッファ層を積層して、酸化防止することが好ましい。微結晶半導体膜とパッファ層とを2つのチャンバーでそれぞれ成膜する場合においても、2つのチャンバーが第1エリアに配置されていれば、成膜される膜中の酸素濃度、及び窒素濃度を低減することができる。1つのチャンバー内で材料ガスを調節することで微結晶半導体膜とパッファ層を順次積層することもできる。例えば、微結晶半導体膜として微結晶シリコン膜を形成し、パッファ層として非晶質シリコン膜を形成する場合には、シランガスと水素ガスの流量比を調節することで積層することができる。1つのチャンバー内で積層させる場合、微結晶半導体膜とパッファ層の界面を極めて清浄にすることができる。

30

【0045】

上記半導体装置の作製方法に加え、さらに、パッファ層上にn型不純物元素を含む半導体膜を成膜し、n型不純物元素を含む半導体膜上にソース電極またはドレイン電極を形成し、n型不純物元素を含む半導体膜をエッチングして、ソース領域及びドレイン領域を形成し、ソース領域及びドレイン領域と重なる領域を残存させてパッファ層の一部をエッチングして除去することでチャンネルエッチ型のボトムゲート薄膜トランジスタを作製する。なお、これらの工程も第1エリアで行うことが好ましい。

40

【発明の効果】

【0046】

真空チャンバーの外側から大気成分のガスが、真空チャンバー内に侵入しないように、水素又は希ガスで充填させた部屋に真空チャンバーを設置することで、半導体膜中の不純物（大気成分である酸素、窒素）濃度を低減することができる。

【0047】

微結晶半導体膜の成膜時に、真空チャンバーを大気から隔離することで酸素や窒素などの大気成分ガスが作用しないため、結晶性の良い微結晶半導体膜を形成することができる。

50

【 0 0 4 8 】

また、真空チャンバー内の到達真空度を超高真空域としなくとも、クリーンルーム内に水素又は希ガスで充填させた第 1 エリアを設置することで、製造する半導体装置の特性バラツキが低減される。

【 発明を実施するための最良の形態 】

【 0 0 4 9 】

本発明の実施形態について、以下に説明する。

【 0 0 5 0 】

(実施の形態 1) 図 1 は本発明のクリーンルームの構成の一例を示す断面図である。

【 0 0 5 1 】

第 1 エリア 1 0 2 は、第 1 のパーティション 1 0 1 で囲まれた領域を指しており、ガス供給ユニット 1 0 5 から供給される希ガス、ここではアルゴンガスで充填されている。

【 0 0 5 2 】

第 1 エリア 1 0 2 にはグレーチング床 1 0 7 a 上に製造装置、ここではプラズマ C V D 装置 1 0 3 を設置する。プラズマ C V D 装置 1 0 3 は、ロード室 1 0 6 とゲート弁を介して連結される。

【 0 0 5 3 】

ガス供給ユニット 1 0 5 から供給されるアルゴンガスは、第 1 のファンフィルタユニット 1 0 4 によって、送風される。第 1 のファンフィルタユニット 1 0 4 は、別途設けられたパーティションに設置される。第 1 のファンフィルタユニット 1 0 4 によって、図 1 中の点線矢印で示した方向にアルゴンガスは送られ、グレーチング床 1 0 7 a に設けられている開口を通過して下方へ送られた後、上方に押し上げられ、グレーチング床 1 0 7 b に設けられている開口を通過して第 1 のパーティション 1 0 1 の側壁に沿って送られ、再び第 1 のファンフィルタユニット 1 0 4 を通過する。

【 0 0 5 4 】

また、アルゴンガスを有効に利用するため、第 1 エリア 1 0 2 の外側に排気ユニット 1 0 8 を設け、吸気したアルゴンガスをガス供給ユニット 1 0 5 に供給することで循環させている。

【 0 0 5 5 】

このようなクリーンルーム構成とすることで、第 1 エリア 1 0 2 内の清浄度を維持する。なお、作業者は酸素が低濃度である第 1 エリアへの立ち入りが禁止される。

【 0 0 5 6 】

第 1 エリア 1 0 2 はさらに第 2 のパーティション 1 0 9 で囲まれる。第 2 のパーティション 1 0 9 と第 1 のパーティション 1 0 1 の間は、第 2 エリア 1 1 0 であり、清浄な大気を送風される。図 1 に示すように第 1 エリア 1 0 2 は、水平方向に第 2 エリア 1 1 0 で囲まれる。また、第 1 エリア 1 0 2 は、上下方向にも第 2 エリア 1 1 0 で囲まれる。

【 0 0 5 7 】

第 2 エリア 1 1 0 と第 1 エリアは独立して循環させている。第 2 エリア 1 1 0 においては、第 2 のパーティション 1 0 9 の外部から取り込んだ大気を空調機 1 1 2 によって清浄な大気として第 2 エリア 1 1 0 に供給し、第 2 のファンフィルタユニット 1 1 3 によって、送風される。第 2 のファンフィルタユニット 1 1 3 によって、図 1 中の実線矢印で示した方向に清浄な大気は送られ、グレーチング床 1 0 7 c に設けられている開口を通過して下方へ送られた後、上方に押し上げられ、グレーチング床 1 0 7 d に設けられている開口を通過して第 2 のパーティション 1 0 9 の側壁に沿って送られ、再び第 2 のファンフィルタユニット 1 1 3 を通過する。また、第 2 エリア 1 1 0 内の大気を空調機 1 1 2 に供給する経路も有しており、循環させることができる。

【 0 0 5 8 】

このようなクリーンルーム構成とすることで、第 2 エリア 1 1 0 内の清浄度を維持する。なお、第 2 エリア 1 1 0 は大気雰囲気であるため、作業者は第 2 エリア 1 1 0 への立ち入りは可能である。

10

20

30

40

50

【0059】

また、第2エリア110には、AGVなどの自動搬送装置111が処理前後の基板を搬送するため移動できるスペースとなっている。第2エリア110の自動搬送装置111は、基板を第1エリア102内のロード室106に搬送できるように設計される。

【0060】

基板は、ある装置から別の装置に搬送する際に大気に触れることがないようにするため、カセットに代えてFOUPと呼ばれるプラスチックケースを用いてもよい。FOUPを用いる場合には、複数の基板を収納するFOUP内を希ガスまたは水素で満たし、ロード室106にFOUPオープナー機構を設ければ、自動で開き、搬送ロボットで成膜チャンバーに運ばれる機構となる。

10

【0061】

図2(A)にクリーンルームの上面図の一例を示す。図1では第2エリア内に一つの第1エリアを図示した例を示したが、半導体装置を作製する場合、複数の製造装置が配置されることになるため、図2(A)に示すように第2エリア内に複数の第1エリアが設けられる。

【0062】

こうして、第1エリア102内をアルゴン雰囲気とし、第2エリア110内を清浄な大気雰囲気とすることで、大気に多く含まれる酸素や窒素などに敏感な成膜を第1エリア102に配置した製造装置で行うことができる。

【0063】

また、プラズマCVD装置103のメンテナンスを行う場合、作業者が第1エリアに入るように第1エリア102内のアルゴンガスを排気ユニット108により外気に排気し、空調機112からの清浄な大気を導入する。図示しないが、空調機112から第1エリア内への清浄な大気供給を行えるクリーンルーム構成とする。なお、メンテナンスを行う際にはガス供給ユニット105からのアルゴンガスの供給を停止する。

20

【0064】

また、ここでは図示しないが、補助装置を第1エリア外または第2エリア外に設ける。この補助装置は、第1エリアや第2エリアに設置する装置の動作を補助する装置を指している。例えば、第1エリアや第2エリアに設置する装置が真空を必要とする場合に装置から配管を介して真空排気を行う排気ユニット、冷却を必要とする場合には装置に往復配管を介して冷却水を循環させる熱交換ユニット、装置が人体に有害な物質を排出する場合に装置から配管を介してその有害物質を取り込み、無害なものに変えてクリーンルーム外に排出する除外装置、装置が排出する廃液を貯蔵する廃液処理施設などが挙げられる。

30

【0065】

また、プラズマCVD装置としては、2重チャンバー構造のCVD装置を用いると、さらに成膜される半導体膜中の酸素濃度及び窒素濃度を効果的に低減することができる。

【0066】

図2(B)に2重チャンバー構造のCVD装置を第1エリア102内に配置する例の上面図を示す。また、2重チャンバー構造のCVD装置の斜視図を図3に示す。

【0067】

図2および図3に示す成膜装置は、成膜室及び搬送室を有し、成膜室204a、204bの間に搬送室202bが配置され、搬送室202a、202bが隣接して配置された構造を有する。各成膜室には、縦方向に重ねて配置された10個のチャンバー208a、208bを具備し、各チャンバー208a、208bには、成膜ガスを供給する供給系206a、206b、排気ガスを排気する排気系207a、207b及び電源205a、205bを具備する。

40

【0068】

図2および図3に示す成膜装置は、各成膜室204a、204bにおいて、複数のチャンバー208a、208bの全ての供給系は、一つの供給源に接続されていることを特徴とする。同様に、複数のチャンバー208a、208bの全ての排気系は、一つの排気口

50

に接続されていることを特徴とする。この特徴により、図 2 および図 3 に示す成膜装置では複数のチャンバー 208 a、208 b を縦方向に重ねて配置しているにもかかわらず、供給系 206 a、206 b と排気系 207 a、207 b とを簡単に配置することができる。また、成膜室 204 a、204 b には、各成膜室の圧力を減圧するための排気系（図示しない）が設けられている。チャンバー内の圧力と成膜室内の圧力とを制御することにより、成膜、及びチャンバー内のクリーニングを交互に行うことができ、効率良く成膜を行うことができる。

【0069】

成膜を行う場合、チャンバー内を成膜室内よりも圧力が小さい状態でプラズマを発生させて成膜を行う。チャンバー内に供給された材料ガスがチャンバーの外側に微量に流れる。即ち、2重構造のチャンバーと言える。この2重構造のチャンバーの場合、チャンバー 208 a、208 b 開口に金属板を接触させるだけで密封させるため、内側のチャンバーにはシール部がなく、外側の成膜室の外壁にメンテナンスのためのシール部がある。ここでは、全ての成膜室の外側を覆うように袋体 209 が設けられ、成膜室と大気とを隔離する。袋体 209 内の空間 210 には酸素や窒素をほとんど含まない希ガスまたは水素ガスを供給する。

10

【0070】

モノシラン、ジシラン、トリシランなどの材料ガスと水素ガスを原料ガスとして導入し、プラズマを発生させて微結晶半導体膜を被処理基板に直接成膜することができる。

20

【0071】

図 2 において、ロード室 201 a には所望のサイズのガラス基板等の絶縁表面を有する基板がセットされる。基板の搬送方式として、図 2 及び図 3 に図示する装置では水平搬送を採用するが、第五世代以降のメータ角の基板を用いる場合、搬送機の占有面積の低減を目的として、基板を縦置きにした縦形搬送を行ってもよい。

【0072】

搬送室 202 a、202 b の各々には、搬送機構（ロボットアームなど）203 a、203 b が具備されている。搬送機構により、ロード室 201 a にセットされた基板が各成膜室 204 a、204 b に搬送される。そして、成膜室 204 a、204 b のチャンバー 208 a、208 b において、搬送された基板の被処理面に対して所定の処理が行われる。また、図 2 及び図 3 において、搬送室が複数設けられているが、これは一つでもよい。成膜を終えた基板はアンロード室 201 b に搬送される。

30

【0073】

図 2 及び図 3 に示すように、複数のチャンバーを有する成膜装置で成膜することにより、同時に多数の基板に同条件で形成される膜を形成することができる。このため、基板間のバラツキを低減することが可能となり、歩留まりを向上させることができる。また、スループットを向上することもできる。

【0074】

さらに、第 1 のパーティション 101 により形成される低酸素濃度、且つ低窒素濃度であるアルゴン雰囲気内に複数のチャンバーを配置し、大気と隔離することで、長時間に渡り、チャンバー 208 a、208 b 内の大気成分濃度の増加を防止することができる。従って、図 2（B）に示す第 1 エリア 102 に配置されたプラズマ CVD 装置は、従来に比べ長期間に渡って均質な成膜を提供することができる。

40

【0075】

図 2 及び図 3 では、バッチ式のプラズマ CVD 装置の一例を示したが特に限定されず、基板を 1 枚ずつ成膜する枚葉式の CVD 装置としても本発明の効果を得ることができる。

【0076】

（実施の形態 2）

本実施の形態では、液晶表示装置に用いられる薄膜トランジスタの作製工程について、図 4 乃至図 8 を用いて説明する。図 4 乃至図 6 は、薄膜トランジスタの作製工程を示す断面図であり、図 7 は、一画素における薄膜トランジスタ及び画素電極の接続領域の上面図で

50

ある。また、図 8 は、微結晶シリコン膜の成膜方法を示すタイミングチャートである。

【 0 0 7 7 】

微結晶半導体膜を有する薄膜トランジスタは p 型よりも n 型の方が、移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、n チャネル型の薄膜トランジスタを用いて説明する。

【 0 0 7 8 】

図 4 (A) に示すように、基板 5 0 上にゲート電極 5 1 を形成する。基板 5 0 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板等を用いることができる。基板 5 0 がマザーガラスの場合、基板の大きさは、第 1 世代 (3 2 0 mm × 4 0 0 mm)、第 2 世代 (4 0 0 mm × 5 0 0 mm)、第 3 世代 (5 5 0 mm × 6 5 0 mm)、第 4 世代 (6 8 0 mm × 8 8 0 mm、または 7 3 0 mm × 9 2 0 mm)、第 5 世代 (1 0 0 0 mm × 1 2 0 0 mm または 1 1 0 0 mm × 1 2 5 0 mm)、第 6 世代 1 5 0 0 mm × 1 8 0 0 mm)、第 7 世代 (1 9 0 0 mm × 2 2 0 0 mm)、第 8 世代 (2 1 6 0 mm × 2 4 6 0 mm)、第 9 世代 (2 4 0 0 mm × 2 8 0 0 mm、2 4 5 0 mm × 3 0 5 0 mm)、第 1 0 世代 (2 9 5 0 mm × 3 4 0 0 mm) 等を用いることができる。

【 0 0 7 9 】

ゲート電極 5 1 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極 5 1 は、スパッタリング法や真空蒸着法で基板 5 0 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極 5 1 を形成することもできる。なお、ゲート電極 5 1 の密着性向上と下地への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板 5 0 及びゲート電極 5 1 の間に設けてもよい。ここでは、第 1 のフォトリソマスクを用いて形成したレジストマスクを用いて基板 5 0 上に形成された導電膜をエッチングしてゲート電極を形成する。

【 0 0 8 0 】

具体的なゲート電極構造の例としては、アルミニウム膜上にモリブデン膜を積層させ、アルミニウム特有のヒロックやエレクトロマイグレーションを防ぐ構造にしてもよい。また、アルミニウム膜をモリブデン膜で挟んだ 3 層構造としてもよい。また、他のゲート電極構造の例として、銅膜上にモリブデン膜の積層、銅膜上に窒化チタン膜の積層、銅膜上に窒化タンタル膜の積層が挙げられる。

【 0 0 8 1 】

なお、ゲート電極 5 1 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ形状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

【 0 0 8 2 】

次に、ゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、5 2 c を順に形成する。ここまでの工程を終えた断面図が図 4 (A) に相当する。

【 0 0 8 3 】

ゲート絶縁膜 5 2 a、5 2 b、5 2 c はそれぞれ、CVD 法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ゲート絶縁膜に形成されるピンホール等による層間ショートを防ぐため、異なる絶縁層を用いて多層とすることが好ましい。ここでは、ゲート絶縁膜 5 2 a、5 2 b、5 2 c として、窒化珪素膜、酸化窒化珪素膜、窒化珪素膜の順に積層して形成する形態を示す。

【 0 0 8 4 】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いもので

10

20

30

40

50

あって、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、Siが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲で含まれるものをいう。

【0085】

ゲート絶縁膜の1層目及び2層目の膜厚はともに50nmよりも厚くする。ゲート絶縁膜の1層目は、基板からの不純物（例えばアルカリ金属など）の拡散を防ぐために、窒化珪素膜または窒化酸化珪素膜が好ましい。また、ゲート絶縁膜の1層目は、ゲート電極の酸化防止の他、ゲート電極にアルミニウムを用いる場合にヒロック防止ができる。また、微結晶半導体膜と接するゲート絶縁膜の3層目は、0nmより厚く5nm以下、望ましくは約1nmとする。ゲート絶縁膜の3層目は、微結晶半導体膜との密着性を向上させるために設けるものである。また、ゲート絶縁膜の3層目を窒化珪素膜とすることで後に行われる熱処理による微結晶半導体膜の酸化防止を図ることができる。例えば、酸素の含有量が多い絶縁膜と微結晶半導体膜とを接した状態で熱処理を行うと、微結晶半導体膜が酸化する恐れがある。

10

【0086】

更には、周波数が1GHzのマイクロ波プラズマCVD装置を用いてゲート絶縁膜を形成することが好ましい。マイクロ波プラズマCVD装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、薄膜トランジスタの信頼性を高めることができる。

20

【0087】

ここでは、ゲート絶縁膜を3層構造としたが、液晶表示装置のスイッチング素子に用いる場合、交流駆動させるため、窒化珪素膜の単層のみでもよい。

【0088】

次いで、ゲート絶縁膜の成膜後、大気に触れさせることなく基板を搬送し、ゲート絶縁膜を成膜する真空チャンバーとは異なる真空チャンバーで微結晶半導体膜53を成膜することが好ましい。

【0089】

本実施の形態では、図1に示すクリーンルームの第1エリアに配置された成膜装置を用いて微結晶半導体膜53を成膜する。アルゴンガスを充填された部屋に成膜装置を設置することによって、成膜装置内の低酸素濃度及び低窒素濃度の維持を図っている。

30

【0090】

以下に、図8も参照しながら微結晶半導体膜53を形成する手順について説明する。図8の説明は真空チャンバーを大気圧から真空排気1200する段階から示されており、その後に行われるプレコート1201、基板搬入1202、下地前処理1203、成膜処理1204、基板搬出1205、クリーニング1206の各処理が時系列的に示されている。ただし、大気圧から真空排気することに限定されず、常時ある程度の真空度に真空チャンバーを保っておくことが、量産を行う上好ましい、または短時間で到達真空度を上げる上で好ましい。

【0091】

本実施の形態では、基板搬入前の真空チャンバー内の真空度を 2×10^{-2} Torr (2.666 Pa) から1 Torr (133.3 Pa) の範囲とする真空排気を行う。この段階が図8の真空排気1200に対応する。また、基板を加熱するヒータも動作させて温度を安定化させる。基板の加熱温度は100～300、好ましくは120～220で行う。

40

【0092】

次いで、基板搬入前にプレコート1201を行い、内壁被覆膜としてシリコン膜を形成する。プレコート1201として、水素または希ガスを導入してプラズマを発生させて真空チャンバーの内壁に付着した気体（酸素及び窒素などの大気成分、若しくは真空チャンバーのクリーニングに使用したエッチングガス）を除去した後、シランガスを導入して、プ

50

ラズマを生成する。シランガスは酸素、水分等と反応するので、シランガスを流し、さらにシランプラズマを生成することで真空チャンバー内の酸素、水分を除去することができる。また、プレコート1201の処理をしておくことで、微結晶シリコン膜中に真空チャンバーを構成する部材の金属元素を不純物として取り込んでしまうのを防ぐことができる。すなわち、真空チャンバー内をシリコンで被覆しておくことで、真空チャンバー内がプラズマにより食刻されるのを防ぐことができ、後に成膜する微結晶シリコン膜に含まれる不純物濃度を低減することができる。プレコート1201は、真空チャンバーの内壁を基板上に堆積されるべき膜と同種の膜で被覆する処理が含まれている。

【0093】

プレコート1201の後、基板搬入1202が行われる。微結晶シリコン膜が堆積されるべき基板は、真空排気されたロード室に保管されているので、基板を搬入したとしても真空チャンバー内の真空度が著しく悪化することはない。

10

【0094】

次いで、下地前処理1203を行う。下地前処理1203は、微結晶シリコン膜を形成する場合において、特に有効な処理であり行うことが好ましい。すなわち、ガラス基板表面、絶縁膜の表面若しくは非晶質シリコンの表面上に微結晶シリコン膜をプラズマCVD法で成膜する場合には、不純物や格子不整合などの要因により堆積初期段階において非晶質層が形成されてしまう恐れがある。この非晶質層の厚さを極力低減し、可能であれば無くすために下地前処理1203を行うことが好ましい。下地前処理としては希ガスプラズマ処理、水素プラズマ処理若しくはこの両者の併用により行うことが好ましい。希ガスプラズマ処理としては、アルゴン、クリプトン、キセノンなど質量数の大きい希ガス元素を用いることが好ましい。表面に付着した酸素、水分、有機物、金属元素などの不純物をスパッタリングの効果で除去するためである。水素プラズマ処理は、水素ラジカルにより、表面に吸着した上記不純物の除去と、絶縁膜若しくは非晶質シリコン膜に対するエッチング作用により清浄な被成膜表面を形成するのに有効である。また、希ガスプラズマ処理と水素プラズマ処理を併用することにより微結晶核生成の促進を助長する。

20

【0095】

微結晶核の生成を促進させるという意味においては、図8中の破線1207で示すように、微結晶シリコン膜の成膜初期においてアルゴンなどの希ガスを供給し続けることは有効である。

30

【0096】

次いで、下地前処理1203に続いて微結晶シリコン膜を形成する成膜処理1204を行う。本実施の形態では、成膜速度は低い品質のよい第1の成膜条件でゲート絶縁膜界面付近の膜を形成し、その後、高い成膜速度の第2の成膜条件に変えて膜を堆積する。

【0097】

第1の成膜条件での成膜速度よりも第2の成膜条件の成膜速度が速ければ特に限定されない。従って、周波数が数十MHz~数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成し、代表的には、 SiH_4 、 Si_2H_6 などの水素化珪素を水素で希釈してプラズマ生成することで成膜することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を12倍以上1000倍以下、好ましくは50倍以上200倍以下、更に好ましくは100倍とする。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

40

【0098】

また、材料ガスにヘリウムを加えた場合、ヘリウムは24.5eVとすべての気体中で最も高いイオン化エネルギーを持ち、そのイオン化エネルギーよりも少し低い、約20eVの準位に準安定状態があるので、放電持続中においては、イオン化にはその差約4eVしか必要としない。そのため放電開始電圧も全ての気体中最も低い値を示す。このような特

50

性から、ヘリウムはプラズマを安定的に維持することができる。また、均一なプラズマを形成することができるので、微結晶シリコン膜を堆積する基板の面積が大きくなってもプラズマ密度の均一化を図る効果を奏する。

【0099】

また、シラン等のガス中に CH_4 、 C_2H_6 などの炭素の水素化物、 GeH_4 、 GeF_4 などの水素化ゲルマニウム、フッ化ゲルマニウムを混合して、エネルギーバンド幅を $1.5 \sim 2.4 \text{ eV}$ 、若しくは $0.9 \sim 1.1 \text{ eV}$ に調節しても良い。シリコンに炭素又はゲルマニウムを加えるとTFTの温度特性を変えることができる。

【0100】

ここでは、第1の成膜条件は、シランは水素及び/又は希ガスで100倍を超え2000倍以下に希釈し、基板の加熱温度は $100 \sim 300$ 、好ましくは $120 \sim 220$ とする。微結晶シリコン膜の成長表面を水素で不活性化し、微結晶シリコンの成長を促進するためには $120 \sim 220$ で成膜を行うことが好ましい。

10

【0101】

第1の成膜条件を終えた段階での断面図を図4(B)に示す。ゲート絶縁膜52c上には、成膜速度は低いが品質のよい微結晶半導体膜23が成膜されている。この第1の成膜条件で得られる微結晶半導体膜23の品質が、後に形成されるTFTのオン電流増大および電界効果移動度の向上に寄与するため、図1に示すクリーンルーム構成とし、膜中の酸素濃度が $1 \times 10^{-7} / \text{cm}$ 以下となるように十分酸素濃度を低減させることが重要である。また、上記クリーンルーム構成により、酸素だけでなく、窒素、及び炭素が微結晶半導体膜の膜中に混入する濃度を低減することができるため、微結晶半導体膜がn型化になることを防止することができる。

20

【0102】

次いで、第2の成膜条件に変えて成膜速度を上げて微結晶半導体膜53を成膜する。この段階での断面図が図4(C)に相当する。微結晶半導体膜53の膜厚は、 $50 \text{ nm} \sim 500 \text{ nm}$ （好ましくは $100 \text{ nm} \sim 250 \text{ nm}$ ）の厚さとすれば良い。なお、本実施の形態では、微結晶半導体膜53の成膜時間は、第1の成膜条件で成膜が行われる第1の成膜期間と第2の成膜条件で成膜が行われる第2の成膜期間とを有する。

【0103】

ここでは、第2の成膜条件は、シランは水素及び/又は希ガスで12倍以上100倍以下に希釈し、基板の加熱温度は $100 \sim 300$ 、好ましくは $120 \sim 220$ とする。なお、容量結合型（平行平板型）のCVD装置を用い、ギャップ（電極面と基板表面の間隔）を 20 mm とし、真空チャンバー内の真空度 100 Pa とし、基板温度 300 とし、 60 MHz の高周波電力を 20 W 加え、シランガス（流量 8 sccm ）を水素（流量 400 sccm ）で50倍に希釈して微結晶シリコン膜を成膜する。また、上記成膜条件でシランガスの流量のみを 4 sccm に変更して100倍に希釈して微結晶シリコン膜を成膜すると成膜速度が遅くなる。水素流量を固定し、シラン流量を増やすことで成膜速度が増大する。成膜速度を低下させることで、結晶性が向上する。

30

【0104】

本実施の形態では、容量結合型（平行平板型）のCVD装置を用い、ギャップ（電極面と基板表面の間隔）を 20 mm とし、第1の成膜条件を真空チャンバー内の真空度 100 Pa とし、基板温度 100 とし、 60 MHz の高周波電力を 30 W 加え、シランガス（流量 2 sccm ）を水素（流量 400 sccm ）で200倍に希釈する条件とし、ガス流量を変えて成膜速度を速める第2の成膜条件として 4 sccm のシランガスを水素（流量 400 sccm ）で100倍に希釈する条件で成膜を行う。

40

【0105】

次いで、第2の成膜条件での微結晶シリコンの成膜が終了した後、シラン、水素などの材料ガス及び高周波電力の供給を止めて基板搬出1205を行う。引き続き次の基板に対して成膜処理を行う場合には、基板搬入1202の段階に戻り同じ処理が行われる。真空チャンバー内に付着した被膜や粉末を除去するには、クリーニング1206を行う。

50

【0106】

クリーニング1206は NF_3 、 SF_6 に代表されるエッチングガスを導入してプラズマエッチングを行う。また、 ClF_3 のようにプラズマを利用しなくてもエッチングが可能なガスを導入して行う。クリーニング1206においては基板加熱用のヒータを切って、温度を下げて行うことが好ましい。エッチングによる反応副生成物の生成を抑えるためである。クリーニング1206の終了後はプレコート1201に戻り、次の基板に対して上述した同様の処理を行えば良い。 NF_3 は窒素を組成に含んでいるため、成膜室中の窒素濃度を低減するためにはプレコートを行って十分に窒素濃度を下げることが望ましい。

【0107】

次いで、微結晶半導体膜53の成膜後、大気に触れさせることなく基板を搬送し、微結晶半導体膜53を成膜する真空チャンバーとは異なる真空チャンバーでバッファ層54を成膜することが好ましい。バッファ層54の真空チャンバーと別にすることで、不純物汚染を極力抑えることができる。また、真空チャンバーを別々とする事で、得ようとする膜質に合わせてそれぞれ高周波電力の周波数を異ならせることができる。

10

【0108】

バッファ層54は、水素、若しくはハロゲンを含む非晶質半導体膜を用いて形成する。水素化珪素の流量の1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

20

【0109】

また、バッファ層54は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)を含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

【0110】

バッファ層54は、結晶粒を含まない非晶質半導体膜で形成することが好ましい。このため、周波数が数十MHz～数百MHzの高周波プラズマCVD法、またはマイクロ波プラズマCVD法で形成する場合は、結晶粒を含まない非晶質半導体膜となるように、成膜条件を制御することが好ましい。

30

【0111】

バッファ層54は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッチングする。そのときに、微結晶半導体膜53が露呈しないようにバッファ層54の一部が残存する厚さで形成することが好ましい。代表的には、100nm以上400nm以下、好ましくは200nm以上300nm以下の厚さで形成することが好ましい。薄膜トランジスタの印加電圧の高い(例えば15V程度)表示装置、代表的には液晶表示装置において、バッファ層54の膜厚を上記範囲に示すように厚く形成すると、耐圧が高くなり、薄膜トランジスタに高い電圧が印加されても、薄膜トランジスタが劣化することを回避することができる。

40

【0112】

なお、バッファ層54には、リンやボロン等の一導電型を付与する不純物が添加されていない。一導電型を付与する不純物が添加された半導体膜55から一導電型を付与する不純物が微結晶半導体膜53へ拡散しないように、バッファ層54がバリア層として機能している。バッファ層を設けない場合、微結晶半導体膜53と一導電型を付与する不純物が添加された半導体膜55とが接してしまうと、後のエッチング工程や加熱処理により不純物が移動し、しきい値制御が困難になる恐れがある。

【0113】

50

さらにバッファ層 5 4 を微結晶半導体膜 5 3 の表面上に形成することで、微結晶半導体膜 5 3 に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成されてしまう。

【0114】

非晶質半導体膜であるバッファ層 5 4 のエネルギーギャップが微結晶半導体膜 5 3 に比べて大きく（非晶質半導体膜のエネルギーギャップは $1.1 \sim 1.5 \text{ eV}$ 、微結晶半導体膜 5 3 のエネルギーギャップは $1.6 \sim 1.8 \text{ eV}$ ）、また抵抗が高く、移動度が低く、微結晶半導体膜 5 3 の $1/5 \sim 1/10$ である。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、微結晶半導体膜 5 3 との間に形成されるバッファ層は高抵抗領域として機能し、微結晶半導体膜 5 3 がチャネル形成領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを表示装置のスイッチング素子として用いた場合、表示装置のコントラストを向上させることができる。

10

【0115】

なお、微結晶半導体膜 5 3 上に、プラズマ CVD 法によりバッファ層 5 4 を $300 \sim 400$ の温度にて成膜することが好ましい。この成膜処理により水素が微結晶半導体膜 5 3 に供給され、微結晶半導体膜 5 3 を水素化したのと同等の効果が得られる。すなわち、微結晶半導体膜 5 3 上にバッファ層 5 4 を堆積することにより、微結晶半導体膜 5 3 に水素を拡散させて、ダングリングボンドの終端を行うことができる。

20

【0116】

次いで、バッファ層 5 4 の成膜後、大気に触れさせることなく基板を搬送し、バッファ層 5 4 を成膜する真空チャンバーとは異なる真空チャンバーで一導電型を付与する不純物が添加された半導体膜 5 5 を成膜することが好ましい。この段階での断面図が図 4 (D) に相当する。バッファ層 5 4 を成膜する真空チャンバーとは異なる真空チャンバーで一導電型を付与する不純物が添加された半導体膜 5 5 を成膜することでバッファ層の成膜時に一導電型を付与する不純物が混入しないようにすることができる。

【0117】

一導電型を付与する不純物が添加された半導体膜 5 5 は、n チャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に PH_3 などの不純物気体を加えれば良い。また、p チャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に B_2H_6 などの不純物気体を加えれば良い。一導電型を付与する不純物が添加された半導体膜 5 5 は、微結晶半導体、または非晶質半導体で形成することができる。一導電型を付与する不純物が添加された半導体膜 5 5 は 2 nm 以上 50 nm 以下の厚さで形成する。一導電型を付与する不純物が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

30

【0118】

次いで、図 5 (A) に示すように、一導電型を付与する不純物が添加された半導体膜 5 5 上にレジストマスク 5 6 を形成する。レジストマスク 5 6 は、フォトリソグラフィ技術またはインクジェット法により形成する。ここでは、第 2 のフォトマスクを用いて、一導電型を付与する不純物が添加された半導体膜 5 5 上に塗布されたレジストを露光現像して、レジストマスク 5 6 を形成する。

40

【0119】

次いで、レジストマスク 5 6 を用いて微結晶半導体膜 5 3、バッファ層 5 4、及び導電型を付与する不純物が添加された半導体膜 5 5 をエッチングし分離して、図 5 (B) に示すように、微結晶半導体膜 6 1、バッファ層 6 2、及び一導電型を付与する不純物が添加された半導体膜 6 3 を形成する。この後、レジストマスク 5 6 を除去する。

【0120】

微結晶半導体膜 6 1、バッファ層 6 2 の端部側面が傾斜していることにより、バッファ層

50

6 2 上に形成されるソース領域及びドレイン領域と微結晶半導体膜 6 1 との間にリーク電流が生じること防止することが可能である。また、ソース電極及びドレイン電極と、微結晶半導体膜 6 1 との間にリーク電流が生じるのを防止することが可能である。微結晶半導体膜 6 1 及びバッファ層 6 2 の端部側面の傾斜角度は、 $90^{\circ} \sim 30^{\circ}$ 、好ましくは $80^{\circ} \sim 45^{\circ}$ である。このような角度とすることで、段差形状によるソース電極またはドレイン電極の段切れを防ぐことができる。

【0121】

次に、図 5 (C) に示すように、一導電型を付与する不純物が添加された半導体膜 6 3 及びゲート絶縁膜 5 2 c を覆うように導電膜 6 5 a ~ 6 5 c を形成する。導電膜 6 5 a ~ 6 5 c は、アルミニウム、若しくは銅、シリコン、チタン、ネオジウム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜 6 5 a ~ 6 5 c 3 層が積層した構造の導電膜を示し、導電膜 6 5 a、6 5 c にモリブデン膜、導電膜 6 5 b にアルミニウム膜を用いた積層導電膜や、導電膜 6 5 a、6 5 c にチタン膜、導電膜 6 5 b にアルミニウム膜を用いた積層導電膜を示す。導電膜 6 5 a ~ 6 5 c は、スパッタリング法や真空蒸着法で形成する。

10

20

【0122】

次に、図 5 (D) に示すように、導電膜 6 5 a ~ 6 5 c 上に第 3 のフォトリソマスクを用いてレジストマスク 6 6 を形成し、導電膜 6 5 a ~ 6 5 c の一部をエッチングして一対のソース電極及びドレイン電極 7 1 a ~ 7 1 c を形成する。導電膜 6 5 a ~ 6 5 c をウェットエッチングすると、導電膜 6 5 a ~ 6 5 c の端部が選択的にエッチングされる。この結果、レジストマスク 6 6 より面積の小さいソース電極及びドレイン電極 7 1 a ~ 7 1 c を形成することができる。

【0123】

次に、図 6 (A) に示すように、レジストマスク 6 6 を用いて一導電型を付与する不純物が添加された半導体膜 6 3 をエッチングして、一対のソース領域及びドレイン領域 7 2 を形成する。さらに、当該エッチング工程において、バッファ層 6 2 の一部もエッチングする。一部エッチングされた、窪み（溝）が形成されたバッファ層をバッファ層 7 3 と示す。ソース領域及びドレイン領域の形成工程と、バッファ層の窪み（溝）とを同一工程で形成することができる。バッファ層の窪み（溝）の深さをバッファ層の一番膜厚の厚い領域の $1/2 \sim 1/3$ とすることで、ソース領域及びドレイン領域の距離を離すことが可能であるため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。この後、レジストマスク 6 6 を除去する。

30

【0124】

特にドライエッチングなどで用いるプラズマに曝されるとレジストマスクは変質し、レジスト除去工程で完全には除去されず、残渣が残ることを防ぐためにバッファ層を 50 nm 程度エッチングする。レジストマスク 6 6 は、導電膜 6 5 a ~ 6 5 c の一部のエッチング処理と、ソース領域及びドレイン領域 7 2 の形成時のエッチング処理の 2 回に用いられており、どちらもドライエッチングを用いる場合には、残渣が残りやすいため、残渣を完全に除去する際にエッチングされてもよいバッファ層の膜厚を厚く形成することは有効である。また、バッファ層 7 3 は、ドライエッチングの際にプラズマダメージが微結晶半導体膜 6 1 に与えられることを防止することもできる。

40

【0125】

次に、図 6 (B) に示すように、ソース電極及びドレイン電極 7 1 a ~ 7 1 c、ソース領域及びドレイン領域 7 2、バッファ層 7 3、微結晶半導体膜 6 1、及びゲート絶縁膜 5 2

50

cを覆う絶縁膜76を形成する。絶縁膜76は、ゲート絶縁膜52a、52b、52cと同じ成膜方法を用いて形成することができる。なお、絶縁膜76は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜76に窒化珪素膜を用いることで、パッファ層87中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることができる。

【0126】

図6(B)に示すように、ソース電極及びドレイン電極71a~71cの端部と、ソース領域及びドレイン領域72の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極71a~71cの端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極71a~71cの端部と、ソース領域及びドレイン領域72の端部は一致せずずれた形状であるため、ソース電極及びドレイン電極71a~71c及びソース領域及びドレイン領域72の端部に電界が集中せず、ゲート電極51と、ソース電極及びドレイン電極71a~71cとの間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

10

【0127】

以上の工程により、薄膜トランジスタ74を形成することができる。

【0128】

本実施の形態で示す薄膜トランジスタは、ゲート電極上にゲート絶縁膜、微結晶半導体膜、パッファ層、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層され、チャンネル形成領域として機能する微結晶半導体膜の表面をパッファ層が覆う。また、パッファ層の一部には窪み(溝)が形成されており、当該窪み以外の領域がソース領域及びドレイン領域で覆われる。即ち、パッファ層に形成される窪みにより、ソース領域及びドレイン領域の距離が離れているため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、パッファ層の一部をエッチングすることにより窪みを形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流(寄生チャンネル)が発生することを回避することができる。

20

【0129】

また、チャンネル形成領域として機能する微結晶半導体膜とソース領域及びドレイン領域との間に、パッファ層が形成されている。また、微結晶半導体膜の表面がパッファ層で覆われている。高抵抗のパッファ層は、微結晶半導体膜と、ソース領域及びドレイン領域との間にまで延在しているため、薄膜トランジスタにリーク電流が発生することを低減することができる。また、パッファ層と、微結晶半導体膜と、ソース領域及びドレイン領域は、全てゲート電極と重なる領域上に形成される。従って、ゲート電極の端部形状に影響されない構造と言える。ゲート電極を積層構造とした場合、下層としてアルミニウムを用いると、ゲート電極側面にアルミニウムが露出し、ヒロックが発生する恐れがあるが、さらにソース領域及びドレイン領域をゲート電極端部とも重ならない構成とすることで、ゲート電極側面と重なる領域でショートが発生することを防ぐことができる。また、微結晶半導体膜の表面に水素で表面が終端された非晶質半導体膜がパッファ層として形成されているため、微結晶半導体膜の酸化を防止することが可能であると共に、ソース領域及びドレイン領域の形成工程に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。このため、電気特性が優れ、且つ耐圧に優れた薄膜トランジスタである。

30

40

【0130】

また、薄膜トランジスタのチャンネル長を短くすることができ、薄膜トランジスタの平面面積を縮小することができる。

【0131】

次に、絶縁膜76に第4のフォトリソマスクを用いて形成したレジストマスクを用いて絶縁膜

50

76の一部をエッチングしてコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極71cに接する画素電極77を形成する。なお、図6(C)は、図7の鎖線A-Bの断面図に相当する。

【0132】

図7に示すように、ソース領域及びドレイン領域72の端部は、ソース電極及びドレイン電極71cの端部の外側に位置することが分かる。また、バッファ層73の端部はソース電極及びドレイン電極71c及びソース領域及びドレイン領域72の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース領域及びドレイン領域の他方を囲む形状(具体的には、U字型、C字型)である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極上において、微結晶半導体膜、ソース電極及びドレイン電極が重畳されているため、ゲート電極の凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

10

【0133】

また、画素電極77は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

20

【0134】

また、画素電極77として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0135】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

30

【0136】

ここでは、画素電極77としては、スパッタリング法によりインジウム錫酸化物膜を成膜した後、インジウム錫酸化物膜上にレジストを塗布する。次に、第5のフォトリソマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてインジウム錫酸化物膜をエッチングして画素電極77を形成する。

【0137】

以上により表示装置に用いることが可能な素子基板を形成することができる。

【0138】

(実施の形態3)

本形態は基板を真空チャンバーに搬入する前に、水素または希ガスを導入してプラズマを発生させて真空チャンバーの内壁に付着した気体(酸素及び窒素などの大気成分、若しくは真空チャンバーのクリーニングに使用したエッチングガス)を除去した後、水素とシランガスと微量のフォスフィン(PH₃)ガスを導入する例を示す。実施の形態2とは一部工程が違うのみであるので、異なる工程のみを以下に詳細に図9を用いて説明する。図9において、実施の形態2と同じ部分には同じ符号を用いる。

40

【0139】

まず、実施の形態2と同様に基板350上にゲート電極を形成する。ここでは、600mm×720mmのサイズの無アルカリガラス基板を用いる。また、ここでは、大面積の基板を用いて表示画面が大きい表示装置を作製する例であるので、電気抵抗の低いアルミニウムからなる第1の導電層351aと、第1の導電層351aよりも耐熱性の高いモリブデンからなる第2の導電層351bとを積層させたゲート電極とする。

50

【0140】

次に、ゲート電極の上層である第2の導電層351b上に、ゲート絶縁膜352を形成する。液晶表示装置のスイッチング素子に用いる場合、交流駆動させるため、ゲート絶縁膜352は、窒化珪素膜の単層のみとすることが望ましい。ここでは、ゲート絶縁膜352として、単層の窒化珪素膜（誘電率7.0、厚さ300nm）をプラズマCVD法により形成する。ここまでの工程を終えた断面図が図9（A）に相当する。

【0141】

次いで、ゲート絶縁膜の成膜後、大気に触れさせることなく基板を搬送し、ゲート絶縁膜を成膜する真空チャンバーとは異なる真空チャンバーで微結晶半導体膜を成膜する。本実施の形態では、図1に示すクリーンルーム内の第1エリアに設置したプラズマCVD装置103を用いて微結晶半導体膜を成膜する。

10

【0142】

基板を図1に示すプラズマCVD装置103の真空チャンバーに搬入する前に、水素または希ガスを導入してプラズマを発生させて真空チャンバーの内壁に付着した気体（酸素及び窒素などの大気成分、若しくは真空チャンバーのクリーニングに使用したエッチングガス）を除去した後、水素とシランガスと微量のフォスフィン（ PH_3 ）ガスを導入する。シランガスは、真空チャンバー内の酸素、水分等と反応させることができる。微量のフォスフィンガスは、後に成膜される微結晶半導体膜中にリンを含ませることができる。

【0143】

次いで、基板を真空チャンバーに搬入して、図9（B）に示すように、シランガス及び微量のフォスフィンガスに曝した後、微結晶半導体膜を成膜する。微結晶半導体膜は、代表的には、 SiH_4 、 Si_2H_6 などの水素化珪素を水素で希釈してプラズマ生成することで成膜することができる。シランガスの流量の100倍を超え2000倍以下の流量の水素を用いて、リン及び水素を含む微結晶半導体膜353を形成することができる。微量のフォスフィンガスに曝すことにより、結晶核発生を助長して微結晶半導体膜353を成膜する。この微結晶半導体膜353は、リンの濃度がゲート絶縁膜界面から離れる距離の増大に従って減少する濃度プロファイルを示す。

20

【0144】

次いで、同じチャンバーで成膜条件を変更し、水素化珪素の流量の1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質シリコンからなるバッファ層54を積層する。ここまでの工程を終えた断面図が図9（C）に相当する。

30

【0145】

次いで、バッファ層54の成膜後、大気に触れさせることなく基板を搬送し、微結晶半導体膜353及びバッファ層54を成膜する真空チャンバーとは異なる真空チャンバーで一導電性を付与する不純物が添加された半導体膜55を成膜する。半導体膜55の成膜以降の工程は、実施の形態2と同一であるため、ここでは詳細な説明は省略する。

【0146】

本実施の形態は実施の形態1または実施の形態2と自由に組み合わせることができる。

【0147】

40

（実施の形態4）

実施の形態2と実施の形態3は、微結晶半導体膜とバッファ層との積層の例を示したが、第1エリアに設置する成膜装置は、微結晶半導体膜だけでなく、非晶質半導体膜も優れた膜質を得ることができる。本実施の形態では、活性層として非晶質シリコン膜の単層を用いる例を図10に示す。

【0148】

実施の形態3と同様に、基板450上にゲート電極を形成する。電気抵抗の低いアルミニウムからなる第1の導電層451aと、第1の導電層451aよりも耐熱性の高い窒化モリブデンからなる第2の導電層451bとを積層させたゲート電極とする。

【0149】

50

次に、実施の形態 3 と同様に、ゲート電極の上層である第 2 の導電層 4 5 1 b 上に、窒化珪素膜からなるゲート絶縁膜 4 5 2 を形成する。

【0150】

次いで、ゲート絶縁膜の成膜後、大気に触れさせることなく基板を搬送し、ゲート絶縁膜を成膜する真空チャンバーとは異なる真空チャンバーで非晶質半導体膜を成膜する。本実施の形態では、図 1 に示すクリーンルーム構成とし、プラズマ CVD 装置 1 0 3 を用いて非晶質半導体膜を成膜する。

【0151】

ここでは、成膜前に NF_3 や SF_3 や ClF_3 を用いてクリーニングを行い、意図的に非晶質半導体膜に塩素またはフッ素などのハロゲンを含ませる。非晶質シリコン膜は、代表的には、 SiH_4 、 Si_2H_6 などの水素化珪素を水素で希釈してプラズマ生成することで成膜することができる。水素化珪素の流量の 1 倍以上 10 倍以下、更に好ましくは 1 倍以上 5 倍以下の流量の水素を用いて、ハロゲン及び水素を含む非晶質シリコン膜を形成することができる。成膜時における真空チャンバー内における圧力は、少なくとも $2 \times 10^{-2} \text{ Torr}$ (2.666 Pa) $\sim 1 \text{ Torr}$ (133.3 Pa) の範囲内とする。図 1 に示すプラズマ CVD 装置 1 0 3 は、酸素、窒素などの大気成分が非晶質シリコン膜中に混入する濃度を十分に低減することができる。この非晶質シリコン膜 4 7 3 は、ハロゲンの濃度がゲート絶縁膜界面から離れる距離の増大に従って減少する濃度プロファイルを示す。非晶質シリコン膜のゲート絶縁膜界面にハロゲンを含ませることにより、非晶質シリコン膜中の未結合手（ダングリングボンド）を終端させることができるため、有効である。

10

20

【0152】

次いで、非晶質シリコン膜 4 7 3 の成膜後、大気に触れさせることなく基板を搬送し、非晶質シリコン膜を成膜する真空チャンバーとは異なる真空チャンバーで一導電型を付与する不純物が添加された半導体膜 4 7 2 を成膜する。

【0153】

次いで、一導電型を付与する不純物が添加された半導体膜上にレジストマスクを形成する。そのレジストマスクを用いて非晶質シリコン膜 4 7 3、及び導電型を付与する不純物が添加された半導体膜 4 7 2 をエッチングし分離する。この後、レジストマスクを除去する。

30

【0154】

次に、一導電型を付与する不純物が添加された半導体膜 4 7 2 及びゲート絶縁膜 4 5 2 を覆うように導電膜を形成する。ここでは、導電膜としては、3 層の導電膜が積層した構造の導電膜とし、具体的には第 1 の導電膜、第 3 の導電膜にモリブデン膜、第 2 の導電膜にアルミニウム膜を用いる 3 層の導電膜を示す。3 層の導電膜は、スパッタリング法や真空蒸着法で形成する。

【0155】

次に、3 層の導電膜上にレジストマスクを形成し、3 層の導電膜の一部をエッチングして一対のソース電極及びドレイン電極 4 7 1 a \sim 4 7 1 c を形成する。次に、レジストマスクを用いて一導電型を付与する不純物が添加された半導体膜 4 7 2 をエッチングして、一対のソース領域及びドレイン領域を形成する。さらに、当該エッチング工程において、非晶質シリコン膜 4 7 3 の一部も 50 nm 程度エッチングする。一部エッチングされた、窪み（溝）が形成された非晶質シリコン膜 4 7 3 を図 1 0 に示す。

40

【0156】

次に、ソース電極及びドレイン電極 4 7 1 a \sim 4 7 1 c 及びゲート絶縁膜 5 2 を覆う絶縁膜 4 7 6 を形成する。絶縁膜 4 7 6 は、ゲート絶縁膜 4 5 2 と同じ成膜方法を用いて形成することができる。なお、絶縁膜 4 7 6 は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜 4 7 6 に窒化シリコン膜を用いることで、非晶質シリコン膜 4 7 3 中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすること

50

ができる。

【0157】

以上の工程により、図10に示す薄膜トランジスタ74を形成することができる。

【0158】

本実施の形態で示す薄膜トランジスタは、ゲート電極上にゲート絶縁膜、非晶質シリコン膜、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層される。また、非晶質シリコン膜の一部には窪み（溝）が形成されており、当該窪み以外の領域がソース領域及びドレイン領域で覆われる。即ち、非晶質シリコン膜に形成される窪みにより、ソース領域及びドレイン領域の距離が離れているため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、非晶質シリコン膜の一部をエッチングすることにより窪みを形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流（寄生チャネル）が発生することを回避することができる。

10

【0159】

次に、絶縁膜476上に平坦化膜82を形成する。平坦化膜482は有機樹脂膜で形成する。次いで、レジストマスクを用いて絶縁膜476の一部及び平坦化膜482をエッチングしてコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極471cに接する画素電極477を形成する。

【0160】

以上により表示装置に用いることが可能な素子基板を形成することができる。なお、本実施の形態では平坦化膜482を設けた例を示したが特に限定されず、なくともよい。

20

【0161】

本実施の形態は実施の形態1乃至3と自由に組み合わせることができる。

【0162】

（実施の形態5）

実施の形態2とは異なる薄膜トランジスタの作製方法について、図11乃至図15を用いて説明する。ここでは、上記実施の形態2と比べフォトマスク数を削減することが可能なプロセスを用いて薄膜トランジスタを作製する工程について示す。

【0163】

実施の形態2に示した図4（A）と同様に、基板50上に導電膜を形成し、導電膜上にレジストを塗布し、第1のフォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて導電膜の一部をエッチングして、ゲート電極51を形成する。次に、ゲート電極51上に、ゲート絶縁膜52a、52b、52cを順に形成する。

30

【0164】

次に、実施の形態2に示した図4（B）と同様に図1に示すプラズマCVD装置を用いて、第1の成膜条件で微結晶半導体膜53を形成する。引き続き、同じチャンバーで第2の成膜条件で成膜を行って、実施の形態2に示した図4（C）と同様に、微結晶半導体膜53を形成する。次に、実施の形態2に示した図4（D）と同様に、微結晶半導体膜53上に、バッファ層54、一導電型を付与する不純物が添加された半導体膜55を順に形成する。

40

【0165】

次に、一導電型を付与する不純物が添加された半導体膜55上に導電膜65a～65cを形成する。次に、図12（A）に示すように、導電膜65a上にレジスト80を塗布する。

【0166】

レジスト80は、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

【0167】

次に、第2のフォトマスクとして多階調マスク59を用いて、レジスト80に光を照射して、レジスト80を露光する。

50

【0168】

ここで、多階調マスク59を用いた露光について、図11を用いて説明する。

【0169】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

【0170】

多階調マスクの代表例としては、図11(A)に示すようなグレートーンマスク59a、図11(C)に示すようなハーフトーンマスク59bがある。

10

【0171】

図11(A)に示すように、グレートーンマスク59aは、透光性を有する基板163及びその上に形成される遮光部164並びに回折格子165で構成される。遮光部164においては、光の透過量が100%である。一方、回折格子165はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過量を制御することができる。なお、回折格子165は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0172】

透光性を有する基板163は、石英等の透光性を有する基板を用いることができる。遮光部164及び回折格子165は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

20

【0173】

グレートーンマスク59aに露光光を照射した場合、図11(B)に示すように、遮光部164においては、光透過量166は0%であり、遮光部164及び回折格子165が設けられていない領域では光透過量166は100%である。また、回折格子165においては、10~70%の範囲で調整可能である。回折格子165における光の透過量の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

【0174】

30

図11(C)に示すように、ハーフトーンマスク59bは、透光性を有する基板163及びその上に形成される半透過部167並びに遮光部168で構成される。半透過部167は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部168は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0175】

ハーフトーンマスク59bに露光光を照射した場合、図11(D)に示すように、遮光部168においては、光透過量169は0%であり、遮光部168及び半透過部167が設けられていない領域では光透過量169は100%である。また、半透過部167においては、10~70%の範囲で調整可能である。半透過部167に於ける光の透過量の調整は、半透過部167の材料により調整により可能である。

40

【0176】

多階調マスクを用いて露光した後、現像することで、図12(B)に示すように、膜厚の異なる領域を有するレジストマスク81を形成することができる。

【0177】

次に、レジストマスク81をマスクとして、微結晶半導体膜53、バッファ層54、一導電型を付与する不純物が添加された半導体膜55、及び導電膜65a~65cをエッチングし分離する。この結果、図13(A)に示すような、微結晶半導体膜61、バッファ層62、一導電型を付与する不純物が添加された半導体膜63、及び導電膜85a~85cを形成することができる。なお、図13(A)は図15(A)のA-Bにおける断面図に

50

相当する（但しレジストマスク 8 6 を除く）。

【 0 1 7 8 】

次に、レジストマスク 8 1 をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト（ゲート電極 5 1 の一部と重畳する領域）は除去され、図 1 3（A）に示すように、分離されたレジストマスク 8 6 を形成することができる。

【 0 1 7 9 】

次に、レジストマスク 8 6 を用いて、導電膜 8 5 a ~ 8 5 c をエッチングし分離する。この結果、図 1 3（B）に示すような、一対のソース電極及びドレイン電極 9 2 a ~ 9 2 c を形成することができる。レジストマスク 8 6 を用いて導電膜 8 9 a ~ 8 9 c をウェットエッチングすると、導電膜 8 9 a ~ 8 9 c の端部が選択的にエッチングされる。この結果、レジストマスク 8 6 より面積の小さいソース電極及びドレイン電極 9 2 a ~ 9 2 c を形成することができる。

【 0 1 8 0 】

次に、レジストマスク 8 6 を用いて、一導電型を付与する不純物が添加された半導体膜 6 3 をエッチングして、一対のソース領域及びドレイン領域 8 8 を形成する。なお、当該エッチング工程において、バッファ層 6 2 の一部もエッチングする。一部エッチングされたバッファ層をバッファ層 8 7 と示す。なお、バッファ層 8 7 には凹部が形成される。ソース領域及びドレイン領域の形成工程と、バッファ層の窪み（溝）とを同一工程で形成することができる。ここでは、バッファ層 8 7 の一部が、レジストマスク 8 1 と比較して面積が縮小したレジストマスク 8 6 で一部エッチングされたため、ソース領域及びドレイン領域 8 8 の外側にバッファ層 8 7 が突出した形状となる。この後、レジストマスク 8 6 を除去する。また、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部と、ソース領域及びドレイン領域 8 8 の端部は一致せずずれており、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部の外側に、ソース領域及びドレイン領域 8 8 の端部が形成される。

【 0 1 8 1 】

なお、図 1 3（C）は、図 1 5（B）の A - B の断面図に相当する。図 1 5（B）に示すように、ソース領域及びドレイン領域 8 8 の端部は、ソース電極及びドレイン電極 9 2 c の端部の外側に位置することが分かる。また、バッファ層 8 7 の端部はソース電極及びドレイン電極 9 2 c 及びソース領域及びドレイン領域 8 8 の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース領域及びドレイン領域の他方を囲む形状（具体的には、U 字型、C 字型）である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極上において、微結晶半導体膜、ソース電極及びドレイン電極が重畳されているため、ゲート電極の凹凸の影響が少なく、被覆不良の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

【 0 1 8 2 】

図 1 3（C）に示すように、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部と、ソース領域及びドレイン領域 8 8 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部と、ソース領域及びドレイン領域 8 8 の端部は一致せずずれた形状であるため、ソース電極及びドレイン電極 9 2 a ~ 9 2 c 及びソース領域及びドレイン領域 8 8 の端部に電界が集中せず、ゲート電極 5 1 と、ソース電極及びドレイン電極 9 2 a ~ 9 2 c との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

【 0 1 8 3 】

以上の工程により、薄膜トランジスタ 8 3 を形成することができる。また、2 枚のフォトマスクを用いて薄膜トランジスタを形成することができる。

【 0 1 8 4 】

次に、図 1 4 (A) に示すように、ソース電極及びドレイン電極 9 2 a ~ 9 2 c、ソース領域及びドレイン領域 8 8、バッファ層 8 7、微結晶半導体膜 9 0、及びゲート絶縁膜 5 2 c 上に絶縁膜 7 6 を形成する。

【 0 1 8 5 】

次に、第 3 のフォトリソマスクを用いて形成したレジストマスクを用いて絶縁膜 7 6 の一部をエッチングしてコンタクトホールを形成する。次に、当該コンタクトホールにおいてソース電極またはドレイン電極 7 1 c に接する画素電極 7 7 を形成する。ここでは、画素電極 7 7 としては、スパッタリング法によりインジウム錫酸化物膜を成膜した後、インジウム錫酸化物膜上にレジストを塗布する。次に、第 4 のフォトリソマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてインジウム錫酸化物膜をエッチングして画素電極 7 7 を形成する。なお、図 1 4 (B) は、図 1 5 (C) の A - B の断面図に相当する。

【 0 1 8 6 】

以上により、多階調マスクを用いてマスク数を減らし、表示装置に用いることが可能な素子基板を形成することができる。

【 0 1 8 7 】

また、本実施の形態は、実施の形態 1 乃至 4 のいずれか一と自由に組み合わせることができる。

【 0 1 8 8 】

(実施の形態 6)

本実施の形態では、表示装置の一形態として、実施の形態 2 で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。

【 0 1 8 9 】

はじめに V A (V e r t i c a l A l i g n m e n t) 型の液晶表示装置について示す。V A 型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。V A 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

【 0 1 9 0 】

図 1 7 及び図 1 8 は、それぞれ画素電極及び対向電極を示している。なお、図 1 7 は画素電極が形成される基板側の平面図であり、図中に示す切断線 A - B に対応する断面構造を図 1 6 に表している。また、図 1 8 は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【 0 1 9 1 】

図 1 6 は、T F T 6 2 8 とそれに接続する画素電極 6 2 4、及び保持容量部 6 3 0 が形成された基板 6 0 0 と、対向電極 6 4 0 等が形成される対向基板 6 0 1 とが重ね合わせられ、液晶が注入された状態を示している。

【 0 1 9 2 】

対向基板 6 0 1 においてスペーサ 6 4 2 が形成される位置には、遮光膜 6 3 2、第 1 の着色膜 6 3 4、第 2 の着色膜 6 3 6、第 3 着色膜 6 3 8、対向電極 6 4 0 が形成されている。この構造により、液晶の配向を制御するための突起 6 4 4 とスペーサ 6 4 2 の高さを異ならせている。画素電極 6 2 4 上には配向膜 6 4 8 が形成され、同様に対向電極 6 4 0 上にも配向膜 6 4 6 が形成されている。この間に液晶層 6 5 0 が形成されている。

【 0 1 9 3 】

スペーサ 6 4 2 はここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサ 6 4 2 を基板 6 0 0 上に形成される画素電極 6 2 4 上に形成してもよい。

【0194】

基板600上には、TFT628とそれに接続する画素電極624、及び保持容量部630が形成される。画素電極624は、TFT628、配線、及び保持容量部630を覆う絶縁膜620、絶縁膜を覆う第3絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TFT628は実施の形態2で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同様に形成した第1の容量配線604と、ゲート絶縁膜606と、配線616、618と同様に形成した第2の容量配線617で構成される。

【0195】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

10

【0196】

図17に基板600上の構造を示す。画素電極624は実施の形態2で示した材料を用いて形成する。画素電極624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

【0197】

図17に示すTFT629とそれに接続する画素電極626及び保持容量部631は、それぞれ画素電極624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶パネルの画素（ピクセル）は、画素電極624と画素電極626により構成されている。画素電極624と画素電極626はサブピクセルである。

20

【0198】

図18に対向基板側の構造を示す。遮光膜632上に対向電極640が形成されている。対向電極640は、画素電極624と同様の材料を用いて形成することが好ましい。対向電極640上には液晶の配向を制御する突起644が形成されている。また、遮光膜632の位置に合わせてスペーサ642が形成されている。

【0199】

この画素構造の等価回路を図19に示す。TFT628とTFT629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

30

【0200】

スリット625を設けた画素電極624に電圧を印加すると、スリット625の近傍には電界の歪み（斜め電界）が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶パネルの視野角を広げている。

【0201】

上述では、VA型の液晶表示装置の一例を示したが図17に示す画素電極構造に特に限定されない。

40

【0202】

次に、TN型の液晶表示装置の形態について示す。

【0203】

図20と図21は、TN型の液晶表示装置の画素構造を示している。図21は平面図であり、図中に示す切断線A-Bに対応する断面構造を図20に表している。以下の説明ではこの両図を参照して説明する。

【0204】

画素電極624はコンタクトホール623により、配線618でTFT628と接続している。データ線として機能する配線616は、TFT628と接続している。TFT6

50

28は実施の形態2に示すTFTのいずれかを適用することができる。

【0205】

画素電極624は、実施の形態2で示す画素電極77を用いて形成されている。

【0206】

対向基板601には、遮光膜632、第2の着色膜636、対向電極640が形成されている。また、第2の着色膜636と対向電極640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。液晶層650は画素電極624と対向電極640の間に形成されている。

【0207】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0208】

また、基板600または対向基板601にカラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、基板600の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板601の対向電極640が形成されている面とは逆の面に、偏光板を貼り合わせておく。

【0209】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性が優れ、信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置である。

【0210】

また、横電界方式の液晶表示装置に応用することもできる。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約180度にまで広げることができる。

【0211】

（実施の形態7）

本実施の形態では、表示装置の一形態である発光装置について、図12乃至図14、図22、及び図23を用いて説明する。発光装置としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0212】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0213】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。また、発光素子の駆動を制御する薄膜トランジスタとして、実施の形態2の薄膜トランジスタを用いて示す。実施の形態2により得られる薄膜トランジスタを用いた発光装置は、薄膜トランジスタの閾値の変動を抑制することが可能であり、信頼性の向上に繋がる。特に、発光装置で用いる薄膜トランジスタは直流駆動させるため、ゲート絶縁膜を3層構造とし、1層目を窒化珪素膜、2層目を酸化窒化珪素膜、3層目を窒化珪素膜とした実

10

20

30

40

50

施の形態 2 の薄膜トランジスタは、主に 2 層目の酸化窒化珪素膜で閾値のドリフトを抑制することができる。

【0214】

図 1 2 乃至図 1 4 の工程を経て、図 2 2 に示すように基板 5 0 上に薄膜トランジスタ 8 3 を形成し、薄膜トランジスタ 8 3 上に保護膜として機能する絶縁膜 7 6 を形成する。また、駆動回路 1 2 にも薄膜トランジスタ 8 4 を形成する。薄膜トランジスタ 8 4 は、画素部 1 1 の薄膜トランジスタ 8 3 と同じ工程で作製することができる。次に、絶縁膜 7 6 上に平坦化膜 9 3 を形成し、平坦化膜 9 3 上に薄膜トランジスタ 8 3 のソース電極またはドレイン電極に接続する画素電極 9 4 を形成する。

【0215】

平坦化膜 8 2 は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【0216】

図 2 2 (A) では画素部 1 1 の薄膜トランジスタが n 型であるので、画素電極 9 4 として、陰極を用いるのが望ましいが、逆に p 型の場合は陽極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい公知の材料、例えば、カルシウム、アルミニウム、フッ化カルシウム、マグネシウム銀合金、リチウムアルミニウム合金等を用いることができる。

【0217】

次に図 2 2 (B) に示すように、平坦化膜 8 2 及び画素電極 9 4 の端部上に、隔壁 9 1 を形成する。隔壁 9 1 は開口部を有しており、該開口部において画素電極 9 4 が露出している。隔壁 9 1 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、画素電極上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0218】

次に、隔壁 9 1 の開口部において画素電極 9 4 と接するように、発光層 9 5 を形成する。発光層 9 5 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0219】

そして発光層 9 5 を覆うように、陽極を用いた共通電極 9 6 を形成する。共通電極 9 6 は、実施の形態 2 に画素電極 7 7 として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。共通電極 9 6 として上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。図 2 2 (B) では、共通電極 9 6 とシインジウム錫酸化物を用いている。隔壁 9 1 の開口部において、画素電極 9 4 と発光層 9 5 と共通電極 9 6 が重なり合うことで、発光素子 9 8 が形成されている。この後、発光素子 9 8 に酸素、水分、二酸化炭素等が侵入しないように、共通電極 9 6 及び隔壁 9 1 上に保護膜 9 7 を形成することが好ましい。保護膜 9 7 としては、窒化珪素膜、窒化酸化珪素膜、DLC 膜等を形成することができる。

【0220】

さらに、実際には、図 2 2 (B) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（積層フィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0221】

次に、発光素子の構成について、図 2 3 を用いて説明する。ここでは、駆動用 TFT が n 型の場合を例に挙げて、画素の断面構造について説明する。

【0222】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射

10

20

30

40

50

出構造の発光素子にも適用することができる。

【0223】

上面射出構造の発光素子について図23(A)を用いて説明する。

【0224】

図23(A)に、駆動用TFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図23(A)では、発光素子7002の陰極7003と駆動用TFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、カルシウム、アルミニウム、フッ化カルシウム、マグネシウム銀合金、リチウムアルミニウム合金等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

10

【0225】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図23(A)に示した画素の場合、発光素子7002から発せられる光は、白抜きの矢印で示すように陽極7005側に射出する。

20

【0226】

次に、下面射出構造の発光素子について図23(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図23(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電性材料7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図23(A)の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するAlを、陰極7013として用いることができる。そして発光層7014は、図23(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図23(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

30

【0227】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図23(B)に示した画素の場合、発光素子7012から発せられる光は、白抜きの矢印で示すように陰極7013側に射出する。

40

【0228】

次に、両面射出構造の発光素子について、図23(C)を用いて説明する。図23(C)では、駆動用TFT7021と電氣的に接続された透光性を有する導電性材料7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図23(A)の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極7023とし

50

て用いることができる。そして発光層 7024 は、図 23 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 23 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0229】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 23 (C) に示した画素の場合、発光素子 7022 から発せられる光は、白抜きの矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0230】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

10

【0231】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ (駆動用 TFT) と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0232】

なお本実施の形態で示す発光装置は、図 23 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0233】

以上の工程により、発光装置を作製することができる。本実施の形態の発光装置は、オフ電流が少なく、電気特性が優れ、信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い発光装置である。

20

【0234】

(実施の形態 8)

本発明の表示装置の一形態である表示パネルの構成について、以下に示す。

【0235】

図 24 に、信号線駆動回路 6013 のみを別途形成し、基板 6011 上に形成された画素部 6012 と接続している表示パネルの形態を示す。画素部 6012 及び走査線駆動回路 6014 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。微結晶半導体膜を用いた薄膜トランジスタよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6013 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、または SOI を用いたトランジスタであっても良い。画素部 6012 と、信号線駆動回路 6013 と、走査線駆動回路 6014 とに、それぞれ電源の電位、各種信号等が、FPC 6015 を介して供給される。

30

【0236】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【0237】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば FPC 上に貼り合わせるようにしても良い。図 24 (B) に、信号線駆動回路 6023 のみを別途形成し、基板 6021 上に形成された画素部 6022 及び走査線駆動回路 6024 と接続している液晶表示装置パネルの形態を示す。画素部 6022 及び走査線駆動回路 6024 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路 6023 は、FPC 6025 を介して画素部 6022 と接続されている。画素部 6022 と、信号線駆動回路 6023 と、走査線駆動回路 6024 とに、それぞれ電源の電位、各種信号等が、FPC 6025 を介して供給される。

40

【0238】

50

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜を用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図24(C)に、信号線駆動回路が有するアナログスイッチ6033aを、画素部6032、走査線駆動回路6034と同じ基板6031上に形成し、信号線駆動回路が有するシフトレジスタ6033bを別途異なる基板に形成して貼り合わせる液晶表示装置パネルの形態を示す。画素部6032及び走査線駆動回路6034は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ6033bは、FPC6035を介して画素部6032と接続されている。画素部6032と、信号線駆動回路と、走査線駆動回路6034とに、それぞれ電源の電位、各種信号等が、FPC6035を介して供給される。

10

【0239】

図24に示すように、本発明の液晶表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜を用いた薄膜トランジスタを用いて形成することができる。

【0240】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図24に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

【0241】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

20

【0242】

(実施の形態9)

本発明の表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図25を用いて説明する。図25は、第1の基板4001上に形成された微結晶半導体膜を有する薄膜トランジスタ4010及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図25(B)は、図25(A)のA-A'における断面図相当する。

30

【0243】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図25では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成された薄膜トランジスタ4009を例示する。

40

【0244】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図25(B)では、画素部4002に含まれる薄膜トランジスタ4010とを例示している。薄膜トランジスタ4010は微結晶半導体膜を用いた薄膜トランジスタに相当する。

50

【0245】

また4011は液晶素子に相当し、液晶素子4013が有する画素電極4030は、薄膜トランジスタ4010と配線4040、配線4041を介して電氣的に接続されている。そして液晶素子4013の対向電極4031は第2の基板4006上に形成されている。画素電極4030と対向電極4031と液晶4008とが重なっている部分が、液晶素子4013に相当する。

【0246】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiber glass - Reinforced Plastics）板、P
V
F（ポリビニルフルオライド）フィルム、ポリエステルフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをP
V
Fフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

10

【0247】

また4035は球状のスペーサであり、画素電極4030と対向電極4031との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜を選択的にエッチングすることで得られるスペーサを用いていても良い。

【0248】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、引き回し配線4014、4015を介して、
FPC4018から供給されている。

20

【0249】

本実施の形態では、接続端子4016が、液晶素子4013が有する画素電極4030と同じ導電膜から形成されている。また、引き回し配線4014、4015は、配線4041と同じ導電膜で形成されている。

【0250】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0251】

なお図示していないが、本実施の形態に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

30

【0252】

また図25では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0253】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

【0254】

40

（実施の形態10）

次に、本発明の表示装置の一形態に相当する発光表示パネルの外観及び断面について、図26を用いて説明する。図26は、第1の基板上に形成された微結晶半導体膜を用いた薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図26（B）は、図26（A）のA-A'における断面図に相当する。

【0255】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走

50

査線駆動回路４００４とは、第１の基板４００１とシール材４００５と第２の基板４００６とによって、充填材４００７と共に密封されている。また第１の基板４００１上のシール材４００５によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路４００３が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第１の基板４００１に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図２６では、信号線駆動回路４００３に含まれる、多結晶半導体膜で形成された薄膜トランジスタ４００９を例示する。

【０２５６】

また第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４は、薄膜トランジスタを複数有しており、図２６（Ｂ）では、画素部４００２に含まれる薄膜トランジスタ４０１０とを例示している。なお本実施の形態では、薄膜トランジスタ４０１０が駆動用ＴＦＴであると仮定するが、薄膜トランジスタ４０１０は電流制御用ＴＦＴであっても良いし、消去用ＴＦＴであっても良い。薄膜トランジスタ４０１０は微結晶半導体膜を用いた薄膜トランジスタに相当する。

【０２５７】

また４０１１は発光素子に相当し、発光素子４０１１が有する画素電極は、薄膜トランジスタ４０１０のソース電極またはドレイン電極と、配線４０１７を介して電氣的に接続されている。そして本実施の形態では、発光素子４０１１の共通電極と透光性を有する導電性材料４０１２が電氣的に接続されている。なお発光素子４０１１の構成は、本実施の形態に示した構成に限定されない。発光素子４０１１から取り出す光の方向や、薄膜トランジスタ４０１０の極性などに合わせて、発光素子４０１１の構成は適宜変えることができる。

【０２５８】

また、別途形成された信号線駆動回路４００３と、走査線駆動回路４００４または画素部４００２に与えられる各種信号及び電位は、図２６（Ｂ）に示す断面図では図示されていないが、引き回し配線４０１４及び４０１５を介して、ＦＰＣ４０１８から供給されている。

【０２５９】

本実施の形態では、接続端子４０１６が、発光素子４０１１が有する画素電極と同じ導電膜から形成されている。また、引き回し配線４０１４、４０１５は、配線４０１７と同じ導電膜から形成されている。

【０２６０】

接続端子４０１６は、ＦＰＣ４０１８が有する端子と、異方性導電膜４０１９を介して電氣的に接続されている。

【０２６１】

発光素子４０１１からの光の取り出し方向に位置する基板には、第２の基板は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【０２６２】

また、充填材４００７としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。本実施の形態では充填材として窒素を用いた。

【０２６３】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（／４板、／２板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

10

20

30

40

50

【 0 2 6 4 】

なお、図 2 6 では、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【 0 2 6 5 】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

【 0 2 6 6 】

(実施の形態 1 1)

10

本発明により得られる表示装置等によって、アクティブマトリクス型表示装置モジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【 0 2 6 7 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 2 7 に示す。

【 0 2 6 8 】

図 2 7 (A) はテレビジョン装置である。表示モジュールを、図 2 7 (A) に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。F P C まで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面 2 0 0 3 が形成され、その他付属設備としてスピーカー部 2 0 0 9、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

20

【 0 2 6 9 】

図 2 7 (A) に示すように、筐体 2 0 0 1 に表示素子を利用した表示用パネル 2 0 0 2 が組みこまれ、受信機 2 0 0 5 により一般のテレビ放送の受信をはじめ、モデム 2 0 0 4 を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機 2 0 0 6 により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部 2 0 0 7 が設けられていても良い。

30

【 0 2 7 0 】

また、テレビジョン装置にも、主画面 2 0 0 3 の他にサブ画面 2 0 0 8 を第 2 の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面 2 0 0 3 を視野角の優れた液晶表示パネルで形成し、サブ画面を低消費電力で表示可能な発光表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面 2 0 0 3 を発光表示パネルで形成し、サブ画面を発光表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

【 0 2 7 1 】

40

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【 0 2 7 2 】

図 2 7 (B) は携帯電話機 2 3 0 1 の一例を示している。この携帯電話機 2 3 0 1 は、表示部 2 3 0 2、操作部 2 3 0 3 などを含んで構成されている。表示部 2 3 0 2 においては、上記実施の形態で説明した表示装置を適用することで、量産性を高めることができる。

【 0 2 7 3 】

また、図 2 7 (C) に示す携帯型のコンピュータは、本体 2 4 0 1、表示部 2 4 0 2 等を含んでいる。表示部 2 4 0 2 に、上記実施の形態に示す表示装置を適用することにより

50

、量産性を高めることができる。

【 0 2 7 4 】

図 2 7 (D) は卓上照明器具であり、照明部 2 5 0 1、傘 2 5 0 2、可変アーム 2 5 0 3、支柱 2 5 0 4、台 2 5 0 5、電源 2 5 0 6を含む。上記実施の形態 1 0 で説明した発光装置を照明部 2 5 0 1 に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態に示す表示装置を適用することにより、量産性を高めることができ、安価な卓上照明器具を提供することができる。

【図面の簡単な説明】

【 0 2 7 5 】

10

【図 1】クリーンルームの一例を示す断面図。

【図 2】クリーンルームの一例を示す上面図およびプラズマ C V D 装置の上面図。

【図 3】成膜装置の一例を示す斜視図。

【図 4】本発明の作製方法を説明する断面図である。

【図 5】本発明の作製方法を説明する断面図である。

【図 6】本発明の作製方法を説明する断面図である。

【図 7】本発明の作製方法を説明する上面図である。

【図 8】微結晶シリコン膜を形成する工程を説明するタイムチャートの一例を示す図である。

【図 9】本発明の作製方法を説明する断面図である。

20

【図 1 0】半導体装置の断面図である。

【図 1 1】本発明に適用可能な多階調マスクを説明する図である。

【図 1 2】本発明の作製工程の断面図を示す図。

【図 1 3】本発明の作製工程の断面図を示す図。

【図 1 4】本発明の作製工程の断面図を示す図。

【図 1 5】本発明の作製工程の上面図を示す図。

【図 1 6】液晶表示装置の一例を説明する図である。

【図 1 7】液晶表示装置の一例を説明する図である。

【図 1 8】液晶表示装置の一例を説明する図である。

【図 1 9】液晶表示装置の画素の等価回路図である。

30

【図 2 0】液晶表示装置の一例を説明する図である。

【図 2 1】液晶表示装置の一例を説明する図である。

【図 2 2】発光装置の作製方法の一例を説明する断面図である。

【図 2 3】発光装置に適用可能な画素を説明する断面図である。

【図 2 4】表示パネルを説明する斜視図である。

【図 2 5】表示パネルを説明する上面図及び断面図である。

【図 2 6】表示パネルを説明する上面図及び断面図である。

【図 2 7】電子機器を説明する斜視図である。

【符号の説明】

【 0 2 7 6 】

40

1 1 : 画素部

1 2 : 駆動回路

2 3 : 微結晶半導体膜

5 0 : 基板

5 1 : ゲート電極

5 2 a、5 2 b、5 2 c : ゲート絶縁膜

5 3 : 微結晶半導体膜

5 4 : バッファ層

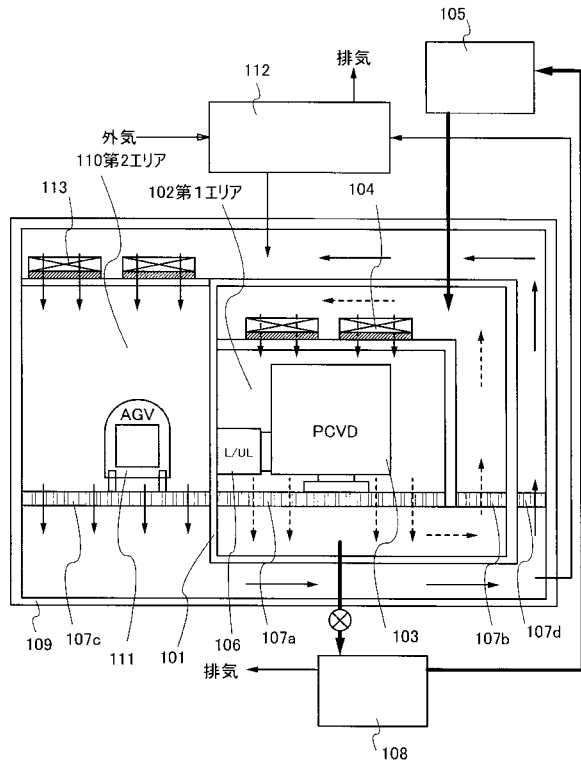
5 5 : 一導電型を付与する不純物が添加された半導体膜

5 6 : レジストマスク

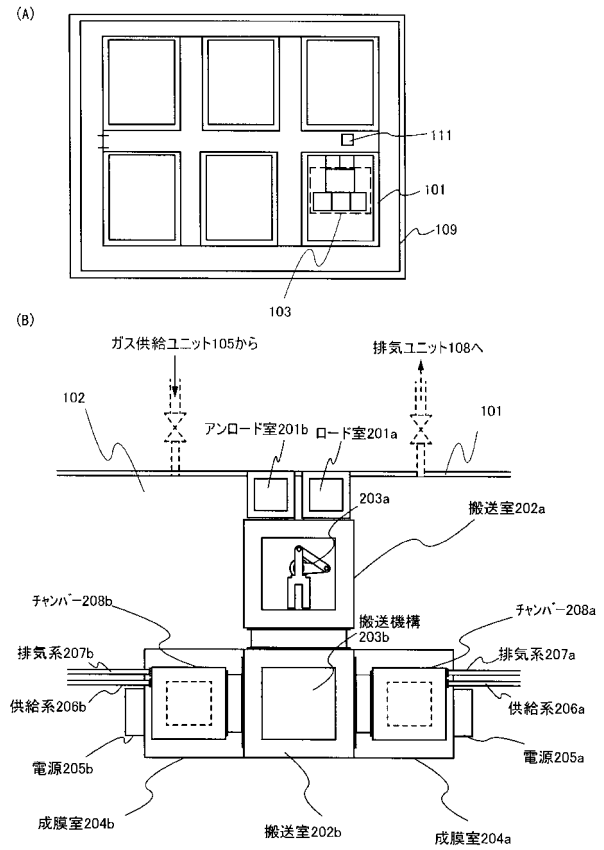
50

5 9 : 多階調マスク	
6 1 : 微結晶半導体膜	
6 2 : バッファ層	
6 3 : 一導電型を付与する不純物が添加された半導体膜	
6 5 a、6 5 b、6 5 c : 導電膜	
6 6 : レジストマスク	
7 1 a、7 1 b、7 1 c : ソース電極及びドレイン電極	
7 2 : ソース領域及びドレイン領域	
7 3 : バッファ層	
7 4 : 薄膜トランジスタ	10
7 6 : 絶縁膜	
7 7 : 画素電極	
8 0 : レジストマスク	
8 1 : レジストマスク	
8 2 : 平坦化膜	
8 3 : 薄膜トランジスタ	
8 4 : 薄膜トランジスタ	
8 5 a ~ 8 5 c 導電膜	
8 7 : バッファ層	
8 6 : レジストマスク	20
8 8 : ソース領域及びドレイン領域	
8 9 a、8 9 b、8 9 c : 導電膜	
9 0 : 微結晶半導体膜	
9 1 : 隔壁	
9 2 a、9 2 b、9 2 c : ソース電極及びドレイン電極	
9 3 : 平坦化膜	
9 4 : 画素電極	
9 5 : 発光層	
9 6 : 共通電極	
9 7 : 保護膜	30
9 8 : 発光素子	
1 0 1 : 第 1 のパーティション	
1 0 2 : 第 1 エリア	
1 0 3 : プラズマ C V D 装置	
1 0 4 : 第 1 のファンフィルタユニット	
1 0 5 : ガス供給ユニット	
1 0 6 : ロード室	
1 0 7 a ~ 1 0 7 d : グレーチング床	
1 0 8 : 排気ユニット	
1 0 9 : 第 2 のパーティション	40
1 1 0 : 第 2 エリア	
1 1 1 : 自動搬送装置	
1 1 2 : 空調機	
1 1 3 : 第 2 のファンフィルタユニット	

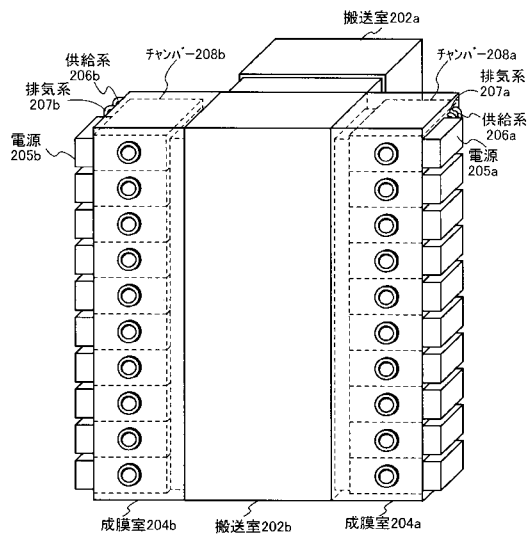
【図 1】



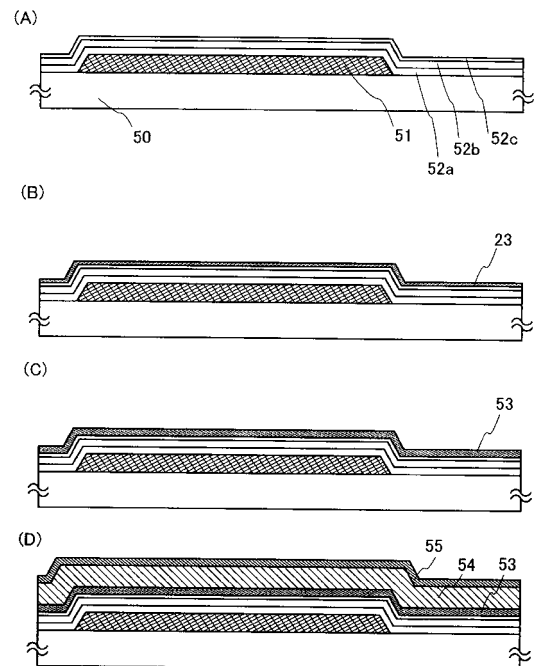
【図 2】



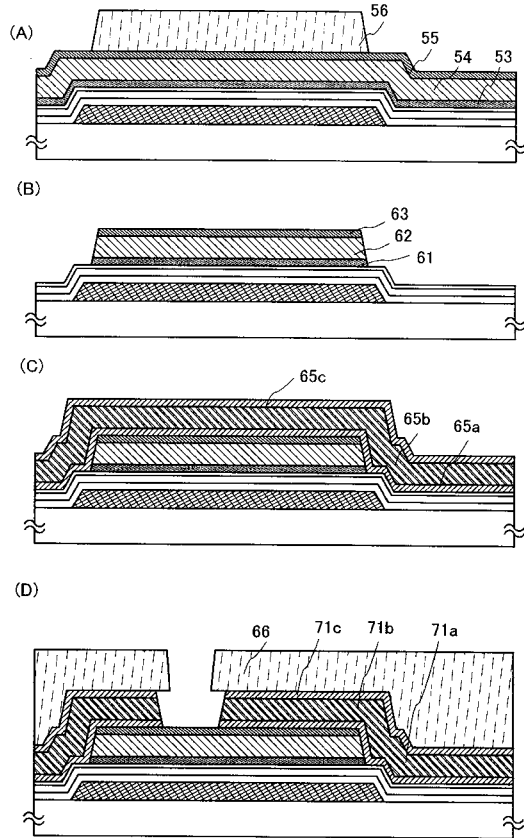
【図 3】



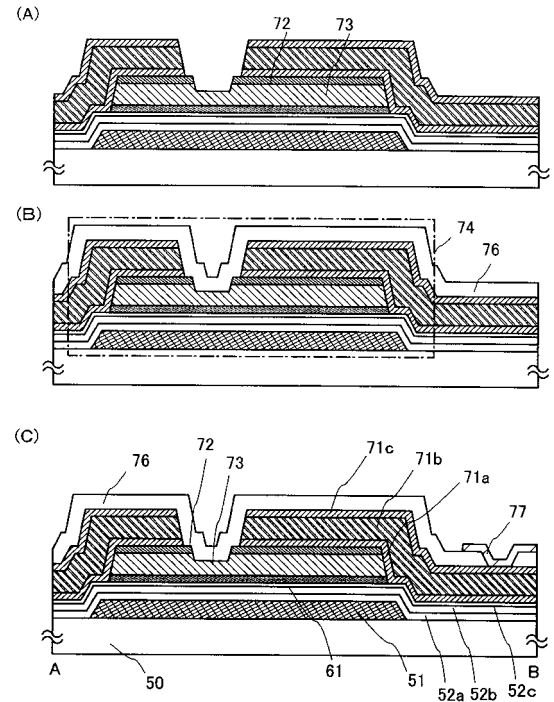
【図 4】



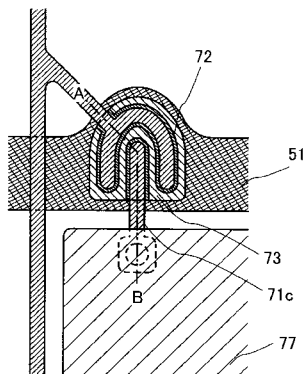
【図 5】



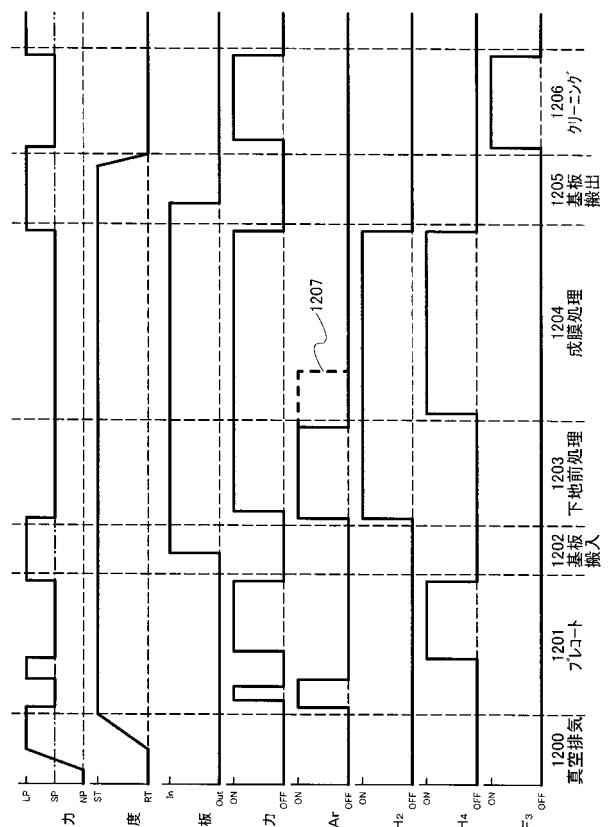
【図 6】



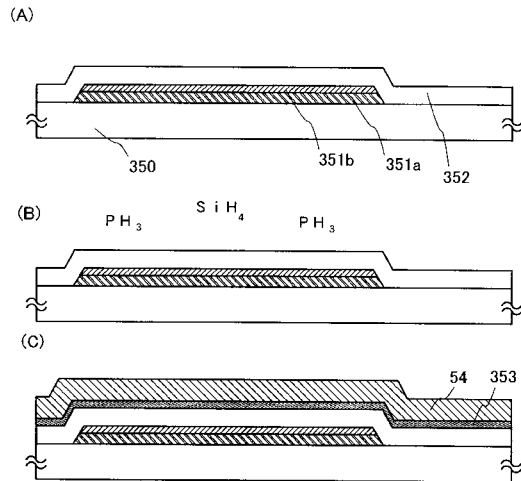
【図 7】



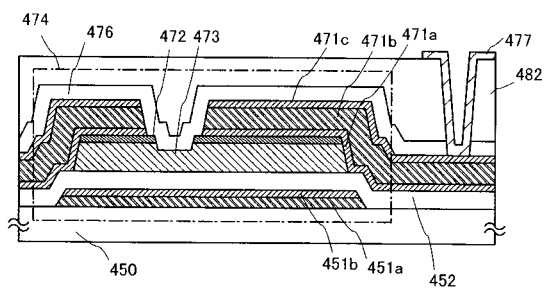
【図 8】



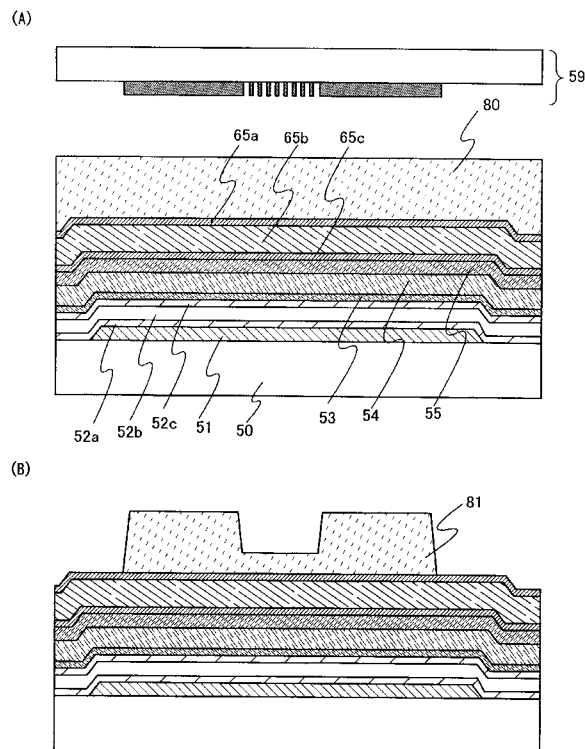
【図 9】



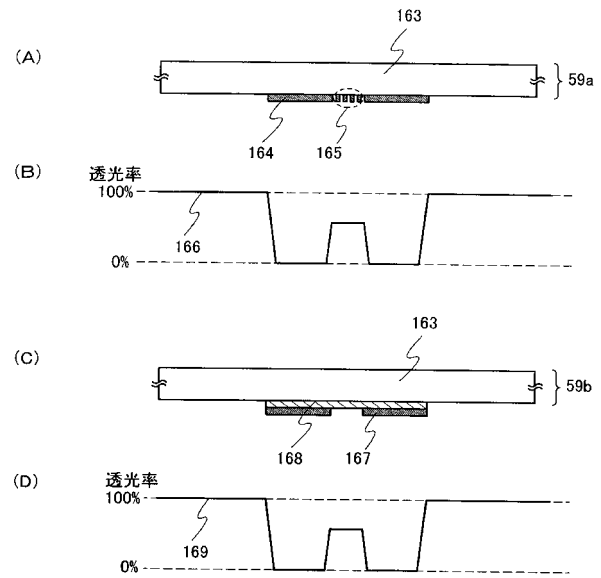
【図 10】



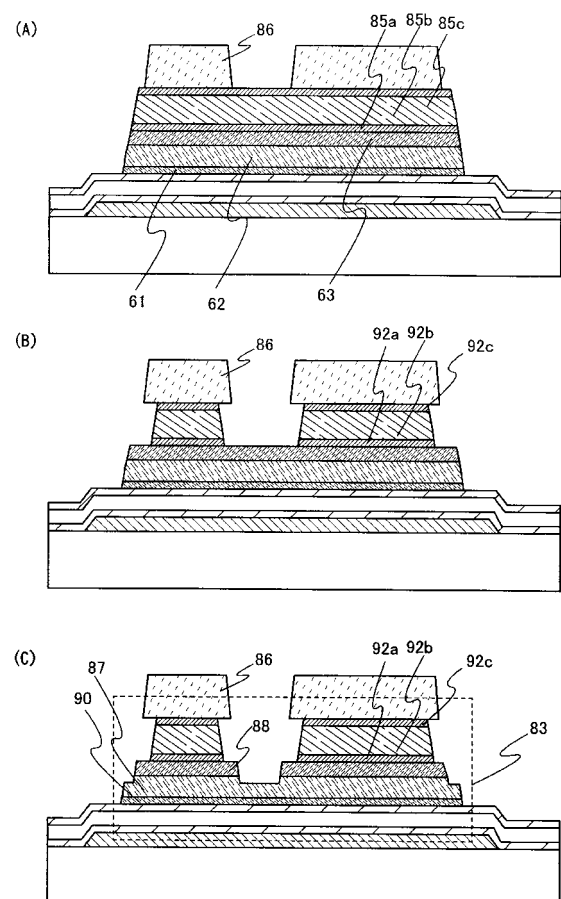
【図 12】



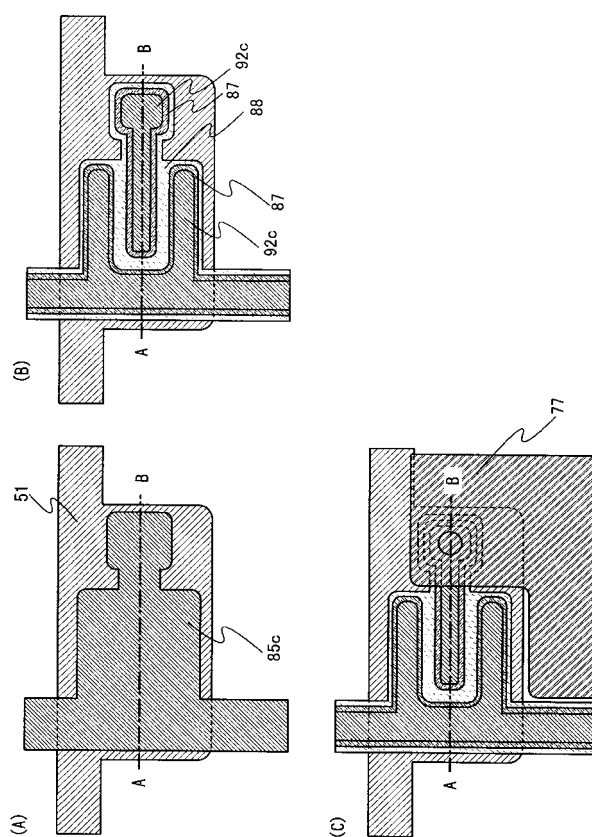
【図 11】



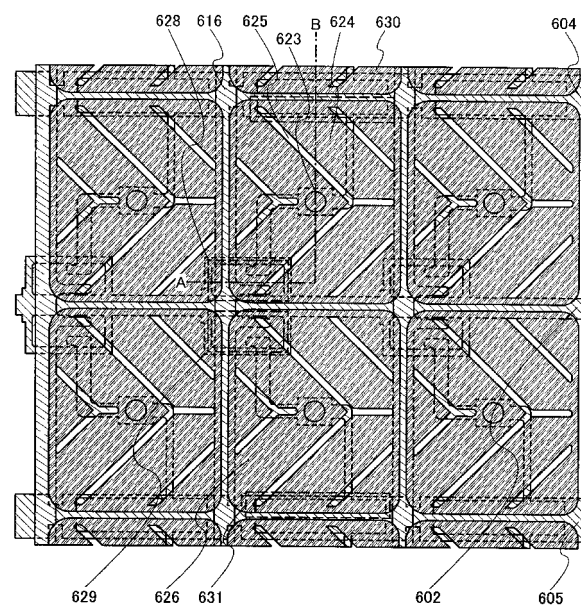
【図 13】



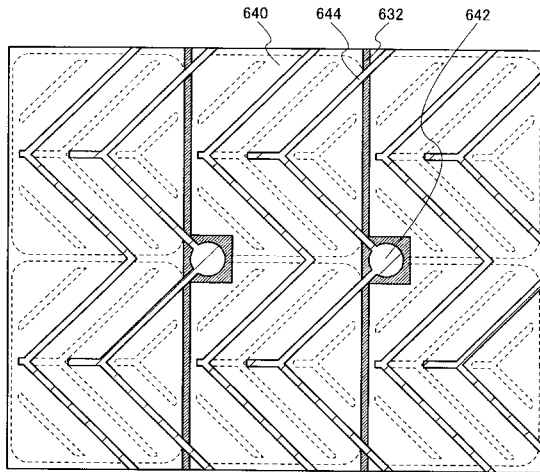
【 図 1 5 】



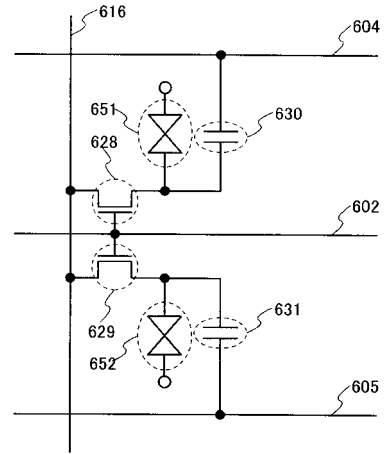
【 図 1 7 】



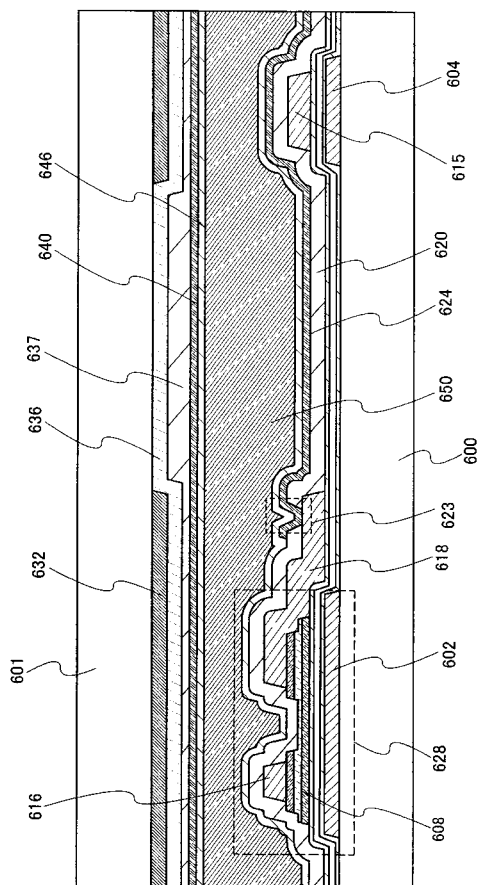
【図 18】



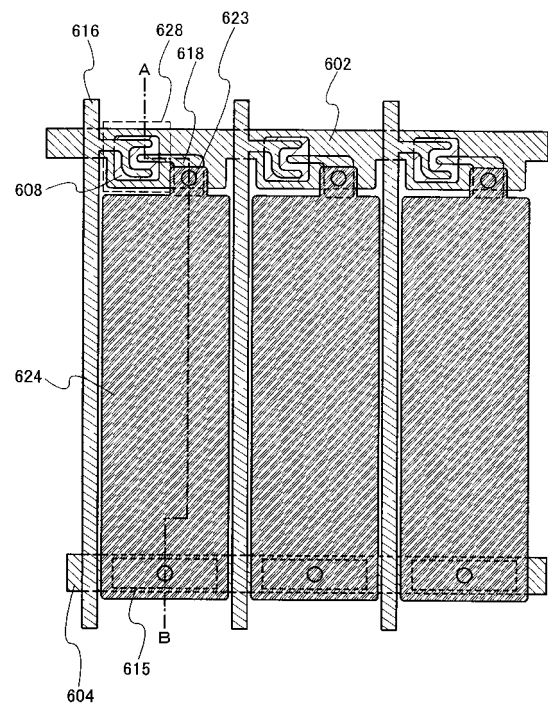
【図 19】



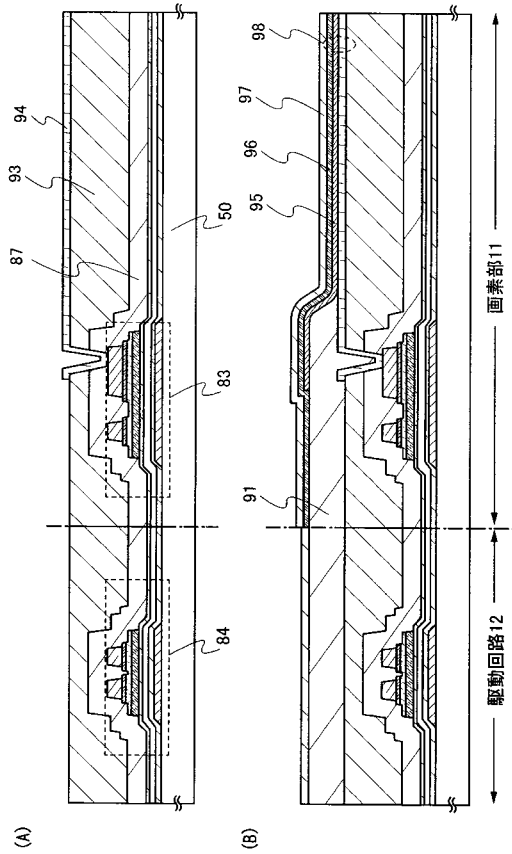
【図 20】



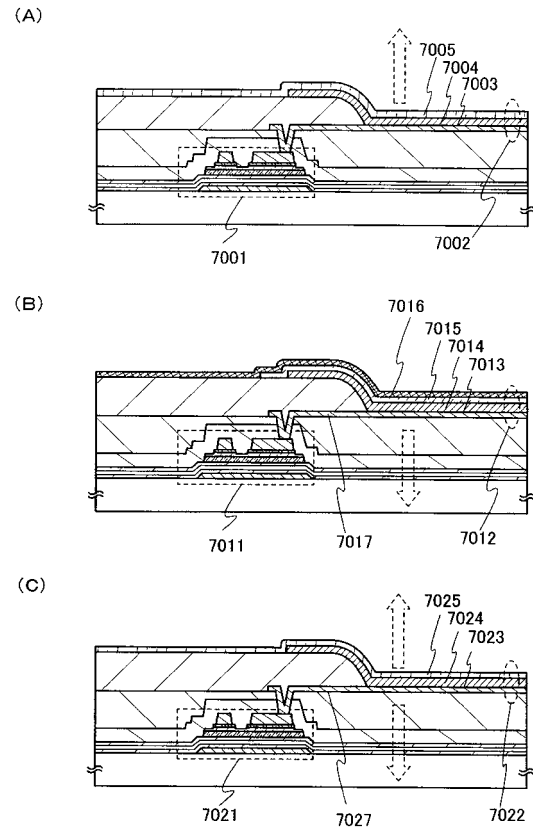
【図 21】



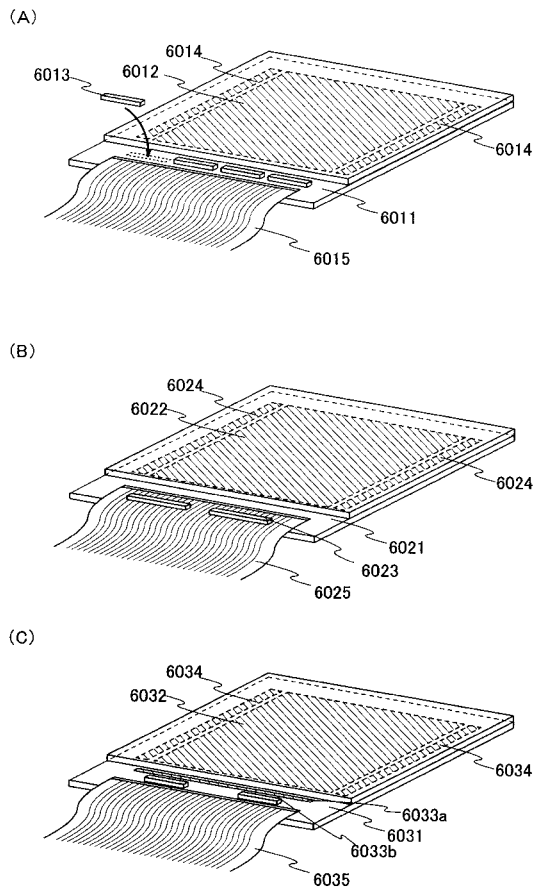
【図 2 2】



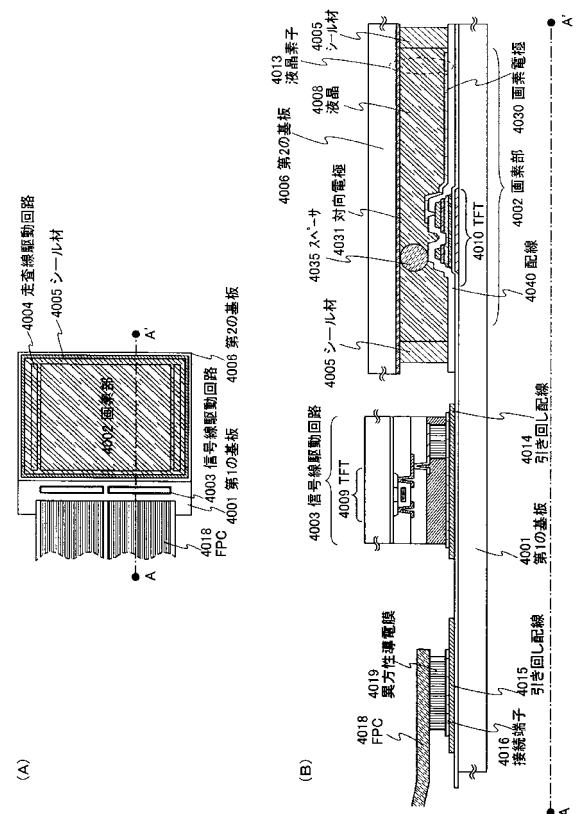
【図 2 3】



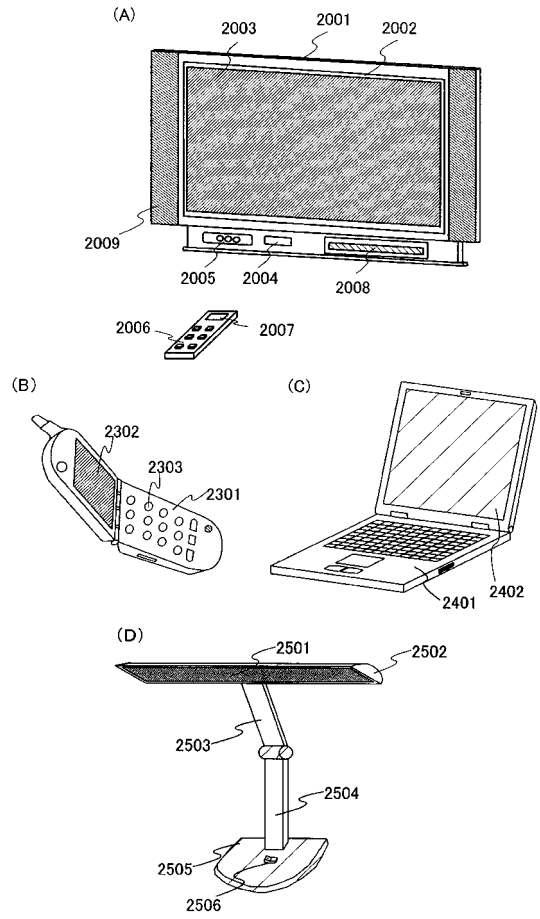
【図 2 4】



【図 2 5】



【 図 2 7 】



フロントページの続き

F ターム(参考) 5F045 AA08 AB01 AB04 AC01 AC03 AC04 AC05 AC19 AD05 AE19
AF07 BB14 CA15 DA52 DA57 DQ17 EB02 EE04 EE12 EH13
EN01 EN02 HA24
5F110 AA01 AA26 BB02 CC07 DD02 EE01 EE02 EE03 EE04 EE06
EE14 EE15 EE23 EE42 EE43 EE44 FF02 FF03 FF04 FF06
FF10 FF28 FF29 FF30 GG01 GG02 GG06 GG14 GG16 GG25
GG33 GG34 GG45 GG57 HK01 HK02 HK03 HK04 HK06 HK09
HK16 HK17 HK22 HK25 HK26 HK32 HK33 HK35 HL01 HL02
HL03 HL06 HL07 HL09 HL23 HM03 HM04 HM12 NN02 NN24
NN27 QQ01 QQ06 QQ19