



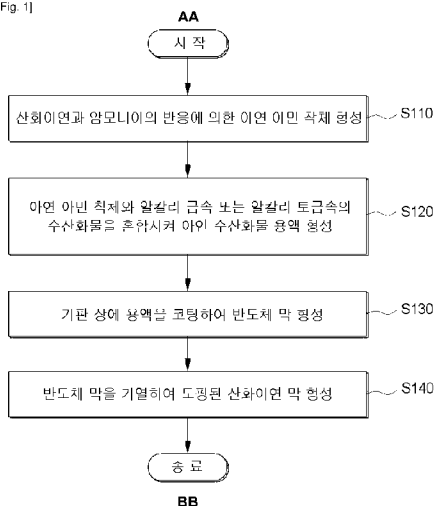
- (51) 국제특허분류: H01L 29/786 (2006.01) H01L 21/336 (2006.01)
- (21) 국제출원번호: PCT/KR2012/002088
- (22) 국제출원일: 2012 년 3 월 22 일 (22.03.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2011-0027226 2011 년 3 월 25 일 (25.03.2011) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): 서울대학교산학협력단 (SNU R&DB FOUNDATION) [KR/KR]; 서울시 관악구 신림동 산 56-1, 151-919 Seoul (KR).
- (72) 발명자; 겸
- (75) 발명자/출원인 (US 에 한하여): 김연상 (KIM, Younsang) [KR/KR]; 경기도 수원시 팔달구 인계동 371-1 삼성아파트 101-1613, 442-828 Gyeonggi-do (KR). 박시윤 (PARK, Siyun) [KR/KR]; 경기도 안산시 상록구 본오동 936-12 번지 301 호, 426-180 Gyeonggi-do (KR). 김정준 (KIM, Kyongjun) [KR/KR]; 경기도 수원시 영통구 의의동 864-1 번지 서울대융합과학기술대학원 기숙사동 72 호, 443-270 Gyeonggi-do (KR).
- (74) 대리인: 광현규 (KWAK, Hyun Kyu); 서울시 강남구 역삼동 738-18 중앙빌딩 202 호, 135-080 Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[다음 쪽 계속]

(54) Title: ZINC OXIDE THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

(54) 발명의 명칭 : 산화아연 박막 트랜지스터 및 이의 제조방법

[Fig. 1]



AA ... Start

BB ... End

S110 ... Formation of zinc amine complex by reacting zinc oxide with ammonia

S120 ... Formation of zinc hydroxide solution by mixing zinc amine complex with alkaline metal or oxide of alkaline earth metal

S130 ... Formation of semiconductor film by coating substrate with solution

S140 ... Formation of doped zinc oxide film by heating semiconductor film

(57) Abstract: A manufacturing method of an n-type zinc oxide thin film is provided and comprises the steps of: forming a zinc amine complex by reacting zinc oxide with ammonia; forming a zinc hydroxide solution by mixing the zinc amine complex with an alkali metal or oxide of an alkaline earth metal in a polar solvent; forming a semiconductor film by applying the solution on a substrate; forming a zinc oxide film which is doped with the alkali metal or the alkaline earth metal by heating the semiconductor film.

(57) 요약서: 산화아연에 암모니아를 반응시켜 아연 아민 착체를 형성하는 단계; 상기 아연 아민 착체와 알칼리 금속 또는 알칼리 토금속의 수산화물을 극성 용매 중에서 혼합시켜 아연 수산화물의 용액을 형성하는 단계; 상기 용액을 기판 상에 도포하여 반도체 막을 형성하는 단계; 및 상기 반도체 막을 가열하여 상기 알칼리 금속 또는 상기 알칼리 토금속으로 도핑된 산화아연 막을 형성하는 단계를 포함하는 n형 산화아연 막의 제조방법이 제공된다.



(84) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

명세서

발명의 명칭: 산화아연 박막 트랜지스터 및 이의 제조방법

기술분야

- [1] 본 명세서에 개시된 기술은 산화아연 박막 트랜지스터 및 이의 제조방법에 관한 것으로 보다 상세하게는 전기적 특성이 우수하면서도 제조시 공정이 간단하고 경제적인 산화아연 박막 트랜지스터 및 이의 제조방법에 관한 것이다.

배경기술

- [2] 차세대 디스플레이 기술에 있어서 높은 해상도, 광학적 투명도, 기계적 유연성을 가지는 것이 매우 중요하다. 이때 디스플레이를 구성하는 구동부와 발광부는 이에 따른 적당한 성질을 가져야한다. 적합한 성질을 가지는 구동부로서의 트랜지스터와 집적 회로를 설계하는 것이 날로 중요해지고 있다.
- [3] 현재 a-Si:H와 p-Si 박막 트랜지스터는 AMLCD와 AMOLED의 구동부로 널리 쓰이고 있다. 하지만 이러한 물질들은 몇 가지 제한요소가 있는데 a-Si:H의 경우 고해상도 디스플레이에 필요한 전기 이동도가 부족하거나($\sim 1 \text{ cm}^2/\text{Vs}$), 높은 제작단가, 및 진공 증착이나 높은 온도 등의 가혹한 조건이 필요한 문제가 있다. 이 뿐만 아니라 실리콘을 기반으로 하는 반도체는 낮은 인장 변형률(tensile strain) 특성을 가지고 있어서 유연성을 가지는 디스플레이에는 적용하기가 어렵다. 이러한 문제점을 해결하기 위해서 금속 산화물이 대체물로 부각되기 시작했다. 금속 산화물은 그 물질의 성격에 따라 전도체, 반도체, 부도체등으로 각각 사용된다. 특히 그 중 산화아연(Zinc Oxide)은 우수한 반도체 물질로 3.3eV의 높은 밴드갭을 가지고 있어 광학적 투명도가 매우 좋으며, 화학적 안정성과 높은 전기 이동도를 가지고 있다. 순수한 ZnO의 전기 이동도는 고화질의 디스플레이에는 부족하기 때문에 대부분이 도핑을 하여 사용하고 있으며 인듐 아연 산화물(IZO), 인듐 갈륨 아연 산화물(IGZO), 인듐 주석 산화물(ZTO) 등이 대표적인 예이다. 하지만 높은 이동도를 확보해주는 인듐은 희토류 금속으로서 높은 가격적 문제와 소결온도가 400 ~ 500°C가 되어야 하여 사용되는 기판에 제한이 있다.
- [4] ZnO TFT를 구성하기 위해서 ZnO 박막을 구성하는 방법에는 라디오 주파수(RF) 마그네트론 스퍼터링, 화학 기상 증착(CVD), 스프레이 파이롤리시스(spray pyrolysis) 등이 있다. 대개의 경우 진공장비를 사용하여 대면적 코팅이 어렵고 비용이 높으므로 새로운 공정개발의 필요성이 대두된다.
- #### 발명의 상세한 설명
- [5] 본 개시된 기술의 일 측면에 의하면, 산화아연에 암모니아를 반응시켜 아연 아민 착체를 형성하는 단계; 상기 아연 아민 착체와 알칼리 금속 또는 알칼리

토금속의 수산화물을 극성 용매 중에서 혼합시켜 아연 수산화물의 용액을 형성하는 단계; 상기 용액을 기판 상에 도포하여 반도체 막을 형성하는 단계; 및 상기 반도체 막을 가열하여 상기 알칼리 금속 또는 상기 알칼리 토금속으로 도핑된 산화아연 막을 형성하는 단계를 포함하는 n형 산화아연 막의 제조방법이 제공된다.

- [6] 본 개시된 기술의 다른 측면에 의하면, 플렉시블 기판 상에 소스 전극과 드레인 전극 사이를 연결하는 반도체 채널을 포함하되, 상기 반도체 채널은 알칼리 금속 또는 알칼리 토금속으로 도핑된 n형 산화아연 막인 산화아연 박막 트랜지스터가 제공된다.
- [7] 본 개시된 기술의 또 다른 측면에 의하면, 알칼리 금속 또는 알칼리 토금속의 수산화물과 아연 아민 착체의 혼합물을 함유한 용액을 기판 상에 도포하여 반도체 막을 형성하는 단계; 상기 반도체 막을 소결하여 n형 산화아연 막을 형성하는 단계; 및 상기 n형 산화아연 막을 패터닝하여 반도체 채널을 형성하는 단계를 포함하는 산화아연 박막 트랜지스터의 제조방법이 제공된다.
- [8] 본 개시된 기술의 또 다른 측면에 의하면, 산화아연에 암모니아를 반응시켜 아연 아민 착체를 형성하는 단계; 상기 아연 아민 착체와 알칼리 금속의 수산화물을 극성 용매 중에서 혼합시켜 아연 수산화물의 용액을 형성하는 단계; 상기 용액을 플라스틱 기판 상에 도포하여 반도체 막을 형성하는 단계; 및 상기 반도체 막을 300°C 이하로 가열하여 상기 알칼리 금속으로 도핑된 산화아연 막을 형성하는 단계를 포함하는 산화아연 박막 트랜지스터의 제조방법이 제공된다.

도면의 간단한 설명

- [9] 도 1은 개시된 기술의 일 실시예에 따른 n형 산화아연 막의 제조방법을 나타내는 공정흐름도이다.
- [10] 도 2는 개시된 기술의 일 실시예에 따른 산화아연 박막 트랜지스터(TFT)를 나타내는 도면이다.
- [11] 도 3은 개시된 기술의 일 실시예에 따른 산화아연 박막 트랜지스터(TFT)의 제조방법을 나타내는 공정흐름도이다.
- [12] 도 4는 수산화 리튬으로 도핑된 ZnO 박막의 단면 HR-TEM(high resolution-transmission electron microscope) 이미지이다.
- [13] 도 5는 기판 상에 형성된 비정질 산화아연 필름을 나타낸 주사전자현미경(SEM) 사진이다.
- [14] 도 6 내지 도 10은 도핑된 산화아연 막을 구비한 박막 트랜지스터의 전기적 특성을 나타낸 그래프이다. 도 6은 비교예로서 도핑되지 않은 ZnO TFT이고, 도 7은 리튬으로 도핑된 ZnO TFT이고, 도 8은 나트륨으로 도핑된 ZnO TFT이고, 도 9는 칼륨으로 도핑된 ZnO TFT이고, 도 10은 루비듐으로 도핑된 ZnO TFT를 나타낸다. 각 도면에서 (a)는 IV 곡선 이고 (b)는 전이곡선을 나타낸다.
- [15] 도 11은 리튬을 도펀트로 사용하였을 때의 도핑 농도별 전기 이동도를 나타낸

그래프이다.

- [16] 도 12는 나트륨을 도펀트로 사용하였을 때의 도핑 농도별 전기 이동도를 나타낸 그래프이다.

발명의 실시를 위한 형태

- [17] 이하, 도면을 참조하여 본 개시된 기술의 실시예들에 대해 상세히 설명하고자 한다. 다음에 소개되는 실시예들은 당업자에게 개시된 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서 본 개시된 기술은 이하 설명된 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다. 전체적으로 도면 설명시 관찰자 시점에서 설명하였고, 층, 막 등의 부분이 다른 부분 위에있다고 할 때, 이는 다른 부분 바로 위에있는 경우 뿐 아니라, 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [18] 도 1은 개시된 기술의 일 실시예에 따른 n형 산화아연 막의 제조방법을 나타내는 공정흐름도이다. 도 1을 참조하면, 단계 S110에서, 산화아연에 암모니아를 반응시켜 아연 아민 착체를 형성한다. 예를 들어 산화아연 0.001몰을 암모니아수 12 ml에 녹인 다음 냉동고에서 5시간 동안 냉각시키는 방법으로 아연 아민 착체를 형성할 수 있다. 냉동고를 사용하는 것은 저온에서 용해도가 증가하는 아연 아민 착체의 성질에 기인한다. 아래 반응식 1에 결정성 산화아연(ZnO)으로부터 아연 아민 착체가 형성되는 과정을 나타내었다.
- [19] (반응식 1) $\text{ZnO(c)} + 4\text{NH}_3(\text{aq}) + 2\text{H}^+(\text{aq}) \rightarrow \text{Zn}(\text{NH}_3)_4^{2+}(\text{aq}) + \text{H}_2\text{O(l)}$
- [20] 단계 S120에서, 상기 아연 아민 착체와 알칼리 금속 또는 알칼리 토금속의 수산화물을 극성 용매 중에서 혼합시켜 아연 수산화물의 용액을 형성한다.
- [21] 상기 알칼리 금속의 수산화물은 수산화리튬(LiOH), 수산화나트륨(NaOH), 수산화칼륨(KOH), 수산화루비듐(RbOH), 수산화세슘(CsOH)일 수 있으며, 상기 알칼리 토금속의 수산화물은 수산화베릴륨(Be(OH)₂), 수산화마그네슘(Mg(OH)₂), 수산화칼슘(Ca(OH)₂), 수산화스트론튬(Sr(OH)₂), 수산화바륨(Ba(OH)₂)일 수 있다. 바람직하게는 상기 알칼리 금속의 수산화물은 수산화리튬(LiOH), 수산화나트륨(NaOH), 수산화칼륨(KOH), 수산화루비듐(RbOH)일 수 있다. 상기 알칼리 금속 또는 알칼리 토금속은 이후 생성되는 산화아연 막의 전기이동도를 증가시키기 위한 도펀트로 작용할 수 있다. 상기 수산화물들은 예를 들어 0.1 내지 1.5M의 용액을 만들어 마이크로 피펫으로 0.1ml를 취하여 아연 아민 착체가 형성된 용액에 첨가될 수 있다.
- [22] 상기 극성 용매의 예는 상기 아연 아민 착체와 상기 알칼리 금속의 수산화물이 잘 용해되는 용매라면 특별히 제한되지 않으며, 물 및 메탄올, 에탄올 등의 알코올류를 포함한다.
- [23] 아연 수산화물은 상술한 방법으로 아래의 반응식 2와 같이 생성될 수 있다.

- [24] (반응식 2) $\text{Zn}(\text{NH}_3)_4^{2+} + n \text{OH}^- \rightarrow [\text{Zn}(\text{NH}_3)_{4-n}(\text{OH})_n]^{2-n} + n \text{NH}_3$
- [25] 여기서 n 은 1 내지 4이고, 용액의 pH가 높아지면 n 은 4에 가까워질 수 있다. 암모니아수의 pH가 11.4로 높은 상태이기 때문에 상기 아연 수산화물은 $\text{Zn}(\text{OH})_4^{2-}$ 의 형태를 가질 수 있다.
- [26] 단계 S130에서, 상기 용액을 기판 상에 도포하여 반도체 막을 형성한다. 상기 기판은 다양한 종류의 기판이 사용될 수 있으며, 예로 반도체 기판(일례: 실리콘 기판), 유리 기판, 플라스틱 기판 또는 회로 기판(일례 PCB(printed circuit board))일 수 있다. 상기 용액의 도포를 위해 스핀코팅, 분무코팅, 딥코팅 등 다양한 공지의 방식을 사용할 수 있다.
- [27] 단계 S140에서, 상기 반도체 막을 가열하여 상기 알칼리 금속 또는 상기 알칼리 토금속으로 도핑된 산화아연 막을 형성함으로써 n 형 산화아연 막이 제조될 수 있다. 상기 반도체 막은 200 내지 500°C로 가열할 수 있다. 상기 기판이 플라스틱인 경우 300°C 이하로 가열하는 것이 바람직하다. 상기 반도체 막에 사용되는 원료에는 탄소 사슬 성분이 없으므로 소결 시 높은 온도가 필요하지 않다.
- [28] 상기 가열에 의해 아연 수산화물은 아래의 반응식 3과 같이 산화아연으로 변환될 수 있다.
- [29] (반응식 3) $\text{Zn}(\text{OH})_4^{2-} \rightarrow \text{ZnO} + \text{H}_2\text{O} + 2\text{OH}^-$
- [30] 상기 소결에 의해 상기 산화아연 막은 비정질(amorphous) 산화아연 막으로 변환될 수 있다. 상술한 용액공정으로 생성된 비정질 산화아연 막은 ZnO의 근접한 금속의 ns 오비탈 간의 겹침 현상으로 인해서 전도띠를 형성하여 높은 이동도를 가져올 수 있다. 상기 도핑된 산화아연 막 내의 상기 알칼리 금속 또는 상기 알칼리 토금속의 농도는 0.001 내지 20 mol%일 수 있다. 바람직하게는 상기 농도는 1 내지 15 mol%일 수 있다. 리튬 도핑의 경우에는 상기 농도가 1 mol% 미만에서는 전기 이동도의 효과가 적고, 10 mol% 근처에서 최대값을 가지며, 15 mol%를 초과하면 전기 이동도의 증가 효과가 감소할 수 있다. 나트륨, 칼륨, 루비듐의 경우에는 농도가 바람직하게는 1 내지 3 mol%에서 최대값을 보이며 이 값을 초과하는 경우에는 전기 이동도가 감소하지만 도핑을 하지 않은 경우보다는 높다.
- [31] 알칼리 금속 또는 알칼리 토금속이 도핑되면 얇은 공여체(shallow donor) 역할을 할 수 있다. 알칼리 금속 또는 알칼리 토금속을 도핑할 때에는 두 가지 방식이 존재할 수 있다. 예를 들어, 알칼리 금속이 도핑될 때, 리튬(Li), 나트륨(Na), 칼륨(K) 등이 아연(Zn) 자리를 치환(substitutional site)하거나 틸새 자리(interstitial site)에 위치하는 방식일 수 있다. 실제로 있어서, 알칼리 금속이 산화아연에 도핑될 때 치환 방식보다는 틸새 자리에 위치하는 방식으로 도핑되는 것이 선호되는 것으로 알려져 있다. 이 경우, 틸새 자리의 알칼리 금속은 주개(donor) 불순물의 역할을 하기 때문에 n 형 반도체의 성질을 강화할 수 있다.

- [32] 또한 틸새 자리 도핑은 산소 빈자리(oxygen vacancy) 주변에 위치하여 산소 빈자리의 격자 변형을 방지할 수 있다. 산소 빈자리는 캐리어 농도의 증가와 n형 반도체의 전기 이동도를 높여주는 것으로 알려져 있다.
- [33] 상술한 제조방법에 따르면, 화학적으로 안정한 방식으로 알칼리 금속 또는 알칼리 토금속을 산화아연 막에 도핑할 수 있다. 또한 용액 공정을 사용함으로써 저온 공정에서도 높은 전기 이동도를 갖는 반도체 막의 형성이 가능하므로 플라스틱과 같은 플렉시블 기판에도 적용가능하다. 따라서 투명하고 유연한 디스플레이 소자를 제조할 수 있다.
- [34] 일 실시예에 따르면, 플렉시블 기판 상에 소스 전극과 드레인 전극 사이를 연결하는 반도체 채널을 포함하되, 상기 반도체 채널은 알칼리 금속 또는 알칼리 토금속으로 도핑된 n형 산화아연 막인 산화아연 박막 트랜지스터가 제공될 수 있다. 상기 플렉시블 기판은 플라스틱 기판일 수 있다. 상기 플라스틱의 예로 PET, PEN, PC, PI 등을 들 수 있다.
- [35] 상기 반도체 채널은 탄소 성분이 없는 아연 전구체를 사용한 용액 공정에 의해 형성될 수 있다. 예를 들어, 아연 전구체로 아연 아세테이트와 같은 탄소 성분이 포함될 경우 300°C를 넘는 높은 소결 온도가 필요하다. 반면, 탄소 성분이 없는 아연 전구체를 사용하여 용액 공정으로 제조될 경우, 플라스틱 기판이 견딜 수 있는 300°C 이하의 저온 소결로 제작하여도 산화아연 박막 트랜지스터는 온/오프 비가 10^6 이상이고, 전기 이동도가 $5 \text{ cm}^2/\text{Vs}$ 이상일 수 있다. 예를 들어, 상기 용액 공정은 알칼리 금속 또는 알칼리 토금속의 수산화물과 아연 아민 착체의 혼합물을 함유한 용액을 기판 상에 도포하여 수행될 수 있다.
- [36] 상술한 n형 산화아연 막을 디스플레이의 구동부로 이용함으로써, 박막 트랜지스터(TFT)를 제조할 수 있다.
- [37] 도 2는 개시된 기술의 일 실시예에 따른 산화아연 박막 트랜지스터(TFT)를 나타내는 도면이다. 도 2를 참조하면, 산화아연 박막 트랜지스터는 기판(200) 상에 게이트 전극(210), 게이트 절연막(220)이 형성되고, 그 위에 반도체 채널(230) 및 채널 보호층(235)이 형성되어 있으며, 반도체 채널(230)의 양 옆으로 소스/드레인 전극(240a, 240b)이 형성될 수 있다.
- [38] 반도체 채널(230)은 알칼리 금속 또는 알칼리 토금속으로 도핑된 비정질 n형 산화아연 막일 수 있다. 알칼리 금속 또는 알칼리 토금속으로 도핑된 n형 산화아연 막은 저온 소결방식으로 제조될 수 있으므로, 기판(200)으로서 실리콘 기판은 물론, 플라스틱과 같은 플렉시블 기판도 사용될 수 있다. 상기 산화아연 박막 트랜지스터는 저온 제작이 가능하므로 기존에 LCD, OLED 구동소자뿐만 아니라 의료용 및 자동차 HUD(head up display) 제품을 포함한 투명하고 안정한 소자의 응용가능성을 높일 수 있다.
- [39] 도 3은 개시된 기술의 일 실시예에 따른 산화아연 박막 트랜지스터(TFT)의 제조방법을 나타내는 공정흐름도이다. 도 3을 참조하면, 단계 S310에서, 알칼리 금속 또는 알칼리 토금속 수산화물과 아연 아민 착체의 혼합물을 함유한 용액을

기판 상에 도포하여 반도체 막을 형성한다. 단계 S320에서, 상기 반도체 막을 소결하여 비정질 n형 산화아연 막을 형성한다. 단계 S330에서, 상기 비정질 n형 산화아연 막을 패터닝하여 채널을 형성함으로써, n형 산화아연 막을 반도체 채널로 구비한 산화아연 박막 트랜지스터가 제조될 수 있다.

[40] 상기 용액은 상기 알칼리 금속 또는 알칼리 토금속 수산화물과 아연 아민 착체 모두 잘 녹을 수 있도록 극성 용매를 포함하는 것이 바람직하다. 이와 같은 용액 공정을 활용하면, 금속이 예를 들어 아연의 틸새 자리에 위치하도록 하는 방식으로 금속의 도핑이 될 수 있어서 전기 이동도가 매우 높은 소자를 구현할 수 있다. 상술한 방법을 사용할 경우 고화질의 유연성을 가지는 디스플레이를 구현하기 위해서 가져야하는 낮은 제작 온도, 높은 전기 이동도, 화학적 안정성을 확보할 수 있으므로 고화질의 유연성을 가지는 디스플레이를 구현할 수 있다.

[41] 이하, 구체적인 실시예를 들어 본 개시된 기술에 대해 보다 상세히 설명하고자 한다.

[42]

[43] (실시예)

[44] 도핑된 산화아연 막 형성을 위한 용액 제조

[45] 0.001 mol의 산화아연(zinc oxide)를 12 ml의 암모니아수에 녹인 다음 냉동고에서 5시간 동안 용해도를 증가시키기 위하여 냉각시킴으로써 아연 아민 착체(zinc amine complex)가 형성된 수용액을 제조하였다. 다음 도핑을 위해 수산화리튬(LiOH), 수산화나트륨(NaOH), 수산화칼륨(KOH), 수산화루비듐(RbOH)에 대해 0.1M, 0.3M, 0.5M, 1M, 1.5M의 농도별로 도핑용 수용액을 만들었다. 상기 도핑용 수용액을 마이크로 피펫을 이용하여 0.1 ml씩 취하여 상기 아연 아민 착체가 형성된 수용액에 첨가하여 이후 ZnO 막의 스핀 코팅을 위한 용액을 제조하였다.

[46]

[47] 산화아연 박막 트랜지스터 제조

[48] 상술한 ZnO 막 형성용 용액을 사용하여 보텀 게이트/탑 콘택트(bottom gate/top contact) 방식의 박막 트랜지스터를 제작하였다. 기판으로서 절연층을 포함하는 실리콘 웨이퍼(SiO_2 (200 nm)/Si)를 기판으로 사용하였다. 상기 기판 상에 ZnO 막 형성용 용액을 3000 rpm에서 30초간 스핀 코팅하여 반도체 막을 형성하였다. 다음 웨도우 마스크를 사용하여 80 nm 두께의 알루미늄을 열증착하여 소스 및 드레인 전극들(W/L=20)을 형성하였다. 도핑을 위해 ZnO 용액에 첨가된 알칼리 금속의 농도는 1~15 mol%였으며, 알칼리 금속이 틸새 자리에 위치하도록 상기 기판을 핫 플레이트 상에서 300°C로 한 시간 동안 소결하였다.

[49]

[50] 산화아연 박막 트랜지스터 특성 평가

[51] 도 4는 수산화 리튬으로 도핑된 ZnO 박막의 단면 HR-TEM(high

resolution-transmission electron microscope) 이미지이다. 도 4를 참조하면, ZnO 박막의 격자 구조를 확인할 수 있으며 이를 통하여 다결정질 구조(polycrystalline structure)가 잘 형성되었음을 알 수 있다. 또한 도 4 (c) 의 FFT-SAED (fast fourier transform selective area electron diffraction) 패턴을 보면, 격자 구조로 인한 도트 패턴(dot pattern)이 형성되는 것을 알 수 있다. FFT-SAED 패턴의 원형의 희미한 번짐은 SiO₂의 비정질(amorphous) 구조로 인해 형성된 것이다. 도핑농도가 0~15 mol% 까지 증가함에 특이한 격자 비틀림(lattice distortion)이나 마이그레이션(migration)은 발견되지 않았다.

[52]

[53] 도 5는 기판 상에 형성된 비정질 산화아연 필름을 나타낸 주사전자현미경(SEM) 사진이다. 도 5를 참조하면, SEM 사진으로부터 비정질의 약 100nm 두께의 필름이 형성되었음을 알 수 있다.

[54] 박막 트랜지스터는 소스-드레인 사이를 흐르는 전도전류가 게이트 전압(V_G)에 의해 조절되는 소자이다. 소스를 공통 접지로 하여 게이트 전극에 양의 전압을 인가하게 되면 과잉 전자들이 유전체와 반도체 계면으로 이끌려 반도체 계면에는 매우 얇은 축적층을 형성한다. 여기서 포화상태에서의 드레인 전류 I_D 는 이하의 식으로 나타낼 수 있다.

[55] 식:
$$I_D = \frac{W \cdot \mu \cdot C_i}{2L} (V_G - V_T)^2$$

[56] I_D = 드레인 전류, W = 채널의 폭, L = 채널의 길이, μ = 전기 이동도(mobility), C_i = 유전체의 커패시턴스, V_G = 게이트 전압, V_T = 문턱 전압

[57] 여기서, $C_i = K \epsilon_0 \left(\frac{1}{t} \right)$ (K : 유전상수(Dielectric constant), ϵ_0 : 진공 유전율, A :

유전체의 면적, t : 유전체의 두께)

[58] 상기 제조된 TFT의 전기적 특성을 분석하였다.

[59] 도 6 내지 도 10은 도핑된 산화아연 막을 구비한 박막 트랜지스터의 전기적 특성을 나타낸 그래프이다. 도 6은 비교예로서 도핑되지 않은 ZnO TFT이고, 도 7은 리튬으로 도핑된 ZnO TFT이고, 도 8은 나트륨으로 도핑된 ZnO TFT이고, 도 9는 칼륨으로 도핑된 ZnO TFT이고, 도 10은 루비듐으로 도핑된 ZnO TFT를 나타낸다. 각 도면에서 (a)는 IV 곡선 이고 (b)는 전이곡선을 나타낸다.

[60] 전이 곡선은 드레인 전류를 60V로 고정하고 게이트 전압을 -60V에서부터 60V까지 스위치하여 측정을 하였다. TFT가 좋은 스위치 기능을 가지려면 온 상태 전류 (I_{on})과 오프 상태 전류(I_{off})의 비, 즉 온/오프 비로 표현되는 동작 영역의 값이 커야 한다. 전계효과 트랜지스터(FET)의 경우에는 게이트 전압이 0이면 드레인 전류는 거의 흐르지 않는다. 반면에 박막 트랜지스터(TFT)는 반도체와 전극이 옴릭 접촉(ohmic contact)을 이루고 있으므로 반도체를 통해 채널과 평행으로 누설전류가 흐를 수 있다. 만일 이러한 누설전류가 커지게 되면 드레인 전류는 포화가 되지 않을 뿐만 아니라 오프 상태 전류(off current)를 줄일 수 없어 스위치

소자로서 기능을 상실한다. 일반적으로 유기발광다이오드(OLED)를 발광소자로하는 고화질 디스플레이의 구동소자로 사용되기 위해서는 오프 상태 전류가 10^{-9} 이하가 되어야 하며 온/오프 비는 10^6 이상, 전기 이동도는 $5 \text{ cm}^2/\text{Vs}$ 를 요구한다.

- [61] 도 6을 참조하면, (a)로부터, 도핑하지 않은 ZnO TFT의 IV 출력 특성을 보면 V_G 에 따라 포화전류 값이 잘 분리되며 포화상태에 잘 도달하지만 전류 값이 높지 않은 것을 알 수 있다. (b)의 그래프를 보게 되면 오프 상태 전류가 $\sim 10\text{A}$ 이며 온/오프 비가 10^4 정도로 고화질의 디스플레이에 사용하기에는 적합하지 않은 성능을 보여주고 있다. (b)의 그래프는 선형영역과 포화영역으로 나눌 수 있는데 포화영역에서 상기 식을 통하여 전기 이동도를 계산할 수 있다. 계산 결과, 도핑되지 않은 ZnO TFT의 전기 이동도가 $0.75 \text{ cm}^2/\text{Vs}$ 정도로 상당히 낮았다.
- [62] 도 7은 수산화리튬을 10 mol% 도핑한 TFT의 전기적 특성이다. IV 출력 특성을 보면 $V_G(0\text{V}\sim 40\text{V step}=8\text{V})$ 에 따른 각각의 전류값이 잘 분리되고 포화된다. V_G 가 16V일 때부터 전류가 흐르기 시작하며, 40V일 때의 온 상태 전류(on current)는 0.00238A로 높은 값을 보여주고 있다. 전이 그래프를 보면 높은 온/오프 비(~ 10)를 확보하였으며, 높은 전기 이동도 ($7.3414 \text{ cm}^2/\text{Vs}$)와 낮은 문턱전압 (7.7571V)을 보여주고 있다.
- [63] 도 8은 수산화나트륨을 1 mol% 도핑한 TFT의 전기적 특성이다. IV 출력 특성을 보면 $V_G(0\text{V}\sim 40\text{V step}=8\text{V})$ 에 따른 각각의 전류값이 잘 분리되고 포화된다. V_G 가 40V일 때의 온 상태 전류는 0.00297A이다. 전이 그래프를 보면 높은 온/오프 비(~ 10)를 확보하였으며, 높은 전기 이동도 ($5.8501 \text{ cm}^2/\text{Vs}$)와 낮은 문턱전압 (5.9974V)을 보여주고 있다.
- [64] 도 9는 수산화칼륨을 3 mol% 도핑한 TFT의 전기적 특성을 보여준다. IV 출력 특성을 보면 V_G 가 8V일 때부터 전류가 흐르기 시작하며 40V일 때의 흐르는 전류값은 0.00223A 이다. 전이 그래프를 보면 도핑하지 않은 것에 비해 높은 온/오프 비(~ 10)를 보여주며, $3.6708 \text{ cm}^2/\text{Vs}$ 의 높은 전기 이동도와 0.9998V의 문턱전압을 나타내고 있다.
- [65] 도 10은 수산화루비듐을 1mol% 도핑한 TFT의 전기적 특성을 보여준다. IV 출력 특성을 보면 V_G 가 8V일 때부터 전류가 흐르기 시작하며 40V일 때의 흐르는 전류값은 0.00196A 이다. 전이 그래프를 보면 도핑하지 않은 것에 비해 높은 온/오프 비(~ 10)를 보여주며, $4.2682 \text{ cm}^2/\text{Vs}$ 의 높은 전기 이동도와 6.9904V의 문턱전압을 나타내고 있다.
- [66] 이하 표에 각 산화아연 막의 종류에 따른 TFT의 전기적 특성을 비교하여 나타내었다. 표 1에서 좌측의 각 산화아연의 괄호 안 농도는 도핑 농도를 의미한다.
- [67] 표 1

[Table 1]

산화아연 막 종류에 따른 TFT의 전기적 특성

	전기이동도 (cm ² /Vs)	문턱 전압 (V)	온/오프 비
ZnO	1.5745	6.9170	~10 ⁶
Li-ZnO (10mol%)	7.3414	7.7571	~10 ⁷
Na-ZnO (1mol%)	5.8501	5.9974	~10 ⁷
K-ZnO (3mol%)	3.6708	0.9998	~10 ⁷
Rb-ZnO (1mol%)	4.2682	6.9904	~10 ⁷

[68]

[69] 한편, 각 도펀트의 농도에 따른 성능 변화를 알아보기 위해 각 리튬과 나트륨 도펀트를 각각 1, 3, 5, 10, 15mol% 도핑한 후 TFT를 구성하여 측정하였다.

[70] 도 11은 리튬을 도펀트로 사용하였을 때의 도핑 농도별 전기 이동도를 나타낸 그래프이고, 도 12는 나트륨을 도펀트로 사용하였을 때의 도핑 농도별 전기 이동도를 나타낸 그래프이다. 도 11 및 12의 박스 차트에 대한 설명은 아래와 같다.

[71] Maximum : 결과를 유도해낸 데이터 중의 최대값

[72] Upper quartile : 전체 데이터 중 상위 75%에 해당하는 값

[73] Average : 평균값

[74] Median : 중간값

[75] Lower quartile : 전체 데이터 중 하위 25%에 해당하는 값

[76] Minimum : 결과를 유도해낸 데이터 중의 최대값

[77]

[78] 이상에서 본 개시된 기술의 실시예들에 대해 상세히 기술하였지만, 해당 기술분야에 있어서 통상의 지식을 가진 사람이라면, 본 개시된 기술의 정신 및 범위를 벗어나지 않으면서 본 실시예들을 여러 가지로 변형하여 실시할 수 있음을 이해할 수 있을 것이다.

청구범위

- [청구항 1] 산화아연에 암모니아를 반응시켜 아연 아민 착체를 형성하는 단계;
상기 아연 아민 착체와 알칼리 금속 또는 알칼리 토금속의 수산화물을 극성 용매 중에서 혼합시켜 아연 수산화물의 용액을 형성하는 단계;
상기 용액을 기판 상에 도포하여 반도체 막을 형성하는 단계; 및
상기 반도체 막을 가열하여 상기 알칼리 금속 또는 상기 알칼리 토금속으로 도핑된 산화아연 막을 형성하는 단계를 포함하는 n형 산화아연 막의 제조방법.
- [청구항 2] 제1 항에 있어서,
상기 도핑된 산화아연 막 내의 상기 알칼리 금속 또는 상기 알칼리 토금속의 농도가 0.001 내지 20 mol% 인 n형 산화아연 막의 제조방법.
- [청구항 3] 제1 항 또는 제2 항에 있어서,
상기 기판이 플라스틱인 n형 산화아연 막의 제조방법.
- [청구항 4] 제3 항에 있어서,
상기 가열 온도는 300°C 이하인 n형 산화아연 막의 제조방법.
- [청구항 5] 플렉시블 기판 상에 소스 전극과 드레인 전극 사이를 연결하는 반도체 채널을 포함하되,
상기 반도체 채널은 알칼리 금속 또는 알칼리 토금속으로 도핑된 n형 산화아연 막인 산화아연 박막 트랜지스터.
- [청구항 6] 제5 항에 있어서,
상기 플렉시블 기판이 플라스틱 기판인 산화아연 박막 트랜지스터.
- [청구항 7] 제5 항에 있어서,
온/오프 비가 10^6 이상이고, 전기 이동도가 $5 \text{ cm}^2/\text{Vs}$ 이상인 산화아연 박막 트랜지스터.
- [청구항 8] 제5 항 내지 제7 항 중 어느 한 항에 있어서,
상기 반도체 채널이 탄소 성분이 없는 아연 전구체를 사용한 용액 공정에 의해 형성된 산화아연 박막 트랜지스터.
- [청구항 9] 제8 항에 있어서,
상기 용액 공정은 알칼리 금속 또는 알칼리 토금속의 수산화물과 아연 아민 착체의 혼합물을 함유한 용액을 기판 상에 도포하여 수행되는 산화아연 박막 트랜지스터.
- [청구항 10] 알칼리 금속 또는 알칼리 토금속의 수산화물과 아연 아민 착체의 혼합물을 함유한 용액을 기판 상에 도포하여 반도체 막을

형성하는 단계;

상기 반도체 막을 소결하여 n형 산화아연 막을 형성하는 단계; 및
상기 n형 산화아연 막을 패터닝하여 반도체 채널을 형성하는
단계를 포함하는 산화아연 박막 트랜지스터의 제조방법.

[청구항 11]

제10 항에 있어서,

상기 도핑된 산화아연 막 내의 상기 알칼리 금속 또는 상기 알칼리
토금속의 농도가 1 내지 15 mol% 인 n형 산화아연 막의 제조방법.

[청구항 12]

산화아연에 암모니아를 반응시켜 아연 아민 착체를 형성하는
단계;

상기 아연 아민 착체와 알칼리 금속의 수산화물을 극성 용매
중에서 혼합시켜 아연 수산화물의 용액을 형성하는 단계;

상기 용액을 플라스틱 기판 상에 도포하여 반도체 막을 형성하는
단계; 및

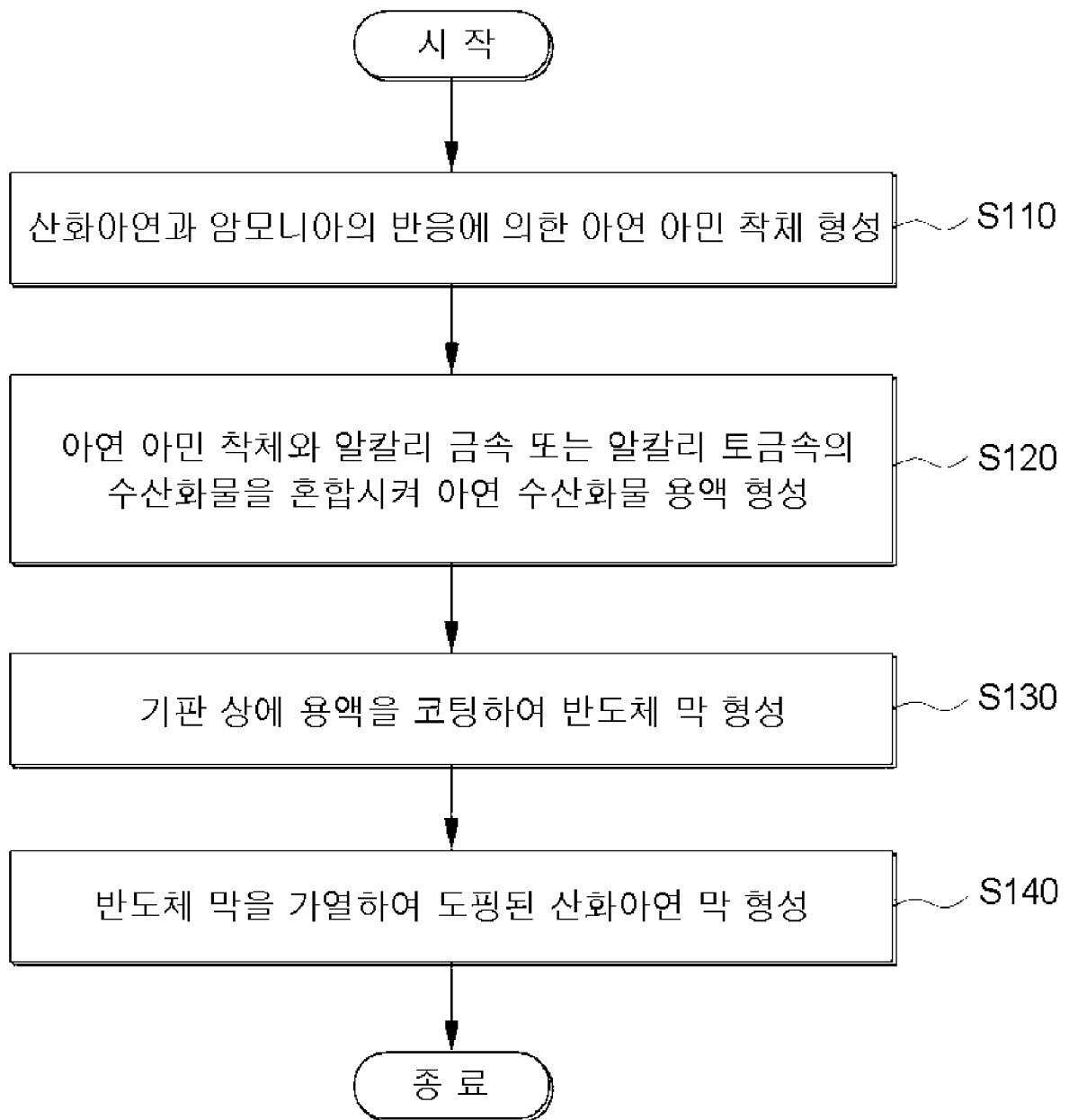
상기 반도체 막을 300°C 이하로 가열하여 상기 알칼리 금속으로
도핑된 산화아연 막을 형성하는 단계를 포함하는 산화아연 박막
트랜지스터의 제조방법.

[청구항 13]

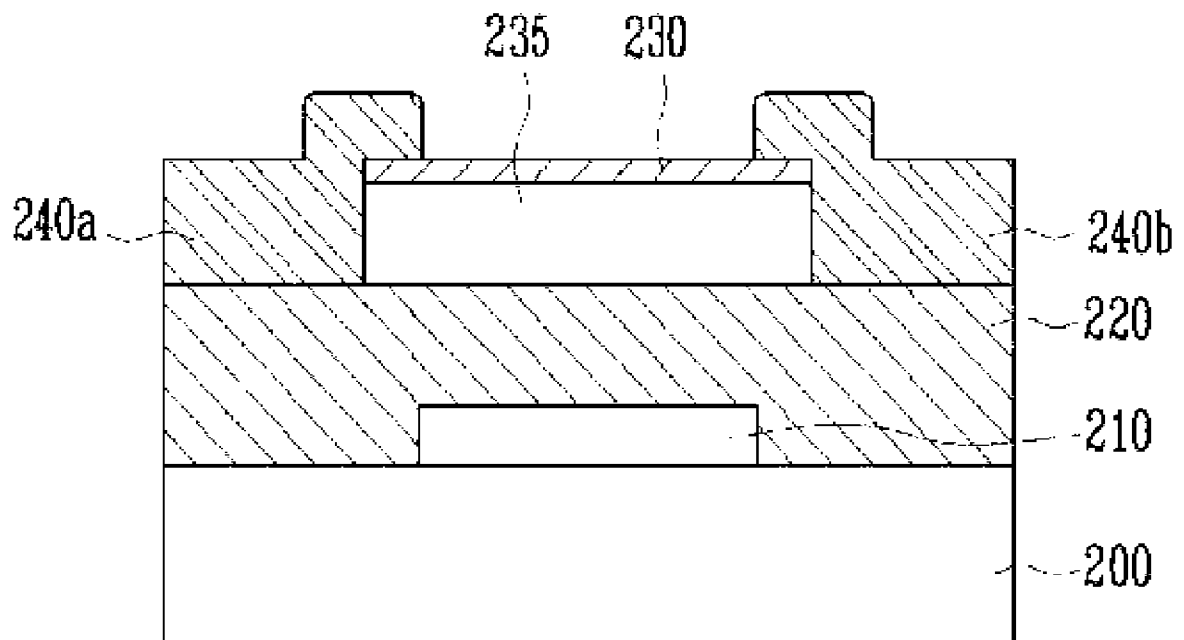
제12 항에 있어서,

온/오프 비가 10^6 이상이고, 전기 이동도가 $5 \text{ cm}^2/\text{Vs}$ 이상인
산화아연 박막 트랜지스터.

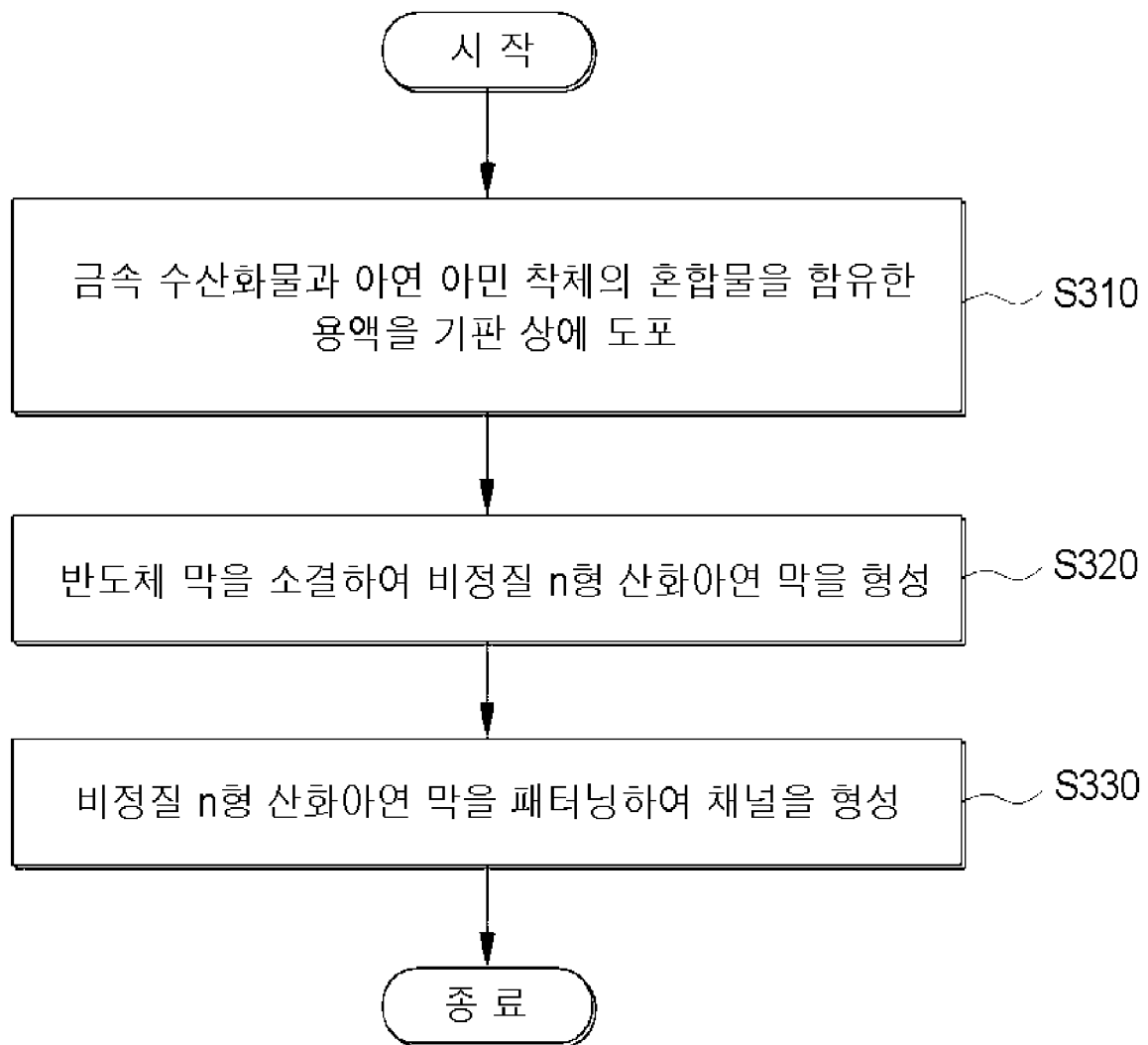
[Fig. 1]



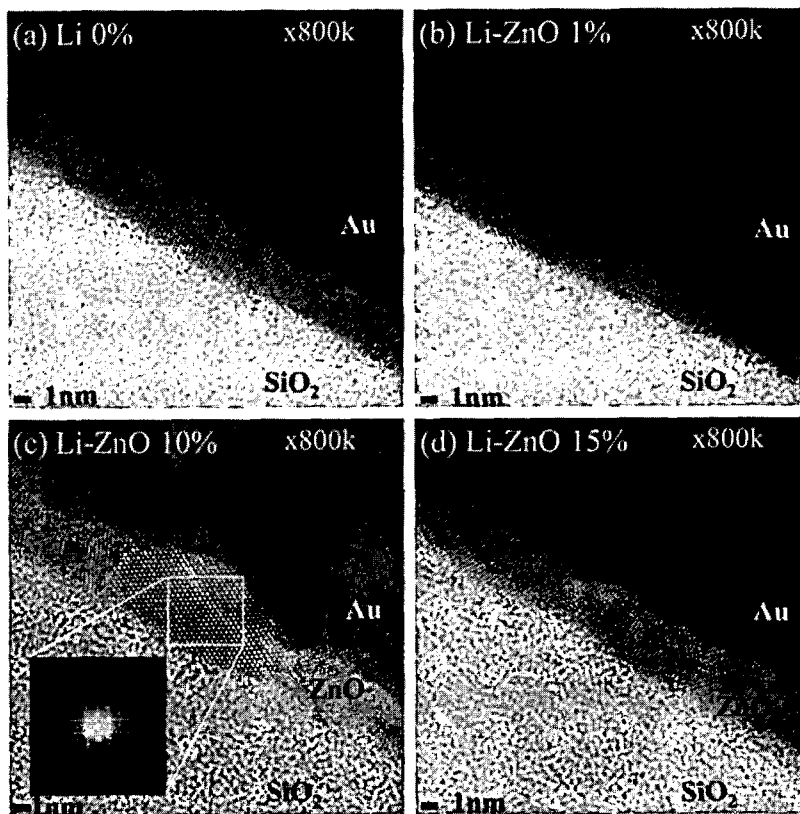
[Fig. 2]



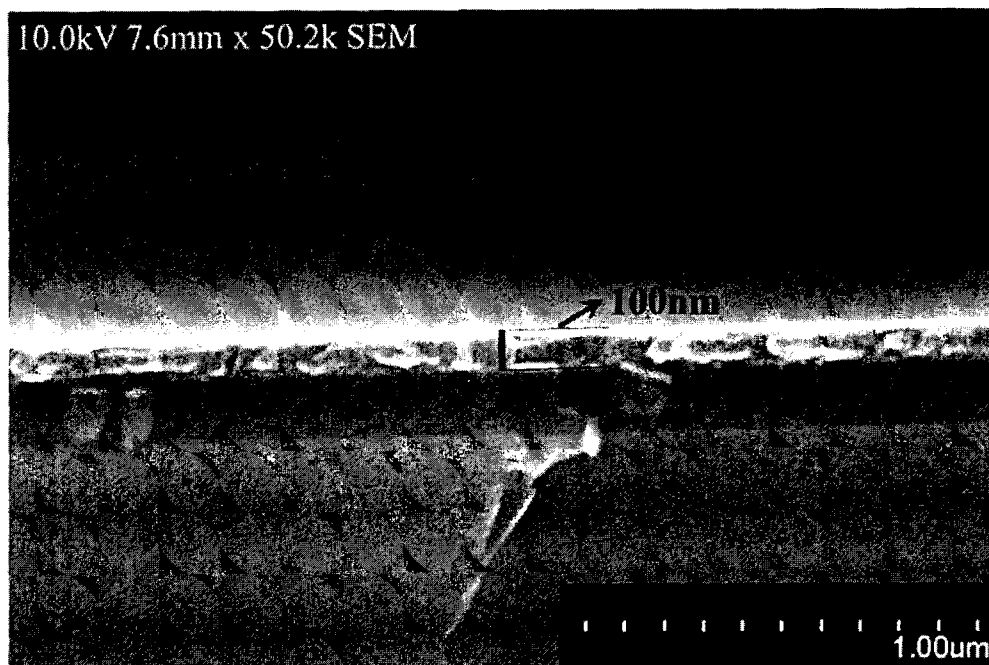
[Fig. 3]



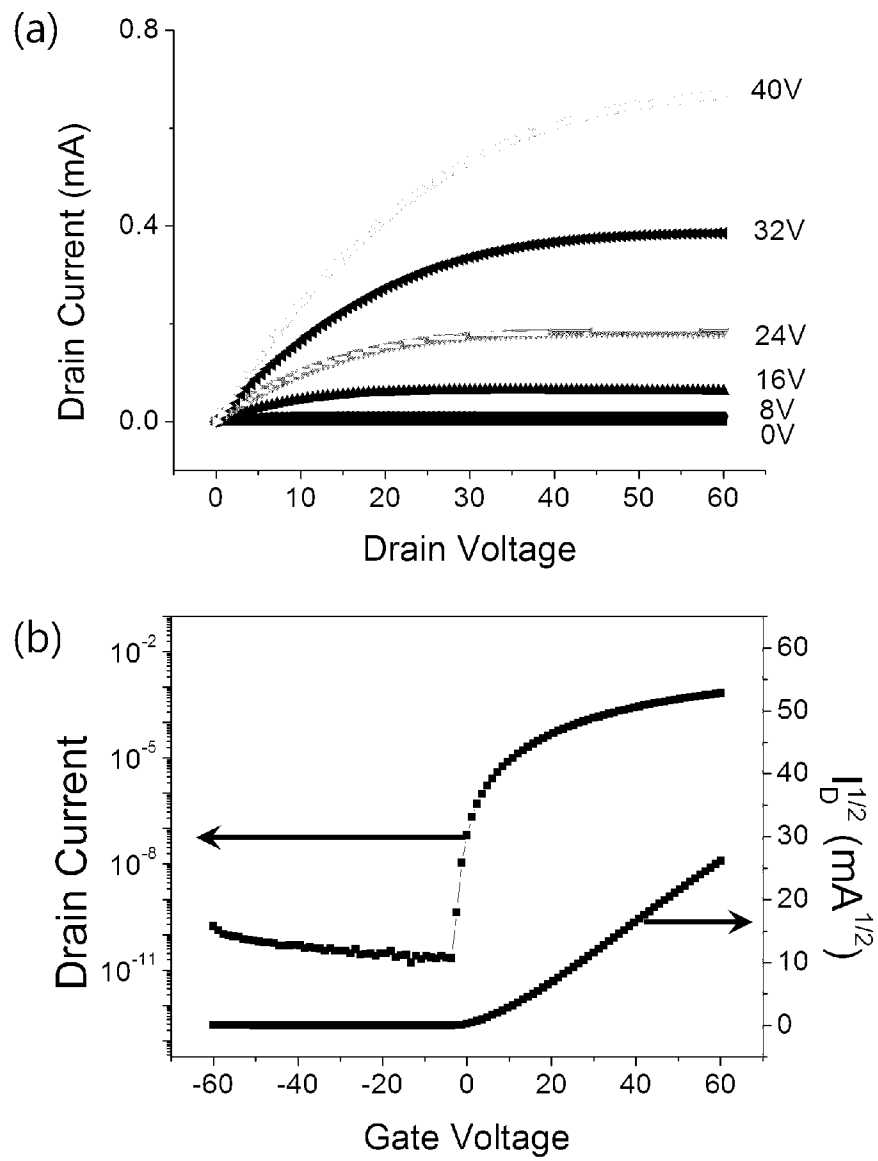
[Fig. 4]



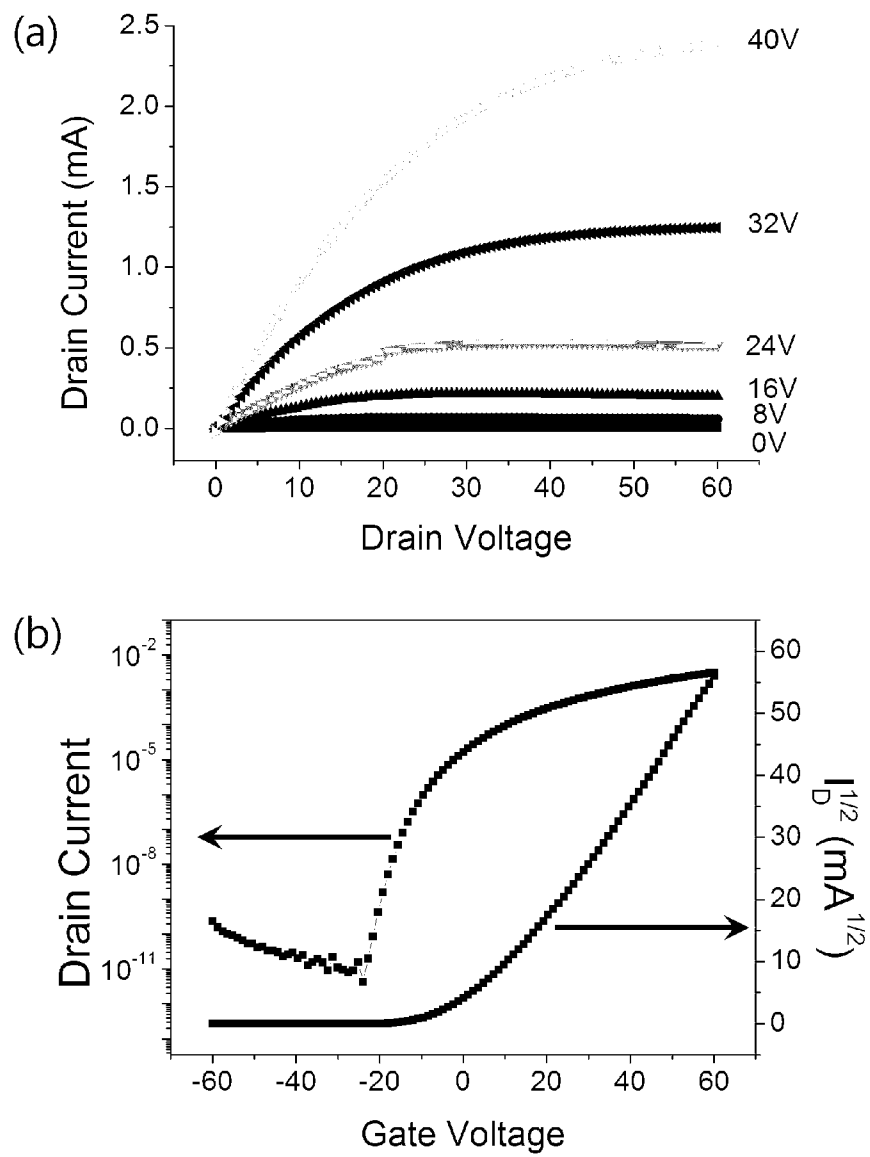
[Fig. 5]



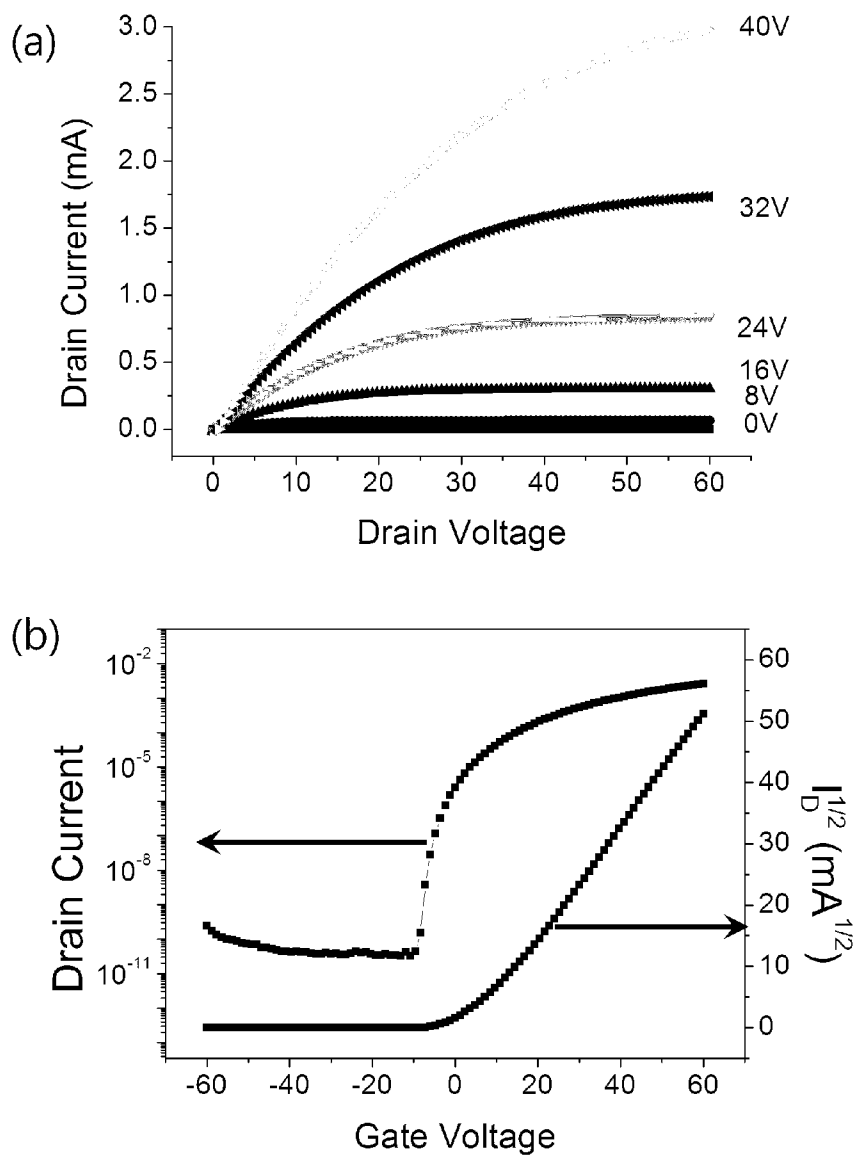
[Fig. 6]



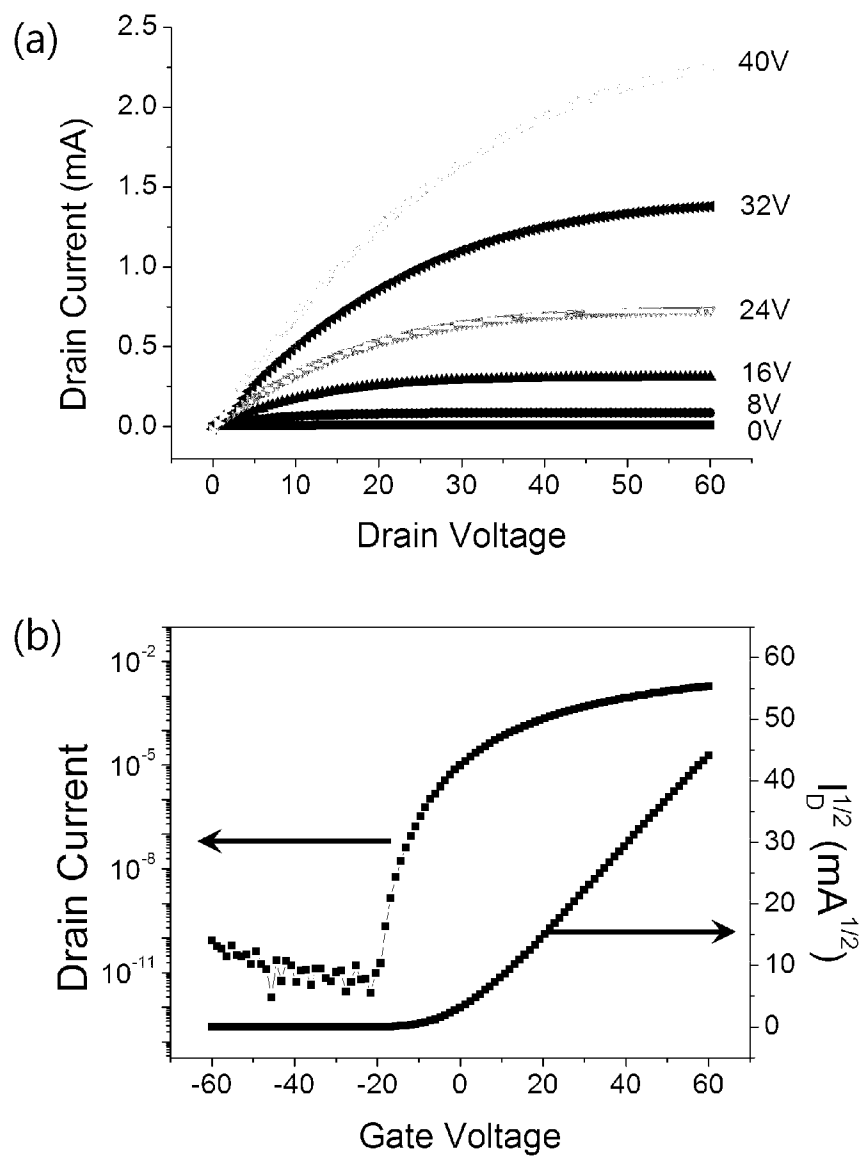
[Fig. 7]



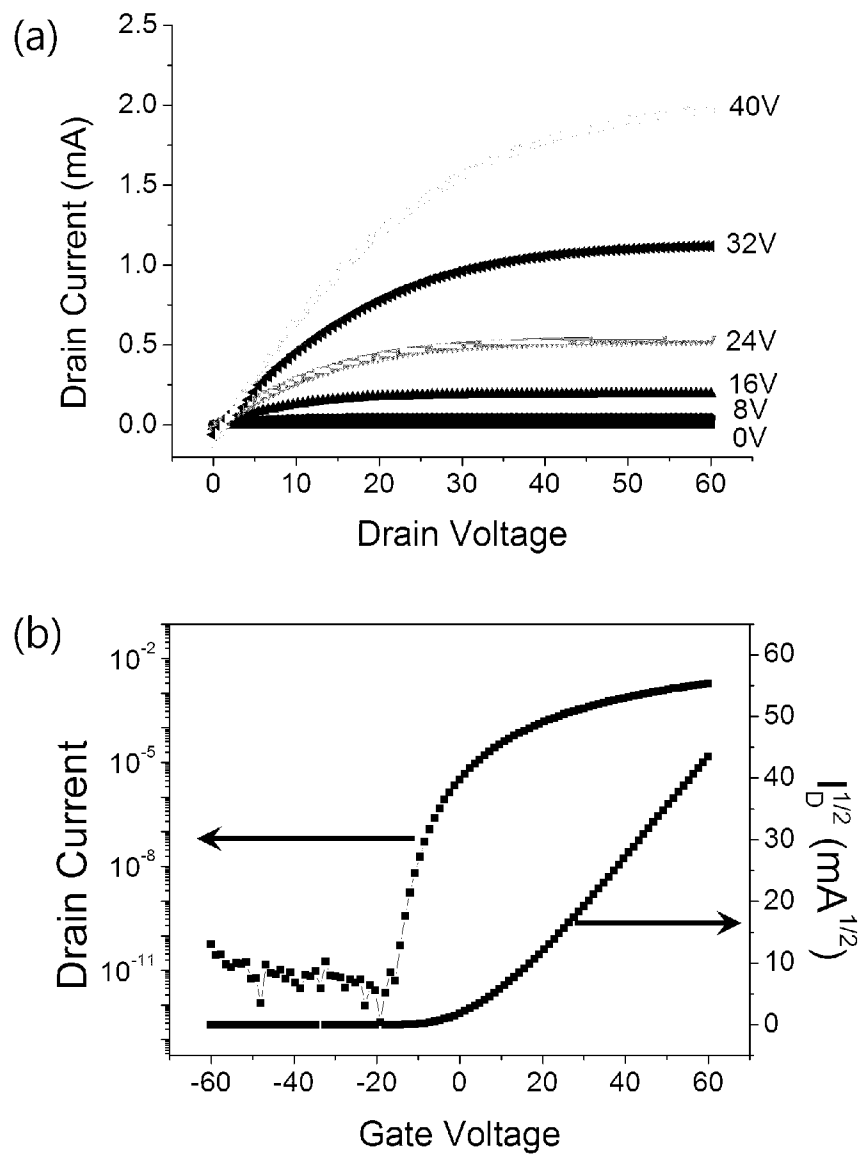
[Fig. 8]



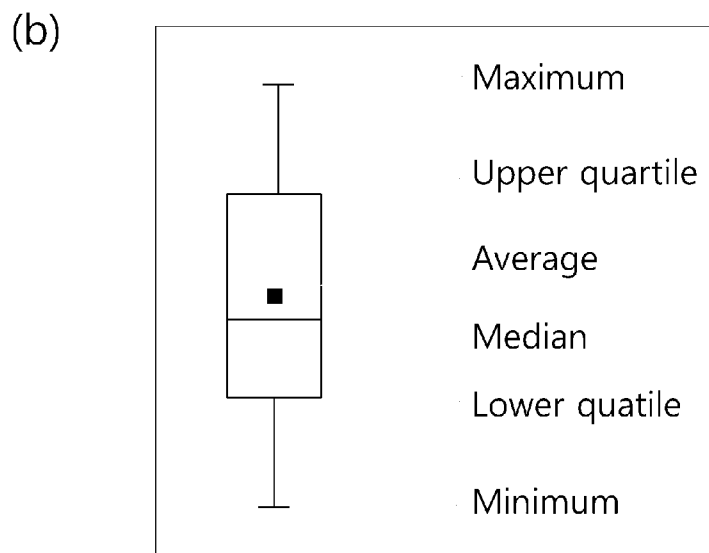
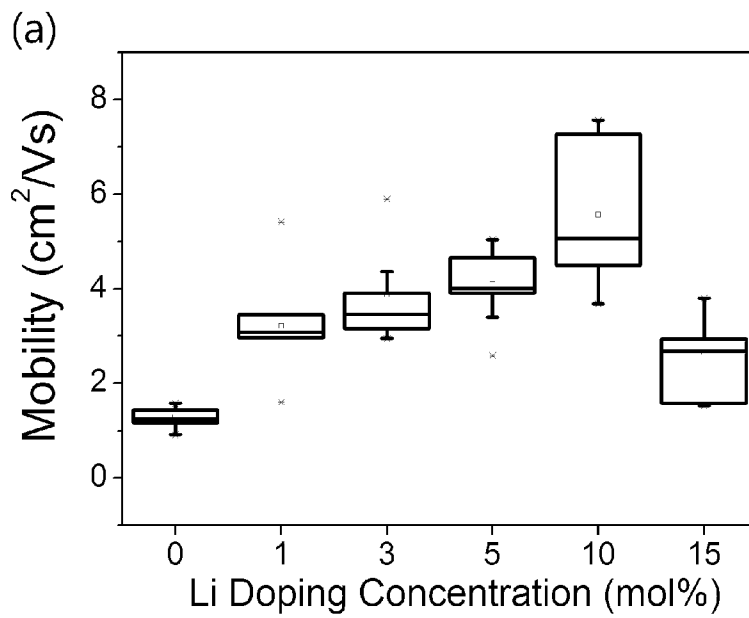
[Fig. 9]



[Fig. 10]



[Fig. 11]



[Fig. 12]

