

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5657232号
(P5657232)

(45) 発行日 平成27年1月21日 (2015. 1. 21)

(24) 登録日 平成26年12月5日 (2014. 12. 5)

(51) Int. Cl. F I
HO 1 L 21/60 (2006.01) HO 1 L 21/60 3 1 1 W
HO 1 L 23/12 (2006.01) HO 1 L 23/12 Q

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2009-242295 (P2009-242295)	(73) 特許権者	390019839
(22) 出願日	平成21年10月21日 (2009. 10. 21)		三星電子株式会社
(65) 公開番号	特開2010-103535 (P2010-103535A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成22年5月6日 (2010. 5. 6)		C o . , L t d .
審査請求日	平成24年10月1日 (2012. 10. 1)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	10-2008-0104112		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成20年10月23日 (2008. 10. 23)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	韓国 (KR)		y e o n g g i - d o , R e p u b l i c
			o f K o r e a
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆

最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【特許請求の範囲】

【請求項 1】

第1導電リード及び第2導電リードを含む配線基板と、

信号が提供される第1セル領域と、前記第1セル領域から離れて配置されかつ前記信号と同一の信号が提供される第2セル領域と、前記第1セル領域と電氣的に接続する第1導電パッドと、前記第2セル領域と電氣的に接続する第2導電パッドと、を含み、前記配線基板上に実装され、前記第2導電リード上に前記第1及び第2導電パッドを配置する半導体チップと、を含み、

前記第1導電パッドと前記第2導電パッドは互いに対向するように配置され、

前記第1セル領域と前記第2セル領域は、前記第1導電パッドと前記第2導電パッドとの間に配置され、

前記第2導電リードは、前記第1導電パッドと前記第2導電パッドに接続される前記第1セル領域と前記第2セル領域を横切るように配置され、

前記第1セル領域及び前記第2セル領域の双方は外部ソースから前記第2導電リードに伝達された信号を受信することを特徴とする半導体パッケージ。

【請求項 2】

前記第1及び第2セル領域は、隣接し、平面上に互いに左右又は上下対称に配置されることを特徴とする請求項1に記載の半導体パッケージ。

【請求項 3】

前記第2導電リードは、前記第1導電パッドと前記第2導電パッドとの間に曲がった部

10

20

分を有することを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 4】

前記第 1 導電パッドは、前記半導体チップの一侧に配置され、前記第 2 導電パッドは、前記半導体チップの他の側に配置されることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 5】

前記半導体チップは、前記第 1 セル領域と前記第 1 導電パッドとの間及び前記第 2 セル領域と前記第 2 導電パッドとの間に配置され、互いに電氣的に接続する内部配線パターンをさらに含むことを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 6】

前記半導体チップは、前記第 2 導電リードと前記第 1 導電パッドとの間及び前記第 2 導電リードと前記第 2 導電パッドとの間に各々に介在される接続端子をさらに含むことを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 7】

前記配線基板は、ベース基板と、前記ベース基板上の保護絶縁膜とをさらに含むことを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 8】

前記第 1 及び第 2 導電リードは、前記ベース基板上に互いに離隔されて配置されることを特徴とする請求項 7 に記載の半導体パッケージ。

【請求項 9】

前記配線基板は、前記半導体チップが実装される実装領域及び前記実装領域の他の非実装領域をさらに含むことを特徴とする請求項 7 に記載の半導体パッケージ。

【請求項 10】

前記第 1 及び第 2 導電リードは、前記実装領域で露出され、前記非実装領域で前記保護絶縁膜によって覆われることを特徴とする請求項 9 に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージに関し、より詳細には、フィルム型配線基板を含む半導体パッケージに関する。

【背景技術】

【0002】

最近、電子機器、例えば、携帯電話 (mobile phone)、携帯情報端末機 (Personal Digital Assistant: PDA)、液晶表示用パネル (Liquid Crystal Display panel: LCD panel) 及び携帯用コンピュータ (notebook computer) などの小型化、薄型化、軽量化が進行している。これによって、このような電子機器に搭載される半導体装置及び各種部品も小型化、軽量化、高機能化、高性能化、高密度化が進行している。

【0003】

このような半導体装置の薄型化、小型化、高集積化、高速化、高密度化の趨勢によって、半導体素子の実装技術分野ではテープ配線基板の使用が増えている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2003 - 098973 号公報

【特許文献 2】特開平 11 - 095243 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、上述の問題点に鑑みてなされたもので、その目的は、高集積化され、信号伝

10

20

30

40

50

達速度が改善された半導体パッケージを提供することにある。

【課題を解決するための手段】

【0006】

上述の目的を達成するため、半導体パッケージを提供する。このパッケージは、第1導電リード及び第2導電リードを含む配線基板と、信号が提供される第1セル領域と、前記信号と同一の信号が提供される第2セル領域と、前記第1セル領域と電氣的に接続する第1導電パッドと、前記第2セル領域と電氣的に接続する第2導電パッドと、を含み、前記配線基板上に実装され、前記第2導電リード上に前記第1及び第2導電パッドを配置する半導体チップと、を含む。

【0007】

10

本発明の実施形態によると、前記第1及び第2セル領域は、隣接し、平面上に互いに左右又は上下対称に配置されることができる。

【0008】

本発明の実施形態によると、前記第2導電リードは、前記第1導電パッドと前記第2導電パッドとの間に曲がった部分 (bending portion) を有することができる。

前記第1導電パッドは、前記半導体チップの一侧に配置され、前記第2導電パッドは、前記半導体チップの他の側に配置されることができる。

【0009】

本発明の実施形態によると、前記半導体チップは、その上面に前記第1及び第2セル領域と前記第1及び第2導電パッドを提供することができる。

20

【0010】

本発明の実施形態によると、前記半導体チップは、前記第1セル領域と前記第1導電パッドとの間及び前記第2セル領域と前記第2導電パッドとの間に配置され、互いに電氣的に接続する内部配線パターンをさらに含むことができる。

【0011】

本発明の実施形態によると、前記半導体チップは、前記第2導電リードと前記第1導電パッドとの間及び前記第2導電リードと前記第2導電パッドとの間に各々に介在する接続端子をさらに含むことができる。

【0012】

30

本発明の実施形態によると、前記配線基板は、ベース基板及び前記ベース基板上の保護絶縁膜をさらに含むことができる。前記第1及び第2導電リードは、前記ベース基板上に互いに離隔されて配置されることができる。前記配線基板は、前記半導体チップが実装される実装領域及び前記実装領域の他の非実装領域をさらに含むことができる。前記第1及び第2導電リードは、前記実装領域で露出され、前記非実装領域で前記保護絶縁膜でさらに覆われることができる。

【発明の効果】

【0013】

本発明の実施形態によると、高集積化及び高密度化された半導体パッケージを提供することができる。

40

【0014】

本発明の実施形態によると、電圧降下などの特性異常と信号伝達速度の遅延現状が減少された半導体パッケージを提供することができる。

【図面の簡単な説明】

【0015】

【図1】本発明の実施形態による半導体パッケージの斜視図である。

【図2】本発明の実施形態による配線基板の斜視図である。

【図3】本発明の実施形態による半導体チップの斜視図である。

【図4】図1の点線 I-I' に沿って見られる断面図である。

【図5】図1の点線 II-II' に沿って見られる断面図である。

50

【図 6】図 4 又は図 5 の点線 I I I - I I I ' に沿って見られる平面図である。

【図 7】図 6 の領域 M の拡大図である。

【図 8 A】本発明の実施形態の変形形態による半導体パッケージの平面図である。

【図 8 B】本発明の実施形態の変形形態による半導体パッケージの平面図である。

【図 9】本発明の実施形態又は変形形態による半導体パッケージを含むメモリカードシステムを示すための図である。

【図 10】本発明の実施形態又は変形形態による半導体パッケージを含む電子装置を説明するためのブロック図である。

【発明を実施するための形態】

【0016】

10

添付した図面を参照して本発明の望ましい実施形態を詳細に説明する。しかし、本発明はここで説明される実施形態に限定されずに他の形態に具体化されることができる。正確には、ここで紹介される実施形態は、開示された内容が徹底され、完全になるように、そして当業者に本発明の思想が十分に伝えられるようにするために提供されるものである。明細書の全体にかけて同一の参照番号に示された部分は同一の構成要素を示す。

【0017】

図 1 乃至図 7 を参照して、本発明の第 1 実施形態による半導体パッケージ 500 が説明される。

【0018】

図 1 は、本発明の実施形態による半導体パッケージの斜視図である。図 1 を参照すると、本発明の実施形態による半導体パッケージ 500 は、配線基板 100 と、配線基板 100 上に実装された半導体チップ 200 と、を含む。

20

【0019】

図 2 は、本発明の実施形態による配線基板の斜視図である。図 4 は、図 1 の点線 I - I ' に沿って見られる断面図である。図 5 は、図 1 の点線 I I - I I ' に沿って見られる断面図である。図 1、図 2、図 4、図 5 を参照すると、配線基板 100 は、半導体チップ 200 が実装される実装領域 302 と、実装領域 302 の他の非実装領域 304 と、を含むことができる。

【0020】

配線基板 100 は、ベース膜 110 (base layer) と、ベース膜 110 上のリードパターン 120、120A と、リードパターン 120、120A を覆う保護絶縁膜 130 と、を含むことができる。ベース膜 110 は、例えばポリイミドを含むことができる。保護絶縁膜 130 は、例えばソルダレジスト膜であることができる。

30

【0021】

配線基板 100 は、配線基板 100 と半導体チップ 200 との間及び半導体チップ 200 の側面 204 に配置される補充絶縁膜 140 をさらに含むことができる。補充絶縁膜 140 は、例えば絶縁性樹脂を含むことができる。保護絶縁膜 130 及び補充絶縁膜 140 は、外部環境からリードパターン 120、120A を保護すると同時に前記半導体パッケージ 500 を保護することができる。

【0022】

40

リードパターン 120、120A は、ベース膜 110 上に互いに離隔されている。リードパターン 120、120A の各々は、例えば棒形状を有することができる。リードパターン 120、120A は、例えば導電性が良い銅 Cu を含むことができる。リードパターン 120、120A は、例えばダマシン工程 (damascene process) を実行して形成されることができる。リードパターン 120、120A の各々は、ベース膜 110 の側面に沿って外部に露出されることができる。例えば、リードパターン 120、120A の各々は、非実装領域 304 の保護絶縁膜 130 の端の一部が除去されて、外部にその一部が露出されることができる。リードパターン 120、120A は、半導体チップ 200 と外部装置を電氣的に接続させることができる電極の役割をすることができる。

【0023】

50

保護絶縁膜130は、非実装領域304のリードパターン120、120Aを覆うことができる。保護絶縁膜130は、互いに離隔されたリードパターン120、120Aの間に介在されて、リードパターン120、120Aの各々を電氣的に分離することができる。保護絶縁膜130は、リードパターン120、120Aを露出する開口部134を有することができる。前記開口部134は、例えば実装領域302に定義されることができる。

【0024】

図6は、図4又は図5の点線I I I - I I I 'に沿って見られる平面図である。図1、図2、図4、図5、図6を参照すると、リードパターン120、120Aの各々は、実装領域302内に露出されることができる。リードパターン120、120Aは、第1リード導電パターン120と、第2リード導電パターン120Aと、を含むことができる。

10

【0025】

第1リード導電パターン120は、第1内部リード120Iと、第1内部リード120Iから延びた第1外部リード120Tに構成されることができる。第1内部リード120Iは、実装領域302で露出されることができる。第1外部リード120Tは、非実装領域304で保護絶縁膜130でさらに覆われることができる。

【0026】

第2リード導電パターン120Aは、第2内部リード120AIと、第2内部リード120AIから延びた第2外部リード120ATに構成されることができる。第2内部リード120AIは、実装領域302で第1内部リード120Iより延びることができる。

20

【0027】

図3は、本発明の実施形態による半導体チップの斜視図である。図3乃至図5を参照すると、半導体チップ200は、互いに対向する上面202及び下面204と側面206を有することができる。前記上面202は、セル領域C、C1、C2及びチップパッド212が提供される活性面であることができる。

【0028】

セル領域C、C1、C2の各々は、互いに分離されるように区画されることができる。区画されたセル領域C、C1、C2の各々には、トランジスタなどの電子素子（図示せず）が配置されることができ、電子素子は、セル領域C、C1、C2の各々の内で導電体（図示せず）によって電氣的に接続されることができる。セル領域C、C1、C2は、例えばロジック領域と、出力駆動領域及び／又はメモリ領域を含むことができる。

30

【0029】

セル領域C、C1、C2は、第1及び第2セル領域C1、C2と、第3セル領域Cに区分することができる。第1セル領域C1は、信号が提供される部分を含むことができる。第2セル領域C2は、前記信号と同一の信号が提供される部分を含むことができる。第3セル領域Cは、前記信号と同一の信号が提供されないことがありうる。第1及び第2セル領域C1、C2は、例えば平面上に互いに左右又は上下対称に配置されることができる。

【0030】

第1乃至第3セル領域C1、C2、Cは、チップパッド212と電氣的に接続されることができる。チップパッド212上にはチップパッド212の各々に対応する接続端子210、210A、210Bが配置されることができる。接続端子210、210A、210Bは、例えばバンプ（bump）であることができる。チップパッド212と、これに対応する接続端子210、210A、210Bは、互いに電氣的に接触する導電性を有する導電構造体に見ることができる。従って、導電体の配置の側面で、接続端子210、210A、210Bの配置を中心に説明する。即ち、接続端子210、210A、210Bの配置は、チップパッド212の配置と同一又は類似であることができる。

40

【0031】

接続端子210、210A、210Bは、セル領域C、C1、C2を囲むことができる。接続端子210、210A、210Bの各々は、例えば半導体チップ200の上面202の端に配列されることができる。接続端子210、210A、210Bは、第1導電端

50

子210及び第2導電端子210A、210Bに区分されることができる。第1導電端子210は、例えば一個ずつにそれに該当する第1乃至第3セル領域C1、C2、Cの各々の部分に電氣的に接続されることができる。第2導電端子210A、210Bは、同一の信号を提供するための導電体であることができる。第2導電端子210A、210Bは、互いに分際されて、対に配置されることができる。例えば、第2導電端子210A、210Bは、第1端子パターン210A及び第2端子パターン210Bに区分することができる。第1端子パターン210Aは、第1セル領域C1と隣接することができる。第2端子パターン210Bは、第2セル領域C2と隣接することができる。互いに同一の信号が提供されるために、第1セル領域C1の部分と第1端子パターン210A、そして第2セル領域C2の部分と第2端子パターン210Bが電氣的に接続されることができる。第1端子パターン210Aと第2端子パターン210Bとの間に第1及び第2セル領域C1、C2が配置されることができる。第1セル領域C1及び第2セル領域C2は、これらの間の活性面に導電体が提供されなく、互いに隣接することができる。

10

【0032】

半導体チップ200は、その上面202が実装領域302（図4又は図5に示す）内の配線基板100に接するように実装されている。前記実装方式は、例えば熱圧着（thermo-compression bonding）方式又は熱超音波接合（thermo-sonic bonding）方式であることができる。

【0033】

図3乃至図6を参照すると、第1リード導電パターン120は、例えば一つの第1導電端子210と電氣的に接続されることができる。即ち、実装領域302で露出された第1内部リード120Iと第1導電端子210が電氣的に接触することができる。第2リード導電パターン120Aは、第1端子パターン210Aと第2端子パターン210Bと共に電氣的に接続されている。即ち、実装領域302内で露出された第2内部リード120AIが第1端子パターン210A及び第2端子パターン210Bと同時に電氣的に接触することができる。第1端子パターン210A、第1セル領域C1、第2セル領域C2及び第2端子パターン210Bは、第2内部リード120AI上に配置されることができる。

20

【0034】

接続端子210、210A、210Bと、それに対応するセル領域C、C1、C2は、内部配線によって電氣的に接続されることができる。内部配線は、接続端子210、210A、210Bと、これに対応する区画されたセル領域C、C1、C2を電氣的に接続する導電体に定義することができる。内部配線は、半導体チップ200の上面202に提供されることができる。内部配線は、例えば接続端子210、210A、210Bと、これらに相応するセル領域C、C1、C2の間に配置されることができる。内部配線のうち、同一の信号が提供される第1及び第2セル領域C1、C2と、電氣的に接続する導電体を内部配線パターン215と定義することができる。内部配線パターン215は、第1端子パターン210Aと第1セル領域C1との間及び第2端子パターン210Bと第2セル領域C2との間に配置されることができる。

30

【0035】

一方、半導体チップが同一の信号が提供されるセル領域を含む場合、内部配線は、前記セル領域の各々の間又は／及び周囲の活性面に配置されることができる。本発明の実施形態によると、前記セル領域の間又は／及び周囲に提供される内部配線の代りに第2リード導電パターン120Aの第2内部リード120AIが使われることができる。即ち、半導体チップの上面にセル領域の間又は／及び周囲に提供される内部配線の代りに配線基板100の第2内部リード120ATが使われることができる。従って、前記内部配線が提供される領域に相当する半導体チップ200の大きさ（size）を減少させることができ、高集積化及び高密度化された半導体パッケージ500を提供することができる。

40

【0036】

図7は、図6の領域Mの拡大図である。図7を参照すると、第2内部リード120AIが第1端子パターン210A及び第2端子パターン210Bの直ぐ下に接触されることが

50

できる。本発明の実施形態によると、同一の信号が前記セル領域の間又は／及び周囲に提供される内部配線に迂回することに比べて速く伝えられることができる。従って、電圧降下などの特性異常と信号伝達速度の遅延現状が減少された半導体パッケージ５００を提供することができる。参照符号３００は、同一の信号の伝達経路である。

【００３７】

図８Ａ及び図８Ｂは、本発明の実施形態の変形形態による半導体パッケージの平面図である。前記変形形態による半導体パッケージは、上述した本発明の実施形態による半導体パッケージと類似であることができる。従って、説明の簡潔化のために以下では上述した実施形態による半導体パッケージと重複する技術的特徴に対する説明は概略的に言及される、或いは省略される。

10

【００３８】

図８Ａ及び図８Ｂを参照して、第２リード導電パターン１２０Ａ、１２０Ｂを含む本発明の実施形態の変形形態による半導体パッケージ５１０が説明される。第２リード導電パターン１２０Ａ、１２０Ｂは、第１リードパターン１２０Ａと、第２リードパターン１２０Ｂと、を含むことができる。

【００３９】

第１リードパターン１２０Ａは、半導体チップ２００の端に隣接するように配置されることができる。第１リードパターン１２０Ａを媒介体として第１及び第２セル領域Ｃ１、Ｃ２に同一の信号が伝達されることができる。前記第１及び第２セル領域Ｃ１、Ｃ２と、第１端子パターン２１０Ａ及び第２端子パターン２１０Ｂの配置によって、第１リードパターン１２０Ａは、半導体チップ２００の上面２０２の一側部上又は／及び中心部上に配置されることができる。

20

【００４０】

第２リードパターン１２０Ｂは、斜線形状部を含むことができる。第２リードパターン１２０Ｂを媒介体として第３及び第４セル領域Ｃ３、Ｃ４に同一の信号が伝達されることができる。前記第３及び第４セル領域Ｃ３、Ｃ４は、平面上の左右又は上下に対称でないことがありうる。従って、第３及び第４セル領域Ｃ３、Ｃ４の各々の同一の信号が伝達される部分に各々に対応する第３端子パターン２１０Ｃと第４端子パターン２１０Ｄも平面上の左右又は上下に対称でないことがありうる。本発明の変形形態によると、斜線形状部を含む第２リードパターン１２０Ｂによって、第３端子パターン２１０Ｃと第４端子パターン２１０Ｄに容易に電氣的に接触することができる。前記第２リードパターン１２０Ｂは、前記第３端子パターン２１０Ｃと第４端子パターン２１０Ｄとの間に曲がった（bent）形態を有することができる。同一の信号を伝達するために、第２リードパターン１２０Ｂは、直線の棒形状の他にも多様な形状、例えば斜線形状を含むことができる。

30

【００４１】

図９は、本発明の実施形態又は変形形態による半導体パッケージを含むメモリカードシステムを示すための図である。

【００４２】

図９を参照して、本発明の実施形態又は変形形態による半導体パッケージ５００、５１０を含むメモリカードシステム８００が説明される。前記メモリカードシステム８００は、コントローラ８１０と、メモリ８２０と、インタフェース８３０と、を含むことができる。前記メモリ８２０は、例えば、前記コントローラ８１０によって実行されるコマンド（command）、及び／又は使用者のデータ（data）を格納することに使われることができる。前記コントローラ８１０と前記メモリ８２０は、前記コマンド及び／又はデータを取り交わすことができるように構成されることができる。前記インタフェース８３０は、外部とのデータの入出力を担当することができる。

40

【００４３】

前記メモリカードシステム８００は、マルチメディアカード（multimedia card：MMC）、セキュアデジタルカード（secure digital card：SD）又は携帯用データ格納装置であることができる。

50

【0044】

図10は、本発明の実施形態又は変形形態による半導体パッケージを含む電子装置を説明するためのブロック図である。

【0045】

図10を参照して、本発明の実施形態又は変形形態による半導体パッケージを含む電子装置1000が説明される。前記電子装置1000は、プロセッサ1010と、メモリ1020と、入出力装置I/O1030と、を含むことができる。前記プロセッサ1010、メモリ1020及び入出力装置1030は、バス1040を通じて接続されることができる。前記メモリ1020は、前記プロセッサ1010から、RAS＊、WE＊、CAS＊などの制御信号を受けることができる。前記メモリ1020は、バス1040を通じてアクセスされるデータを格納するように使われることができる。発明の具体的な実現及び変形のために、追加的な回路及び制御信号が提供されることができることは、通常の知識を有した者には自明である。

10

【0046】

前記電子装置1000は、コンピュータシステム、無線通信装置、例えば、PDA、ラップトップ(laptop)コンピュータ、携帯用コンピュータ、ウェブタブレット(web tablet)、無線電話機、携帯電話、デジタル音楽再生機(digital music player)、MP3プレーヤ、ナビゲーション、ソリッドステートディスク(solid state disk:SSD)、家電製品(household appliance)又は情報を無線環境で送受信することができる全ての素子に使われることができる。

20

【0047】

前記した実施形態の説明は、本発明のより徹底した理解を提供するために図面を参照して例としたものに過ぎず、本発明を限定するものではない。そして、本発明の技術分野で通常の知識を有した者に本発明の基本的な原理を逸脱しない範囲内で多様な変化と変更が可能である。

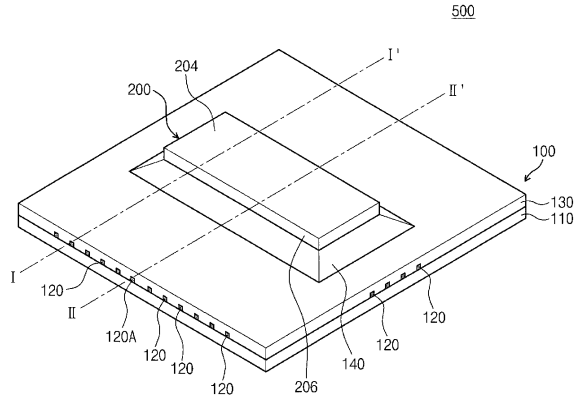
【符号の説明】

【0048】

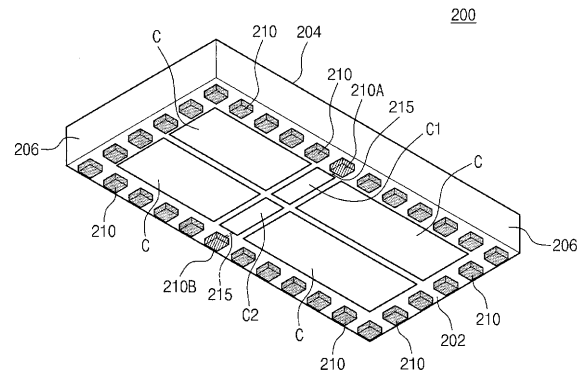
- 100 配線基板
- 110 ベース膜
- 120 リードパターン
- 130 保護絶縁膜
- 140 補充絶縁膜
- 200 半導体チップ
- 202 半導体チップの上面
- 204 半導体チップの下面
- 206 半導体チップの側面
- 500 半導体パッケージ

30

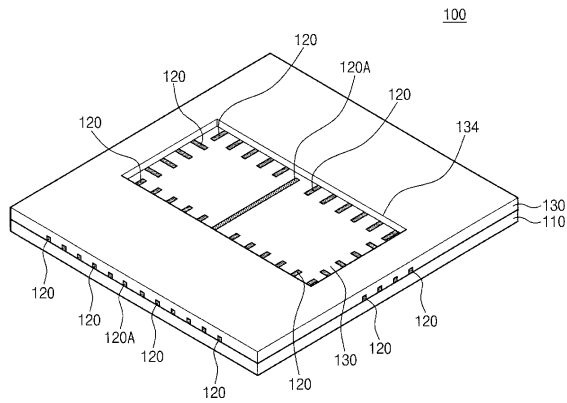
【図 1】



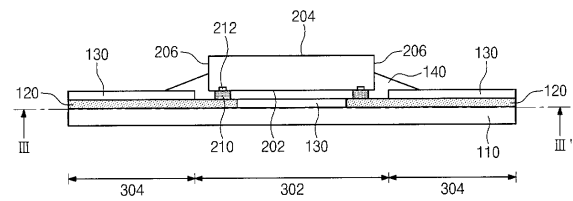
【図 3】



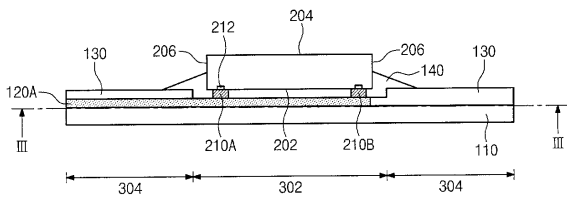
【図 2】



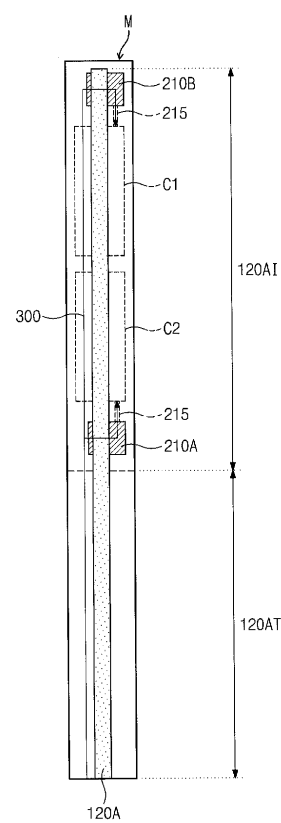
【図 4】



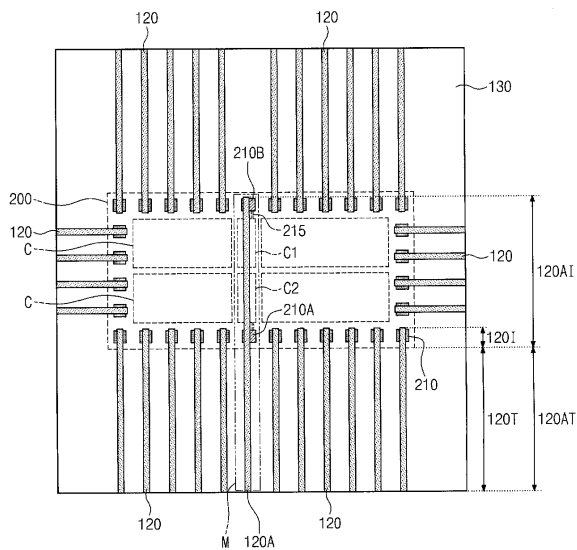
【図 5】



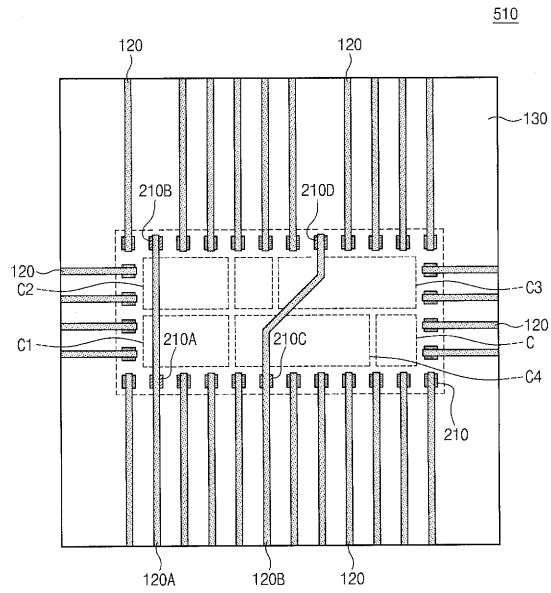
【図 7】



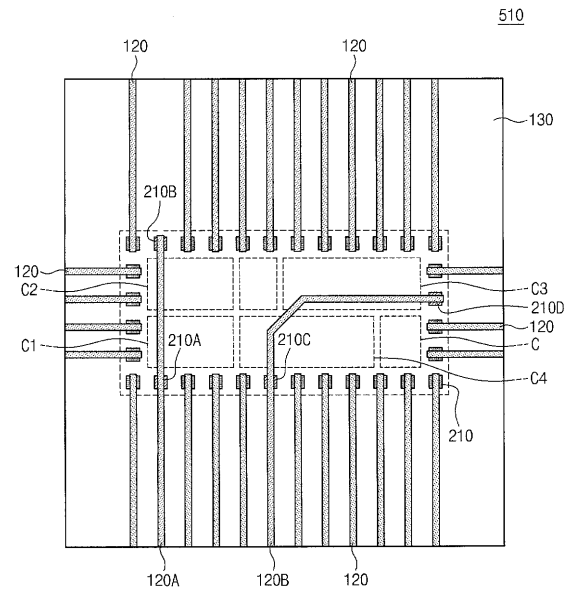
【図 6】



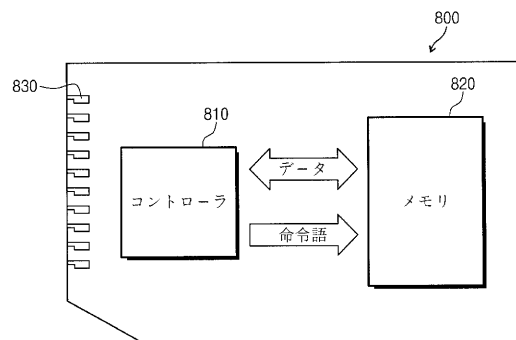
【図 8 A】



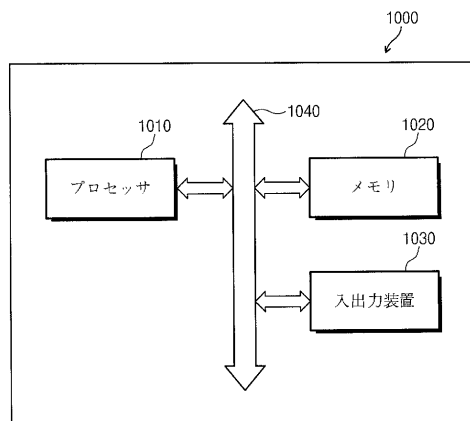
【図 8 B】



【図 9】



【図 10】



フロントページの続き

- (74)代理人 100110364
弁理士 実広 信哉
- (72)発明者 趙 暎相
大韓民国京畿道龍仁市水枝區竹田2洞(番地なし) 碧山2次アパート204棟1703號
- (72)発明者 金 東漢
大韓民国京畿道烏山市園洞(番地なし) 雲岩▲青▼丘アパート102棟402號
- (72)発明者 孫 大雨
大韓民国忠▲清▼南道天安市雙龍洞(番地なし) 現代6次アパート111棟1608號
- (72)発明者 崔 敬世
大韓民国京畿道龍仁市器興區東栢洞(番地なし) ホスマウルワールドメリディアンアパート1606棟504號
- (72)発明者 ▲鄭▼ 禮貞
大韓民国京畿道華城市東灘面宅地地區3-8BL シンドブラニューアパート613棟701號

審査官 関根 崇

- (56)参考文献 特開平05-136206(JP, A)
特開昭54-133878(JP, A)
特開昭57-184226(JP, A)
特開平04-181748(JP, A)
特開平06-069276(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/60
H01L 23/12