

公告本

申請日期	89 年 7 月 4 日
案 號	89113178
類 別	H01L 25/00

A4
C4

451454

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置
	英 文	Semiconductor device
二、發明 人	姓 名	(1) 竹下光明 (2) 柳田敏治
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國東京都品川區北品川六-七-三五 蘇妮股份有限公司內 (2) 日本國東京都品川區北品川六-七-三五 蘇妮股份有限公司內
三、申請人	姓 名 (名稱)	(1) 蘇妮股份有限公司 ソニー株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都品川區北品川六丁目七番三五號
	代 表 人 姓 名	(1) 出井伸之

裝

訂

線

451454

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權

日本 1999 年 7 月 6 日 11-191252

☒有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

本發明係關於一種半導體裝置，包括多數半導體晶片安裝在一基底上，和更特別而言，係關於一種半導體裝置，其適於達成電子設備之尺寸和重量之降低和改善電子設備之效能。

近年來，爲了降低半導體晶片之尺寸和增加半導體晶片之整合位準，已提出混合的安裝邏輯晶片，類比晶片，和記憶體，如 D R A M 和快閃記憶體在相同矽基底上之技術，且部份已實際使用。

但是，混合的安裝半導體晶片在相同基底上之技術具有因每一半導體晶片之製造方法之演進而引起之各種技術問題。

例如，需用以形成 D R A M 容量之熱處理會引起在邏輯晶片中實質用以完成電晶體之細微構造之超淺接面輪廓之損壞之問題，和使在 P 通道電晶體之閘電極中之硼通過閘極絕緣膜之問題，如此會使 P 通道電晶體之通道輪廓不同於所設計之輪廓，因而會使電晶體之電流特性變差。

一類比電路，其與如驅動器，放大器，和感應器之外部晶片形成介面，乃需要比進階 C M O S 更高的耐電壓和更高的輸入範圍，且因此，類比電路在其幾何構造上難以製成較細小。對於類比電路整合需要在其幾何構造上製成較小之一邏輯電路而言，由於大部份的半導體晶片被難以降低其面積之類比電路所佔據，如果會降低由混合安裝類比電路和邏輯電路所獲得之經濟上之優點。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

除了上述混合安裝半導體晶片在相同矽基底之技術外，亦已積極的發展混合的安裝半導體晶片在一封裝位準上之技術。

所謂的晶片在晶片上之構造包括半導體晶片簡單的互相堆疊，可有效的縮短互接之長度；但是，其缺點為會犧牲在晶片中之電源線和接地線之強度。在超高速CPU或DSP中，流在晶片中之過多電流會因為電源線和接地線之電阻而降低有效的內電壓，藉以降低操作速度。

即使對於需要在相當低供應電壓下操作之低功率晶片而言，因為互接之電阻而使電位些微的降低亦會使效能顯著變差。特別的，在例如需要在低於1V或更低電壓下操作之晶片中，具有使用SOI（在絕緣體上之矽）基底之構造之晶片需要非常穩定之電源線和非常穩定之接地線。

相對於此背景說明，晶片之電源線和接地線已習知的從多位準互接形成，且近年來，已實際使用形成在晶片中相關於多數電源線和接地線之結合墊，和將它們連接至形成在基底中之互接，藉以穩定晶片之電源線和接地線之技術。

發明概要

本發明之目的乃在提供一種半導體，其可藉由互相堆疊而混合的安裝一邏輯晶片，一類比晶片，一記憶晶片等，而穩定每一晶片之電源線和接地線。

為了達成上述之目的，依照本發明，於此提供一種半

五、發明說明(3)

導體裝置，包含：一中介基底，具有一導電部份，和在其一表面上具有一外部連接端導通至該導電部份；和半導體晶片，每一半導體晶片具有連接部份，該半導體晶片安裝在中介基底之兩表面上；其中至少兩半導體晶片經由該中介基底之導電部份互相電導通；和每一該半導體晶片之電源線，接地線，和訊號線之至少之一經由兩個或更多的該連接部份而連接至該中介基底之導電部份以互相導通。

以此構造，由於如邏輯晶片，類比晶片，和記憶晶片等之半導體晶片乃安裝在中介基底之兩表面上，因此可完成半導體晶片之混合安裝，且由於所安裝之半導體晶片之電源線，接地線，和訊號線至少之一經由兩個或更多的該連接部份而連接至該中介基底之導電部份以互相導通，因此可穩定半導體晶片之電源線，接地線，和訊號線。

圖式簡單說明

圖1為本發明之半導體裝置之一實施例之示意構造之側視圖；

圖2A和2B為半導體晶片之連接部份之構造之底視圖；

圖3A為邏輯晶片之連接部份和連接部份之導電圖樣之底視圖，和圖3B為中介基底之表面之平面圖；

圖4為在中介基底之多位準互接例中，中介基底之主要部份之截面側視圖；

圖5為本發明之半導體裝置之另一實施例之示意構造

五、發明說明(4)

之側視圖；

圖6為圖1所示之本發明之半導體裝置之實施例之一變化例之示意構造之側視圖；

圖7為圖1所示之本發明之半導體裝置之實施例之另一變化例之示意構造之側視圖；和

圖8為圖1所示之本發明之半導體裝置之實施例之又一變化例之示意構造之側視圖。

主要元件對照表

- | | |
|----|-------------|
| 1 | 半導體裝置 |
| 2 | 中介基底 |
| 3 | 類比晶片 |
| 4 | D R A M 晶片 |
| 5 | 高頻 L S I 晶片 |
| 6 | 邏輯晶片 |
| 7 | 多位準互接 |
| 8 | 連接部份 |
| 9 | 球塊 |
| 10 | 導電圖樣 |
| 11 | 導電圖樣 |
| 12 | 外部連接端 |
| 13 | 印刷接線板 |
| 14 | 各向異性導電膜 |
| 15 | 樹脂 |

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (5)

1 6 額外基底

1 7 強化基底

較佳實施例之詳細說明

以下參考圖式詳細說明本發明之半導體裝置之實施例。

圖 1 為本發明之半導體裝置之一實施例。在圖中，參考數字 1 表示半導體裝置。半導體裝置 1 為一系統 L S I，其中一類比晶片 3 和一 D R A M 晶片 4 安裝在一中介基底 2 之一表面上，如圖 2 A 所示，和一高頻 L S I 晶片 5 和具有使用 S O I 基底之構造之一邏輯晶片 6 安裝在中介基底 2 之另一表面上，如圖 2 B 所示。

這些半導體晶片 3，4，5，和 6 可在考量其效能，成本，和整合位準下，依照每一裝置類別較佳之處理而製造。更特別而言，邏輯晶片 6，其需要在低電壓下之高速和低功率耗損下之操作，可藉由使用允許高整合位準之進階 C M O S 邏輯方法而根據刻劃原理而製造。

D R A M 晶片 4 可藉由使用可以最小成本達成較大容量之一般目的 D R A M 方法製造。

類比晶片 3，在考量與周邊晶片之介面關係，其需要較高的耐電壓和較高輸入範圍，可以不需要包括進階之處理技術，而是以比邏輯晶片更低之成本製造晶片之方法製造。

依照上述較佳之方法所製造之半導體晶片 3，4，5

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

，和6之使用可使系統LSI可保持效能和成本上之平衡。

以下更詳細說明半導體裝置1之連接構造。中介基底2具有一導電部份，構造成多位準互接7，且以銅製成，和半導體晶片3，4，5，和6具有連接部份8。半導體晶片3，4，5，和6經由連接部份8連接至中介基底2之兩表面。再者，介於晶片間之電連接，亦即，介於晶片之電源線，接地線，和訊號線（未顯示）間之電連接乃藉由中介基底2之多位準互接7，經由連接部份8而執行。

每一半導體晶片3，4，5，和6之連接部份8構造成將設置在晶片背表面上之結合墊安排成沿垂直和水平方向之陣列，如圖2A和2B所示。在此實施例中，這些連接部份8以焊球塊9連接至中介基底2之多位準互接7，如圖1所示。

每一半導體晶片3，4，5，和6之連接部份8分離成連接至晶片之電源線，接地線，和訊號線之群，且每一群之連接部份8在晶片中互相導通。在圖3A所示之邏輯晶片6之例中，設置成一陣列之多數連接部份8分離成連接至電源線，接地線，和訊號線之群。連接至電源線之連接部份8之群以形成在矽基底中之導電圖樣10互相導通。連接至接地線之連接部份8之群以形成在矽基底中之導電圖樣11互相導通。連接至訊號線（未顯示）之連接部份8之群以形成在矽基底中之導電圖樣（未顯示）互相導通。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(7)

由結合墊形成之連接部份8之群，其藉由上述之導電圖樣10或11互相導通，一般即稱為“面積墊”，其意即連接部份8之群整體形成一面積墊。

如圖3B所示，連接至多位準互接7之互接圖樣10a和11a形成在中介基底2之表面上以匹配其上分別設置有連接部份8之群之導電圖樣10和11。導電圖樣10和11經由連接部份8導通至相關之互接圖樣10a和11a。

依照此實施例，由於半導體晶片3，4，5，和6藉由所謂的面積墊構造之連接部份連接至中介基底2，介於晶片和中介基底2間之接觸非點接觸而是幾乎為面積接觸，以降低其間之連接電阻，藉以穩定晶片之電源線，接地線，和訊號線。

一般而言，中介基底2之互接圖樣10a和11a和連接至此之多位準互接7比在半導體晶片3，4，5，和6中之互接之電阻低。因此，由於半導體晶片3，4，5，和6之互接經由互接圖樣10a和11a連接至多位準互接7，如此可充分改善由於因施加至晶片內部之大電流所增加之互接電阻造成晶片之供應電壓之下降。

電連接至中介基底2之半導體晶片3，4，5，和6之電源線，接地線，和訊號線因此經由多位準互接7而連接至提供在中介基底2之一表面之周邊部份上之多數外部連接端12。這些外部連接端12使用以安裝半導體裝置1至印刷接線板13，並連接至印刷接線板13之接線部

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明(8)

份(未顯示)。以此構造，半導體晶片3，4，5，和6之電源線，接地線，和訊號線經由晶片之連接部份8，中介基底2之互接10a和11a，多位準互接7，和外部連接端12而連接至印刷接線板13之接線部份，且連接至安裝有印刷接線板13之電子設備之接線部份。

以下參考圖4說明多位準互接7之構造，其中構造當成一般目的之DRAM裸晶片之DRAM晶片4安裝在中介基底2之上表面，和邏輯晶片6安裝在中介基底2之背表面上。在此例中，由於DRAM晶片4之連接部份8(介面端)部份的偏離邏輯晶片6之連接部份8，晶片4和6之互接必須連接至中介基底2之互接以校正介於兩晶片4和6間之上述位置偏離。

如圖4所示之多位準互接7可經由形成在中介基底2表面上之互接圖樣(未顯示)而使晶片互相連接，以增強連接上之自由度和減少連接長度。

即使在此例中，半導體晶片4和6乃藉由連接焊球塊9至構造當成結合墊之連接部份8而安裝至中介基底2。

依照具有上述構造之半導體裝置1，由於半導體晶片3，4，5，和6安裝在中介基底2之兩表面上，因此可混合安裝如邏輯晶片3，DRAM晶片4，高頻LSI晶片5，和邏輯晶片6之不同半導體晶片，且因此，可降低半導體裝置1之尺寸和增加半導體裝置1之整合程度。

由於所安裝之半導體晶片3，4，5，和6之電源線，接地線，和訊號線乃經由連接部份8之群連接至中介基

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (9)

底 2 之多位準互接 7 而互相導通，介於晶片和中介基底 2 間之接觸非點接觸，而是幾乎為面積接觸，藉以降低其間之連接電阻。如此可顯著的降低由於晶片之互接電阻所造成之電位降，藉以穩定晶片之電源線，接地線，和訊號線。

更特別而言，對於習知之半導體晶片，其中使用具有 $1.5\ \mu\text{m}$ 厚和 $100\ \mu\text{m}$ 寬之銅製成之電源線或接地線當成在最上層上之互接時，每單位互接長度 ($10\ \text{mm}$) 之電阻為 $1.3\ \Omega$ ，且當施加至互接之電流為 $500\ \text{mA}$ 時，電位降達到 $0.65\ \text{V}$ 。因此，其難以設計可在如小於 $1\ \text{V}$ 之電壓下操作之低功率 L S I。

相反的，在圖 1 所示之本發明之實施例中，在具有 $50\ \mu\text{m}$ 厚和 $100\ \mu\text{m}$ 寬之中介基底 2 上，每單位互接長度 ($10\ \text{mm}$) 之電阻為 $36\ \text{m}\Omega$ ，且當施加至互接之電流為 $500\ \text{mA}$ 時，電位降可抑制至 $18\ \text{mV}$ 。

半導體晶片之互接層以 $300\ \mu\text{m}$ 節距連接至中介基底 2，最大的電位降約為 $28\ \text{mV}$ ($0.65 \times 0.3\ \text{mm} / 10\ \text{mm} / 2 + 18\ \text{mV}$)。因此，由於電位降非常小，因此可設計可在低於 $1\ \text{V}$ 之電壓下操作之低功率 L S I。

在習知板安裝上之端電容約為 $10\ \text{pF}$ ；但是，介於安裝在中介基底 2 上之兩晶片間之互接電容變成端電容之五分之一，更特別而言，每單位互接距離 ($10\ \text{mm}$) 約為 $2\ \text{pF}$ 。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

藉由混合安裝一 D R A M 可達成電源之降低；但是，依照本發明，相較於藉由以上述低互接電容連接特殊邏輯晶片 6 至特殊 D R A M 晶片 4 之混合安裝 D R A M 之例，更可達成電源之降低。

由於電源線，接地線，和訊號線穩定，具有使用 S O I 基底之構造之晶片，其乃安裝當成邏輯晶片 6，可在非常低於 1 V 之電壓下操作。再者，由於可降低等效於 D R A M 晶片之混合安裝之 B U S（匯流排）之電容，因此可獲得預期可減少電源耗損之半導體裝置構造。

雖然在上述實施例中，半導體晶片 3，4，5，和 6 之連接部份 8 藉由焊球塊 9 而連接至中介基底 2，但是本發明並不限於此。例如，連接部份 8 可藉由如圖 5 所示之各向異性導電膜（A C F）1 4 連接至中介基底 2。藉由應用熱和壓力，各向異性導電膜 1 4 可允許介於連接部份 8 和中介基底 2 間之電連接。各向異性導電膜 1 4 之使用提供使連接部份 8，即結合墊呈現在垂直方向之電導通之區域，且使兩相鄰連接部份 8 顯著簡單的互相分離。

中介基底 2 之導電部份並不限於多位準互接 7，其亦可為單層互接。

圖 6 至 8 為圖 1 所示之半導體裝置 1 之變化例。在圖 6 之變化例中，半導體晶片 3，4，5，和 6 以倒裝片基礎安裝在中介基底 2 上，且以樹脂 1 5 密封，以形成一半導體裝置，且此半導體裝置以倒裝片基礎藉由提供在中介基底 2 之一表面上之周邊部份上之外部連接端 1 2 而安裝

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (11)

在設置在中介基底 2 外側之印刷接線板 1 3 上。以此構造，由於半導體晶片 3，4，5，和 6 以倒裝片基礎安裝在中介基底 2 上，且所獲得之半導體裝置以倒裝片基礎直接安裝在印刷接線板 1 3 上，因此可抑制半導體裝置之整體高度，且因此，可達成半導體裝置之高密度安裝。

圖 7 所示之變化和圖 6 之不同點在於在中介基底 2 和每一外部連接端 1 2 間提供一額外基底 1 6 以增強連接至外部銷之自由度。以此構造，可增加封裝之機械應力，和降低中介基底 2 之互接層數目。

圖 8 所示之變化例和圖 7 之不同點為在額外基底 1 6 和外部連接端 1 2 間提供一強化基底 1 7，以覆蓋中介基底 2 之整個底表面，以固定的支持高頻 L S I 晶片 5 和邏輯晶片 6。以此構造，可進一步增強機械應力和可靠度。

如上所述，依照本發明之半導體裝置，由於半導體晶片安裝在中介基底之兩表面上，因此可混合的安裝不同的半導體晶片，如邏輯晶片，類比晶片，和記憶晶片，且因此，可降低半導體裝置之尺寸和增加半導體裝置之整合程度。

由於所安裝之半導體晶片之電源線，接地線，和訊號線之至少之一經由兩或多個連接部份連接至中介基底之導電部份，以互相導通，介於中介基底和晶片間之接觸非點接觸，而是幾乎為面積接觸，以降低其間之連接電阻，藉以顯著的降低因為晶片之互接電阻而造成之電位降。如此可使晶片之電源線，接地線，和訊號線穩定，且可改善晶

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (12)

片之電特性。

特別的，在如使用 S O I 基底之裝置之可在超低電壓下操作之裝置之 L S I 之達成乃受阻於因為處理技術而使 D R A M 之混合安裝非常困難之事實，和在顯著低於 1 V 之超低電壓下之裝置之操作因為由大尺寸整合所引起之電位降而難以確保之事實；但是，依照本發明，在超低電壓下之裝置之操作和 D R A M 之混合安裝可同時達成，且因此，本發明可允許可在超低電壓下操作之裝置應用至 L S I 系統。

本發明並不限於上述之實施例，且於此仍可達成各種改變和修飾，但其仍屬本發明之精神和範疇。因此，本發明之精神和範疇應由下述申請專利範圍界定之。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱:半導體裝置)

一種半導體裝置，其特徵在於藉由互相堆疊而混合的安裝一邏輯晶片，一類比晶片，一記憶晶片等，而穩定每一晶片之電源線和接地線。該半導體裝置包含一中介基底，具有一導電部份，和在其一表面上具有一外部連接端導通至該導電部份；和半導體晶片，每一半導體晶片具有連接部份，該半導體晶片安裝在中介基底之兩表面上。至少兩半導體晶片經由該中介基底之導電部份互相電導通。每一半導體晶片之電源線，接地線，和訊號線之至少之一經由兩個或更多的該連接部份而連接至該中介基底之導電部份以互相導通。

(SEMICONDUCTOR DEVICE)

英文發:

A semiconductor device is characterized by mixedly mount a logic chip, an analog chip, a memory chip, etc. by stacking them while stabilizing power supply lines and ground lines of each chip. The semiconductor device has an intermediate substrate having a conductive portion and also having, on its one surface, an external connection terminal conducted to the conductive portion; and semiconductor chips each of which has connection portions, and which are mounted on both the surfaces of the intermediate substrate. At least two of the above semiconductor chips are electrically conducted to each other via the conductive portion of the intermediate substrate. At least one of a power supply line, a ground line, and a signal line of each of the semiconductor chips is connected to the conductive portion of the intermediate substrate via two or more, conducted to each other, of the connection portions.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，包含：

一中介基底，具有一導電部份，和在其一表面上具有一外部連接端導通至該導電部份；和

半導體晶片，每一半導體晶片具有連接部份，該半導體晶片安裝在中介基底之兩表面上；

其中至少兩半導體晶片經由該中介基底之導電部份互相電導通；和

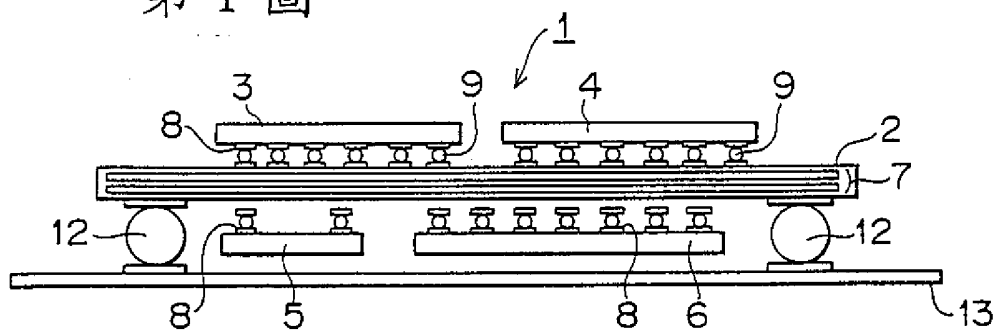
每一該半導體晶片之電源線，接地線，和訊號線之至少之一經由兩個或更多的該連接部份而連接至該中介基底之導電部份以互相導通。

2. 如申請專利範圍第1項之半導體裝置，其中該半導體晶片之連接部份藉由焊球塊連接至該中介基底之導電部份。

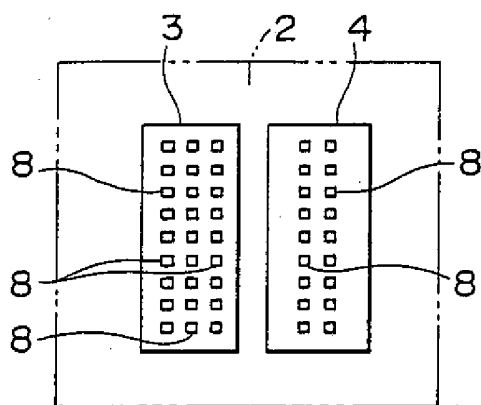
3. 如申請專利範圍第1項之半導體裝置，其中該半導體晶片之連接部份藉由各向異性導電膜連接至該中介基底之導電部份。

4. 如申請專利範圍第1項之半導體裝置，其中至少一半導體晶片為具有使用S O I基底之構造之晶片。

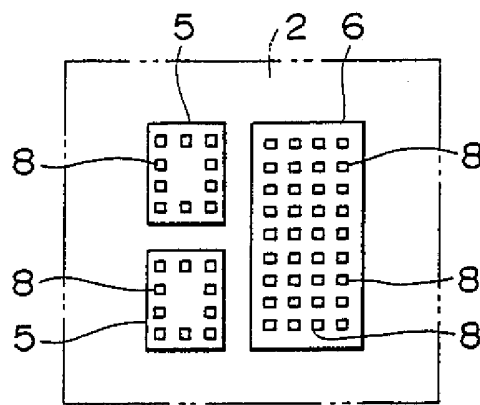
第 1 圖



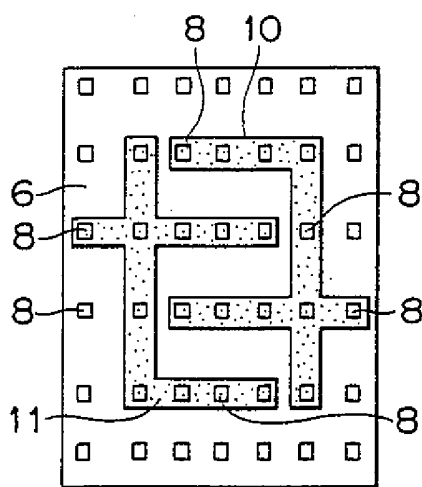
第 2 A 圖



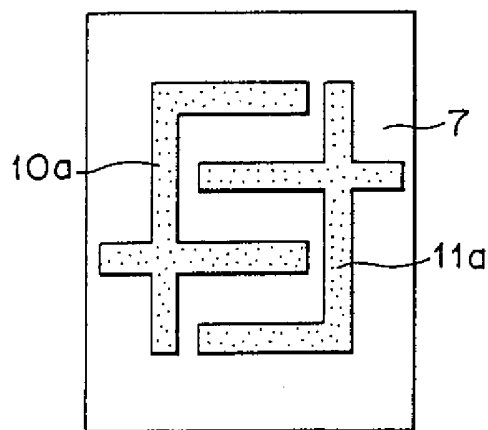
第 2 B 圖



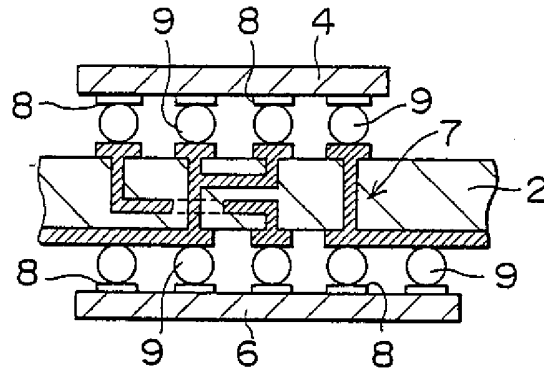
第 3 A 圖



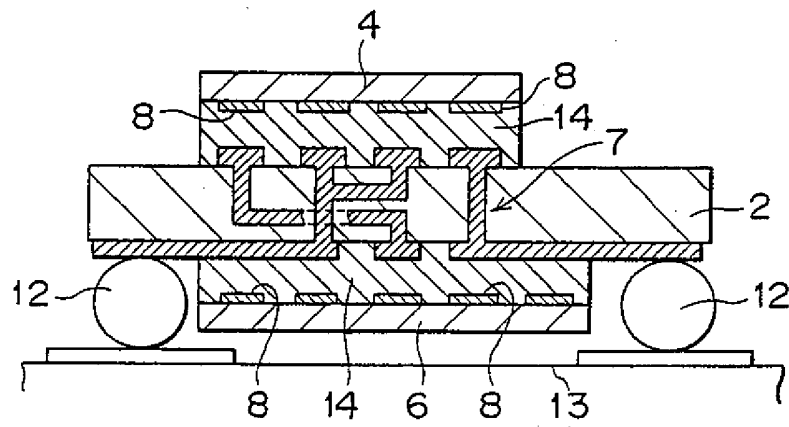
第 3 B 圖



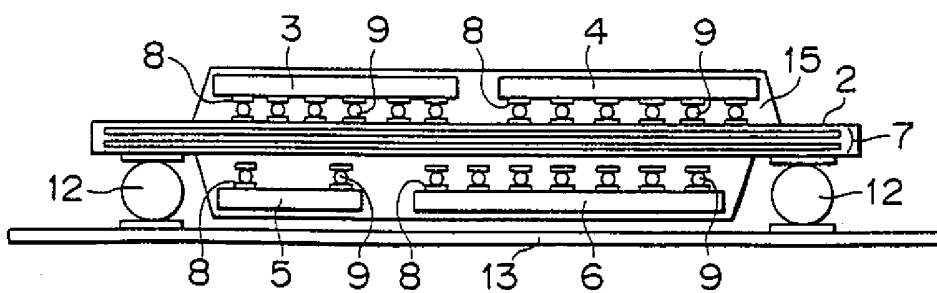
第 4 圖



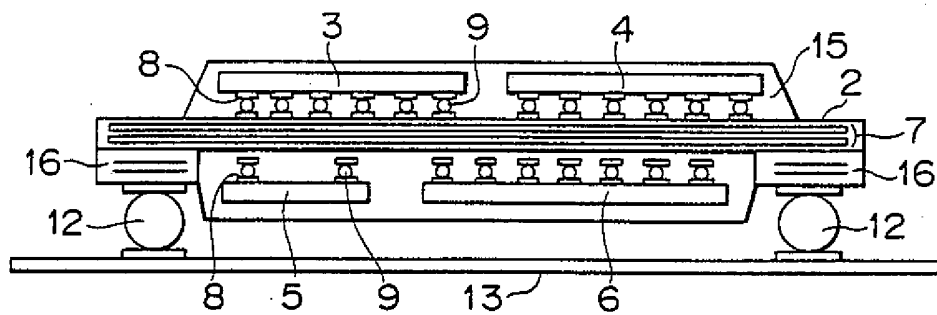
第 5 圖



第 6 圖



第 7 圖



第 8 圖

