

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第4区分
 【発行日】平成19年5月24日(2007.5.24)

【公開番号】特開2006-74888(P2006-74888A)
 【公開日】平成18年3月16日(2006.3.16)
 【年通号数】公開・登録公報2006-011
 【出願番号】特願2004-254174(P2004-254174)
 【国際特許分類】

H O 2 M 1/08 (2006.01)

【F I】

H O 2 M 1/08 A

【手続補正書】
 【提出日】平成19年4月4日(2007.4.4)

【手続補正1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】請求項7
 【補正方法】変更
 【補正の内容】
 【請求項7】

前記順電圧検出手段は、直列接続されたサイリスタの中で逆回復電荷量が小さい1個以上の素子を選定し、該素子のいずれかに順電圧が印加されているとき順電圧信号を出力することを特徴とする特許請求項1または2記載のゲート制御装置。

【手続補正2】
 【補正対象書類名】明細書
 【補正対象項目名】発明の名称
 【補正方法】変更
 【補正の内容】
 【発明の名称】ゲート制御装置

【手続補正3】
 【補正対象書類名】明細書
 【補正対象項目名】0003
 【補正方法】変更
 【補正の内容】

【0003】

従来のゲート制御装置の課題について説明するため、図7に特許文献1の第4図の回路を論理回路で構成した例を示す。図7の各部符号は特許文献1の第4図の符号に合わせて図示している。順電圧検出手段FVは、直列接続されたn個のサイリスタS1～Snに順電圧が印加されたことを示すサイリスタ順電圧信号FV1～FVnを入力し、これらの全信号のOR条件で順電圧信号（以下FV信号）を出力するOR回路で構成されている。即ち、どれか1つでもサイリスタに順電圧が掛かっていると順電圧検出する。また、逆電圧検出手段IVは直列接続されたn個のサイリスタのうち、逆回復電荷量の多いサイリスタから順に4個（ここでは仮に4個で説明する）のサイリスタを選びそれらのサイリスタに逆電圧が印加されたことを示すサイリスタ逆電圧信号IV1～IV4を入力し、これらのいずれかが立ち上がった時点でセットし、これらのいずれかが立ち下がった時点でリセットする第1フリップフロップ回路100で構成し、第1フリップフロップ100の状態を逆電圧信号（以下IV信号）として出力する。

第1フリップフロップ100は特許文献1の第4図のフリップフロップFFとは別のものである。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

この保護ロジックは、図 7 の点弧余裕角検出タイマー T の設定時間をサイリスタがターンオフできる時間 (T_0) より長く設定し、逆電圧時間が T_0 より短い素子があって、I V 信号が T_0 より早い時点で変化した場合は、フリップフロップ F F のリセットを行なわず、F V 信号が入力されればゲート信号を出せるようにしておくことで実現している。なお、逆電圧を検出するサイリスタとしては $S_1 \sim S_n$ の中で逆回復電荷量の最も大きい素子（逆電圧印加時間がアーム内で最も短い素子）を代表素子として選択するなどの回路構成が用いられることが多い。代表素子の数は 1 個以上 n 個までの任意の数が用いられる。