(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月1日(01.12.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/249233 A1

(51) 国際特許分類:
G06F 11/16 (2006.01)　*G11C 29/52* (2006.01)

(21) 国際出願番号：　PCT/JP2021/019580

(22) 国際出願日：　2021年5月24日(24.05.2021)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(71) 出願人：日本電信電話株式会社 (**NIPPON TELEGRAPH AND TELEPHONE CORPORATION**) [JP/JP]；〒1008116 東京都千代田区大手町一丁目５番１号 Tokyo (JP).

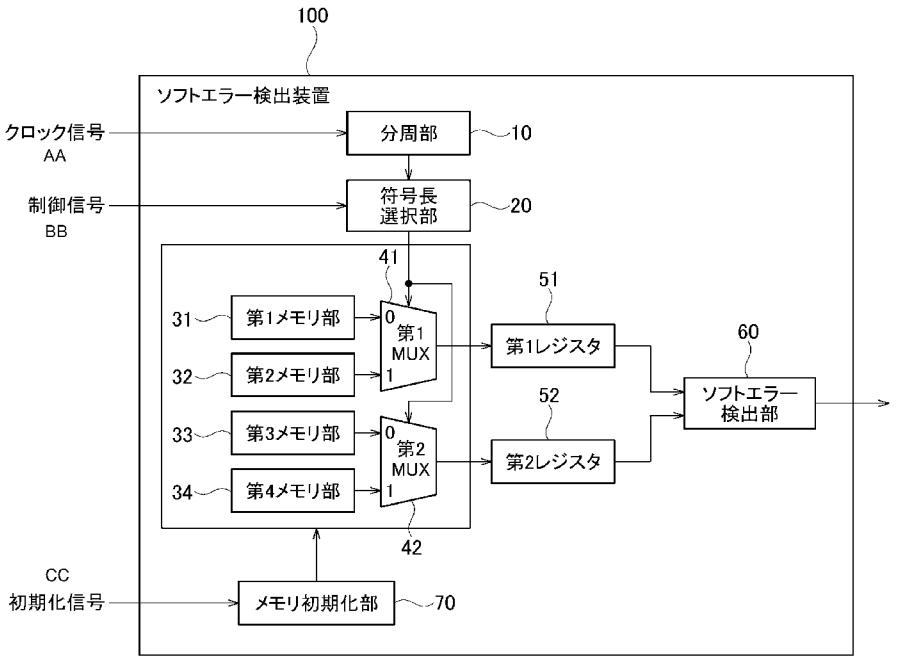
(72) 発明者：岩下　秀徳 (**IWASHITA Hidenori**)；〒1808585 東京都武蔵野市緑町３丁目９－１１ＮＴＴ知的財産センタ内 Tokyo (JP).

(74) 代理人：三好　秀和，外 (**MIYOSHI Hidekazu** et al.)；〒1050001 東京都港区虎ノ門１丁目２番８号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** SOFT ERROR DETECTION DEVICE AND METHOD THEREFOR

(54) 発明の名称：ソフトエラー検出装置とその方法



10 Frequency dividing unit
20 Code length selection unit
31 First memory unit
32 Second memory unit
33 Third memory unit
34 Fourth memory unit
41 First MUX
42 Second MUX
51 First register
52 Second register
60 Soft error detection unit
70 Memory initialization unit
100 Soft error detection device
AA Clock signal
BB Control signal
CC Initialization signal

(57) **Abstract:** This soft error detection device is provided with: a frequency dividing unit 10 which divides an external input clock signal; a code length selection unit 20 which selects a code length for a binary code representing the operating state of the frequency dividing unit 10; a first memory unit 31 which stores prescribed data; a second memory unit 32 which stores different data than the first memory unit 31; a first MUX 41 which selects the data in one of the first memory unit 31 and the second memory unit 32 on the basis of a selected binary code; a third memory unit 33 which stores the

WO 2022/249233 A1

［続葉有］

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

same data as the first memory unit 31; a fourth memory unit 34 which stores the same data as the second memory unit 32; a second MUX 42 which selects the data in one of the third memory unit 33 and the fourth memory unit 34 on the basis of the selected binary code; and a soft error detection unit 60 which compares a first output signal output by the first MUX 41 in synchronization with a clock signal and a second output signal output by the second MUX 42 in synchronization with the clock signal, and detects a soft error if the output signals do not match.

(57) 要約:外部から入力されるクロック信号を分周する分周部１０と、分周部１０の動作状態を表す二進符号の符号長を選択する符号長選択部２０と、所定のデータが格納された第１メモリ部３１と、第１メモリ部３１と異なるデータが格納された第２メモリ部３２と、選択された二進符号に基づいて第１メモリ部３１と第２メモリ部３２のどちらか一方のデータを選択する第１ＭＵＸ４１と、第１メモリ部３１と同じデータが格納された第３メモリ部３３と、第２メモリ部３２と同じデータが格納された第４メモリ部３４と、選択された二進符号に基づいて第３メモリ部３３と第４メモリ部３４のどちらか一方のデータを選択する第２ＭＵＸ４２と、クロック信号に同期させて第１ＭＵＸ４１が出力する第１出力信号と、クロック信号に同期させて第２ＭＵＸ４２が出力する第２出力信号を比較し、不一致の場合にソフトエラーを検出するソフトエラー検出部６０とを備える。

明　細　書

発明の名称 ： ソフトエラー検出装置とその方法

技術分野

[0001] 本発明は、粒子放射線の入射によって電子機器に生じるソフトエラーを検出するソフトエラー検出装置とその方法に関する。

背景技術

[0002] 粒子放射線は、放射線の中でも陽子線、アルファ線、中性子線のように粒子の性質を持つものである。例えば中性子は、宇宙から降り注ぐ宇宙線が大気圏中の酸素や窒素に衝突することで発生する。この中性子が、電子機器の半導体デバイス（例えばメモリ）に衝突すると、保存されていたデータが書き変わる「ソフトエラー」を引き起こす。「ソフトエラー」は、場合によっては社会インフラに重大な影響を及ぼす可能性がある。

[0003] 上記のソフトエラーを検出するために、ＦＰＧＡ（Field Programmable Gate Array）を用いてソフトエラーを引き起こした粒子放射線のエネルギーを特定し、その粒子放射線のエネルギー毎にソフトエラーを発生させる割合を計測する技術が、例えば非特許文献１に開示されている。

先行技術文献

非特許文献

[0004] 非特許文献1：Hidenori Iwashita , Gentaro Funatsu, Hirotaka Sato, Takashi Kamiyama, Michihiro Furusaka, Stephen A. Wender, Eric Pitcher, and Yoshiaki Kiyanagi,"Energy-Resolved Soft-Error Rate Measurements for 1-800 MeV Neutrons by the Time-of-Flight Technique at LANSCE",IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 67, NO. 11, NOVEMBER 2020

発明の概要

発明が解決しようとする課題

[0005] 非特許文献１に開示された技術は、ソフトエラーをＦＰＧＡの回路構成を決定するためのルックアップテーブル（上記のメモリに相当）のデータの書

き変わりで検出するものである。しかし、ルックアップテーブルの範囲を指定するレジスタを１ビットしか使用していない。つまり、ＦＰＧＡのルックアップテーブルの一部分しか使用できていない。

[0006] このように従来の技術は、ソフトエラーが検知されるメモリ領域（半導体デバイス）を十分に生かしていないという課題がある。

[0007] 本発明は、この課題に鑑みてなされたものであり、ソフトエラーが検知されるメモリ領域を有効に活用できるソフトエラー検出装置とその方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の一態様に係るソフトエラー検出装置は、粒子放射線の入射によって生じるソフトエラーを検出するソフトエラー検出装置において、外部から入力されるクロック信号を分周する分周部と、前記分周部の動作状態を表す二進符号の符号長を選択する符号長選択部と、所定のデータが格納された第１メモリ部と、前記第１メモリ部と異なるデータが格納された第２メモリ部と、選択された二進符号に基づいて前記第１メモリ部と前記第２メモリ部のどちらか一方のデータを選択する第１マルチプレクサと、前記第１メモリ部と同じデータが格納された第３メモリ部と、前記第２メモリ部と同じデータが格納された第４メモリ部と、選択された二進符号に基づいて前記第３メモリ部と前記第４メモリ部のどちらか一方のデータを選択する第２マルチプレクサと、前記クロック信号に同期させて、前記第１マルチプレクサが出力する第１出力信号と前記第２マルチプレクサが出力する第２出力信号を比較し、不一致の場合に前記ソフトエラーを検出するソフトエラー検出部とを備えることを要旨とする。

[0009] また、本発明の一態様に係るソフトエラー検出方法は、上記のソフトエラー検出装置が行うソフトエラー検出方法であって、分周部は、外部から入力されるクロック信号を分周し、符号長選択部は、前記分周部の動作状態を表す二進符号の符号長を選択し、第１マルチプレクサは、選択された二進符号に基づいて所定のデータが格納された第１メモリ部と前記第１メモリ部と異

なるデータが格納定された第２メモリ部のどちらか一方のデータを選択し、第２マルチプレクサは、選択された二進符号に基づいて前記第１メモリ部と同じデータが格納された第３メモリ部と前記第２メモリ部と同じデータが格納された第４メモリ部のどちらか一方のデータを選択し、前記クロック信号に同期させて、前記第１マルチプレクサが出力する第１出力信号と前記第２マルチプレクサが出力する第２出力信号を比較し、不一致の場合に前記ソフトエラーを検出することを要旨とする。

発明の効果

[0010] 本発明によれば、ソフトエラーが検知されるメモリ領域を有効に活用できるソフトエラー検出装置とその方法を提供することができる。

図面の簡単な説明

[0011] [図1]本発明の第１実施形態に係るソフトエラー検出装置の機能構成例を示すブロック図である。

[図2]図１に示す分周部と符号長選択部の具体例を示す構成図である。

[図3]図１に示す第１マルチプレクサの具体例を示す構成図である。

[図4]図１に示す分周部と第１・第２レジスタの動作例を表すタイムチャートである。

[図5]図１に示す分周部と第１・第２レジスタの他の動作例を表すタイムチャートである。

[図6]中性子エネルギーと飛行時間の関係例を示す図である。

[図7]本発明の第２実施形態に係るソフトエラー検出装置の機能構成例を示すブロック図である。

[図8]図１に示すソフトエラー検出装置が行うソフトエラー検出方法の処理手順を示すフローチャートである。

[図9]中性子の飛行時間と論理障害発生確率の関係例を示す図である。

[図10]中性子エネルギーと飛行時間の関係例を示す図である。

発明を実施するための形態

[0012] 以下、本発明の実施形態について図面を用いて説明する。複数の図面中同

一のものには同じ参照符号を付し、説明は繰り返さない。

[0013] 〔第１実施形態〕

図１は、本発明の第１実施形態に係るソフトエラー検出装置の機能構成例を示すブロック図である。図１に示すソフトエラー検出装置１００は、粒子放射線の入射によって生じるソフトエラーを検出するものである。

[0014] 粒子放射線とは、放射線の中でも粒子（電子、陽子、中性子）の性質を持つベータ線、陽子線、及び中性子線等のことである。粒子放射線が半導体デバイスに入射すると、上記のソフトエラーを生じさせる場合がある。

[0015] ソフトエラー検出装置１００は、分周部１０、符号長選択部２０、第１メモリ部３１、第２メモリ部３２、第１マルチプレクサ４１、第３メモリ部３３、第４メモリ部３４、第２マルチプレクサ４２、第１レジスタ５１、第２レジスタ５２、ソフトエラー検出部６０、及びメモリ初期化部７０を備える。

[0016] 分周部１０は、入力されるクロック信号を分周する分周回路であり、フリップフロップで構成できる。例えば、４つのＴ型フリップフロップを縦続接続させた分周部１０は、クロック信号の周波数を1/2、1/4、1/8、1/16に分周したそれぞれの周波数を出力する。

[0017] 符号長選択部２０は、分周部１０の動作状態を表す二進符号の符号長を選択する。符号長選択部２０は、符号長が選択された選択二進符号を出力する。分周部１０の動作状態とは、クロック信号を分周する過程の各フリップフロップの状態である。４つのＴ型フリップフロップを縦続接続させた分周部１０は、１６進数で表される０～Ｆの１６の動作状態を持つ。分周部１０と符号長選択部２０について詳しくは後述する。

[0018] 第１メモリ部３１は、所定のデータを格納する。第１メモリ部３１は、例えばＲＡＭで構成され全て「０」に設定される。第１メモリ部３１のデータ量は、多い程、「ソフトエラー」の検出効率を高めることができる。

[0019] つまり、半導体デバイス内における第１メモリ部３１の面積が大きい程、中性子が衝突し易くなる。よって、第１メモリ部３１のデータ量は多い程好

ましい。

[0020] ここでは説明の都合により、第１メモリ部３１のデータ量は、例えば８ビットの例で説明する。なお、図１において、図面の奥行き方向に第１メモリ部３１を多数配置することでデータ量は任意の大きさに設定することが可能である。

[0021] 例えば、図１の奥行き方向に第１メモリ部３１を３２個重ねて構成した場合（図示せず）、そのデータ量は３２×８＝２５６ビットである。このように、第１メモリ部３１は、同じ構成を並列に配置することで任意のデータ量に設定することができる。

[0022] 第２メモリ部３２は、第１メモリ部３１と異なるデータが格納される。第１メモリ部３１の全て「０」に対して、全て「１」に設定される。その他の点は、第１メモリ部３１と同じである。

[0023] 第１マルチプレクサ４１（以降、第１ＭＵＸ４１）は、符号長選択部２０で選択された分周部１０の動作状態を表す選択二進符号に基づいて第１メモリ部３１と第２メモリ部３２のどちらか一方のデータを選択する。符号長選択部２０の出力が「０」の場合、第１ＭＵＸ４１は第１メモリ部３１のデータを選択する。また、符号長選択部２０の出力が「１」の場合、第１ＭＵＸ４１は第２メモリ部３２のデータを選択する。

[0024] したがって、第１ＭＵＸ４１は、選択二進符号の状態が変化する度に、第１メモリ部３１と第２メモリ部３２のデータを交互に選択する。この例の場合は、選択二進符号の状態に対応させて第１メモリ部３１のデータ「０」と、第２メモリ部３２のデータ「１」を交互に選択する。

[0025] 第３メモリ部３３は、第１メモリ部３１と同じデータが格納される。第３メモリ部３３は、第１メモリ部３１と同様に構成される。

[0026] 第４メモリ部３４は、第２メモリ部３２と同じデータが格納される。第４メモリ部３４は、第２メモリ部３２と同様に構成される。

[0027] 第２マルチプレクサ４２（以降、第２ＭＵＸ４２）は、符号長選択部２０で選択された分周部１０の動作状態を表す選択二進符号に基づいて第３メモ

リ部４３と第４メモリ部３４のどちらか一方のデータを選択する。符号長選択部２０の出力が「０」の場合、第２ＭＵＸ４２は第３メモリ部４３のデータを選択する。また、符号長選択部２０の出力が「１」の場合、第２ＭＵＸ４２は第４メモリ部４４のデータを選択する。

[0028] このように、第１メモリ部３１と第３メモリ部３３、第２メモリ部３２と第４メモリ部３４、及び第１ＭＵＸ４１と第２ＭＵＸ４２のそれぞれは同じものである。したがって、ソフトエラーが生じない場合（第１メモリ部３１～第４メモリ部３４のそれぞれが中性子によって変化しない場合）においては、第１ＭＵＸ４１と第２ＭＵＸ４２のそれぞれは同じデータを選択する。

[0029] 第１レジスタ５１は、上記のクロック信号に同期させて第１ＭＵＸ４１の選択信号（第１出力信号）を保持する。第１レジスタ５１のクロック信号は、分周部１０に入力されるクロック信号と同じであり、図１ではその表記を省略している。

[0030] 第２レジスタ５２は、上記のクロック信号に同期させて第２ＭＵＸ４２の選択信号（第２出力信号）を保持する。第１レジスタ５１と同様に第２レジスタ５２のクロック信号の表記は省略している。

[0031] ソフトエラー検出部６０は、クロック信号に同期させて第１ＭＵＸ４１が出力する第１出力信号と、第２ＭＵＸ４２が出力する第２出力信号を比較し、不一致の場合に「ソフトエラー」を検出する。ソフトエラー検出部６０は、例えば排他的論理和（ＥＸＯＲゲート）で構成される。

[0032] 例えば、図１の奥行き方向に第１メモリ部３１を３２個重ねて構成した場合、第１ＭＵＸ４１、第２ＭＵＸ４２、第１レジスタ５１、第２レジスタ５２、及びソフトエラー検出部６０のそれぞれも３２個重ねて構成される。

[0033] 以降の説明において、第１メモリ部３１～第４メモリ部３４のそれぞれのデータ量は８ビットとする。また、第１・第２ＭＵＸ４１，４２、第１・第２レジスタ５１，５２、及びソフトエラー検出部６０のそれぞれは1個の例で説明する。

[0034] （分周部と符号長選択部）

図２は、本実施形態に係る分周部１０と符号長選択部２０の具体例を示す構成図である。図２に示す第１・第２ＭＵＸ４１，４２、第１・第２レジスタ５１，５２は、参照符号から明らかなように図１と同じものである。

[0035] 分周部１０は、例えば４つのＴ型フリップフロップ（以降、Ｔ型ＦＦ）が直列に接続された構成である。初段のＴ型ＦＦ１１のＴ端子にクロック信号が入力され、Ｔ型ＦＦ１１のＱ出力が次段のＴ型ＦＦ１２のＴ端子に入力される。Ｔ型ＦＦ１２のＱ出力が３段目のＴ型ＦＦ１３のＴ端子に入力され、Ｔ型ＦＦ１３のＱ出力が４段目のＴ型ＦＦ１４のＴ端子に入力される。このように分周部１０は、４個のＴ型ＦＦ１１～１４が縦続接続されて構成される。

[0036] 符号長選択部２０は、例えば４ビットの制御信号Ｓ１～Ｓ４のそれぞれによって有効になる４つの論理積（ＡＮＤゲート）で構成される。制御信号Ｓ１が一方の端子に接続される論理積２１の他方の端子はＴ型ＦＦ１１のＱ出力が接続される。

[0037] Ｔ型ＦＦ１２のＱ出力が接続される論理積２２は制御信号Ｓ２で有効になる。Ｔ型ＦＦ１３のＱ出力が接続される論理積２３は制御信号Ｓ３で有効になる。Ｔ型ＦＦ１４のＱ出力が接続される論理積２４は制御信号Ｓ４で有効になる。

[0038] このように、符号長選択部２０は、制御信号Ｓ１～Ｓ４に基づいて符号長が選択された選択二進符号を出力する。

[0039] 図３は、第１ＭＵＸ４１の具体例を示す構成図である。第１ＭＵＸ４１は、符号長選択部２０が出力する選択二進符号で制御される１５個のＭＵＸ（参照符号省略）で構成され、選択二進符号の状態に対応させて第１メモリ部３１と第２メモリ部３２の各ビットを選択する。４つの選択二進符号のそれぞれは、第１ＭＵＸ４１の入力端子α～Δに接続される。

[0040] 第１ＭＵＸ４１の入力端子α～Δは、４入力１出力のアドレス選択回路の入力である。第１ＭＵＸ４１は、選択二進符号（入力端子α～Δ）の状態に対応させて第１メモリ部３１と第２メモリ部３２の各ビットの中から一つの

ビットを選択する。

[0041] ここで、入力端子α～Δの４ビットで表される状態を０～Ｆ（１５）の１６状態で表現する。入力端子α～Δの状態が０（α=0, β=0, γ0, Δ=0）の場合、第１ＭＵＸ４１は第１メモリ部３１の１ビット目３１_1を選択する。入力端子α～Δの状態が１（α=0, β=0, γ0, Δ=1）の場合は第２メモリ部３２の１ビット目３２_1を選択する。

[0042] 同様に、入力端子α～Δの状態が２（α=0, β=0, γ1, Δ=0）で第１メモリ部３１の２ビット目３１_2、その状態が３（α=0, β=0, γ1, Δ=1）で第２メモリ部３２の２ビット目３２_2がそれぞれ選択される。途中省略、状態が１４（α=1, β=1, γ1, Δ=0）で第１メモリ部３１の８ビット目３１_8、状態が１５（α=1, β=1, γ1, Δ=1）で第２メモリ部３２の８ビット目３２_8が選択される。

[0043] 以上説明した第１ＭＵＸ４１の動作は、第２ＭＵＸ４２についても同様である。ただし、第２ＭＵＸ４２は、第３メモリ部３３と第４メモリ部３４の各ビットの中から一つのビットを選択する点で異なる。

[0044] 図４は、符号長選択部２０が出力する選択二進符号、第１ＭＵＸ４１の選択信号、及び第２ＭＵＸ４２の選択信号のそれぞれを示すタイムチャートである。図４の横方向は時間経過を表し、縦方向は各信号の状態を表す。図４は、制御信号Ｓ１～Ｓ４が全て「１」の場合の選択二進符号（入力端子α～Δ）を示す。

[0045] 分周部１０のＴ型ＦＦ１１～１４は、クロック信号の立ち上がりエッジで変化すると仮定すると、クロック信号の立ち上がりエッジで、Ｔ型ＦＦ１１～１４の各Ｑ出力は0,0,0,0（0）から1,1,1,1（Ｆ）に変化する。その後、Ｔ型ＦＦ１１～１４のＱ出力は、クロック信号の立ち上がりエッジに同期して、Ｅ，Ｄ，Ｃ，Ｂ，Ａ，９，８，７，６，５，４，３，２，１，０の順に変化する。このＦ～０は、選択二進符号（入力端子α～Δ）に一致している。

[0046] 選択二進符号がＦの場合、第１ＭＵＸ４１は第２メモリ部３２の８ビット目３２_8を選択する。また、この場合の第２ＭＵＸ４２は第４メモリ部３４の８ビット目３４_8を選択する。

[0047] 選択二進符号がＥの場合、第１ＭＵＸ４１は第１メモリ部３１の８ビット目31_8を選択する。また、この場合の第２ＭＵＸ４２は第３メモリ部３３の８ビット目33_8を選択する。

[0048] このように第１ＭＵＸ４１は、同じデータに設定された第１メモリ部３１と第２メモリ部３２のデータの一方を選択する、又、第２ＭＵＸ４２は、同じデータに設定された第３メモリ部３３と第４メモリ部３４のデータの一方を選択する。

[0049] 第１レジスタ５１（図１）は、クロック信号に同期させて第１ＭＵＸ４１で選択された信号を保持する。また、第２レジスタ５２は、同様に第１ＭＵＸ４２で選択された信号を保持する。

[0050] ソフトエラー検出部６０は、第１レジスタ５１と第２レジスタ５２がそれぞれ保持した信号（各レジスタの出力信号）を比較し、不一致の場合にソフトエラーを検出する。ソフトエラーが生じていない場合は、第１レジスタ５１と第２レジスタ５２でそれぞれ保持した信号は必ず一致する。よって、ソフトエラー検出部（ＥＸＯＲゲート）６０の出力は常に「０」である。

[0051] 第１メモリ部３１～第４メモリ部３４の何処かのビットが中性子によって変化すると、第１レジスタ５１と第２レジスタ５２でそれぞれ保持した信号の一方が変化する。その結果、第１レジスタ５１と第２レジスタ５２がそれぞれ保持する信号は不一致となり、ソフトエラー検出部６０はソフトエラーを検出する。

[0052] Ｔ型ＦＦ１１～１４のＱ出力が例えば８の状態において、第１レジスタ５１と第２レジスタ５２でそれぞれ保持した信号が不一致になると、ソフトエラー検出部６０は直ちにソフトエラーを検出（ＥＸＯＲゲート)の出力が「１」に変化する（図示せず）。ソフトエラーが検出されると、制御部（図示せず）が初期化信号を生成し、メモリ初期化部７０は第１メモリ部３１～第４メモリ部３４を所定のデータに初期化する。

[0053] 第１メモリ部３１～第４メモリ部３４を初期化するデータは、例えば上記の全て「０」又は全て「１」である。なお、比較するデータは全て「０」又

は全て「１」に限られない。このソフトエラー検出とメモリ部の初期化の処理は、繰り返し行ってもよい。

[0054] ソフトエラー検出を繰り返し行わない場合、メモリ初期化部７０は無くても構わない。メモリ初期化部７０の制御は制御部（図示せず）が行う。制御部については第２実施形態で説明する。

[0055] このように選択二進符号の符号長を４ビットとすると、第１メモリ部３１～第４メモリ部３４の対応する全てのビットを比較してソフトエラーを検出することができる。その比較は、クロック信号の１６周期で行うことができる。

[0056] クロック信号の周波数を２００Mhzと仮定した場合、８０ns（5ns×16）の分解能でソフトエラーを検出することができる。

[0057] また、選択二進符号の符号長を１ビットとすると、入力信号Δのみが有効であり、第１メモリ部３１～第４メモリ部３４の対応する一部のビットを比較してソフトエラーを検出する。

[0058] 図５は、選択二進符号の符号長を１ビットとした場合の選択二進符号、第１ＭＵＸ４１の選択信号、及び第２ＭＵＸ４２の選択信号のそれぞれを示すタイムチャートである。

[0059] 図５に示すように、選択二進符号の符号長を１ビットにした場合、第１ＭＵＸ４１は第１メモリ部３１の５ビット目３１_5と１ビット目３１_1を交互に選択する。また、第２ＭＵＸ４２は第３メモリ部３３の５ビット目３３_5と１ビット目３３_1を交互に選択する。

[0060] このように選択二進符号の符号を１ビットとすると、第１メモリ部３１～第４メモリ部３４の対応する２ビットを比較してソフトエラーを検出する。この場合、検出する対象のメモリ領域は狭くなるが１０ns（5ns×2）の分解能でソフトエラーを検出することができる。

[0061] 表１に、選択二進符号の符号長、検出分解能、及び検出効率の関係を示す。

[0062]

[表1]

選択二進符号の符号長	検出分解能	検出効率
固定	5ns	1
1ビット	10ns	2
2ビット	20ns	4
3ビット	40ns	8
4ビット	80ns	16

[0063] ここで検出効率は、ソフトエラーの検出に使用する第１メモリ部３１～第４メモリ部３４のメモリ領域の大きさの比率であり、検出効率＝１は選択二進符号を「０」又は「１」に固定した場合を基準とする比率である。

[0064] 検出分解能は、ソフトエラーを検出する時間間隔である。ソフトエラー検出に使用する第１メモリ部３１～第４メモリ部３４のメモリ領域の大きさを小さくすると検出分解能を小さくしてソフトエラーを検出することができる。なお、検出分解能を小さくすると検出効率は悪くなる。

[0065] 表１に示すように、選択二進符号の符号長を変えることでソフトエラーの検出分解能と検出効率を可変することができる。

[0066] 粒子放射線のエネルギーは、その飛行速度に比例する。よって、計測対象の粒子放射線のエネルギー領域に対応させた符号長（選択二進符号）にすることで、ソフトエラーを効率的に計測することが可能である。

[0067] 図６は、中性子エネルギーと飛行時間の関係例を示す図である。図６の横軸は中性子エネルギー[MeV]、縦軸は中性性の飛行速度である。

[0068] 図６に示すように、中性子エネルギーが小さいと飛行時間は長く、そのエネルギーが大きいと飛行時間は短くなる。したがって、計測対象の中性子エネルギーに対応させて符号長を変えることで、ソフトエラーを効率的に計測することができる。

[0069] つまり、高速な中性子によるソフトエラーは短い時間で検出でき、低速な中性子によるソフトエラーは長い時間で漏れなく検出することができる。

[0070] 以上説明したように、本実施形態に係るソフトエラー検出装置１００は、

粒子放射線の入射によって生じるソフトエラーを検出するソフトエラー検出装置において、外部から入力されるクロック信号を分周する分周部１０と、分周部１０の動作状態を表す二進符号の符号長を選択する符号長選択部２０と、所定のデータが格納された第１メモリ部３１と、第１メモリ部３１と異なるデータが格納された第２メモリ部３２と、選択された二進符号に基づいて第１メモリ部３１と第２メモリ部３２のどちらか一方のデータを選択する第１ＭＵＸ４１と、第１メモリ部３１と同じデータが格納された第３メモリ部３３と、第２メモリ部３２と同じデータが格納された第４メモリ部３４と、選択された二進符号に基づいて第３メモリ部３３と第４メモリ部３４のどちらか一方のデータを選択する第２ＭＵＸ４２と、クロック信号に同期させて、第１ＭＵＸ４１が出力する第１出力信号と第２ＭＵＸ４２が出力する第２出力信号を比較し、不一致の場合にソフトエラーを検出するソフトエラー検出部６０とを備える。これにより、ソフトエラーが検知されるメモリ領域を有効に活用できるソフトエラー検出装置を提供することができる。

[0071] メモリ領域を有効に活用とは、未使用のメモリ領域を小さくする（又は未使用の領域を無くす）ことを意味する。本実施形態によれば、選択二進符号の符号長を４ビットにすることで第１メモリ部３１～第４メモリ部３４の全てのビットを使用してソフトエラーを検出することができる。

[0072] なお、上記の第１メモリ部３１、第２メモリ部３２、第３メモリ部３３、第４メモリ部３４、第１ＭＵＸ４１、及び第２ＭＵＸ４２の各機能構成部は、ＦＰＧＡの組み合わせ論理（組合せロジックの回路情報）を実現するルックアップテーブル（真理値表）に置き替えることが可能である。

[0073] つまり、第１メモリ部３１、第２メモリ部３２、第３メモリ部３３、第４メモリ部３４、第１ＭＵＸ４１、及び第２ＭＵＸ４２は、ＦＧＰＡのルックアップテーブルで構成してもよい。その場合、他の機能構成部（分周部１０等）及び順序回路を含む構成もＦＰＧＡで実現することができる。これにより、開発費を安価にすることができる。

[0074] また、符号長選択部２０は、外部から入力される制御信号Ｓ１～Ｓ４に基

づいて分周部１０の動作状態を表す二進符号の符号長を選択する。これにより、外部からソフトエラー検出装置１００の検出分解能と検出効率を可変することができる。

[0075] 〔第２実施形態〕

図７は、本発明の第２実施形態に係るソフトエラー検出装置の機能構成例を示すブロック図である。図７に示すソフトエラー検出装置２００は、ソフトエラー検出装置１００（図１）に、粒子エネルギー算出部２１０、ソフトエラー断面積算出部２２０、及び制御部２３０を付加したものである。

[0076] 粒子エネルギー算出部２１０は、粒子放射線の発生時刻とソフトエラーを検出した検出時刻の差分に基づいて粒子放射線の粒子エネルギーを算出する。

[0077] 粒子放射線の発生時刻は、外部から入力される粒子発生タイミング信号で得られる。粒子発生タイミング信号は、粒子放射線を生成するターゲットに例えば陽子を照射した時刻を表す信号である。

[0078] 粒子エネルギー算出部２１０は、粒子発生タイミング信号の入力で内部のタイマー（図示せず）の計測を開始させる。その後、ソフトエラー検出部６０（ソフトエラー検出装置１００）の出力が変化（「０」→「１」）したらタイマーの計測を停止させて粒子放射線の飛行時間を計測する。

[0079] なお、ソフトエラー検出装置１００は、粒子放射線が照射される環境に配置される。それ以外のソフトエラー検出装置２００の機能構成部（粒子エネルギー算出部２１０等）は、粒子放射線が照射されない環境に配置される。粒子放射線が照射されない環境は、例えば遮蔽壁で囲まれた空間である。

[0080] 粒子放射線の飛行時間を計測した粒子エネルギー算出部２１０は、飛行時間法（式（１））により粒子エネルギーE_nを算出する。

[0081] [数1]

$$E_n = \frac{m_0c^2}{\sqrt{1-(v/c)^2}} - m_0c^2 = \frac{m_0c^2}{\sqrt{1-\left(\frac{L}{ct}\right)^2}} - m_0c^2 \qquad (1)$$

[0082] ここでm_0は粒子放射線の質量、ｃは光速、Ｌはターゲットとソフトエラー検出装置１００との間の距離、ｔは上記の差分である。

[0083] ソフトエラー断面積算出部２２０は、ソフトエラーの検出数を、単位面積に入射する粒子放射線の数で除してソフトエラー断面積を算出する。

[0084] ソフトエラーの検出数は、ソフトエラー検出部６０の出力の変化を、所定時間の間繰り返して求める。制御部２３０は、ソフトエラーが検出されると、メモリ初期化部７０を作用させて第１メモリ部３１～第４メモリ部３４のデータの初期化→ソフトエラー検出の動作を所定時間の間繰り返すようにソフトエラー検出装置１００を動作させる。この繰り返しの回数がソフトエラーの検出数になる。

[0085] 単位面積に入射する粒子放射線の数は、粒子放射線が照射される環境のその数を測定器で測定してもよいし、予め定数としてソフトエラー断面積算出部２２０内に記憶させるようにしてもよい。

[0086] ソフトエラー断面積は、１つの粒子放射線が単位面積当たりに引き起こすソフトエラーの発生確率を表す。ソフトエラー断面積は、ソフトエラーによる半導体デバイスの故障率を計算するのに用いる。

[0087] ソフトエラー検出装置２００は、粒子エネルギー算出部２１０とソフトエラー断面積算出部２２０のどちらか一方、又は両方を備えてもよい。

[0088] つまり、ソフトエラー検出装置２００は、粒子放射線の発生時刻とソフトエラーを検出した検出時刻の差分に基づいて粒子放射線の粒子エネルギーを算出する粒子エネルギー算出部２１０を備える。これにより、粒子放射線の粒子エネルギーを算出することができる。

[0089] また、ソフトエラー検出装置２００は、ソフトエラーの検出数を、単位面積に入射す粒子放射線の数で除してソフトエラー断面積を算出するソフトエラー断面積算出部２２０を備える。これにより、ソフトエラー断面積を算出することができる。

[0090] （ソフトエラー検出方法）

図８は、ソフトエラー検出装置１００が行うソフトエラー検出方法の処理

手順を示すフローチャートである。

[0091] ソフトエラー検出装置１００が動作を開始すると分周部１０は、クロック信号を分周する（ステップＳ１）。

[0092] 次に、符号長選択部２０は、分周部１０の動作状態を表す二進符号の符号長を選択した選択二進符号を出力する（ステップＳ２）。

[0093] 次に、第１ＭＵＸ４１は、選択二進符号に基づいて第１メモリ部３１と第２メモリ部３２のどちらか一方のデータを選択する。そして、第１レジスタ５１は、クロック信号に同期させて第２ＭＵＸ４２の出力信号を保持する（ステップＳ３）。

[0094] また、第２ＭＵＸ４２は、選択二進符号に基づいて第３メモリ部３３と第４メモリ部３４のどちらか一方のデータを選択する。そして、第２レジスタ５２は、クロック信号に同期させて第１ＭＵＸ４１の出力信号を保持する（ステップＳ４）。

[0095] そして、ソフトエラー検出部６０は、クロック信号に同期させて、第１ＭＵＸ４１が出力する第１出力信号と第２ＭＵＸ４２が出力する第２出力信号を比較し、不一致の場合にソフトエラーを検出する（ステップＳ５）。ステップＳ１～Ｓ４の処理はソフトエラーが検出されるまで繰り返される（ステップＳ５のＮＯ）。

[0096] 以上説明したように、本実施形態に係るソフトエラー検出方法は、粒子放射線の入射によって生じるソフトエラーを検出するソフトエラー検出装置１００が行うソフトエラー検出方法であって、分周部１０は、外部から入力されるクロック信号を分周し、符号長選択部２０は、分周部１０の動作状態を表す二進符号の符号長を選択し、第１ＭＵＸ４１は、選択された二進符号に基づいて所定のデータが格納された第１メモリ部３１と第１メモリ部３１と異なるデータが格納定された第２メモリ部３２のどちらか一方のデータを選択し、第２ＭＵＸ４２は、選択された二進符号に基づいて第１メモリ部３１と同じデータが格納された第３メモリ部３３と第２メモリ部３２と同じデータが格納された第４メモリ部３４のどちらか一方のデータを選択し、クロッ

ク信号に同期させて、第１ＭＵＸ４１が出力する第１出力信号と第２ＭＵＸ４２が出力する第２出力信号を比較し、不一致の場合にソフトエラーを検出する。これにより、ソフトエラーが検知されるメモリ領域を有効に活用できるソフトエラー検出方法を提供することができる。

[0097] （効果）

図９は、中性子（粒子放射線）の飛行時間と論理障害発生確率の関係例を示す図である。図９の横軸は飛行時間[ns]、縦軸は論理障害発生確率である。

[0098] 図９に示すように、飛行時間の短い中性子は論理障害を多く生じさせる。飛行時間と中性子（粒子放射線）エネルギーは比例（図６）するので、高エネルギーの中性子は多くの論理障害（ソフトエラー）を生じさせる。

[0099] 本実施形態に係るソフトエラー検出装置１００，２００によれば、粒子放射線のエネルギーの大きさに対応させて検出分解能を設定できる。つまり、エネルギーの大きな中性子に対しては検出分解能を小さく設定する。また、エネルギーの小さな中性子に対しては検出分解能を大きく設定する。これにより、ソフトエラーの統計誤差を小さくすることができる。

[0100] 図１０は、中性子エネルギーとソフトエラー断面積の関係例を示す図である。図１０の横軸は中性子エネルギー[Mev]、縦軸はソフトエラー断面積である。

[0101] 図１０に示す特性は、３Mev以下の中性子エネルギーに対するソフトエラー断面積のバラツキが大きい。ソフトエラー検出装置１００，２００によれば、このエネルギー帯の中性子に対して検出分解能を大きく設定することでバラツキを小さくすることができる。

[0102] また、高いエネルギーの中性子に対しては検出分解能を小さく設定することで短時間での計測が可能になる。

[0103] このように、ソフトエラー検出装置１００，２００は、統計誤差を小さくすることができ、又、計測時間を短縮することができる。

[0104] なお、上記の実施形態では、第１メモリ部３１～第４メモリ部３４のデー

タ量を８ビットの例で説明したが、各メモリ部を並列に構成することでデータ量は、例えば数十メガビットのオーダーに容易に増やすことが可能である。

[0105] また、分周部１０は、Ｔ型ＦＦを４つ縦続接続した例で説明したが、本発明はこの例に限定されない。メモリのデータ量に対応させた任意の段数で構成することが可能である。

[0106] このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

符号の説明

[0107] １０：分周部

２０：符号長選択部

３１：第１メモリ部

３２：第２メモリ部

３３：第３メモリ部

３４：第４メモリ部

４１：第１マルチプレクサ

４２：第２マルチプレクサ

５１：第１レジスタ

５２：第２レジスタ

６０：ソフトエラー検出部

１００，２００：ソフトエラー検出装置

２１０：粒子エネルギー算出部

２２０：ソフトエラー断面積算出部

請求の範囲

[請求項1] 粒子放射線の入射によって生じるソフトエラーを検出するソフトエラー検出装置において、

外部から入力されるクロック信号を分周する分周部と、

前記分周部の動作状態を表す二進符号の符号長を選択する符号長選択部と、

所定のデータが格納された第１メモリ部と、

前記第１メモリ部と異なるデータが格納された第２メモリ部と、

選択された二進符号に基づいて前記第１メモリ部と前記第２メモリ部のどちらか一方のデータを選択する第１マルチプレクサと、

前記第１メモリ部と同じデータが格納された第３メモリ部と、

前記第２メモリ部と同じデータが格納された第４メモリ部と、

選択された二進符号に基づいて前記第３メモリ部と前記第４メモリ部のどちらか一方のデータを選択する第２マルチプレクサと、

前記クロック信号に同期させて、前記第１マルチプレクサが出力する第１出力信号と前記第２マルチプレクサが出力する第２出力信号を比較し、不一致の場合に前記ソフトエラーを検出するソフトエラー検出部と

を備えるソフトエラー検出装置。

[請求項2] 前記第１メモリ部、前記第２メモリ部、前記第３メモリ部、前記第４メモリ部、前記第１マルチプレクサ、及び前記第２マルチプレクサは、ＦＰＧＡのルックアップテーブルである

請求項１に記載のソフトエラー検出装置。

[請求項3] 前記符号長選択部は、

外部から入力される制御信号に基づいて前記二進符号の符号長を選択する

請求項１又は２に記載のソフトエラー検出装置。

[請求項4] 前記粒子放射線の発生時刻と前記ソフトエラーを検出した検出時刻

の差分に基づいて前記粒子放射線の粒子エネルギーを算出する粒子エネルギー算出部

を備える請求項１乃至３の何れかに記載のソフトエラー検出装置。

[請求項5] 前記ソフトエラーの検出数を、単位面積に入射する前記粒子放射線の数で除してソフトエラー断面積を算出するソフトエラー断面積算出部

を備える請求項１乃至４の何れかに記載のソフトエラー検出装置。

[請求項6] 粒子放射線の入射によって生じるソフトエラーを検出するソフトエラー検出装置が行うソフトエラー検出方法であって、

分周部は、外部から入力されるクロック信号を分周し、

符号長選択部は、前記分周部の動作状態を表す二進符号の符号長を選択し、

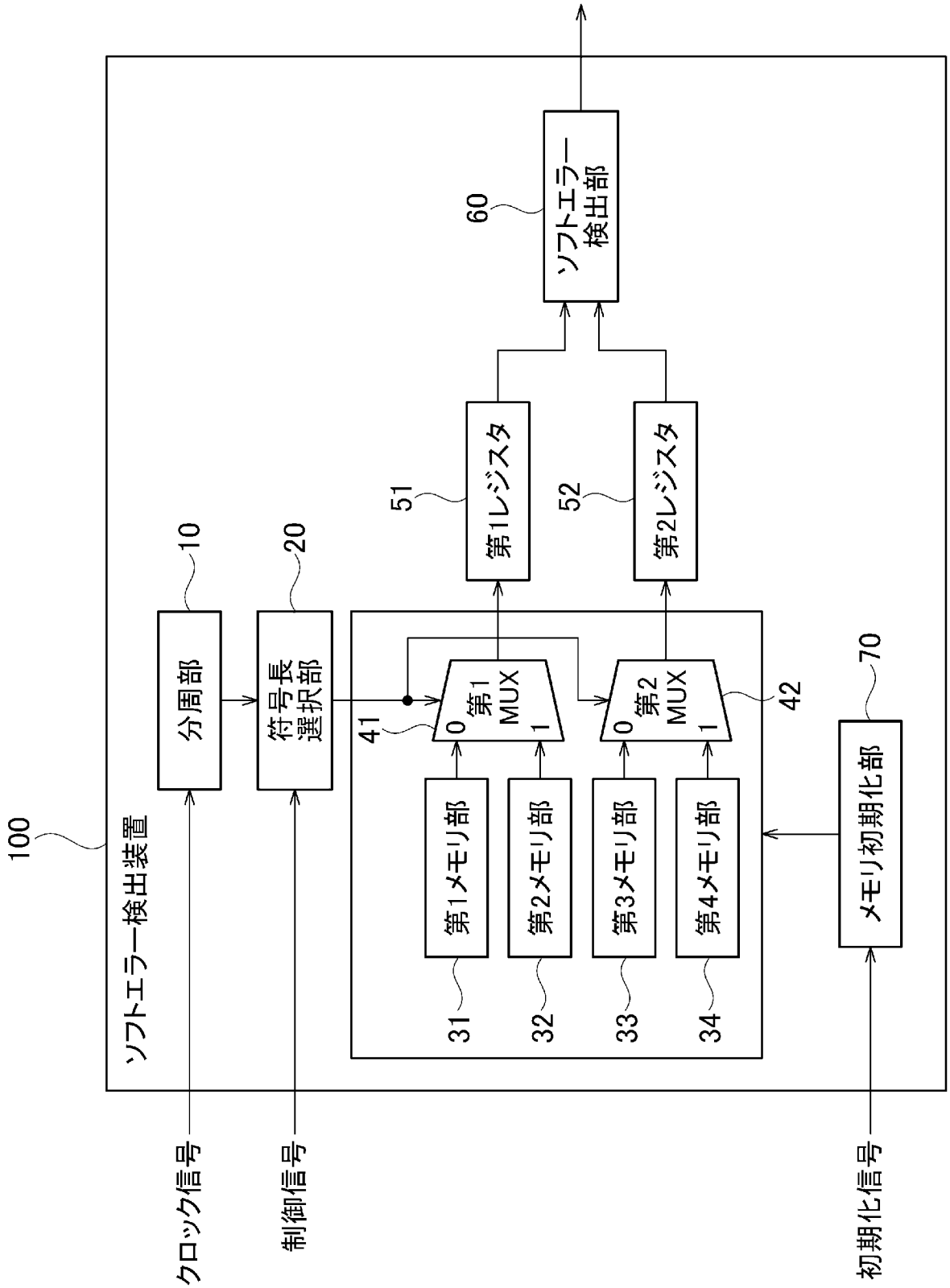
第１マルチプレクサは、選択された二進符号に基づいて所定のデータが格納された第１メモリ部と前記第１メモリ部と異なるデータが格納定された第２メモリ部のどちらか一方のデータを選択し、

第２マルチプレクサは、選択された二進符号に基づいて前記第１メモリ部と同じデータが格納された第３メモリ部と前記第２メモリ部と同じデータが格納された第４メモリ部のどちらか一方のデータを選択し、

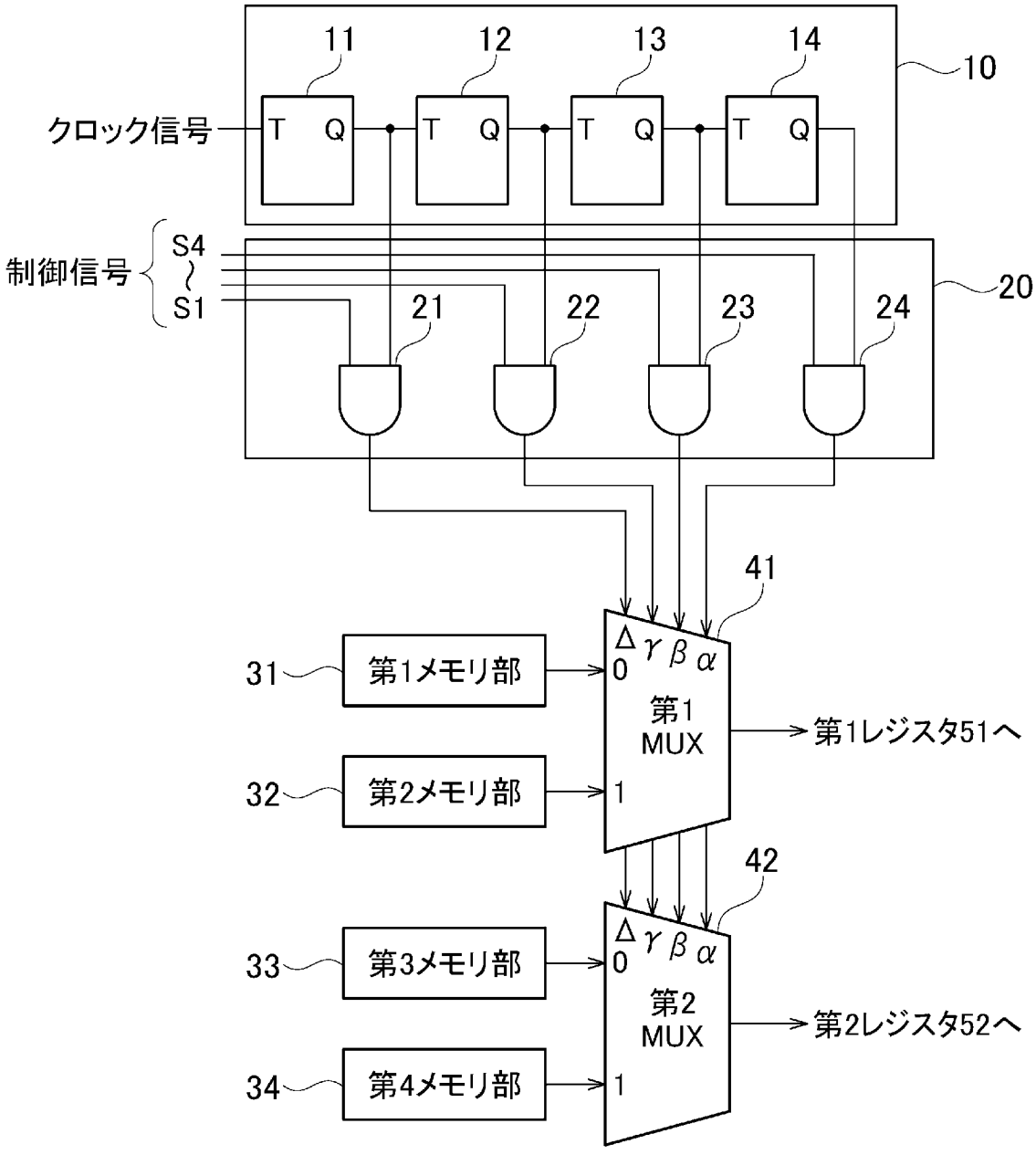
前記クロック信号に同期させて、前記第１マルチプレクサが出力する第１出力信号と前記第２マルチプレクサが出力する第２出力信号を比較し、不一致の場合に前記ソフトエラーを検出する

ソフトエラー検出方法。

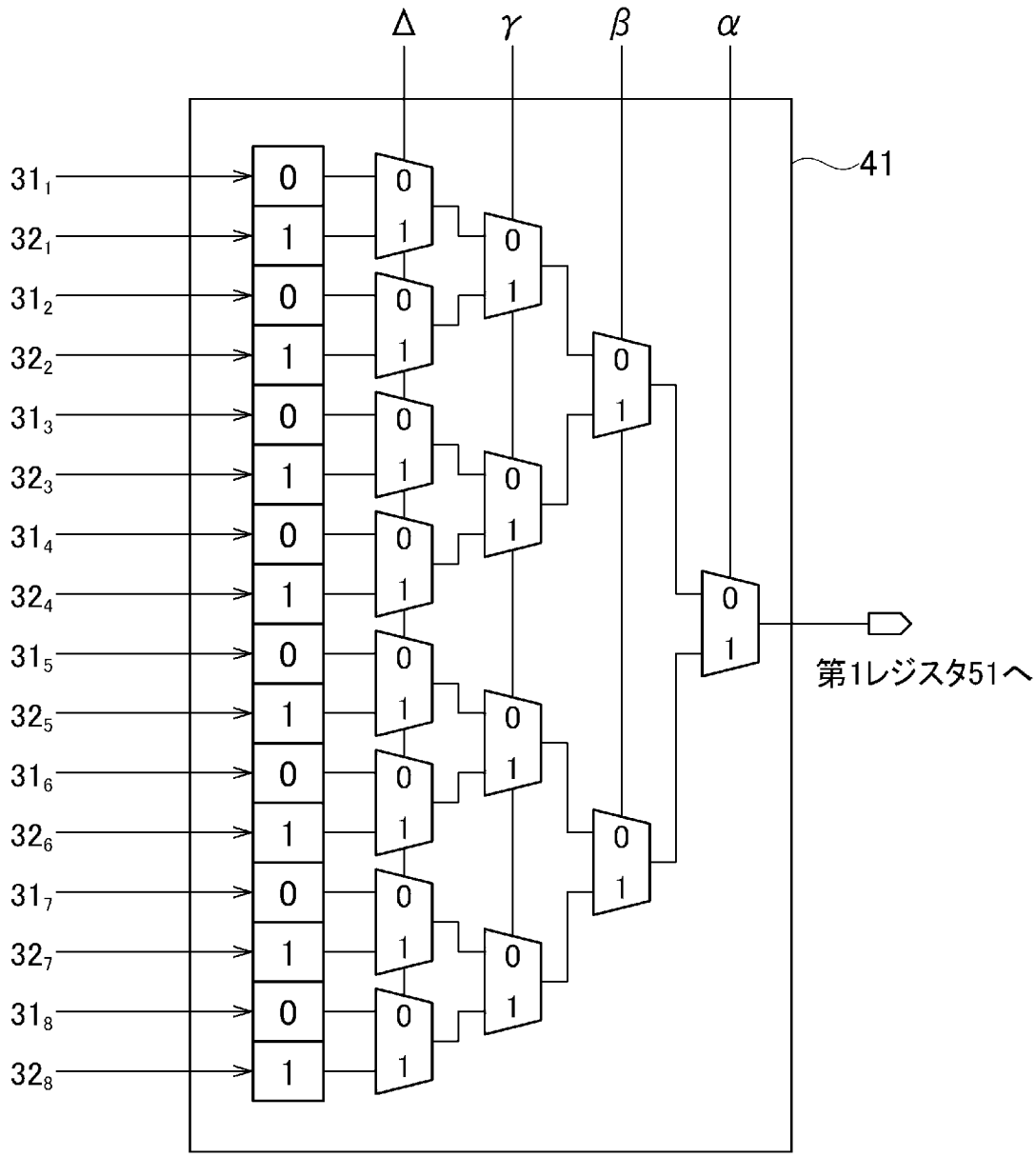
[図1]


100
ソフトエラー検出装置
10
分周部
20
符号長選択部
41
0
第1 MUX
1
42
0
第2 MUX
1
51
第1レジスタ
52
第2レジスタ
60
ソフトエラー検出部
31
第1メモリ部
32
第2メモリ部
33
第3メモリ部
34
第4メモリ部
70
メモリ初期化部
クロック信号
制御信号
初期化信号

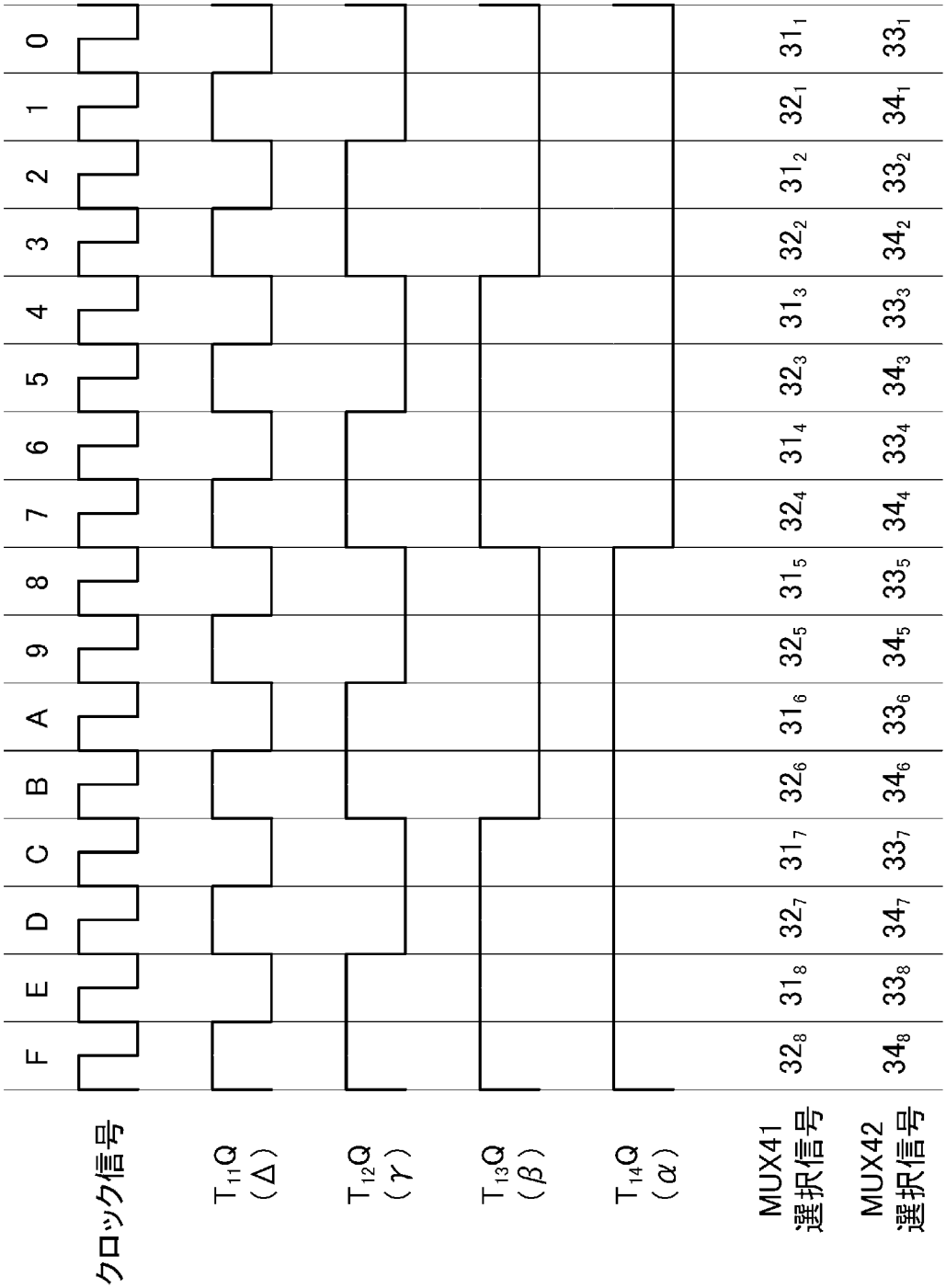
[図2]


11
12
13
14
10
クロック信号
T Q
制御信号
S4
S1
21
22
23
24
20
41
31
第1メモリ部
32
第2メモリ部
Δ γ β α
0
第1
MUX
1
第1レジスタ51へ
42
33
第3メモリ部
34
第4メモリ部
第2
MUX
第2レジスタ52へ

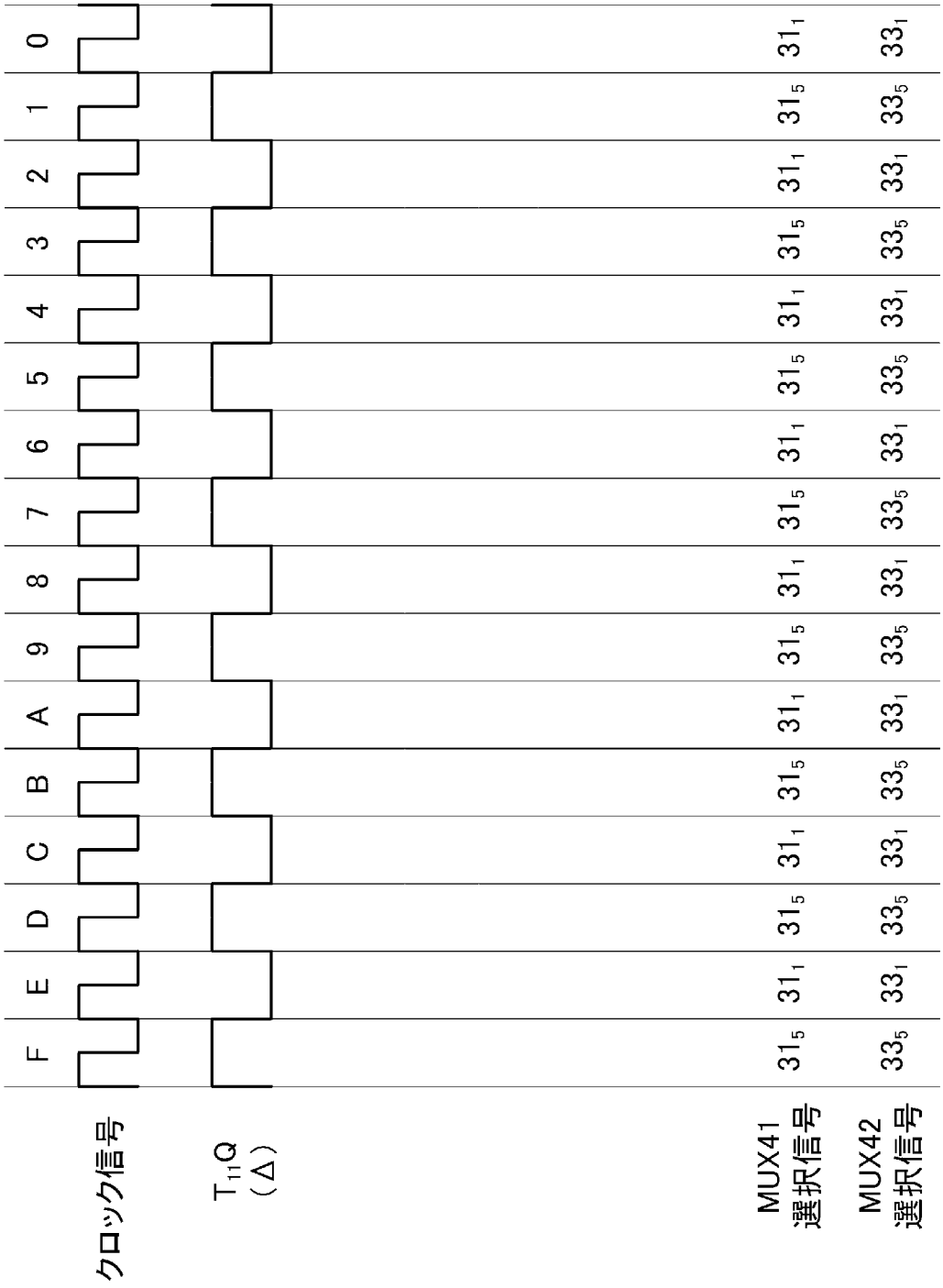
[図3]


Δ
γ
β
α
41
31_1
32_1
31_2
32_2
31_3
32_3
31_4
32_4
31_5
32_5
31_6
32_6
31_7
32_7
31_8
32_8
0
1
第1レジスタ51へ

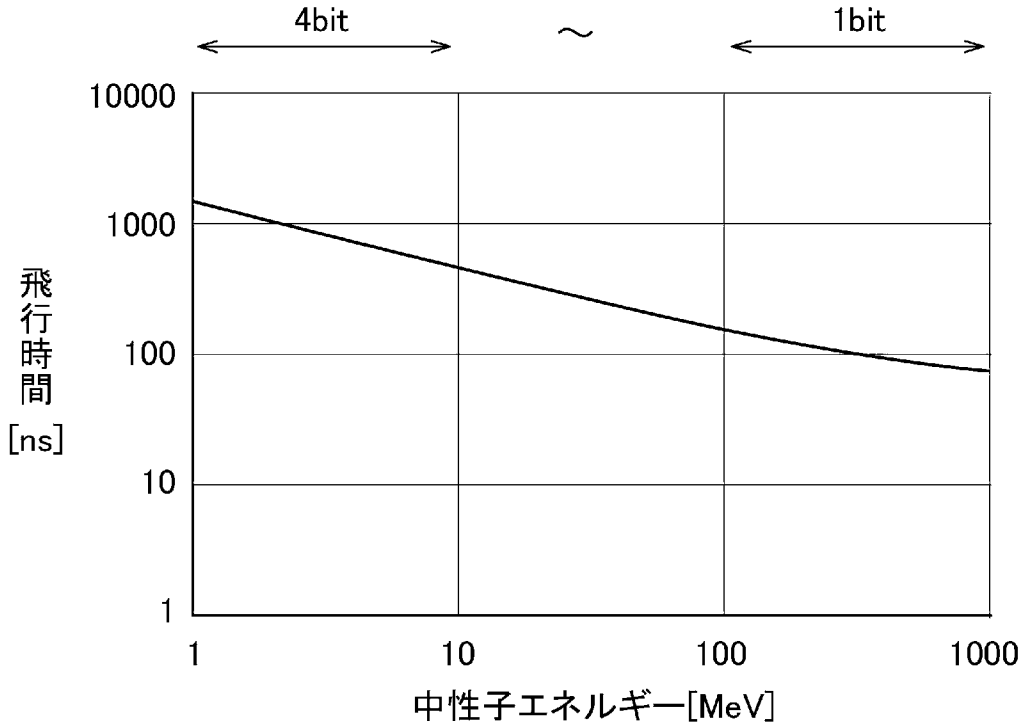
[図4]


F E D C B A 9 8 7 6 5 4 3 2 1 0
クロック信号
T11Q (Δ)
T12Q (γ)
T13Q (β)
T14Q (α)
MUX41 選択信号
MUX42 選択信号
32 8 31 8 32 7 31 7 32 6 31 6 32 5 31 5 32 4 31 4 32 3 31 3 32 2 31 2 32 1 31 1
34 8 33 8 34 7 33 7 34 6 33 6 34 5 33 5 34 4 33 4 34 3 33 3 34 2 33 2 34 1 33 1

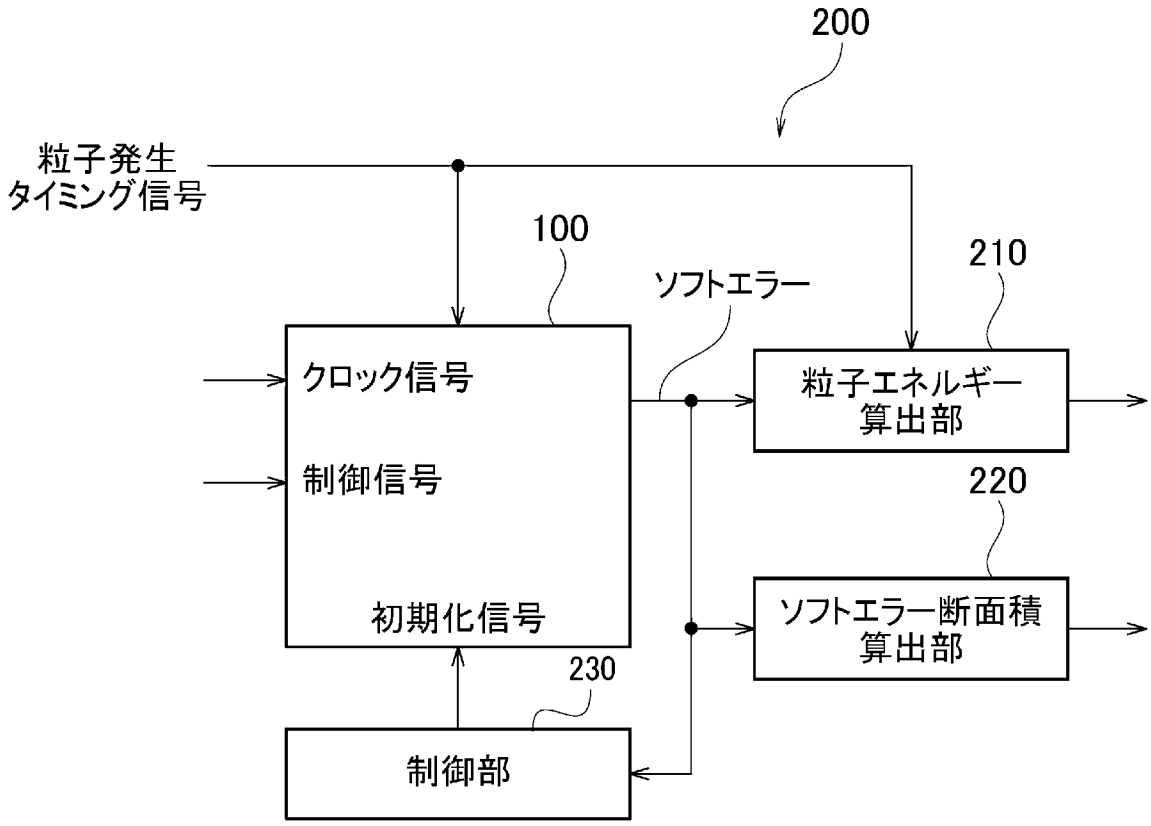
[図5]


0
1
2
3
4
5
6
7
8
9
A
B
C
D
E
F
クロック信号
T11Q
（Δ）
MUX41
選択信号
MUX42
選択信号
311
315
331
335

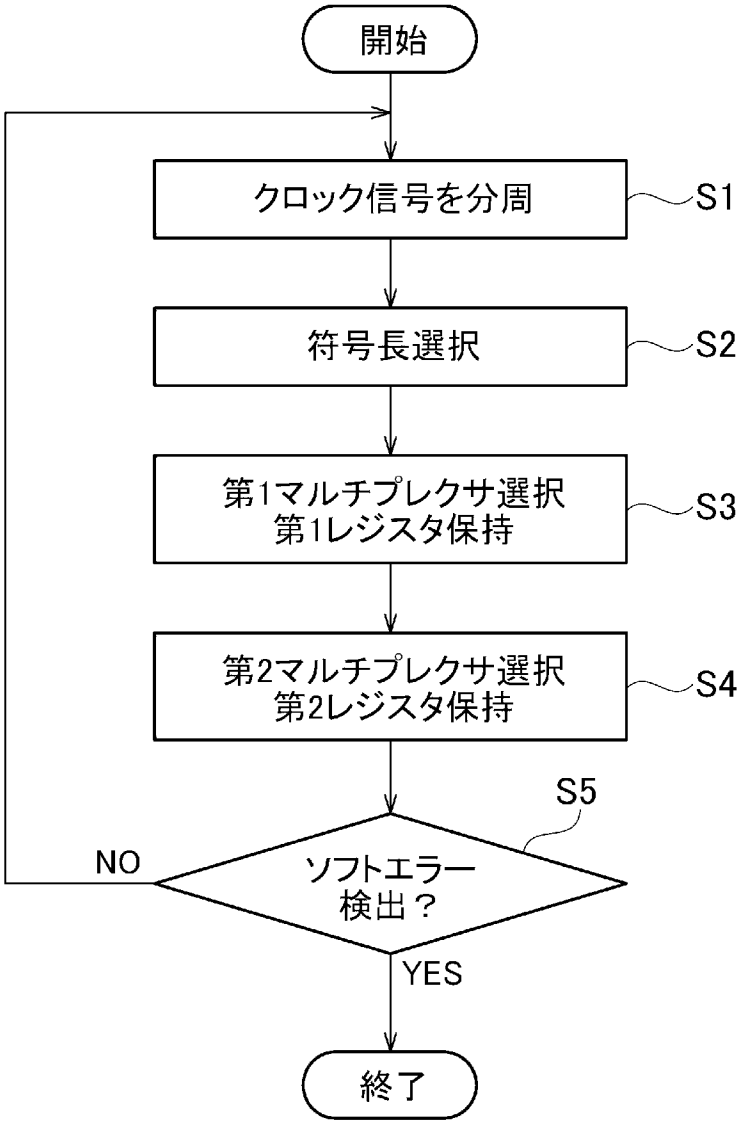
[図6]


4bit
～
1bit
10000
1000
100
10
1
飛行時間[ns]
1
10
100
1000
中性子エネルギー[MeV]

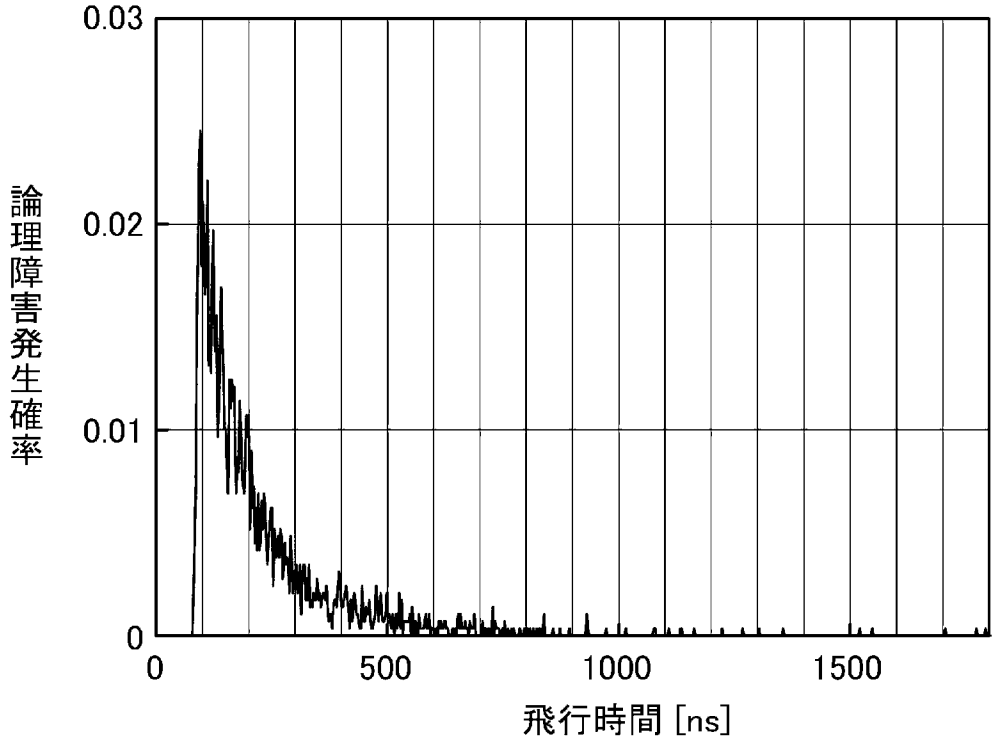
[図7]


200
粒子発生
タイミング信号
100
ソフトエラー
210
クロック信号
制御信号
初期化信号
粒子エネルギー
算出部
220
ソフトエラー断面積
算出部
230
制御部

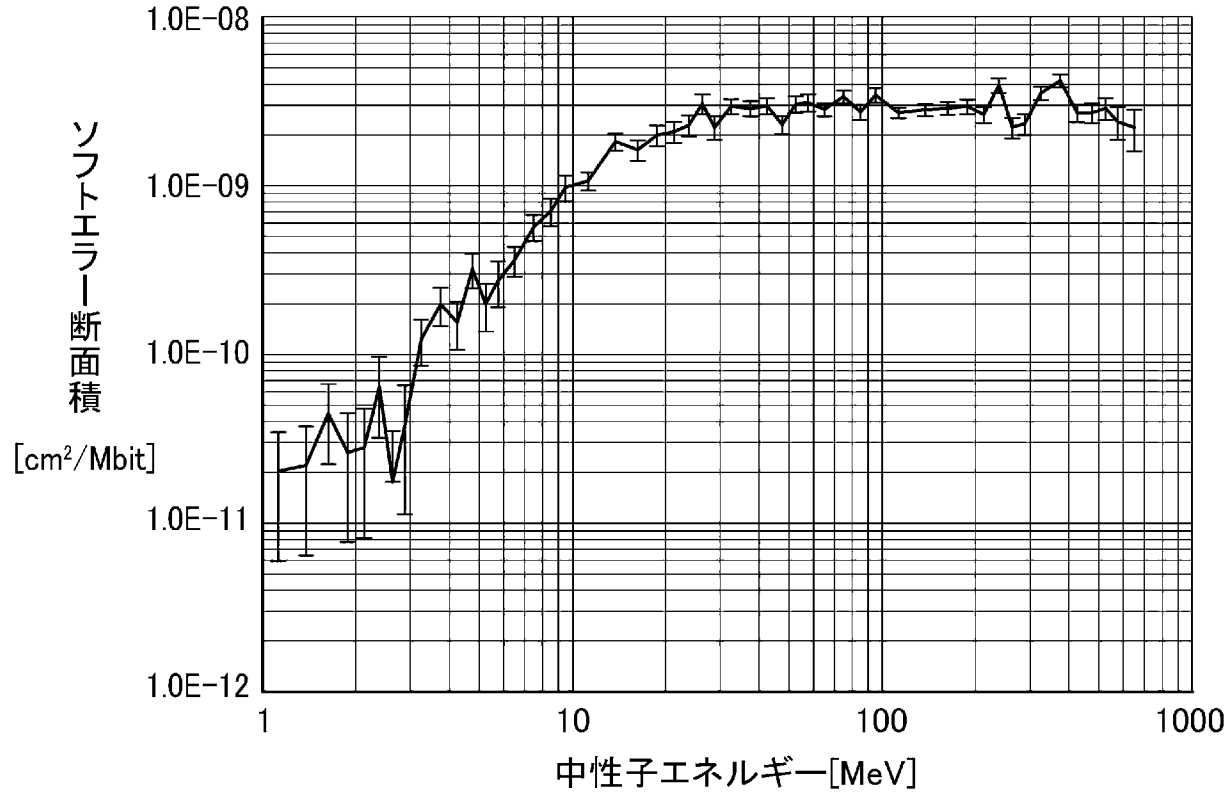
[図8]


開始
クロック信号を分周
S1
符号長選択
S2
第1マルチプレクサ選択
第1レジスタ保持
S3
第2マルチプレクサ選択
第2レジスタ保持
S4
S5
ソフトエラー
検出？
NO
YES
終了

[図9]


0.03
0.02
0.01
0
論理障害発生確率
0
500
1000
1500
飛行時間 [ns]

[図10]


1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
ソフトエラー断面積
[cm²/Mbit]
1
10
100
1000
中性子エネルギー[MeV]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/019580

A. CLASSIFICATION OF SUBJECT MATTER
G06F 11/16(2006.01)i; G11C 29/52(2006.01)i
FI: G06F11/16 667; G11C29/52

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F11/16; G11C29/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-52596 A (TOSHIBA CORP) 01 March 2007 (2007-03-01) entire text, all drawings	1-8
A	JP 6-103099 A (NEC CORP) 15 April 1994 (1994-04-15) entire text, all drawings	1-8
A	JP 2001-215255 A (HITACHI LTD) 10 August 2001 (2001-08-10) entire text, all drawings	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 July 2021 (19.07.2021)	03 August 2021 (03.08.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/019580

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2007-52596 A	01 Mar. 2007	(Family: none)	
JP 6-103099 A	15 Apr. 1994	(Family: none)	
JP 2001-215255 A	10 Aug. 2001	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/019580

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G06F 11/16(2006.01)i; G11C 29/52(2006.01)i
FI: G06F11/16 667; G11C29/52

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G06F11/16; G11C29/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2007-52596 A (株式会社東芝) 01.03.2007 (2007-03-01) 全文，全図	1-8
A	JP 6-103099 A (日本電気株式会社) 15.04.1994 (1994-04-15) 全文，全図	1-8
A	JP 2001-215255 A (株式会社日立製作所) 10.08.2001 (2001-08-10) 全文，全図	1-8

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
19.07.2021	03.08.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
井上　宏一 5B 4177
電話番号 03-3581-1101 内線 3544

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/019580

引用文献	公表日	パテントファミリー文献	公表日
JP 2007-52596 A	01.03.2007	（ファミリーなし）	
JP 6-103099 A	15.04.1994	（ファミリーなし）	
JP 2001-215255 A	10.08.2001	（ファミリーなし）	