



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

voltage application period Ton1 by the switching operation of the high-voltage primary side circuit 101. The control unit 120 corrects, on the basis of the difference between a current value Idc1 detected during the positive voltage application period Ton1 and a current value Idc2 detected during the negative voltage application period Ton2, at least one of the positive voltage application period Ton1 and the negative voltage application period Ton2 so that the current value Idc1 and the current value Idc2 become equal to each other.

(57) 要約: 電圧応答性の低下を抑えつつ偏磁の抑制を行うことができる電力変換装置の提供。DC-DCコンバータ1は、高電圧一次側回路101と、高電圧一次側回路101の入力側に流れる電流を検出するDCライン電流センサ301と、高電圧一次側回路101の出力側に接続されたトランス107と、正電圧印加期間Ton1と負電圧印加期間Ton1とを、高電圧一次側回路101のスイッチング動作により制御することで電力変換量を制御する制御部120と、を備える。そして、制御部120は、正電圧印加期間Ton1に検出される電流値Idc1と負電圧印加期間Ton2に検出される電流値Idc2との差に基づいて、電流値Idc1と電流値Idc2とが等しくなるように正電圧印加期間Ton1および負電圧印加期間Ton2の少なくとも一方を補正する。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、電力変換装置に関する。

背景技術

[0002] 電気自動車やプラグインハイブリッド車等の車両は、動力駆動用の高電圧蓄電池でモータ駆動するためのインバータと、車両のライトやラジオなどの補機を作動させるための低電圧蓄電池とを備えている。このような車両には、高電圧蓄電池から低電圧蓄電池への電力変換または低電圧蓄電池から高電圧蓄電池への電力変換を行うDC-DCコンバータが搭載されている。

[0003] DC-DCコンバータは、高電圧の直流電圧を交流電圧に変換する高電圧一次側回路と、交流高電圧を交流低電圧に変換するトランスと、低電圧交流電圧を直流電圧に変換する低電圧二次側回路とを備えている。高電圧一次側回路の例としては、4つのスイッチング素子をフルブリッジ接続し、その入力側に平滑コンデンサを接続した回路構成が知られている（例えば、特許文献1参照）。

[0004] 一般に、DC-DCコンバータにおいては、出力電圧指令値と検出される出力電圧値とが一致するように4つのスイッチング素子のスイッチングパターン(ON/OFFタイミング)を変更することでフィードバック制御を行う。これにより、出力電圧を一定に保つことが可能となる。トランスには、スイッチング動作により正電圧と負電圧とが交互に印加される。理想的には、正電圧が印加される期間 T_{on1} と負電圧が印加される期間 T_{on2} とが等しく、かつ、電圧値の大きさが正電圧印加時と負電圧印加時とで等しいのが好ましい。その場合には、トランス電流の平均値(直流成分)はゼロの一定値となる。

[0005] しかしながら、実際には、スイッチング素子のドライブ回路のバラツキや、スイッチング素子のオン抵抗のバラツキなどに起因してトランス電流の平均値がゼロとならず、直流成分（偏磁電流）が発生して偏磁状態となる場合

がある。偏磁電流が増加し続けるとトランスのコアが磁気飽和を起こし、トランスおよびスイッチング素子に過電流が流れるという問題が生じる。

[0006] そこで、特許文献 1 に記載の発明では、一次側に設けた DC ライン電流センサによりトランス電流を検知して、スイッチング素子のパルス幅を制御することで、トランス偏磁を抑制するようにしている。具体的には、期間 T_{on1} および期間 T_{on2} のそれぞれの期間において、DC ライン電流センサにより電流値 I_{dc1} 、 I_{dc2} をサンプリングする。そして、サンプリングされた電流値 I_{dc1} 、 I_{dc2} に基づいて対応する期間 T_{on1} 、 T_{on2} を個別に決定することで、トランス正側電流とトランス負側電流を個別に制御、偏磁電流を抑制するようにしている。

先行技術文献

特許文献

[0007] 特許文献1：特許第 5 3 5 1 9 4 4 号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、特許文献 1 に記載の上記制御方法の場合、通常の出力量制御系に電流制御のマイナ・ループをシリーズに組み込んでいるために、出力量の応答性が悪化するという問題がある。

課題を解決するための手段

[0009] 本発明の第 1 の態様によると、電力変換装置は、スイッチング回路部と、前記スイッチング回路部の入力側に流れる電流を検出する電流検出部と、前記スイッチング回路部の出力側に接続されたトランスと、前記トランスに正の電圧が印加される第 1 印加期間と負の電圧が印加される第 2 印加期間とを、前記スイッチング回路部のスイッチング動作により制御することで電力変換量を制御する制御部と、を備え、前記制御部は、前記第 1 印加期間において前記電流検出部で検出される第 1 の電流と前記第 2 印加期間において前記電流検出部で検出される第 2 の電流との差に基づいて、前記第 1 の電流と前

記第2の電流とが等しくなるように前記第1印加期間および前記第2印加期間の少なくとも一方を補正する。

発明の効果

[0010] 本発明によれば、電圧応答性の低下を抑えつつ偏磁の抑制を行うことができる。

図面の簡単な説明

[0011] [図1]図1は電力変換装置の一実施の形態を示す図である。

[図2]図2は、ゲート信号のタイミングチャートとトランス電圧およびトランス電流の波形を示す図である。

[図3]図3は、偏磁がある場合と無い場合における、トランス電流・電圧波形およびDCライン電流センサで検出される電流値を示す図である。

[図4]図4は、制御部の制御ブロック図である。

[図5]図5は、偏磁抑制制御を説明するためのタイミングチャートである。

[図6]図6は、比較例を説明する図である。

[図7]図7は、応答性能のシミュレーション結果を示す図である。

[図8]図8は、変形例1における制御部を示すブロック図である。

[図9]図9は、変形例1におけるゲート信号およびトランス電圧のタイミングチャートである。

[図10]図10は、変形例2における制御部を示すブロック図である。

[図11]図11は、変形例2におけるゲート信号およびトランス電圧のタイミングチャートである。

発明を実施するための形態

[0012] 以下、図を参照して本発明を実施するための形態について説明する。図1は電力変換装置の一実施の形態を示す図であり、DC-DCコンバータ1の主回路構成を示す図である。DC-DCコンバータ1は、高電圧側端子103a, 103bおよび低電圧側端子112を有する。高電圧一次側回路101は、4つのスイッチング素子H1, H2, H3, H4をフルブリッジ接続した回路である。ここでは、スイッチング素子H1~H4としてMOSFETが

用いられている。

- [0013] 高電圧一次側回路 101 の出力線にはトランス 107 の一次巻線が接続され、入力側には平滑コンデンサ 104 が接続されている。高電圧一次側回路 101 と平滑コンデンサ 104 との間の DC ラインには、DC ライン電流センサ 301 が設けられている。DC ライン電流センサ 301 で検出された電流値 I_{dc} は制御部 120 に入力される。
- [0014] トランス 107 には、二次側巻線の間接点を巻線外側に引き出したセンタタップ型トランスが用いられている。低圧二次側回路 102 は、ダイオード 109a, 109b を用いた整流回路にチョークコイル 108 とコンデンサ 110 からなる平滑回路を接続した構成となっている。ダイオードを用いた整流回路に代えて、MOSFET を用いた整流回路を用いても良い。
- [0015] ドライブ回路 106 は、制御部 120 からのオンオフ指令値に基づいて、高電圧一次側回路 101 に設けられたスイッチング素子 H1 ~ H4 をオンオフ駆動する。制御部 120 は、後述するように出力電圧指令値 V_{out*} と電圧検出部 113 で検出した出力電圧値 V_{out} とを比較し、指令値と検出値とが一致するようにスイッチング素子 H1 ~ H4 のスイッチングパターン (ON/OFF タイミング) を変更することで、フィードバック制御を行う。これにより、出力電圧を一定に保つことが可能となる。
- [0016] 図 2 は、スイッチング素子 H1 ~ H4 のオンオフ指令であるゲート信号 G1 ~ G4 のタイミングチャートと、トランス電圧 V_{tr} およびトランス電流 I_{tr} の波形を示したものである。スイッチング素子 H1, H4 が同時にオン状態 (G1, G4 が同時オン) となる正電圧印加期間 T_{on1} には、トランス 107 に正のトランス電圧 V_{tr1} が印加され、トランス電流 I_{tr} は増加する。一方、スイッチング素子 H2, H3 が同時にオン状態 (G2, G3 が同時オン) となる負電圧印加期間 T_{on2} には、トランス 107 に負のトランス電圧 V_{tr2} が印加され、トランス電流 I_{tr} は減少する。正電圧印加期間 T_{on1} および負電圧印加期間 T_{on2} は周期 T_c で繰り返され、トランス電流 I_{tr} は、正の値 I_{tr1} と負の値 I_{tr2} を交互に繰り返す交流波形となる。

[0017] (偏磁発生 の原理説明)

正の電圧 V_{tr1} が印加される正電圧印加期間 T_{on1} と負の電圧 V_{tr2} が印加される負電圧印加期間 T_{on2} とは等しく、かつ、電圧 V_{tr1} と電圧 V_{tr2} とは大きさも等しい。そのため、正のトランス電流 I_{tr1} と負のトランス電流 I_{tr2} とは絶対値が等しくなり、トランス電流 I_{tr} の平均値(直流成分)はゼロの一定値をとる。しかし、実際には以下の(1)や(2)のような原因によって、トランス電流 I_{tr} の平均値はゼロとならず、直流成分が発生して偏磁状態となる。

[0018] (1) $T_{on1} \neq T_{on2}$ となる場合

$T_{on1} \neq T_{on2}$ は、スイッチング素子 $H1 \sim H4$ のドライブ回路 106 のバラツキに起因する。例えば、 $T_{on1} > T_{on2}$ となっている場合は、トランス 107 に正電圧 V_{tr1} が印加される正電圧印加期間 T_{on1} と、負電圧 V_{tr2} が印加される負電圧印加期間 T_{on2} とが異なるため、電流 I_{tr1} の大きさが電流 I_{tr2} の大きさよりも大きくなる。その結果、トランス励磁電流の平均値(直流成分)はゼロとならず、時間の経過と共に偏磁量は増加し続ける。

[0019] (2) $V_{tr1} \neq V_{tr2}$ となる場合

$V_{tr1} \neq V_{tr2}$ は、スイッチング素子のオン抵抗のバラツキに起因する。例えば、 $V_{tr1} > V_{tr2}$ の場合には、トランス 107 に正電圧 V_{tr1} が印加される正電圧印加期間 T_{on1} における電流変化の傾きが、負電圧 V_{tr2} が印加される負電圧印加期間 T_{on2} における電流変化の傾きが大きくなる。そのため、 $T_{on1} = T_{on2}$ であっても、期間経過後の電流 I_{tr1} の大きさは電流 I_{tr2} の大きさよりも大きくなる。その結果、トランス励磁電流の平均値がゼロとならず、時間の経過と共に偏磁量は増加し続ける。

[0020] いずれの場合も、偏磁電流が増加し続けると、やがてトランス 107 のコアが磁気飽和を起こし、トランス 107 およびスイッチング素子 $H1 \sim H4$ に過電流が流れて、スイッチング素子の故障を招く。

[0021] 本実施の形態では、そのような偏磁電流の増加を防止するために、制御部 120 は以下に述べるような偏磁抑制制御を行う。図 1 に示したように、制

制御部 120 には、DCライン電流センサ 301 で検出された電流値 I_{dc} が入力される。図 3 は、DCライン電流センサ 301 で検出される電流値 I_{dc} を説明する図であり、1 周期 T_c 分を示したものである。図 3 (a) は偏磁がない場合を示しており、図 3 (b) は偏磁がある場合を示す。

[0022] トランス電流 I_{tr} は、正弦波に近い交流波形となる。一方、DCライン電流センサ 301 で検出される電流値 I_{dc} の波形はパルス状である。しかし、トランス 107 に電圧が印加されている正電圧印加期間 T_{on1} および負電圧印加期間 T_{on2} 、すなわち二次側に電力が送られている期間に限ってみると、トランス電流 I_{tr} の絶対値は、DCライン電流センサ 301 で検出される電流値 I_{dc} と等しくなる。

[0023] 偏磁がない場合には、図 3 (a) に示すように電流値 I_{dc1} のパルス波形と電流値 I_{dc2} のパルス波形とは同一波形となる。一方、偏磁がある場合には、図 3 (b) に示すようにパルス波形の高さが電流値 I_{dc1} と電流値 I_{dc2} とで異なっている。図 3 (b) は $I_{dc1} > I_{dc2}$ の場合を示している。そこで、本実施形態では、正電圧印加期間 T_{on1} および負電圧印加期間 T_{on2} に電流値 I_{dc} をサンプリングし、サンプリングされた電流値 I_{dc1} 、 I_{dc2} の差分に基づいて、出力電圧指令値 V_{out*} と出力電圧値 V_{out} との差分に基づくフィードバック制御を補正するようにした。

[0024] 図 4 は、制御部 120 の制御ブロック図である。制御部 120 は、電圧制御器 411、補正電圧制御器 412 および PWM 生成器 413 を備えている。電圧制御器 411 には、出力電圧指令値 V_{out*} と出力電圧値 V_{out} との差分 ΔV が入力される。電圧制御器 411 は、差分 ΔV に基づく PI 制御により電圧印加期間に関する指令値 T_{on*} を算出する。算出された指令値 T_{on*} は PWM 生成器 413 に入力される。

[0025] 補正電圧制御器 412 には、電流値 I_{dc1} と電流値 I_{dc2} との差分 ΔI ($= I_{dc1} - I_{dc2}$) が入力される。補正電圧制御器 412 は、偏磁電流に相当する電流差 $\Delta I = I_{dc1} - I_{dc2}$ から、この値がゼロとなるように電圧印加時間の補正值 ΔT_{on*} を決定する。ここでは、補正值 ΔT_{on*} は正の値とする。そ

して、この補正值 ΔT_{on*} と電圧制御器411で算出された補正值 ΔT_{on*} との和が、PWM生成器413へ入力される。PWM生成器413は、電圧制御器411から入力される指令値 T_{on*} 、および指令値 T_{on*} と補正值 ΔT_{on*} との和($T_{on*} + \Delta T_{on*}$)に基づいてゲート信号G1, G2, G3, G4を生成する。本実施の形態では、 $\Delta I = I_{dc1} - I_{dc2} > 0$ の場合には負電圧印加期間 T_{on2} を増加させ、 $\Delta I < 0$ の場合には正電圧印加期間 T_{on1} を増加させるようにゲート信号G1, G2, G3, G4を生成する。

[0026] 図5は、本実施の形態における偏磁抑制制御を説明するためのタイミングチャートである。図5に示す例は、トランス偏磁が発生して、正電圧印加期間 T_{on1} に検出した電流値 I_{dc1} が負電圧印加期間 T_{on2} に検出した電流値 I_{dc2} よりも大きい場合($\Delta I > 0$ の場合)を示している。 $t < t_1$ では $\Delta I_{dc} = 0$ であって偏磁抑制制御が行われておらず、 $\Delta I > 0$ ($I_{dc1} > I_{dc2}$)となっている $t \geq t_1$ では偏磁抑制制御が行われている。

[0027] $I_{dc1} > I_{dc2}$ の場合には、トランス107の負電圧印加期間 T_{on2} が ΔT_{on} だけ長くなるようにゲートパルスの期間を調整する。具体的には、ゲート信号G3のオフタイミングおよびゲート信号G4のオンタイミングをそれぞれ差分 ΔT_{on} だけ遅らせる。このように調整することで、ゲート信号G2とゲート信号G3とが同時にオン状態となる期間、すなわち負電圧印加期間 T_{on2} が ΔT_{on} だけ長くなり、その期間における電流値 I_{dc2} が増加する。その結果、 I_{dc1} と I_{dc2} の差 ΔI が小さくなり、偏磁を抑制することができる。

[0028] 一方、 $I_{dc1} < I_{dc2}$ の場合には、トランス107の正電圧印加期間 T_{on1} が ΔT_{on} だけ長くなるようにゲートパルスの期間を調整する。この場合には、例えば、ゲート信号G3のオンタイミングおよびゲート信号G4のオフタイミングをそれぞれ差分 ΔT_{on} だけ遅らせる。

[0029] 図6(a)は、比較例として、特許文献1に記載の方法で偏磁抑制を行う場合の制御ブロックを示したものである。この制御方式は、図6(b)に示す従来の出力電圧制御系にトランス1次側の電流制御のマイナ・ループを組込見込んだものである。出力電圧制御器311からは差分 ΔV に基づく目標

電流 I_{dc*} が出力される。この構成では、出力電圧制御器 311 が演算した目標電流 I_{dc*} となるように、電流値 I_{dc1} , I_{dc2} を個別に制御している。

[0030] 電流制御器 312a には、目標電流 I_{dc*} と正電圧印加期間 T_{on1} に検出された電流値 I_{dc1} との差分が入力される。電流制御器 312a は、この差分に基づいて電流値 I_{dc1} が目標電流 I_{dc*} となるように正電圧印加期間 T_{on1} の目標値 T_{on1*} を算出する。一方、電流制御器 312b には、目標電流 I_{dc*} と負電圧印加期間 T_{on2} に検出された電流値 I_{dc2} との差分が入力される。電流制御器 312b は、この差分に基づいて電流値 I_{dc2} が目標電流 I_{dc*} となるように負電圧印加期間 T_{on2} の目標値 T_{on2*} を算出する。PWM 生成器 413 は、期間 T_{on1*} , T_{on2*} に基づいてゲート信号 $G1 \sim G4$ を生成する。この場合、電流値 I_{dc1} および電流値 I_{dc2} に対して、同じ目標値 I_{dc*} となるように電流制御が働くために、トランス 107 の偏磁電流を抑制することができる。

[0031] しかし、この制御方法の場合、通常出力電圧制御系に電流制御のマイナ・ループをシリーズに組み込んでいるために、出力電圧の応答性が悪化する問題がある。具体的には、負荷電流が急変した時に、出力電圧に大きなアンダーシュートが発生し、出力電圧を一定に保つことができない。この場合、制御のゲインを大きくとることも考えられるが、制御が不安定になり、出力電圧は発振してしまう。

[0032] 一方、本実施の形態では、図 4 に示したように、図 6 (b) に示す従来の構成に補正電圧制御器 412 を平行に設けて、電圧制御器 411 で生成された指令値 T_{on*} を補正值 ΔT_{on*} で補正するようにした。そして、図 5 に示す場合、ゲート信号 $G1$, $G2$ は指令値 T_{on*} に基づいて生成され、ゲート信号 $G3$, $G4$ については偏磁が抑制されるように補正後の $(T_{on*} + \Delta T_{on*})$ に基づいて生成される。

[0033] 本実施の形態では、従来方式のように DC ライン電流センサで検出したトランス正側電流とトランス負側電流を個別に制御するのではなく、出力電圧値 V_{out} を出力電圧指令値 V_{out*} へ制御する指令値 T_{on*} を用いたメインの制

御に対して、 ΔT_{on*} の補正をすることで偏磁を抑制している。このように、偏磁抑制のための補正電圧制御器412と通常の電圧制御器411とがパラレルになっているため、演算処理も早くでき、また収束も早い。このため、従来方式よりも出力電圧の応答性が良い。

[0034] 図7は、本発明の制御方式の応答性と、図6(a)に示す制御方式（従来方式）の応答性とを回路シミュレーションにより比較した結果を示す図である。ここでは、負荷電流が急激に増加した場合に、出力電圧がどのように変動するかを評価した。図7の結果を見ると、従来制御方式では、負荷電流の急変に伴って、電圧の大きなアンダーシュートが発生しており、一定値(14V)に落ち着くまでの時間も長く、応答性が悪いことが分かる。一方、本発明の制御方式では、電圧のアンダーシュートは小さく、一定値へ落ち着くまでの時間も短く、応答性が良いことが分かる。

[0035] なお、上述した制御方式をデジタル制御で実現する場合には、検出電流のAD変換やマイコン・DSPでの演算時間が必要となるので、リアルタイムでパルス幅を制御することは困難である。そのため、あるキャリア周期において検出した電流値 I_{dc1} と電流値 I_{dc2} との差に基づくパルス更新は、次のキャリア周期に反映することになる。マイコンの性能などの制約により更新時間をさらに遅らせる場合には、数キャリア周期後のパルスに反映することになる。

[0036] (変形例1)

図8、9は、上述した実施の形態の変形例1を説明する図である。図8は制御部120のブロック図を示し、図9はゲート信号およびトランス電圧のタイミングチャートである。上述した実施の形態では、図4、5に示したように、トランス107の電圧印加期間（負の電圧印加期間）を延ばすようにゲートパルス期間の補正を行った。一方、変形例1では、トランス107の電圧印加期間を短くするようにゲートパルス期間の補正を行う。すなわち、図8に示すように、電圧制御器411で生成された指令値 T_{on*} に対して、補正值 ΔT_{on*} を減算するような補正を行う。

[0037] 図9は、図5の場合と同様に $\Delta I > 0$ のタイミングチャートを示したものである。 $\Delta I > 0$ の場合には、トランスの正電圧印加期間 T_{on1} が ΔT_{on} だけ短くなるようにゲートパルスの期間を調整する。すなわち、PWM生成器413は、正電圧印加期間 T_{on1} が指令値 $(T_{on*} - \Delta T_{on*})$ と等しくなるように、ゲート信号G1のオンタイミングおよびゲート信号G2のオフタイミングを ΔT_{on} だけ遅らせる。ゲート信号G3、G4については指令値 T_{on*} に基づいて生成され、負電圧印加期間 T_{on2} は T_{on} に制御される。このように調整することで I_{dc1} が減少し、 I_{dc1} と I_{dc2} の差が小さくなって偏磁が抑制される。

[0038] 一方、 $\Delta I < 0$ の場合には、トランス107の負電圧印加期間 T_{on2} が ΔT_{on} だけ短くなるようにゲートパルスの期間を調整する。この場合には、例えば、ゲート信号G1のオフタイミングおよびゲート信号G2のオンタイミングをそれぞれ差分 ΔT_{on} だけ遅らせる。

[0039] (変形例2)

図10、11は、上述した実施の形態の変形例2を説明する図である。図10は制御部120のブロック図を示し、図11はゲート信号およびトランス電圧のタイミングチャートである。変形例2では、正と負の両方の電圧印加期間を補正するようにした。図10に示すように、補正電圧制御器412は、差分 ΔI に基づいて偏磁抑制に必要な補正值 ΔT_{on*} を算出し、その半分の値である $\Delta T_{on*}/2$ を出力する。PWM生成器413には、和 $(T_{on*} + \Delta T_{on*}/2)$ および差 $(T_{on*} - \Delta T_{on*}/2)$ が入力される。PWM生成器413は、和 $(T_{on*} + \Delta T_{on*}/2)$ および差 $(T_{on*} - \Delta T_{on*}/2)$ に基づいて、偏磁を抑制するようなゲート信号G1～G4を生成する。

[0040] 図11は、図5の場合と同様に $\Delta I > 0$ のタイミングチャートを示したものである。ここでは、正電圧印加期間 T_{on1} を $\Delta T_{on}/2$ だけ短くすると共に、負電圧印加期間 T_{on2} を $\Delta T_{on}/2$ だけ長くすることにより偏磁を抑制するようにした。図11に示す例では、ゲート信号G1のオンタイミングおよびゲート信号G2のオフタイミングを $\Delta T_{on}/2$ だけ遅らせると共に、ゲート

信号G3のオフタイミングおよびゲート信号G4のオンタイミングを $\Delta T_{on}/2$ だけ遅らせるようにした。その結果、電流値 I_{dc1} と電流値 I_{dc2} との差が小さくなり、偏磁を抑制することができる。

[0041] 一方、 $\Delta I < 0$ の場合には、正電圧印加期間 T_{on1} を $\Delta T_{on}/2$ だけ長くすると共に、負電圧印加期間 T_{on2} を $\Delta T_{on}/2$ だけ短くする。この場合には、例えば、ゲート信号G3のオンタイミングおよびゲート信号G4のオフタイミングを $\Delta T_{on}/2$ だけ遅らせると共に、ゲート信号G1のオフタイミングおよびゲート信号G2のオンタイミングを $\Delta T_{on}/2$ だけ遅らせる。

[0042] 以上説明したように、本実施の形態では、電力変換装置であるDC-DCコンバータ1は、スイッチング回路部である高電圧一次側回路101と、高電圧一次側回路101の入力側に流れる電流を検出するDCライン電流センサ301と、高電圧一次側回路101の出力側に接続されたトランス107と、トランス107に正の電圧が印加される正電圧印加期間 T_{on1} と負の電圧が印加される負電圧印加期間 T_{on2} とを、高電圧一次側回路101のスイッチング動作により制御することで電力変換量を制御する制御部120と、を備える。そして、制御部120は、正電圧印加期間 T_{on1} においてDCライン電流センサ301で検出される電流値 I_{dc1} と負電圧印加期間 T_{on2} においてDCライン電流センサ301で検出される電流値 I_{dc2} との差に基づいて、電流値 I_{dc1} と電流値 I_{dc2} とが等しくなるように正電圧印加期間 T_{on1} および負電圧印加期間 T_{on2} の少なくとも一方を補正する。その結果、電圧応答性の低下を抑えつつ偏磁の抑制を行うことができる。

[0043] 補正方法としては、図4、5において説明したように、電流値 I_{dc1} と電流値 I_{dc2} との差 ΔI が正である場合には負電圧印加期間 T_{on2} を増加させ、差 ΔI が負である場合には正電圧印加期間 T_{on1} を増加させるように補正しても良い。また、差 ΔI が正である場合には正電圧印加期間 T_{on1} を減少させ、差 ΔI が負である場合には負電圧印加期間 T_{on2} を減少させるように補正してもよい。さらにまた、差 ΔI が正である場合には、正電圧印加期間 T_{on1} を減少させると共に負電圧印加期間 T_{on2} を増加させ、差 ΔI が負である場合には、

正電圧印加期間 T_{on1} を増加させると共に前記負電圧印加期間 T_{on2} を減少させるように補正しても良い。

[0044] また、正電圧印加期間 T_{on1} および負電圧印加期間 T_{on2} に対する補正值 ΔT_{on} を差 ΔI の大きさに比例させることで、偏磁の程度によらず素早く抑制することができる。もちろん、差 ΔI の大きさに依らず補正值 ΔT_{on} を一定の値としても構わない。

[0045] また、DC-DCコンバータでは、従来から高電圧一次側回路 101の入力側に並列接続された平滑コンデンサ 104との接続ラインに過電流検知のためのDCライン電流センサが設けられているが、これを図1に示すDCライン電流センサ 301に兼用することでコストアップを抑制できる。

[0046] 上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

符号の説明

[0047] 1…DC-DCコンバータ、101…高電圧一次側回路、102…低圧二次側回路、104…平滑コンデンサ、107…トランス、120…制御部、301…DCライン電流センサ、311, 411…出力電圧制御器。412…補正電圧制御器、413…PWM生成器、 T_{on1} …正電圧印加期間、 T_{on2} …負電圧印加期間

請求の範囲

- [請求項1] スイッチング回路部と、
 前記スイッチング回路部の入力側に流れる電流を検出する電流検出部と、
 前記スイッチング回路部の出力側に接続されたトランスと、
 前記トランスに正の電圧が印加される第1印加期間と負の電圧が印加される第2印加期間とを、前記スイッチング回路部のスイッチング動作により制御することで電力変換量を制御する制御部と、を備え、
 前記制御部は、前記第1印加期間において前記電流検出部で検出される第1の電流と前記第2印加期間において前記電流検出部で検出される第2の電流との差に基づいて、前記第1の電流と前記第2の電流とが等しくなるように前記第1印加期間および前記第2印加期間の少なくとも一方を補正する、電力変換装置。
- [請求項2] 請求項1に記載の電力変換装置において、
 前記制御部は、
 前記第1の電流と前記第2の電流との差が正である場合には前記第2印加期間を増加させ、前記第1の電流と前記第2の電流との差が負である場合には前記第1印加期間を増加させるように補正する、電力変換装置。
- [請求項3] 請求項1に記載の電力変換装置において、
 前記制御部は、
 前記第1の電流と前記第2の電流との差が正である場合には前記第1印加期間を減少させ、前記第1の電流と前記第2の電流との差が負である場合には前記第2印加期間を減少させるように補正する、電力変換装置。
- [請求項4] 請求項1に記載の電力変換装置において、
 前記制御部は、
 前記第1の電流と前記第2の電流との差が正である場合には、前記

第1印加期間を減少させると共に前記第2印加期間を増加させ、

前記第1の電流と前記第2の電流との差が負である場合には、前記第1印加期間を増加させると共に前記第2印加期間を減少させるように補正する、電力変換装置。

[請求項5] 請求項1から請求項4までのいずれか一項に記載の電力変換装置において、

前記第1印加期間および前記第2印加期間に対する補正量は、前記第1の電流と前記第2の電流との差の大きさに比例している、電力変換装置。

[請求項6] 請求項1から請求項4までのいずれか一項に記載の電力変換装置において、

前記スイッチング回路部の入力側に並列接続されたコンデンサを備え、

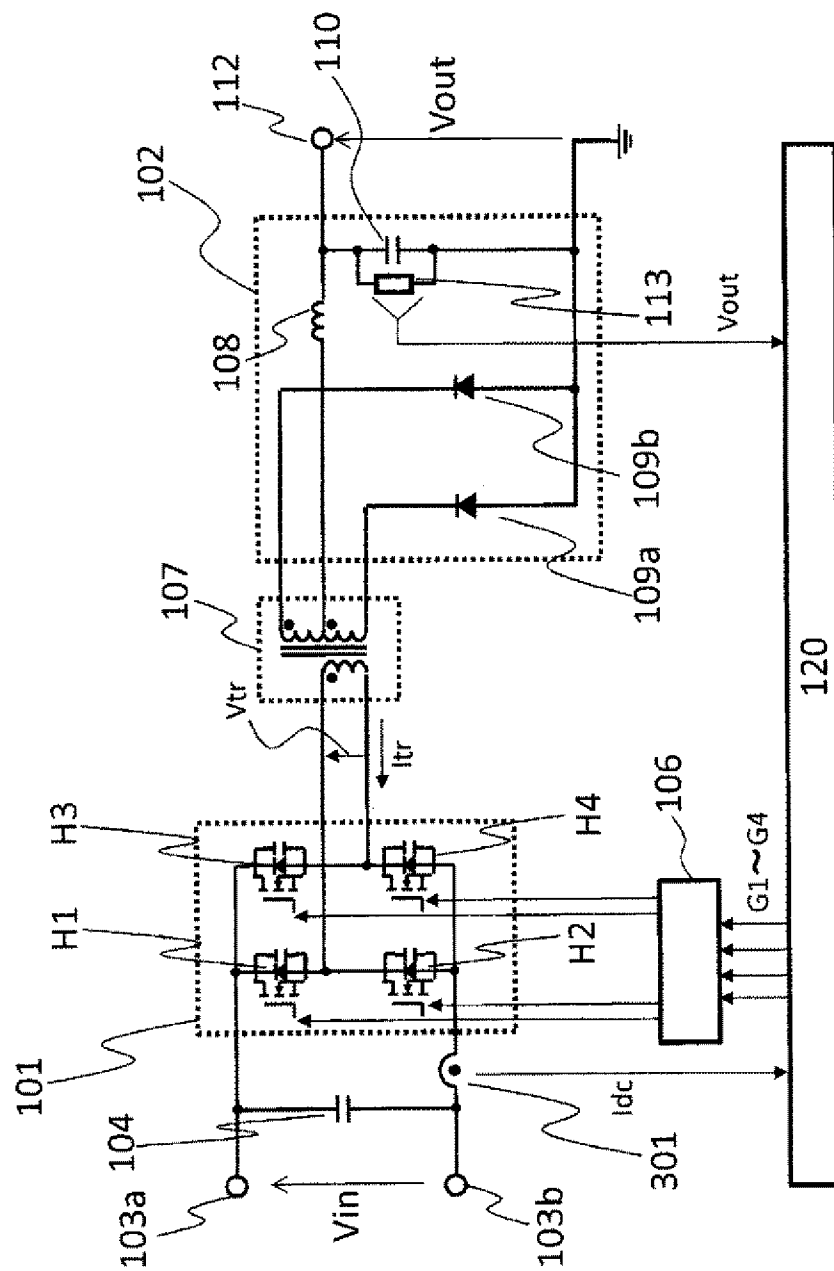
前記電流検出部は、前記スイッチング回路部と前記コンデンサとを接続する配線に流れる電流を検出する、電力変換装置。

[請求項7] 請求項1から請求項4までのいずれか一項に記載の電力変換装置において、

前記スイッチング回路部は、上アームおよび下アームを構成するスイッチング素子からなる第1スイッチング相と、上アームおよび下アームを構成するスイッチング素子からなる第2スイッチング相とを備え、

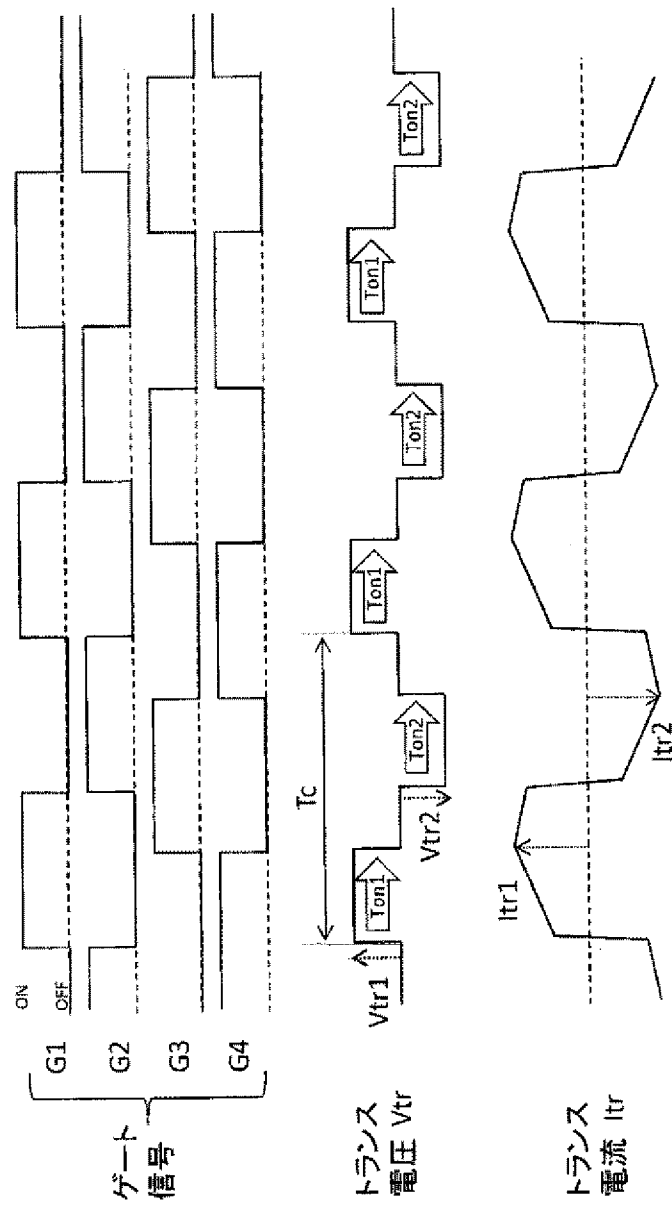
前記制御部は、前記スイッチング回路部に設けられた各々のスイッチング素子のオンオフを順次切り替えることで、前記トランスに正の電圧と負の電圧とを交互に印加する、電力変換装置。

[図1]



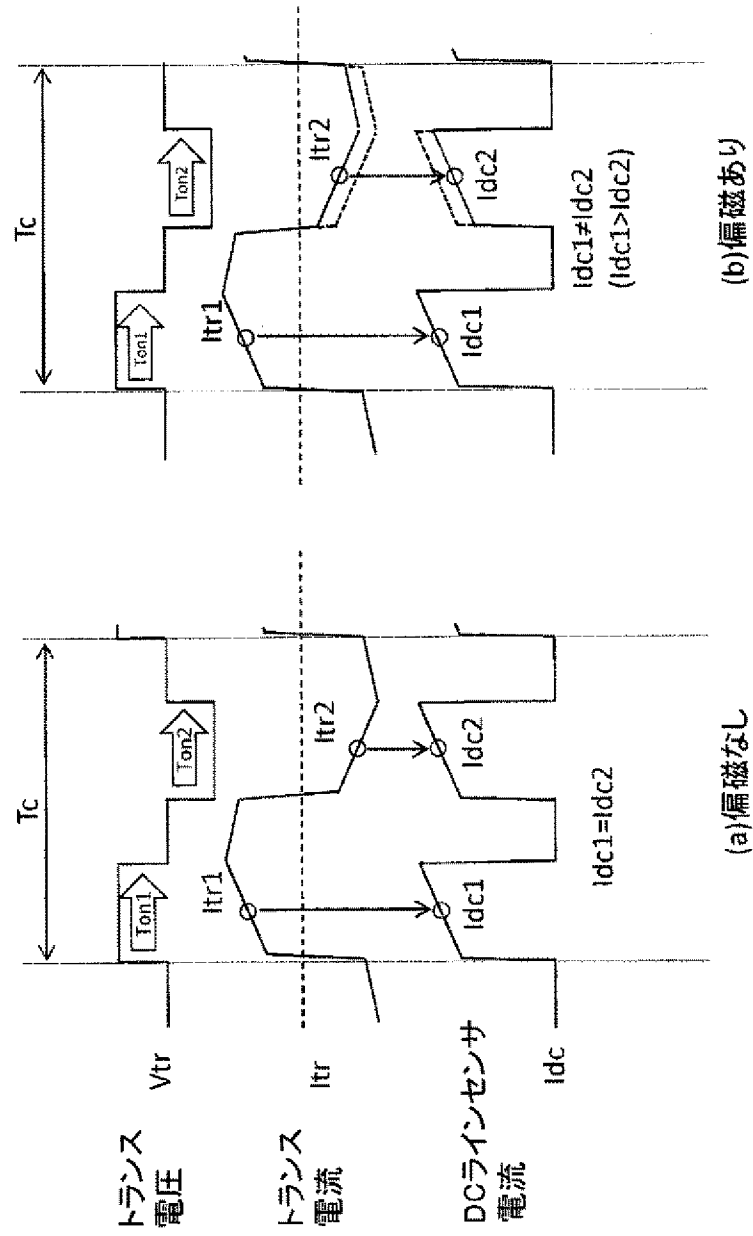
[図2]

【図2】



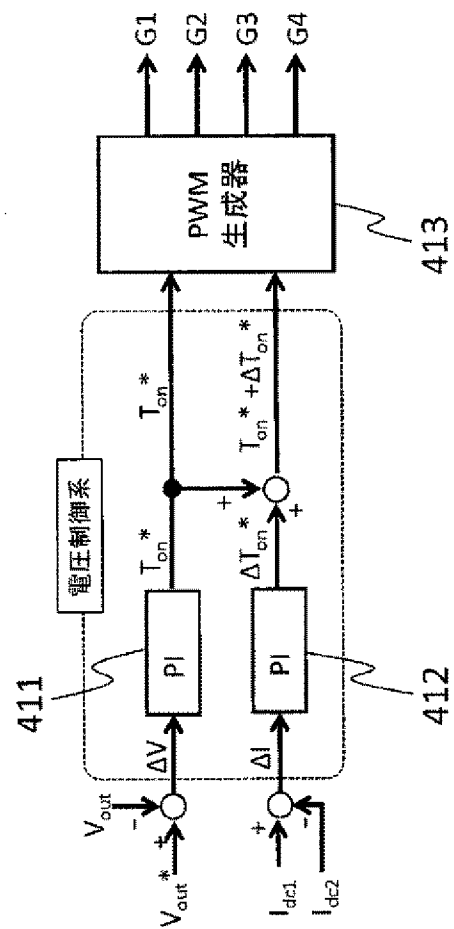
【図3】

【図3】



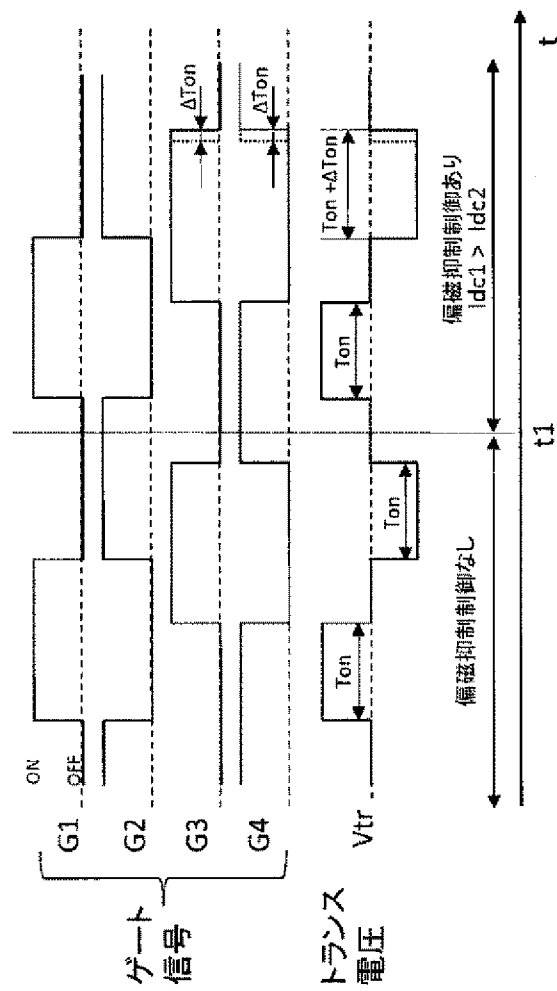
[図4]

【図4】

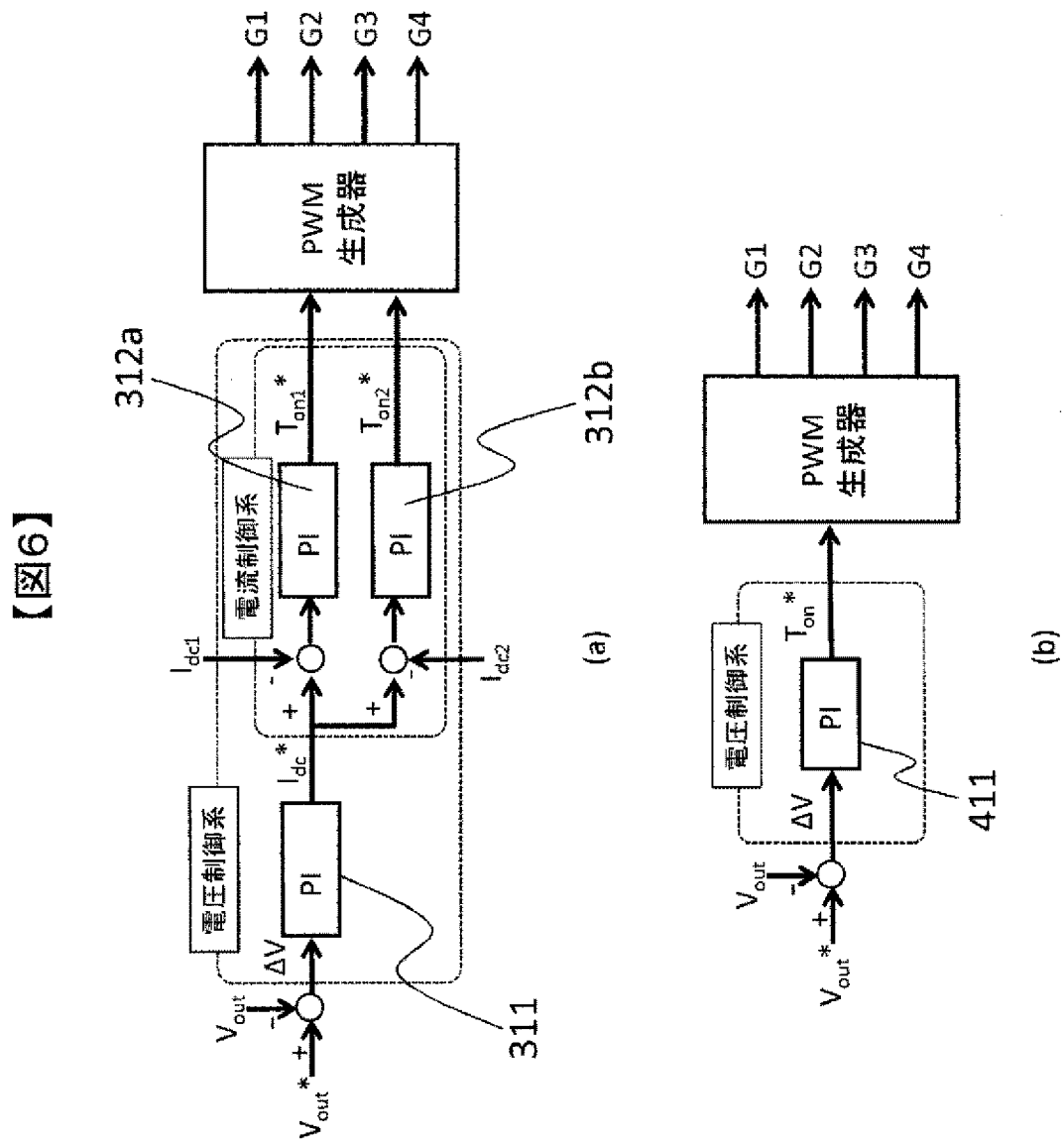


【図5】

【図5】

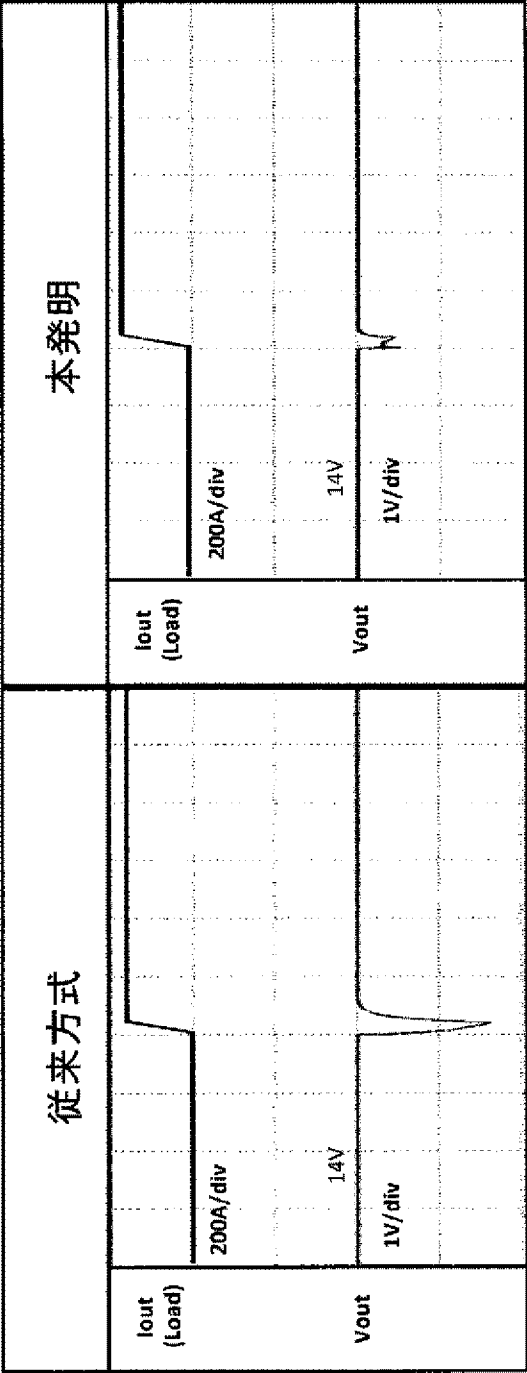


【図6】



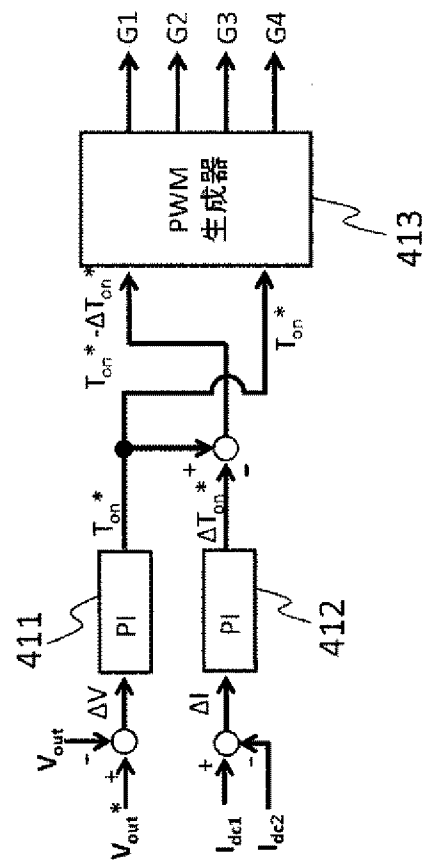
[図7]

【図7】



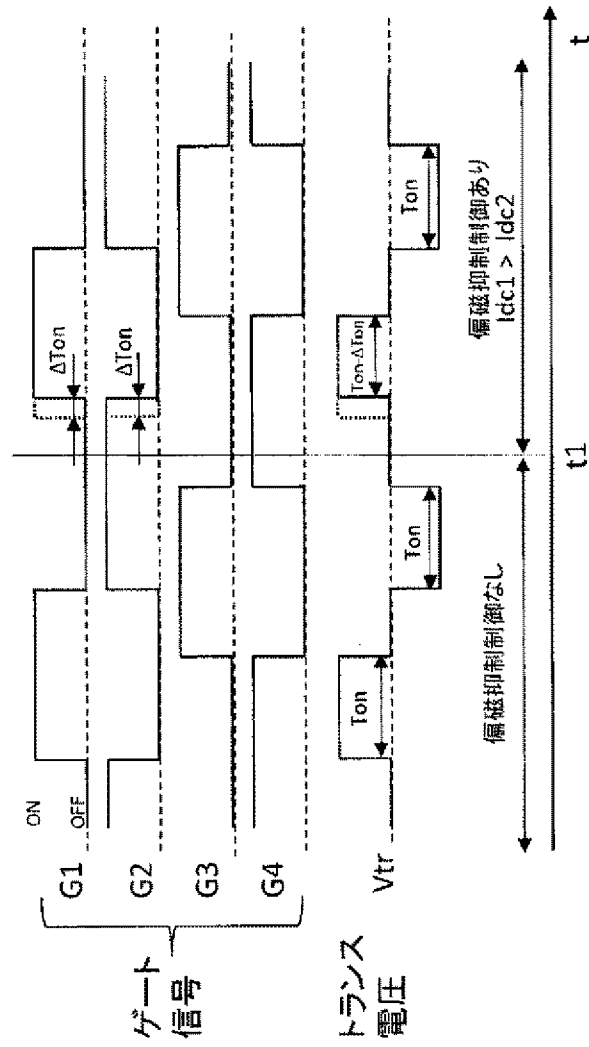
[図8]

【図8】



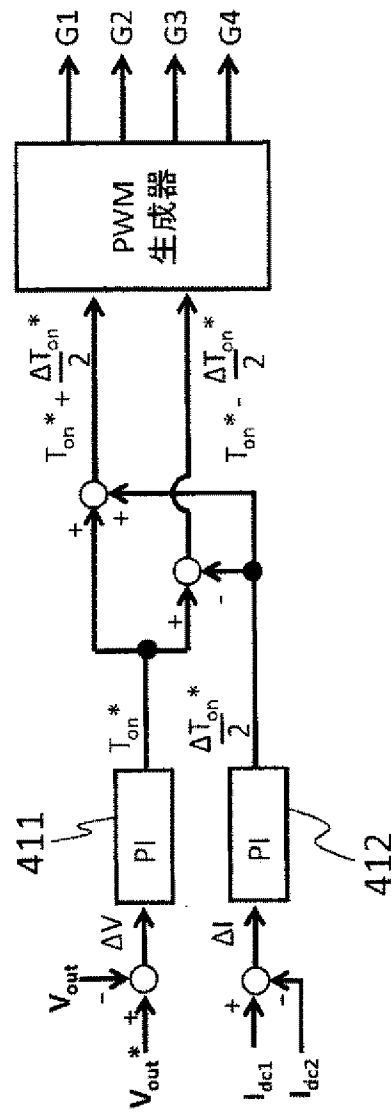
【図9】

【図9】



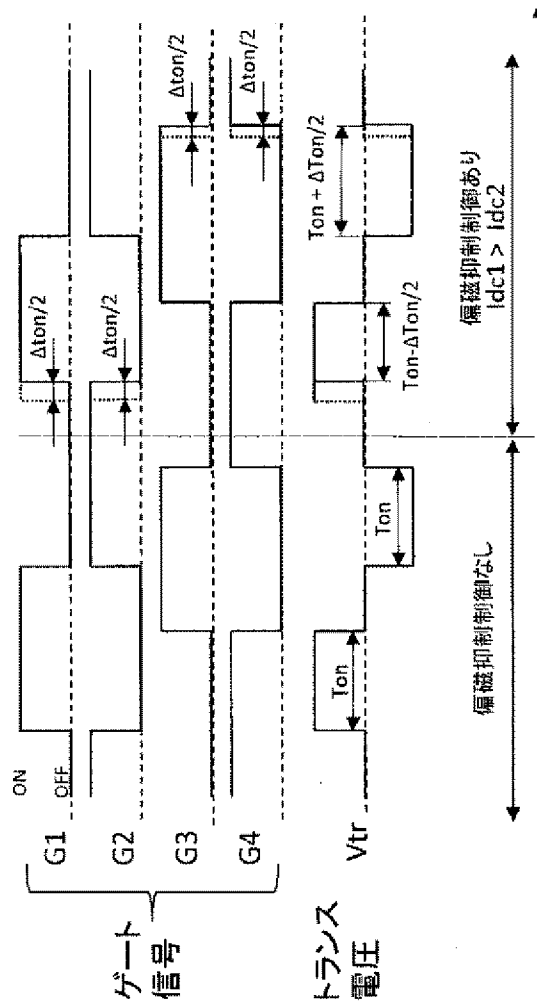
[図10]

【図10】



[図11]

【図11】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025354

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-15900 A (Omron Corp.), 15 January 2004 (15.01.2004), paragraphs [0020] to [0063]; fig. 1 to 4 & US 2004/0027842 A1 paragraphs [0026] to [0069]; fig. 1 to 4 & EP 1369982 A2 & DE 60312596 T2 & CN 1479440 A & CN 2674758 Y	1-3, 5 4, 6-7
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 64963/1988 (Laid-open No. 171591/1989) (Nissin Electric Co., Ltd.), 05 December 1989 (05.12.1989), page 8, line 1 to page 10, line 9; fig. 1 to 2 (Family: none)	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
31 August 2017 (31.08.17)

Date of mailing of the international search report
12 September 2017 (12.09.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025354

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/077281 A1 (Hitachi Automotive Systems, Ltd.), 22 May 2014 (22.05.2014), paragraphs [0011] to [0104]; fig. 1 to 13 & JP 2014-100022 A	6-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-15900 A (オムロン株式会社) 2004.01.15, [0020]-[0063], 図 1-4 & US 2004/0027842 A1, [0026]-[0069], Figs. 1-4 & EP 1369982 A2 & DE 60312596 T2 & CN 1479440 A & CN 2674758 Y	1-3, 5 4, 6-7
Y	日本国実用新案登録出願 63-64963 号 (日本国実用新案登録出願公開 1-171591 号) の願書に添付した明細書及び図面の内容を撮影した マイクロフィルム (日新電機株式会社) 1989.12.05, 8 頁 1 行-10 頁 9 行, 第 1-2 図 (ファミリーなし)	4

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

31.08.2017

国際調査報告の発送日

12.09.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

木村 励

5 G

4092

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2014/077281 A1 (日立オートモティブシステムズ株式会社) 2014.05.22, [0011]-[0104], 図 1-13 & JP 2014-100022 A	6-7