



(74) 代理人: 特許業務法人 谷・阿部特許事務所
(TANI & ABE, P.C.); 〒1070052 東京都港区赤坂2丁目6番20号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：光信号処理装置および光信号処理装置の製造方法 技術分野

[0001] 本発明は、光信号処理装置および光信号処理装置の製造方法に関する。

背景技術

[0002] 従来、シリカ（二酸化シリコン、 SiO_2 ）材料を用いた平面光回路（Planar Lightwave Circuit: PLC）で構成された光信号処理装置は、光通信において重要な役割を担うデバイスとなっている。シリカPLCでは、数～数十 μm という非常に小さな光導波路に光を閉じ込めることができ、小さなチップでさまざまな機能を発現する光信号処理装置を構成することができる。シリカPLCを用いた光スイッチも、チップにその機能を集積することが可能であり、その制御は電気信号による熱光学効果を用いて実現される。

[0003] 図1に、従来の光信号処理装置の一例として、PLC光スイッチの光回路を模式的に示す。この光回路は、マッハツェンダー干渉計（MZI）を構成しており、左の入力導波路1a、1bの一方（例えば1a）から入力された光信号は、左の2入力2出力の方向性結合器2において、アーム光導波路3a、3bに分波され、右の2入力2出力の方向性結合器6において合波され、干渉した結果に応じて右の出力導波路7a、7bから出力される。

[0004] 分岐した2本のアーム光導波路の片方の、アーム光導波路3bの上には、位相変調素子としての位相シフタのヒータ4が設けられ、またアーム光導波路3bの両脇には断熱溝5a、5bが設けられている。位相シフタのヒータ4に通電してアーム光導波路3bに熱を供給することで、熱光学効果によりアーム導波路3bの導波光に位相変化を与えて、位相変調素子（位相シフタ）として駆動する。（例えば、特許文献1参照）。

[0005] シリカPLCスイッチの駆動に必要な電力は、位相変調素子（位相シフタ）のヒータ4の駆動電力である。図1に記載した光スイッチでは、位相シフタのヒータ4により下層のアーム光導波路3bを加熱することで加熱された

部分の屈折率を変化させ、導波光の位相を変調する。図1のMZI回路では、上下のアーム導波路を通る光の位相差に応じて方向性結合器6における干渉条件が変化し、2つの出力導波路7a、7bの出力光強度が変化するため、この位相変調素子の制御により光スイッチング機能を実現することができる。

[0006] 図2に、図1の位相変調素子（位相シフタ）の領域の、断面A-A'の基板断面図を示す。図2で、Si基板10の上に形成された光導波路3bは、コア11と呼ばれる光が閉じ込められる領域の上下を、クラッド（アンダークラッド12、オーバークラッド13）と呼ばれる領域が挟んで構成されており、位相変調素子の領域のオーバークラッド13の上には位相シフタのヒータ4が設けられている。

[0007] シリカPLCでは、通常コアとクラッドはともにシリカが使用される。ヒータ4から供給される熱により、コア11の温度を制御することで導波光の位相変調を行うことができる。ヒータ4からの熱をコア11に効率的に伝えるため、コアの両サイドのクラッドをエッチングで削り、断熱溝5a、5bを形成することで、効率的に熱をコアに届けることができる。

[0008] シリカPLCでは一般的に、基板10にSi（シリコン）を用いることが多い。Siはシリカと比較して熱伝導率が高いため、最終的にヒータ4から供給される熱はSi基板10に逃げていく。加熱時の定常状態では、ヒータ4とSi基板10の間の温度勾配により、Si基板10へ逃げる熱量とヒータ4から供給される熱量が等しくなる。そのため、コア11と基板10の間のクラッド（アンダークラッド12）が厚ければ厚いほど、コアは熱が逃げるSi基板から離れるため、ヒータからの熱供給量が同一であっても高い温度にすることができる。よって、アンダークラッドを厚くすることで、シリカPLCスイッチは低消費電力化することができる。

先行技術文献

非特許文献

[0009] 非特許文献1：T. Shibata et al., "Silica-Based Waveguide-Type 16 x 16

Optical Switch Module Incorporating Driving Circuits”, in IEEE Photonics Technology Letters, vol. 15, no. 9, pp. 1300–1302, Sept. 2003.

非特許文献2：山部 紀久夫, 蓮沼 隆, 極薄シリコン酸化膜における原子レベルの膜厚均一性と信頼性, Journal of the Vacuum Society of Japan, 2015, VOL. 58, NO. 1, p-p. 27–34

非特許文献3：古川 和由, シリコンウェハの直接接合, 溶接学会誌, 1990, VOL. 59, NO. 2, p-p 105–109

非特許文献4：Takashi Goh et al., “High-Extinction Ratio and Low-Loss Silica-Based 8x8 Strictly Nonblocking Thermo-optic Matrix Switch”, J. Lightwave Technology. VOL. 17, NO. 7, p-p 1192–1199, JULY 1999.

非特許文献5：T. Watanabe et. al., “Silica-based PLC Transponder Aggregators for Colorless, Directionless, and Contentionless ROADMs”, OFC/NFOEC2012, OTh3D.1, March 8, 2012, Los Angeles

非特許文献6：Kei Watanabe et. al., “Ultralow Power Consumption Silica-Based PLC-VOA/Switches”, J. Lightwave Technol. VOL. 26, NO. 14, JULY 2008, p-p 2235–2244

発明の概要

発明が解決しようとする課題

[0010] Si 基板上にシリカを形成する方法として、CVD (Chemical Vapor Deposition) 法や熱酸化法があるが、熱酸化法ではフラットネスが高く品質の良いシリカ膜が形成できることが知られている。(非特許文献2 参照)

[0011] しかしながら、熱酸化によって厚いシリカ膜を形成するためには、周辺雰囲気中の酸素分子がすでに形成されたシリカ膜を抜けてSi 基板に届く必要があり、厚くなればなるほど熱酸化シリカ膜の成長には時間がかかる。そのため、光スイッチのような光信号処理装置の消費電力を下げるためにシリカPLCのアンダークラッドとして熱酸化シリカ膜を使用し、かつ厚いシリカ膜とするためには、作製に必要な時間とコストが増大することが問題となる。

[0012] 本発明は、このような問題を解決するためになされたものである。その目的とするところは、シリカP L Cのアンダークラッドに熱酸化シリカ膜を使用しつつ、アンダークラッドの厚みを厚くし、かつ製造時に成膜時間を短くすることが可能な光信号処理装置の実現、およびそのような光信号処理装置の製造方法の実現にある。

課題を解決するための手段

[0013] 本発明は、このような目的を達成するために、以下のような構成としている。

シリコン基板上に形成された光導波路を含む平面光回路として形成され、熱光学効果を用いた位相変調素子を有する光信号処理装置であって、熱酸化シリカ膜を有する基板と、シリカ膜を有する基板を貼り合わせた構成として、光導波路コアのアンダークラッドとして熱酸化シリカ膜を使用した構成としている。

[0014] 本発明は、具体的には、以下のような構成を備えることを特徴とする。

[0015] (構成1)

シリコン基板上に形成された光導波路を含む平面光回路として形成され、熱光学効果を用いた位相変調素子を有する光信号処理装置であって、
光導波路のコアとシリコン基板の間に複数のシリカ膜を有しており、
前記複数のシリカ膜のうち少なくとも一つが熱酸化により形成されていることを特徴とする光信号処理装置。

[0016] (構成2)

前記複数のシリカ膜同士の界面のうち、少なくとも一つの界面にシリコン層を有する
ことを特徴とする構成1の光信号処理装置。

[0017] (構成3)

複数の基板の貼り合わせにより前記シリコン基板とシリカ膜が作製されている
ことを特徴とする構成1または2に記載の光信号処理装置。

[0018] (構成4)

前記光導波路がマッハツェンダー干渉計を形成している
ことを特徴とする構成1から3のいずれか1項に記載の光信号処理装置。

[0019] (構成5)

前記光信号処理装置が、マトリックススイッチ、マルチキャストスイッチ、
または光フィルタもしくは光信号減衰器の機能を有する
ことを特徴とする構成1から4のいずれか1項に記載の光信号処理装置。

[0020] (構成6)

第1のシリコン基板の表面に第1のシリカ膜を形成するステップと、
第1のシリコン基板を第1のシリカ膜の面で別の第2のシリコン基板と張り
合わせるステップと、
張り合わせた第1のシリコン基板の裏面を研削・研磨するステップと、
研削・研磨された第1のシリコン基板の裏面のシリコン層を熱酸化して熱
酸化シリカによるアンダークラッドを形成するステップと、
を備えることを特徴とする光信号処理装置の製造方法。

[0021] (構成7)

第1のシリコン基板の表面にシリカ膜を形成するステップと、
第2のシリコン基板の表面に熱酸化シリカ膜を形成するステップと、
第1のシリコン基板のシリカ膜と、第2のシリコン基板の熱酸化シリカ膜
の面を貼り合わせるステップと、
第2のシリコン基板の裏面を熱酸化シリカ膜が露出するまで研削・研磨し
て、熱酸化シリカによるアンダークラッドを形成するステップと、
を備える光信号処理装置の製造方法。

[0022] (構成8)

アンダークラッドの上に光導波路コアおよびオーバークラッドを形成する
ステップと、
位相変調素子の光導波路の両脇に断熱溝を形成し、位相変調素子の位相シ
フトのヒータと電気配線を取り付けるステップと、

をさらに備える構成 6 または 7 に記載の光信号処理装置の製造方法。

発明の効果

[0023] 本発明によれば、光導波路とヒータを利用した位相変調素子を用いて実現される光スイッチや光フィルタ等の光信号処理装置の PLC において、アンダークラッドを厚くすることで電力消費量を削減した光信号処理装置を実現でき、またその製造に際して光導波路コア直下の熱酸化シリカ膜成膜時間を短縮した製造方法を実現することができる。

図面の簡単な説明

[0024] [図1]従来の光信号処理装置の一例として、PLC光スイッチの光回路（MZI）を模式的に示す図である。

[図2]図1の位相変調素子（位相シフタ）の領域の、基板断面図である。

[図3]本発明の実施例1の光信号処理装置の基板平面図である。

[図4]本発明の実施例1の光信号処理装置の位相変調素子（位相シフタ）の領域の、基板断面図である。

[図5]本発明の実施例1のMZIの基本動作を示す図である。

[図6]本発明の実施例1の別構成の、基板断面図である。

[図7]本発明の実施例2として、光信号処理装置の製造方法を説明する図である。

[図8]本発明の実施例3として、ラティスフィルタを説明する図である。

発明を実施するための形態

[0025] 以下、図面を参照しながら本発明の実施形態について詳細に説明する。

実施例 1

[0026] 図3に本発明の実施例1の光信号処理装置のX-Z面の構成（基板平面図）を図示する。図3の光信号処理装置は、PLC光スイッチの光回路であり、マッハツェンダー干渉計（MZI）を構成している。図3において、左の入力導波路101a、101bの一方（101a）から入力された光信号は、左の2入力2出力の方向性結合器102において、アーム光導波路103

a、アーム光導波路103bに分波され、右の2入力2出力の方向性結合器106において合波され、干渉した結果に応じて右の出力導波路107a、107bから出力される。

[0027] 分岐した2本のアーム光導波路103a、103bのうち片方の、アーム光導波路103bの上には、位相変調素子としての位相シフタのヒータ104が設けられ、またアーム光導波路103bの両脇には断熱溝105a、105bが設けられている。位相シフタのヒータ104からアーム光導波路103bに熱を供給することで、熱光学効果によりアーム導波路の導波光に位相変化を与えて位相変調素子（位相シフタ）として駆動する。図3にはまた、位相シフタのヒータ104を駆動する電力を供給する電気配線109も示されている。図3には記載しないが、電気配線109に電力を供給する電源や供給量を制御する制御部があってもよい。

[0028] また、図4は、図3の実施例1における点線B-B'の部分の基板断面図である。

[0029] 本実施例1の構成では、シリコン基板110の上に第1のシリカ膜（112-1）を有する。第1のシリカ膜（112-1）上にはさらに、熱酸化で成膜された第2のシリカ膜（112-2）が存在する。このようなシリカ膜層は、基板の貼り合わせにより実現することが可能である。このような基板の貼り合わせによるシリカ膜層の製造方法の詳細は、具体的には実施例2に記載している。

[0030] また、第2のシリカ膜（112-2）の上に光導波路コア111を有しており、第2のシリカ膜（112-2）がアンダークラッドとして機能している。光導波路コア111の上部と周囲にはオーバークラッド113が形成されている。オーバークラッドにもシリカ膜が使用されることが多いが、コアよりも屈折率が低ければ良いため、周囲をエッチングして空気をオーバークラッドに活用しても構わない。オーバークラッド113の上部には位相シフタのヒータ104が設置されている。コア111の両サイドのクラッドをエッチングで削り、断熱溝105a、105bを形成してもよい。

- [0031] 図5に、本発明の実施例1のMZIの基本動作を示す。図5（a）の位相シフタONの状態では、位相シフタのヒータが通電されて発熱状態であり、図5（b）の位相シフタOFFの状態では、位相シフタのヒータが通電されずに冷えた状態である。
- [0032] 図5で、MZIに入力された光は、入力側の方向性結合器により2つのアーム光導波路103a、103bに分岐し、それぞれのアームを通ったのちに再度、出力側の方向性結合器によって合波される。この時、2つのアームから出力側の方向性結合器に入力する際の光の位相差により、出力側の方向性結合器からの出力先が変化する。
- [0033] 本構成の光信号処理装置では、位相シフタを駆動することによりMZIの片側のアームの屈折率を変化させ、出力側の方向性結合器に入力する際の位相差を調整することができる。
- [0034] 位相シフタでは熱光学効果を使用するため、ヒータ104などによりMZIのアームに熱を供給する。シリコン基板上に導波路を形成し、コアやクラッドにシリカ膜を使用する場合にはコアやクラッドと比較してシリコン基板の熱伝導率の方が非常に高く、かつシリコン基板の体積が大きいためにシリコン基板に熱が逃げていく。
- [0035] 本構成では断熱溝105a、105bを形成しており、位相シフタのヒータ104から供給される熱の拡散方向は、基板110に向かうY方向に限られる。この場合、供給する熱により温度を上げたいのはコア111であるため、コアから熱伝導率の高いシリコン基板までの距離が長いほど、つまりアンダークラッド（112-1、112-2）の厚みが厚いほど同量の熱供給量に対して定常状態でのコアの温度を上げることができるため、少ない電力でスイッチングを行うことができる。
- [0036] 先に述べたが、膜質の高い熱酸化シリカ膜はアンダークラッドとして好ましいシリカ膜であるが、厚膜化に課題がある。これは、熱酸化シリカ膜は、シリカ膜厚が厚くなるほど単位厚さあたりの成長時間が長くなる（成長速度が低下する）ことによる。この成長速度の低下は膜厚が厚くなるほど顕著に

なるため、厚い膜の形成には非常に長い成膜時間が必要になる。

[0037] これに対し、本実施例１の構成では、表面に第１のシリカ膜を形成したシリコン基板を、第１のシリカ膜の側で別の基板に張り合わせ、シリコン基板の裏面から研磨後、更に熱酸化により第２のシリカ膜を形成する。これにより、コア直下のアンダークラッドとして熱酸化シリカ膜を使用しつつ、基板までの間に存在するシリカ膜厚の合計値を、第１のシリカ膜と第２のシリカ膜の膜厚の合計値とすることができる。

[0038] このようなシリカ膜形成後の張り合わせはＳＯＩ（Silicon on Insulator）基板等の作製で行われており、これらの一般的な手法が活用可能である。（非特許文献３参照）

[0039] この時、アンダークラッドとして光が通るコアへと強い影響を与えるのはコア直下にある第２のシリカ膜であるため、第１のシリカ膜は熱酸化シリカ膜でなくても構わない。

[0040] もし第１のシリカ膜および第２のシリカ膜の両方で熱酸化シリカ膜を使用したとしても、従来の単独の熱酸化シリカ膜の厚さの半分程度であるから、成長に必要とする時間は従来に比較して大幅に短縮することが可能である。

[0041] また、図６の実施例１の別構成のように、研磨または熱酸化を少なくして、第１のシリカ膜（１１２－１）と第２のシリカ膜（１１２－２）の間にシリコン層１１４の残った構成であっても、本発明の効果は発揮される。

[0042] この図６の別構成のような場合、熱が流出する先は、アンダークラッド下のシリコン基板というＹ方向に加え、導波光の進行軸であるＺ方向および第１のシリカ膜と第２のシリカ膜の間に残ったシリコン層１１４を通じてアームの通る方向に直角なＸ方向にも伝搬する。Ｘ方向はエッチングしてあり、熱伝導率の非常に悪い空気と接しているため、熱の流出を無視することができる。このような場合、熱の流出のしやすさ（伝搬乗数）は、流出経路の組成が同じ場合には断面積に依存する。広い断面積を持つ経路には熱が逃げやすく、狭い断面積では熱が逃げにくい。

[0043] 図６の別構成の場合、Ｚ方向への熱流出経路の断面積は、溝に囲まれた導

波路部のリッジの幅と、第1のシリカ膜および第2のシリカ膜の間に残ったシリコン層114の厚みの積であり、Y方向への熱流出経路の断面積は、溝に囲まれた導波路部のリッジの幅と位相シフタの長さの積である。

[0044] 通常、位相シフタの長さはミリメートルのオーダーであり、第1のシリカ膜および第2のシリカ膜の間に残ったシリコン層114の厚みがこれよりも十分薄ければ、その経路からの流出の効果は限定的なものになり、支配的な要因にはなりえない。シリコン層114の厚みは、ある一定以下の厚みにすればよい。そのため、熱酸化シリカ膜成膜時の条件決めが簡易になる等のメリットがある。

[0045] また、2以上の複数のシリコン基板を張り合わせることにより、光導波路のコア111とシリコン基板110の間に、2以上の複数のシリカ膜を有していてもよく、複数のシリカ膜のうち少なくとも一つが熱酸化により形成された熱酸化シリカ膜であればよい。

[0046] またさらに、複数のシリカ膜同士の張り合わせ界面のうち、少なくとも一つの界面にシリコン層を有していてもよい。

[0047] このような構成でアンダークラッドを形成することで、PLC光スイッチとしてMZIの出力先の切り替えを低い電力で実現しつつ、トータルの製造時間を削減することが可能である。

実施例 2

[0048] (光信号処理装置の製造方法)

実施例1の説明において、熱酸化シリカ膜をアンダークラッドにしつつ、シリコン基板までのシリカ膜厚を厚くするため、基板の張り合わせを行う構造が、光信号処理装置の低消費電力化および製造時間の短縮に有効であることを説明した。

[0049] 本発明の実施例2として、光信号処理装置の製造方法を説明する。特に、基板の張り合わせの方法について図7を参照して詳細に説明する。

[0050] 実施例2の光信号処理装置の製造方法では、概略、第1のシリコン基板の表面に第1のシリカ膜を形成した後で、第1のシリコン基板を裏返して第1

のシリカ膜の面で別の第2のシリコン基板と張り合わせ、張り合わせた第1のシリコン基板の裏面を研削・研磨することで、シリカ膜上のシリコン層の層厚を制御する。

[0051] その後、第1のシリコン基板の裏面に残ったシリコン層をさらに熱酸化して第2のシリカ膜を形成することにより、アンダークラッドとなる熱酸化シリカ膜を短時間で形成することができる。

[0052] この実施例2の製造方法の詳細フローを、図7(a)～(d)に示す。

[0053] まず図7(a)のように、2枚のSi基板110と112-0を用意して、Si基板112-0の表面にシリカ膜112-1を形成しておく。シリカ膜112-1は熱酸化シリカ膜であってもよいが、熱酸化シリカ膜でなくてもかまわない。そしてSi基板112-0を裏返して、シリカ膜112-1の面でSi基板110と張り合わせる。

[0054] 次に図7(b)のように、裏返してSi基板110と張り合わせたSi基板112-0の上面(図7(a)における下面、裏面)のSi基板112-0を、研削・研磨により所望の厚みまで薄層化する。

[0055] 図7(c)では、研削・研磨により薄層化したSi基板112-0を、熱酸化処理する。熱酸化処理は、全てのSi基板112-0の厚みまで行う必要は無く、所望の厚みの熱酸化シリカ膜112-2が形成できればよい。熱酸化されなかったSi基板112-0の残り部分がある場合は、図6のシリコン層114となる。

[0056] 図7(d)では、熱酸化処理により生成された熱酸化シリカ膜112-2が、図7(a)で作成したシリカ膜112-1の上に完成している。シリカ膜112-1と熱酸化シリカ膜112-2、またはシリコン層114を挟んだシリカ膜112-1と熱酸化シリカ膜112-2が、全体として厚いシリカ膜となり、熱酸化シリカ膜112-2がアンダークラッドとなる。

[0057] 以後、光導波路コア111、オーバークラッド113、断熱溝105a, 105bを形成して、位相シフトのヒータ104や電気配線109を取り付けてPLCの完成となる。

[0058] この時、張り合わせる際のシリカ膜 1 1 2 - 1 は、熱酸化による成膜でなくても問題ないことは、実施例 1 の説明で既に述べた。また、シリカ膜 1 1 2 - 1 を熱酸化による成膜とする場合でも、張り合わせる際に先んじて予め熱酸化膜を形成しておけば、P L C の製造時間には影響はしない。

[0059] 他の製造方法としては、第 1 のシリコン基板の表面にシリカ膜を形成し、第 2 のシリコン基板の表面に熱酸化シリカ膜を形成し、第 1 および第 2 のシリコン基板のシリカ膜の面同士を貼り合わせることで厚いシリカ膜を作製してもよい。そののちに第 2 のシリコン基板の裏面を熱酸化シリカ膜が露出するまで研削・研磨して、熱酸化シリカによるアンダークラッドを実現できる。

[0060] 上記のように張り合わせや成膜方法は複数考えられるが、本発明では成膜を別に行ったシリカを有する基板を貼り合わせることで、熱酸化で成膜するシリカ膜厚に対して、基板までのシリカ膜厚の総膜厚を厚くすることができる。

実施例 3

[0061] 本発明により M Z I の駆動電力を小さくできるため、多くの M Z I を駆動する必要のある光信号処理装置であれば、それだけ電力消費量を削減できる。

[0062] 例えば、P I L O S S スイッチ（非特許文献 4）やマルチキャストスイッチ（非特許文献 5）の M 入力 N 出力光スイッチでは、 $2 \times N$ 個の M Z I を駆動する必要がある。そのため、大規模なスイッチになると駆動電力も大きくなるのが課題となる。（非特許文献 4、5 参照）

[0063] 本発明により各 M Z I を駆動するための電力を削減することができる為、デバイス全体の電力削減効果も大きなものになる。

[0064] 多くの M Z I を駆動する必要のあるデバイスとして、V O A（variable optical attenuator）アレイも挙げられる。（非特許文献 6 参照）M Z I を用いた V O A では、M Z I の位相シフタの調整により、光信号の出力パワーを制御する。M Z I をアレイ化することで、一つのデバイスで多くの光信号の

強度を独立して制御することが可能になる。しかし全てのMZIを駆動する
必要があり、アレイ数に比例して消費電力は増えていくことが課題であった。
このような場合にも、MZIの消費電力を下げる事ができる本発明は有効
な解決手段となる。

[0065] さらに、光フィルタでも複数のMZIを駆動することで実現するものがあ
る。

[0066] 図8は、本発明の実施例3としてラティスフィルタの例を説明する図であ
る。図8には光導波路基板上の実際の光回路となる光導波路801、および
位相シフタ802-1~6を制御する電気配線のレイアウトも記載している
。

[0067] また、本実施例3では、ラティスフィルタを例として説明したが、トラン
スバーサルフィルタやリング共振器によるフィルタ、MZIを用いる可変光
減衰器アレイや、さらにはそれらを組み合わせた光信号処理装置に適用可能
であることは明らかである。

産業上の利用可能性

[0068] 以上のように、本発明によれば、光導波路とヒータを利用した位相変調素
子を用いて実現される光スイッチや光フィルタ等の光信号処理装置のPLC
において、アンダークラッドを厚くすることで電力消費量を削減した光信号
処理装置を実現でき、またその製造に際して光導波路コア直下の熱酸化シリ
カ膜の成膜時間を短縮した製造方法を実現することができる。

符号の説明

[0069] 1a、1b、101a、101b 入力導波路
2、6、102、106 方向性結合器
3a、3b、103a、103b アーム光導波路
7a、7b、107a、107b 出力導波路
4、104 位相シフタのヒータ
5a、5b、105a、105b 断熱溝
10、110、112-0 Si基板

- 1 1、1 1 1 コア
- 1 2 アンダークラッド
- 1 1 2 - 1 シリカ膜
- 1 1 2 - 2 熱酸化シリカ膜
- 1 3、1 1 3 オーバークラッド
- 1 1 4 シリコン層
- 1 0 9 電気配線

請求の範囲

- [請求項1] シリコン基板上に形成された光導波路を含む平面光回路として形成され、熱光学効果を用いた位相変調素子を有する光信号処理装置であって、
光導波路のコアとシリコン基板の間に複数のシリカ膜を有しており、
前記複数のシリカ膜のうち少なくとも一つが熱酸化により形成されている
ことを特徴とする光信号処理装置。
- [請求項2] 前記複数のシリカ膜同士の界面のうち、少なくとも一つの界面にシリコン層を有する
ことを特徴とする請求項1に記載の光信号処理装置。
- [請求項3] 複数の基板の貼り合わせにより前記シリコン基板とシリカ膜が作製されている
ことを特徴とする請求項1または2に記載の光信号処理装置。
- [請求項4] 前記光導波路がマッハツェンダー干渉計を形成している
ことを特徴とする請求項1から3のいずれか1項に記載の光信号処理装置。
- [請求項5] 前記光信号処理装置が、マトリックススイッチ、マルチキャストスイッチ、または光フィルタもしくは光信号減衰器の機能を有する
ことを特徴とする請求項1から4のいずれか1項に記載の光信号処理装置。
- [請求項6] 第1のシリコン基板の表面に第1のシリカ膜を形成するステップと、
第1のシリコン基板を第1のシリカ膜の面で別の第2のシリコン基板と張り合わせるステップと、
張り合わせた第1のシリコン基板の裏面を研削・研磨するステップと、

研削・研磨された第1のシリコン基板の裏面のシリコン層を熱酸化して熱酸化シリカによるアンダークラッドを形成するステップと、を備えることを特徴とする光信号処理装置の製造方法。

[請求項7]

第1のシリコン基板の表面にシリカ膜を形成するステップと、

第2のシリコン基板の表面に熱酸化シリカ膜を形成するステップと、

、

第1のシリコン基板のシリカ膜と、第2のシリコン基板の熱酸化シリカ膜の面を貼り合わせるステップと、

第2のシリコン基板の裏面を熱酸化シリカ膜が露出するまで研削・研磨して、熱酸化シリカによるアンダークラッドを形成するステップと、

を備える光信号処理装置の製造方法。

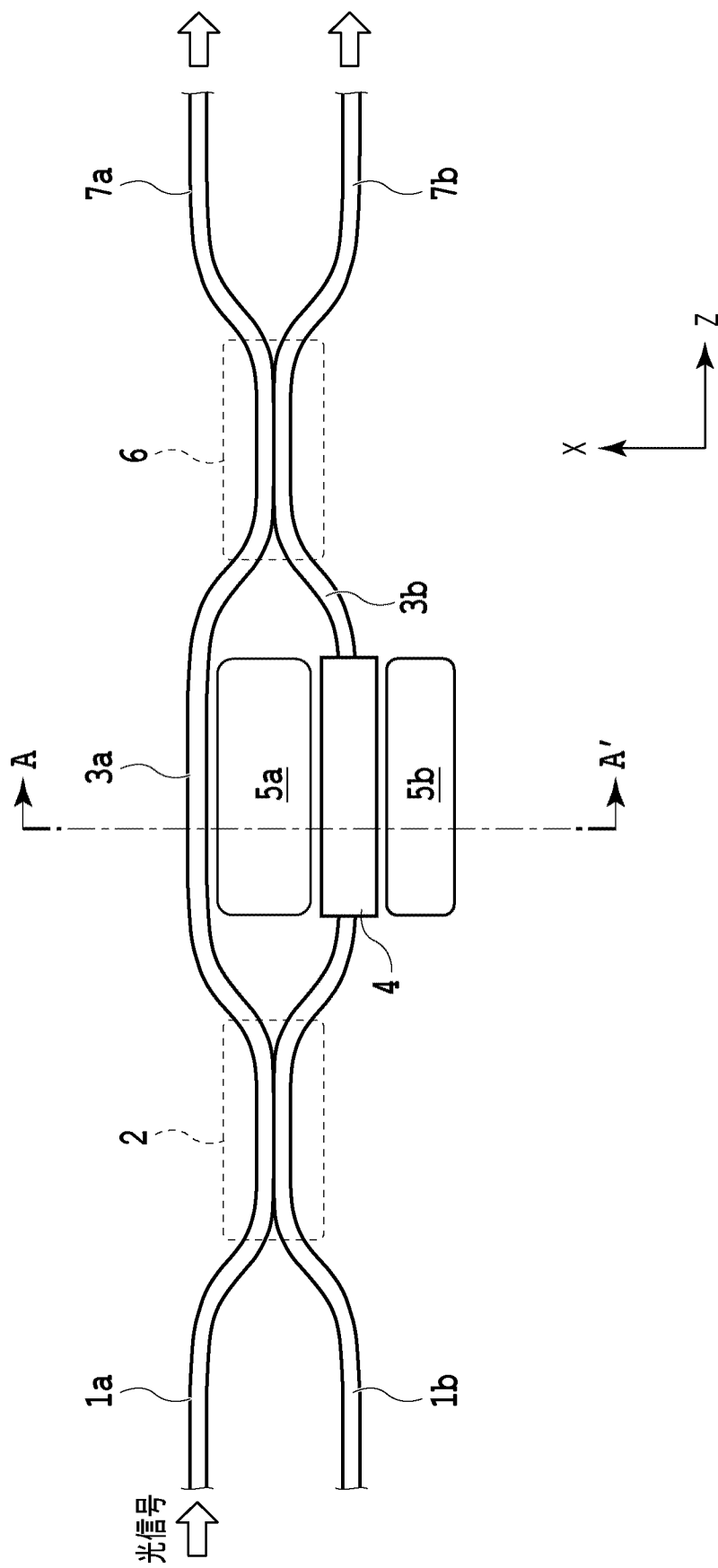
[請求項8]

アンダークラッドの上に光導波路コアおよびオーバークラッドを形成するステップと、

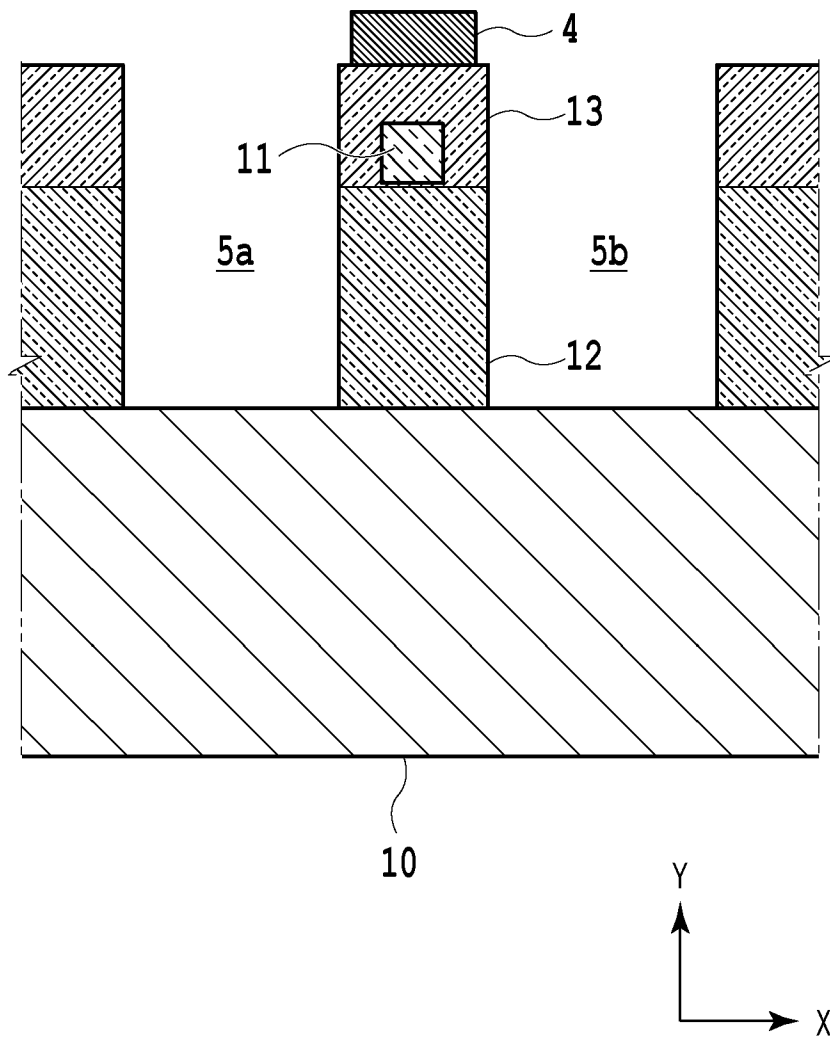
位相変調素子の光導波路の両脇に断熱溝を形成し、位相変調素子の位相シフトのヒータと電気配線を取り付けるステップと、

をさらに備える請求項6または7に記載の光信号処理装置の製造方法。

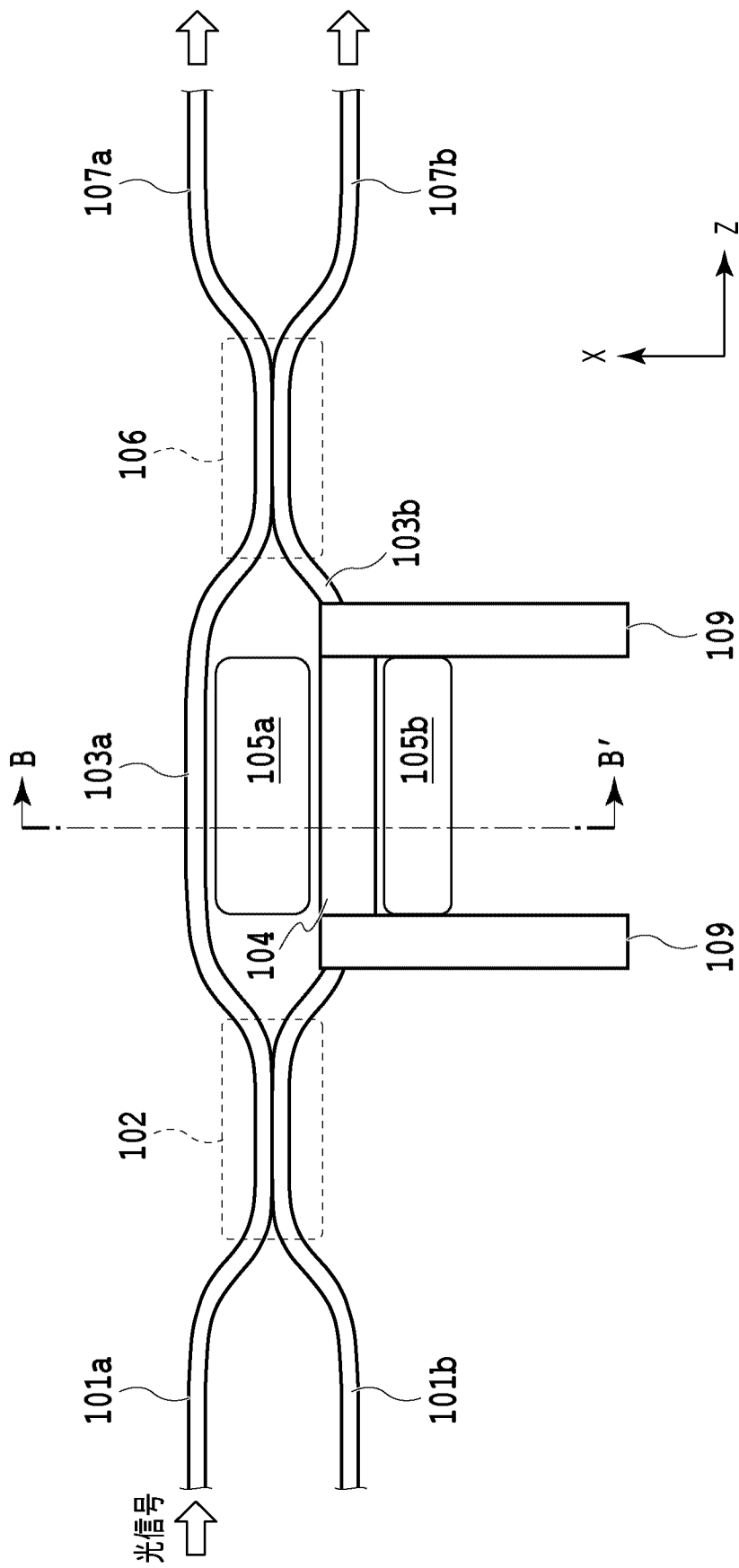
[図1]



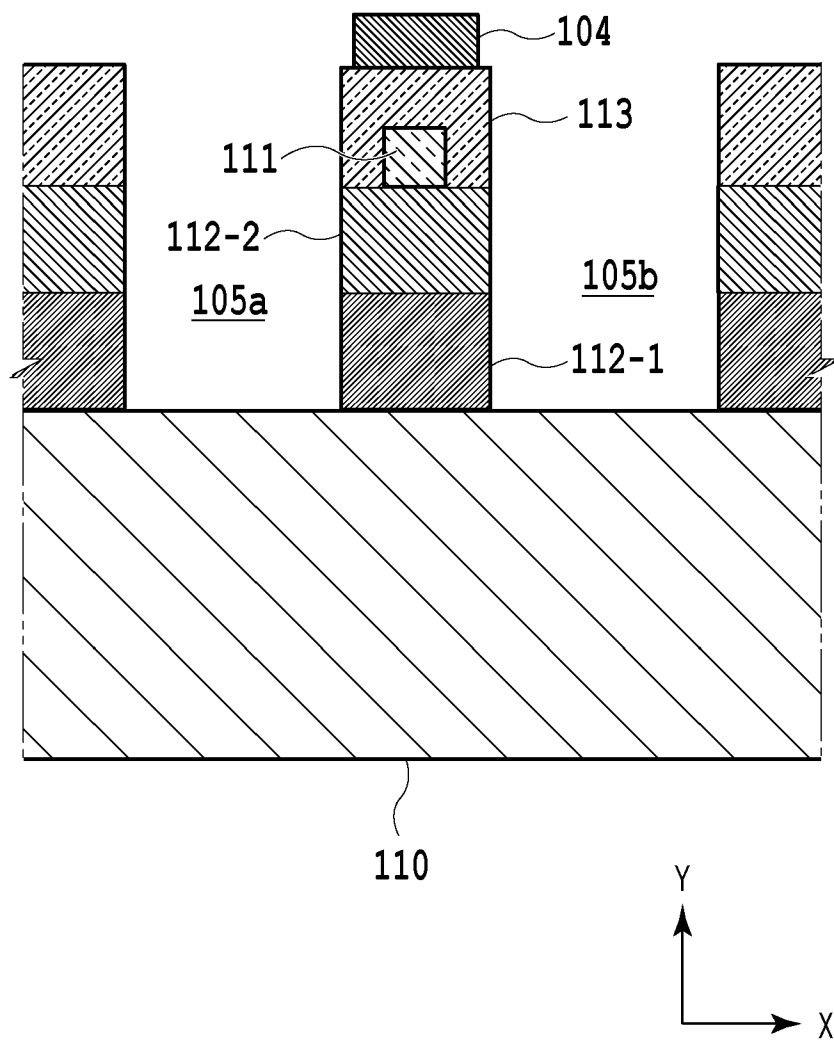
[図2]



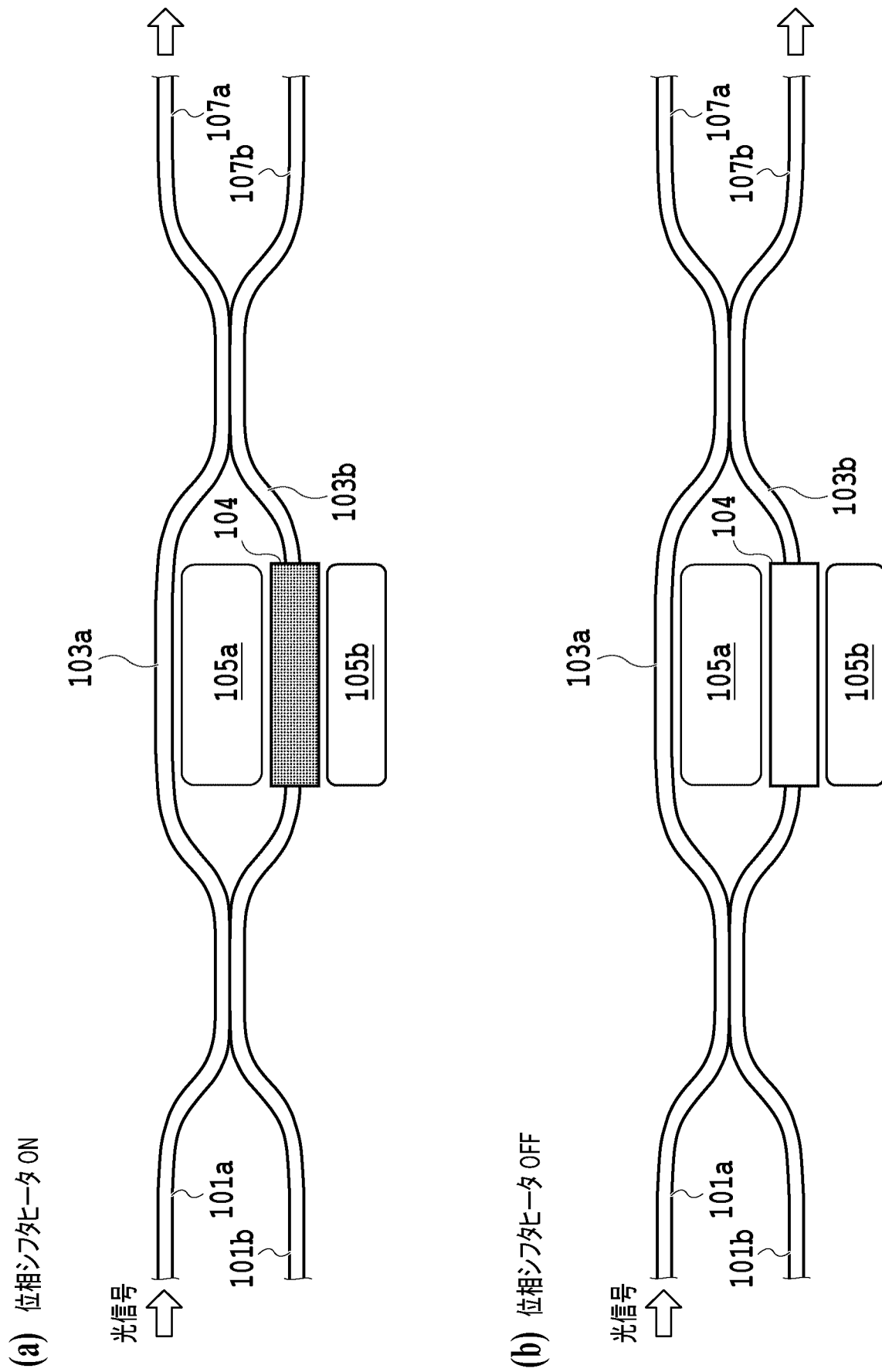
[図3]



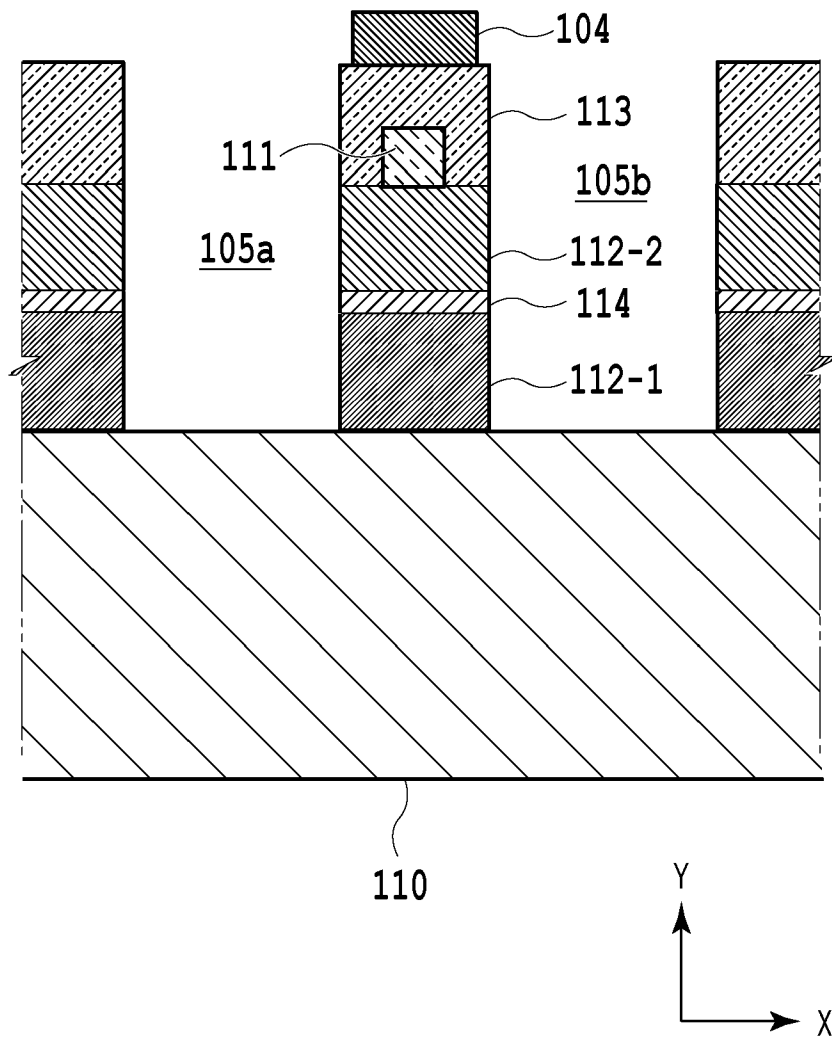
[図4]



[図5]

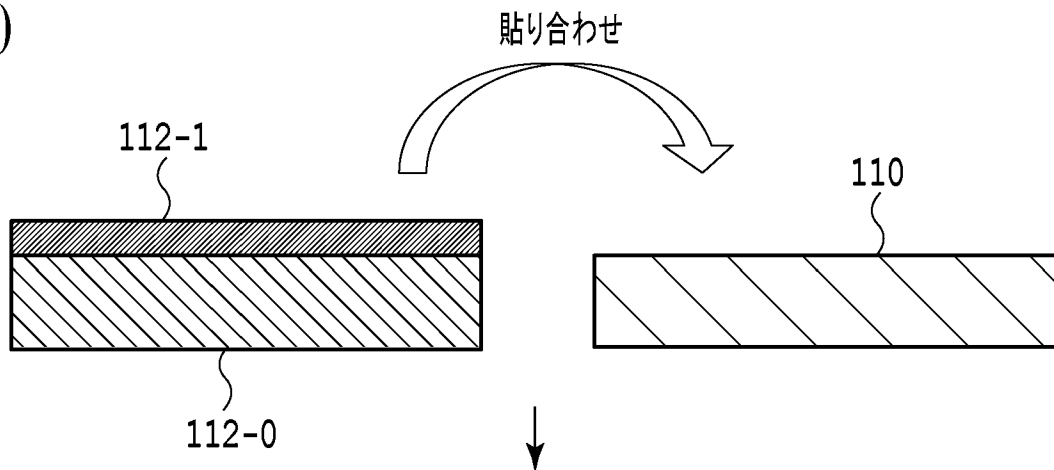


[図6]

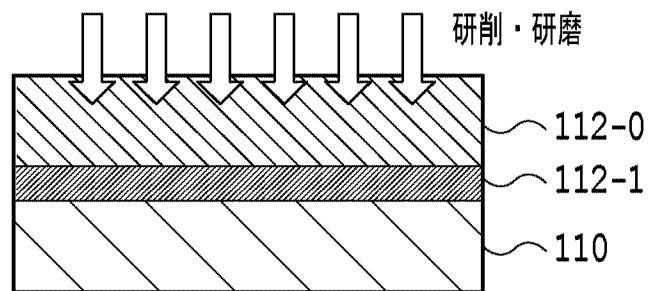


[図7]

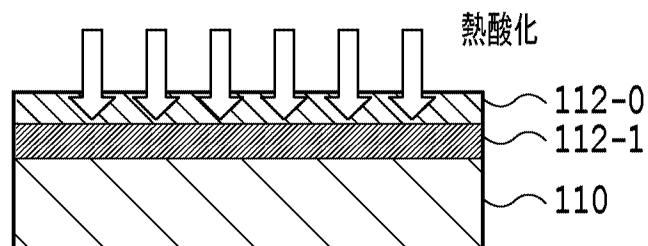
(a)



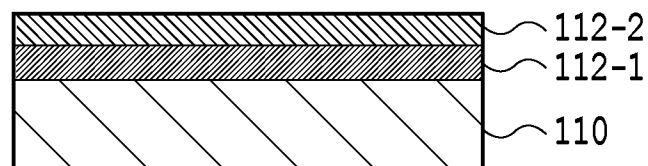
(b)



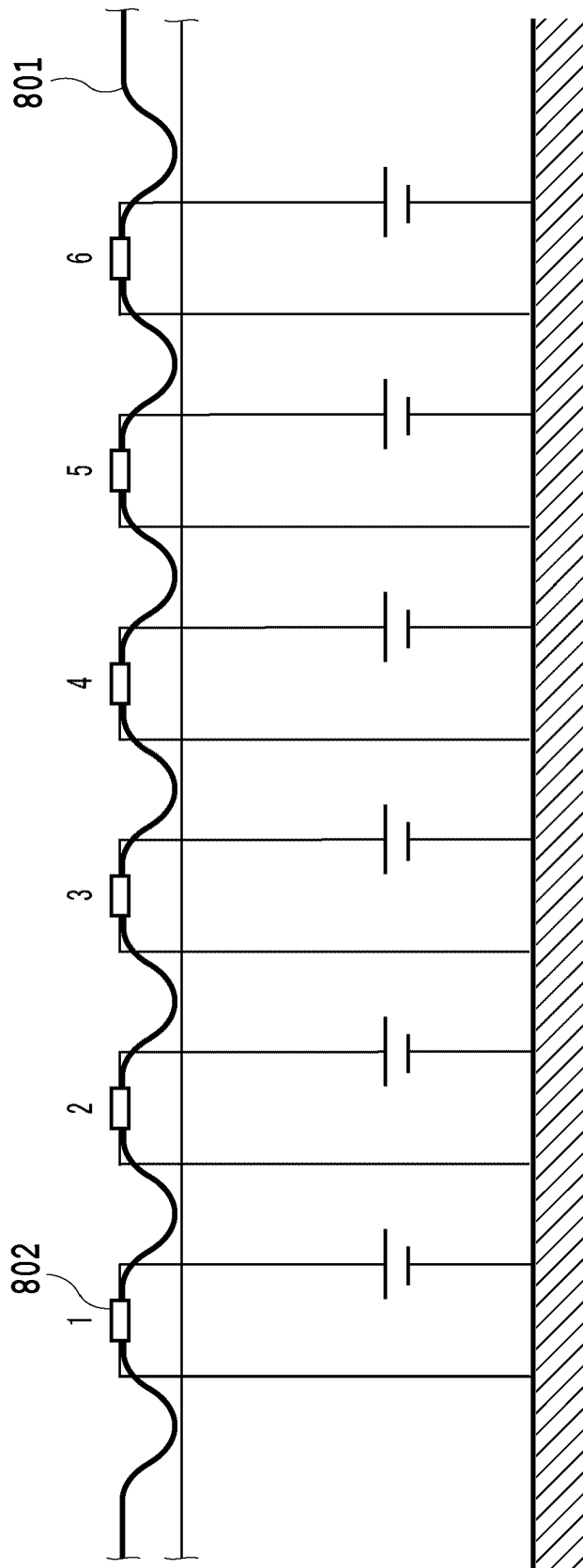
(c)



(d)



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/050556

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/01 (2006.01)

FI: G02F1/01 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/01

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-104451 A (SHIN-ETSU CHEMICAL CO., LTD.) 24.04.1998 (1998-04-24) paragraphs [0011]-[0017], fig. 1	1, 3-5
Y	JP 2002-162526 A (SHIN-ETSU CHEMICAL CO., LTD.) 07.06.2002 (2002-06-07) paragraphs [0022]-[0030], fig. 1	1, 4-5
Y	JP 2001-51144 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 23.02.2001 (2001-02-23) paragraphs [0023]- [0025], fig. 1-2	1, 3-5, 8
X	paragraphs [0023]-[0025], fig. 1-2	7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 March 2020 (09.03.2020)

Date of mailing of the international search report

24 March 2020 (24.03.2020)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/050556

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-85868 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 18.03.2004 (2004-03-18) paragraphs [0014]-[0021], fig. 1-2	1-5, 8 6
X	paragraphs [0014]-[0021], fig. 1-2	
Y	JP 2004-45453 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 12.02.2004 (2004-02-12) paragraphs [0002], [0021], [0028], [0059], fig. 1-2	1-5, 8
A	US 2003/0040135 A1 (TRAMMELI, P.S.) 27.02.2003 (2003-02-27) entire text, all drawings	1-8
A	JP 2017-142423 A (FURUKAWA ELECTRIC CO., LTD.) 17.08.2017 (2017-08-17) entire text, all drawings	1-8
A	BAUTERS. J. F. et al., "Planar waveguides with less than 0.1 dB/m propagation loss fabricated with wafer bonding", OPTICS EXPRESS, 21 November 2011, vol. 19, no. 24, 24090-24100, entire text, all drawings	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/050556

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 10-104451 A	24 Apr. 1998	(Family: none)	
JP 2002-162526 A	07 Jun. 2002	US 2002/0064360 A1 paragraphs [0042]- [0052], fig. 1 EP 1209493 A1 KR 10-2002-0040551 A	
JP 2001-51144 A	23 Feb. 2001	(Family: none)	
JP 2004-85868 A	18 Mar. 2004	(Family: none)	
JP 2004-45453 A	12 Feb. 2004	(Family: none)	
US 2003/0040135 A1	27 Feb. 2003	(Family: none)	
JP 2017-142423 A	17 Aug. 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G02F 1/01(2006.01)i FI: G02F1/01 C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G02F1/01		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-104451 A（信越化学工業株式会社）24.04.1998（1998-04-24） 段落0011-0017, 図1	1, 3-5
Y	JP 2002-162526 A（信越化学工業株式会社）07.06.2002（2002-06-07） 段落0022-0030, 図1	1, 4-5
Y	JP 2001-51144 A（日本電信電話株式会社）23.02.2001（2001-02-23） 段落0023-0025, 図1-2	1, 3-5, 8
X	段落0023-0025, 図1-2	7
Y	JP 2004-85868 A（松下電器産業株式会社）18.03.2004（2004-03-18） 段落0014-0021, 図1-2	1-5, 8
X	段落0014-0021, 図1-2	6
Y	JP 2004-45453 A（住友電気工業株式会社）12.02.2004（2004-02-12） 段落0002, 0021-0028, 0059, 図1-2	1-5, 8
A	US 2003/0040135 A1（TRAMMELL, P.S.）27.02.2003（2003-02-27） 全文、全図	1-8
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.03.2020		国際調査報告の発送日 24.03.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 宙子 2L 9316 電話番号 03-3581-1101 内線 3295

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-142423 A (古河電気工業株式会社) 17.08.2017 (2017 - 08 - 17) 全文, 全図	1-8
A	BAUTERS, J.F. et al., Planar waveguides with less than 0.1 dB/m propagation loss fabricated with wafer bonding, OPTICS EXPRESS , 2011.11.21, VOL.19, NO.24, 24090-24100 全文, 全図	1-8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/050556

引用文献			公表日	パテントファミリー文献	公表日
JP	10-104451	A	24.04.1998	(ファミリーなし)	
JP	2002-162526	A	07.06.2002	US 2002/0064360 A1	
				0042-0052, 図1	
				EP 1209493 A1	
				KR 10-2002-0040551 A	
JP	2001-51144	A	23.02.2001	(ファミリーなし)	
JP	2004-85868	A	18.03.2004	(ファミリーなし)	
JP	2004-45453	A	12.02.2004	(ファミリーなし)	
US	2003/0040135	A1	27.02.2003	(ファミリーなし)	
JP	2017-142423	A	17.08.2017	(ファミリーなし)	