



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월14일
(11) 등록번호 10-1676186
(24) 등록일자 2016년11월08일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) H01L 21/02 (2006.01)
H01L 21/324 (2006.01) H01L 35/34 (2006.01)
(52) CPC특허분류
H01L 21/28052 (2013.01)
H01L 21/02216 (2013.01)
(21) 출원번호 10-2015-0123099
(22) 출원일자 2015년08월31일
심사청구일자 2015년08월31일
(56) 선행기술조사문헌
W02014209834 A2*
US20130256751 A1*
JP09232264 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산대학교 산학협력단
울산광역시 남구 대학로 93(무거동)
(72) 발명자
조성래
부산광역시 해운대구 해운대해변로 349-25, 101동
1301호 (중동, 해운대중동두산위브아파트)
최정용
울산광역시 남구 대학로 93 (무거동)
(뒷면에 계속)
(74) 대리인
특허법인다나

전체 청구항 수 : 총 8 항

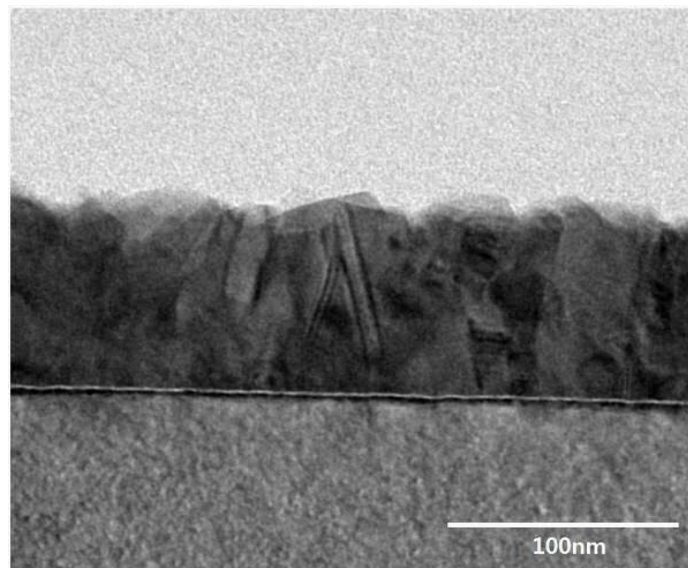
심사관 : 강병섭

(54) 발명의 명칭 Fe₂SiO₄계 화합물을 포함하는 반도체 소재 및 이의 제조방법

(57) 요약

본 발명은 Fe₂SiO₄계 화합물을 포함하는 반도체 소재 및 이의 제조방법에 관한 것으로, 본 발명에 따르면 분자빔 에피택시법(molecular beam epitaxy, MBE)을 이용하여 비교적 낮은 온도에서도 다결정형 스피넬 구조를 갖는 Fe₂SiO₄계 화합물을 포함하는 반도체 소재를 용이하게 제조할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02595 (2013.01)

H01L 21/02631 (2013.01)

H01L 21/324 (2013.01)

H01L 35/34 (2013.01)

(72) 발명자

신유리미

울산광역시 중구 유곡로 10, 207동 502호 (우정동,
선경2차아파트)

등 안 투안

울산 남구 대학로

원 반 캉

울산 남구 대학로

이 발명을 지원한 국가연구개발사업

과제고유번호 2013-1071

부처명 산업통상자원부

연구관리전문기관 한국에너지기술평가원

연구사업명 에너지기술개발사업

연구과제명 전자구조변형과 최적도핑을 통한 ZT=2.5 고효율 전이금속반도체 열전 신물질 개발(1)

기 여 율 1/1

주관기관 울산대학교 산학협력단

연구기간 2013.12.01 ~ 2014.09.30

명세서

청구범위

청구항 1

규소(Si)를 함유하는 기재; 및
상기 기재상에 증착된 다결정형 스피넬 구조의 Fe_2SiO_4 계 화합물을 포함하며,
평균 두께가 0.01 내지 600 nm인 반도체 소재.

청구항 2

삭제

청구항 3

산소(O) 분위기 하에서, 규소(Si)를 함유하는 기재 상에 철(Fe)을 증착하여, Fe_2SiO_4 계 화합물을 함유하는 다결정형 구조의 막을 형성하는 단계를 포함하며,
상기 증착은, 200 내지 700 °C 범위의 온도에서 수행되는 반도체 소재의 제조방법.

청구항 4

삭제

청구항 5

제 3 항에 있어서,
증착은, 분자빔 에피택시법에 의해 수행되는 반도체 소재의 제조방법.

청구항 6

제 3 항에 있어서,
증착 압력은, 10^{-5} 내지 10^{-10} Torr인 반도체 소재의 제조방법.

청구항 7

제 3 항에 있어서,
증착 속도는, 0.05 내지 2 Å/s인 반도체 소재의 제조방법.

청구항 8

제 3 항에 있어서,
다결정형 구조의 막을 형성하는 단계 이전에,

상기 기재를 표면 처리하는 단계를 더 포함하는 반도체 소재의 제조방법.

청구항 9

제 8 항에 있어서,

기재를 표면처리 하는 단계는,

세척하는 단계; 및

열처리 하는 단계 중 어느 하나 이상을 포함하는 반도체 소재의 제조방법.

청구항 10

제 9 항에 있어서,

열처리 하는 단계는, 온도 200 내지 900 °C에서 수행되는 반도체 소재의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 Fe_2SiO_4 계 화합물을 포함하는 반도체 소재 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 공지된 반도체화합물 물질은 원소주기율표에서 III주족원소 및 V주족원소의 조합으로 구현될 수 있다. 대표적인 것으로는 갈륨비소(GaAs: Gallium Arsenide)가 있으며, 이는 고주파기술이나 광전자기술에서 기재로 활용된다. 특히, 최근에는 청색 LED(Light Emitting Diode)와 같은 광전자소자의 제조분야에서 이들 반도체화합물 물질, 특히 질화갈륨(GaN: Gallium Nitride)에 대한 관심이 있어왔다.

[0003] 반도체화합물 물질의 질화물은 III-N 물질로 알려져 있다. 여기서 "III"은 적어도 하나의 알루미늄(Al), 갈륨(Ga) 및 인듐(In)에서 선택된 원소주기율표 III주족원소를 가리키고, "N"은 V주족의 원소 질소를 가리킨다. 이들 물질은 독립 III-N 기관으로 제조될 수 있고, 이는 광전자소자나 초소형전자소자의 제조용 베이스기관으로 적합하다.

[0004] 산업용도에 있어서, 질화물계 발광다이오드 또는 레이저 다이오드는 Al_2O_3 (사파이어) 나 SiC(실리콘카바이드) 등의 원거리기관(remote substrate) 상에서 성장되는 것이 일반적이다.

[0005] 그러나, 원거리기관을 사용함으로써 인하여 결정 품질에 불리하게 작용할 수 있다. 왜냐하면, 결정격자가 서로 잘 정합하지 않기 때문이다. 이로 인해 소자들의 내구성 및 효율의 감소가 초래될 수 있다.

[0006] 한편, 자철광(Fe_3O_4)은 3개의 혼한 철 산화물인 FeO, Fe_2O_3 및 Fe_3O_4 중의 하나이며, 많은 중요한 기술 적용분야에 사용되고 있다. 상업적으로 "페로플루이드 (Ferofluid)"로 공지되어 있는 자철광 철 산화물 나노입자 분산액은 예를 들어 진공용기용 축밀봉, 다양한 전자장비에서의 발전 제동 및 항공전자공학, 로봇공학, 공작기계 및 자동차에서의 위치 감지에 광범위하게 사용되고 있다

[0007] 실리사이드(silicide)는 실리콘과 전이금속의 정량적인 화학비로 결합한 중간상 물질로써, 반도체 공정에서 실리사이드는 소자의 접촉 저항을 낮추기 위하여 널리 이용되고 있다.

[0008] Fe_2SiO_4 계 물질은 일반적으로는 철감람석(Fayalite)의 감람석 고용체(olivine solid-solution) 계열의 물질로 사방정계(orthorhombic) 결정구조를 갖고 있으며, 격자상수는 $a=4.82 \text{ \AA}$ $b=10.48 \text{ \AA}$ $c=6.09 \text{ \AA}$ 이다. 철감람석(Fayalite) 구조의 다른 물질로는 Mg_2SiO_4 와 Mn_2SiO_4 등이 해당된다. Fe_2SiO_4 계는 700~1200 °C의 고온과 40~70 kb의 고압에서 감람석(olivine) 구조의 Fe_2SiO_4 가 스핀넬(spinel) 구조로 변화하는 것이 알려져 있으나, 상기

조건에서는 제조 공정이 복잡하며, 반도체 소재로서의 품질이 저하된다는 문제점이 있었다.

[0009] 따라서, 성능이 우수할 뿐만 아니라, 간단한 공정으로도 Fe_2SiO_4 계 화합물을 포함하는 다결정형 스피넬 구조의 반도체 소재의 개발이 절실히 요구되고 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 대한민국공개특허 제10-2009-0122347호.

발명의 내용

해결하려는 과제

[0011] 본 발명의 목적은, 다결정형 스피넬(spinel) 구조의 Fe_2SiO_4 박막을 갖는 반도체 소재 및 이의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0012] 상기 목적을 달성하기 위하여,

[0013] 본 발명은 하나의 실시예에서,

[0014] 철(Fe), 규소(Si) 및 산소(O)원소를 함유하고,

[0015] 상기 철, 규소 및 산소원소는, 2 대 1 대 4 몰비로 구성되며,

[0016] 평균 두께가 0.01 내지 600 nm인 다결정형 스피넬 구조의 반도체 소재를 제공한다.

[0017] 또한, 본 발명은 하나의 실시예에서,

[0018] 규소(Si)를 함유하는 기제 상에 철(Fe)을 증착하여, 다결정형 구조의 막을 형성하는 단계를 포함하며,

[0019] 상기 증착은, 200 내지 700 °C 범위의 온도에서 수행되는 반도체 소재의 제조방법을 제공한다.

발명의 효과

[0020] 본 발명은, 분자빔 에피택시법(molecular beam epitaxy, MBE)을 이용하여, 비교적 낮은 온도에서도 다결정형 스피넬 구조를 갖는 Fe_2SiO_4 계 화합물을 포함하는 반도체 소재를 용이하게 제조할 수 있다.

도면의 간단한 설명

[0021] 도 1은, 실시예 1에 대한 단면 TEM 사진이다.

도 2 및 3은 각각 실시예 2의 단면 및 표면 SEM 사진이다.

도 4 및 5는 각각 실시예 3의 단면 및 표면 SEM 사진이다.

도 6 및 7은, 실시예 1에 대해 HAADF(high-angle annular dark-field imaging)를 이용한 에너지 분산 분광(energy dispersive spectroscopy, EDS)을 측정한 결과이며, 도 7에서 A, B 및 C 는 각각 철, 규소 및 산소를 측정한 결과이다.

도 8은 실시예 1 내지 3에 대한 X선 회절(XRD) 측정결과를 도시한 그래프이다.

도 9는 실시예 1의 온도에 따른 전기 비저항을 도시한 그래프이다.

도 10은 실시예 1의 온도에 따른 제벡 계수(Seebeck coefficient)를 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명은 다양한 변형을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고

상세한 설명에 상세하게 설명하고자 한다.

- [0023] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0024] 본 발명에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0025] 또한, 본 발명에서 첨부된 도면은 설명의 편의를 위하여 확대 또는 축소하여 도시된 것으로 이해되어야 한다.
- [0026] 이하, 본 발명에 대하여 도면을 참고하여 상세하게 설명하고, 도면 부호에 관계없이 동일하거나 대응하는 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0027] 본 발명에서 "중량부"란 성분간의 함량 비율을 의미한다.
- [0028] 이하, 본 발명에 따른 반도체 소재를 상세히 설명한다.
- [0029] 하나의 예로서, 본 발명에 따른 반도체 소재는 철(Fe), 규소(Si) 및 산소(O)원소를 함유하고,
- [0030] 상기 철, 규소 및 산소원소는, 2 대 1 대 4 몰비로 구성되며,
- [0031] 평균 두께가 0.01 내지 600 nm인 다결정형 스피넬 구조일 수 있다.
- [0032] 본 발명에 따른 반도체 소재는 규소 기판에 철과 산소가 다결정형으로 증착된 구조일 수 있으며, 이때, 규소 기판은 단결정 또는 다결정 형태일 수 있다. 구체적으로 상기 규소 기판은 실리콘 웨이퍼일 수 있으며, 예를 들면 반절연, n형 및 p형 실리콘 웨이퍼 중 하나 이상일 수 있다.
- [0033] 본 발명은 일실시예에서 상기 반도체 소재의 결정구조와 화합물 조성을 확인하기 위하여 X선 회절 및 에너지 분산 분광을 측정하였다. 그 결과, 격자상수는 8.532 Å으로 나타났다. 또한, 반도체 소재에 함유된 철(Fe) 및 규소(Si)의 함량 비율(Mn/Si)이 약 2:1인 것으로 확인되었다. 이러한 결과로부터 상기 반도체 소재는 Fe₂SiO₄계 화합물을 함유하는 것을 알 수 있다(실험예 1 참조).
- [0034] 하나의 예로서, 본 발명에 따른 반도체 소재의 평균 두께는, 구체적으로 0.01 내지 600 nm, 1 내지 590 nm, 10 내지 570 nm, 20 내지 550 nm, 50 내지 530 nm, 또는 60 내지 500 nm 일 수 있다. 반도체 소재의 평균 두께가 상기 범위일 경우, 온도가 증가됨에 따라 전기 비저항이 낮은 값을 가지게 되며, 이에 따라 반도체 소재로써의 물성이 더욱 향상되는 효과가 있다(도 9 참조).
- [0035] 이하 본 발명에 따른 반도체 소재의 제조방법을 상세히 설명한다.
- [0036] 본 발명에 따른 반도체 소재의 제조방법은,
- [0037] 규소(Si)를 함유하는 기재 상에 철(Fe)을 증착하여, 다결정형 구조의 막을 형성하는 단계를 포함하며,
- [0038] 상기 증착은, 200 내지 700 °C 범위의 온도에서 수행될 수 있다.
- [0039] 상기 반도체 소재의 제조방법에서 다결정형 구조의 막은, 스피넬 구조일 수 있으며, Fe₂SiO₄계 화합물을 함유할 수 있다.
- [0040] 본 발명에 따른 반도체 소재의 제조방법은 분자빔 에피택시법(molecular beam epitaxy, MBE)을 이용하여 규소(Si)를 함유하는 기재 상에 철(Fe)을 규칙적인 분자선 형태로 증착시킴으로써 Fe₂SiO₄로 나타내는 화합물의 결정이 일정하게 배열된 다결정형 구조의 박막을 형성할 수 있다.
- [0041] 하나의 예로서, 본 발명에 따른 반도체 소재의 제조방법에서 규소(Si)를 함유하는 기재 상에 철(Fe)을 증착할 때, 주입가스는 산소일 수 있다. 이때 산소는 원자산소일 수 있다.
- [0042] 또한, 상기 증착은, 200 내지 700 °C 범위의 온도에서 수행될 수 있으며, 보다 구체적으로는, 300 내지 500 °C 범위의 온도에서 수행될 수 있다.
- [0043] 본 발명에 따른 분자빔 에피택시법을 수행하기 위하여, 증착 압력은, 10⁻⁵ 내지 10⁻¹⁰ Torr로 제어할 수 있으며,

구체적으로는 10^{-6} 내지 10^{-9} Torr 또는 8.2×10^{-6} 로 제어할 수 있다. 이와 더불어, 증착 속도는, 석영결정미량분석기를 이용하여 결정될 수 있으며, 구체적으로 0.05 내지 2 Å/s, 보다 구체적으로는 0.1 내지 0.5 Å/s일 수 있다.

[0044] 한편, 상기 열전소재의 제조방법은, 박막을 형성하는 단계 이전에, 규소(Si)를 함유하는 기재를 표면 처리하는 단계를 더 포함할 수 있다.

[0045] 이때, 기재를 표면처리하는 단계는, 세척하는 단계 및 열처리 하는 단계 중 어느 하나 이 상을 포함할 수 있다.

[0046] 상기 세척하는 단계는, 기재 표면에 존재하는 불순물과 함께 기재 표면에 형성된 산화막을 제거할 수 있는 방법이라면 특별히 제한되지 않고 사용될 수 있다. 예를 들어, 실리콘(Si) 웨이퍼를 메탄올로 세척하고, 세척된 웨이퍼를 희석된 불소산에 일정시간 담궈 유지함으로써 수행될 수 있다.

[0047] 상기 열처리 하는 단계는, 구체적으로 기재를 세척하는 단계 이후에 수행될 수 있으며, 이때 열처리 온도는 200 내지 900 °C 또는 500 내지 700 °C 일 수 있다. 또한, 상기 열처리 수행 시간은 5 내지 60분, 10 내지 50 분 또는 20 내지 40분 동안 수행할 수 있다.

[0048] 상기 기재 표면처리하는 단계를 수행할 경우, 철 및 산소의 증착을 용이하게 하는 이점이 있다.

[0049] 본 발명에 따른 반도체 소재의 제조방법은 기재 상에 적층되는 분자빔 에피택시법을 수행하기 위한 압력, 철의 증착 속도 및 증착 온도 조건을 상기 범위로 제어함으로써, Fe_2SiO_4 계 화합물을 포함하고, 증착량이 적절하여 향상된 물성을 구현하기에 유효한 두께를 갖는 박막 형태의 반도체 소재를 효과적으로 제조할 수 있다.

[0050] 나아가, 본 발명은 하나의 실시예에서,

[0051] Fe_2SiO_4 로 나타내는 화합물을 포함하고,

[0052] 상기 화합물의 결정이 규칙적으로 배열된 다결정형 구조의 박막 형태를 갖는 반도체 소재; 및

[0053] 박막 형태의 열전소재 일면에 규소(Si)를 함유하는 기재를 더 포함하는 반도체 소자를 제공한다:

[0054] 이때, 상기 반도체 소자는 박막 형태의 반도체 소재의 일면에 규소(Si)를 함유하는 기재, 예를 들어 실리콘(Si) 웨이퍼와 같은 기재를 더 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0055] 이하, 본 발명을 실시예 및 실험예에 의해 보다 상세히 설명한다.

[0056] 단, 하기 실시예 및 실험예는 본 발명을 예시하는 것일 뿐, 본 발명의 내용이 하기 실시예 및 실험예에 한정되는 것은 아니다.

[0057] 실시예 1

[0058] 가로 3 cm × 세로 3 cm의 반절연(semi-insulating) 실리콘(Si) 웨이퍼[1,0,0] 표면을 메탄올로 세척하고, 희석된 불소산(HF, hydrofluoric acid) 용액에 담궈 불순물과 웨이퍼 표면의 산화물층을 제거하였다. 그 후, 챔버 내에 넣어 30분간 873K(600°C)로 예열하였다. 이때, 챔버의 기본 압력은 10^{-9} Torr였다. 주입 가스를 산소로 하고, 철(Fe)을 분자빔증발원(effusion cell)으로 증발시키는 분자빔 에피택시(MBE, molecular beam epitaxy)를 수행하여 실리콘 웨이퍼 상에 Fe_2SiO_4 계 화합물을 함유하는 박막 구조의 반도체 소재를 제조하였다. 이때, 8.2×10^{-6} Torr의 산소 압력 하에서, 철의 증착은 0.2 Å/s의 속도로 수행되었다. 그 결과 박막구조의 반도체 소재의 두께는 약 80 nm 였으며, 도 1에 단면 TEM 사진을 나타내었다.

[0059] 실시예 2

[0060] 반절연(semi-insulating) 실리콘(Si) 웨이퍼[1,0,0] 대신 n형 실리콘(Si) 웨이퍼[1,0,0]를 사용한 것을 제외하고는 실시예 1과 동일한 방법으로 제조하였다. 제조된 박막구조의 반도체 소재의 두께는 약 80 nm였으며, 도 2 및 도 3에 SEM 사진으로 나타내었다. 여기서 도 2는 단면 사진이고, 도 3은 표면 사진이다.

[0061] 실시예 3

[0062] 반절연(semi-insulating) 실리콘(Si) 웨이퍼[1,0,0] 대신 P형 실리콘(Si) 웨이퍼[1,0,0]를 사용한 것을 제외하고는 실시예 1과 동일한 방법으로 제조하였다. 제조된 박막구조의 반도체 소재의 두께는 약 86 nm였으며, 도 4 및 도 5에 SEM 사진으로 나타내었다. 여기서 도 4는 단면 사진이고, 도 5는 표면 사진이다.

[0063] **실시예 1**

[0064] 본 발명에 따른 반도체 소재에 포함된 화합물의 조성을 확인하기 위하여 하기와 같은 실험을 수행하였다.

[0065] 1) 에너지 분산 X선 분광 측정

[0066] 실시예 1에서 제조된 열전소재를 대상으로 HAADF(high-angle annular dark-field imaging)를 적용한 에너지 분산 분광기(energy dispersive spectroscopy, EDS)의 라인 스캐닝(line scanning)을 이용하여 조성을 분석하였다. 그 결과는 도 6 및 7에 나타내었으며, 도 7에서 A, B 및 C는 각각 철, 규소 및 산소의 분석 결과이다. 그 결과 철은 27.194몰%, 규소는 16.859몰%, 산소는 55.947몰% 함유하는 것을 확인할 수 있었다.

[0067] 구체적으로, 실시예 1에서 제조된 반도체 소재에 대해 철 및 규소의 함량을 측정한 결과, 그 함량 비율(Fe/Si)이 약 2:1인 것으로 확인되었다. 이는 상기 반도체 소재를 구성하는 화합물의 조성이 Fe_2SiO_4 임을 의미하는 것이다. 이러한 결과들로부터, 본 발명에 따른 반도체 소재는 Fe_2SiO_4 계 화합물을 포함하는 것을 알 수 있다.

[0068] 2) X선 회절 측정

[0069] 실시예 1 내지 3에서 제조된 반도체 소재의 박막에 대한 X선 회절을 측정하였다. 이때, X선 회절은 D/max-RC(Rigaku Co., Tokyo, Japan, Cu-K α 조사, 40 kV, 30 mA)를 사용하였으며, 1.5406 Å 파장을 0.02° /sec의 주사 속도로 주사하여 2θ 가 10 내지 90°인 범위 내에서 패턴을 얻었다. 측정된 결과를 도 8에 나타내었으며, 여기서 I, II 및 III는 각각 실시예 1 내지 3이다.

[0070] 도 8을 참조하면, 실시예 1 내지 3의 XDR패턴은 2θ 가 30.243, 35.606, 43.232, 57.166 및 62.756에서 나타났으며, 이는 Fe_2SiO_4 와 유사한 패턴을 보여주는 것을 알 수 있다. 따라서, 본 발명에 따른 반도체 소재는 Fe_2SiO_4 조성의 결정구조를 갖는 것을 알 수 있었다. 또한, 실시예 1에서 제조된 반도체 소재의 경우 격자상수는 8.352 Å으로 나타났다.

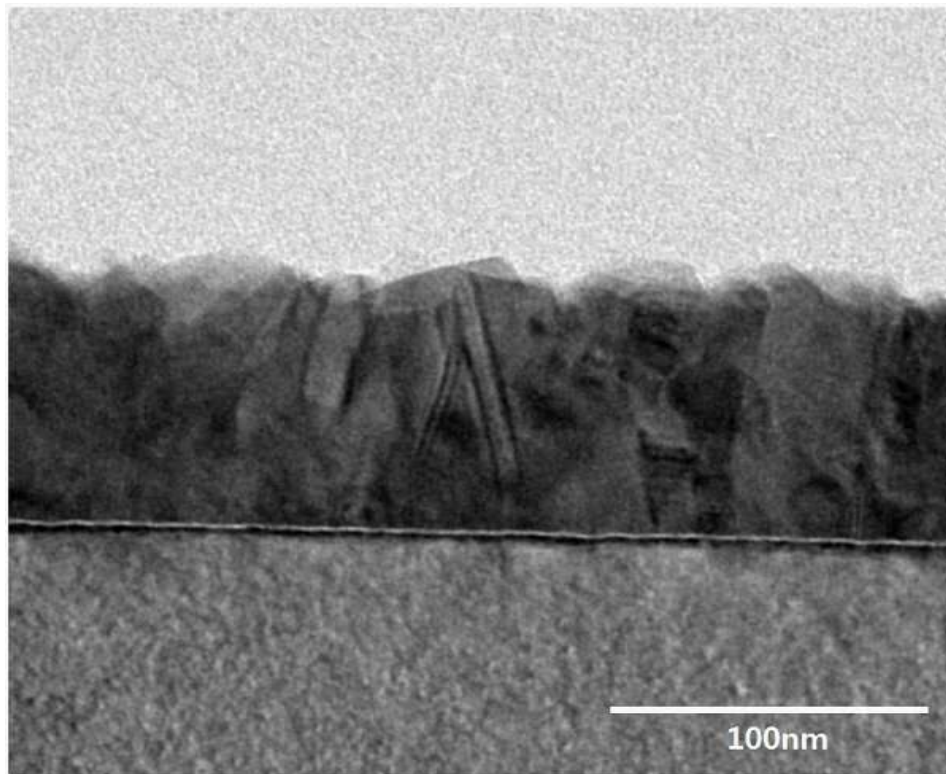
[0071] **실시예 2**

[0072] 본 발명에 따른 반도체 소재의 물성을 평가하기 위하여 실시예 1에서 제조된 반도체 소재를 대상으로 전기 비저항 및 제백 계수(Seebeck coefficient)를 측정하였다.

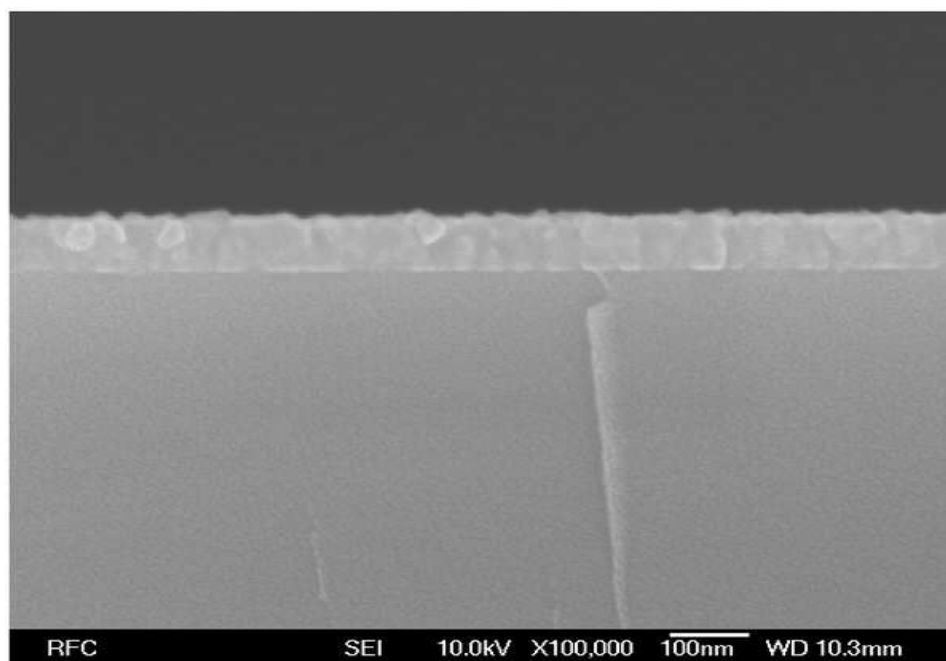
[0073] 구체적으로, 실시예 1의 반도체 소재를 가로 5 mm × 세로 5 mm의 크기로 절단하고, 4-탐침법을 이용하여 재단된 소재의 전기 비저항을 0 내지 420K 범위에서 측정하였다. 또한, 상기 소재의 양단에 온도차를 주어 발생하는 열기전력(thermal electromotive force)을 측정하는 방식을 이용하여 제백 계수를 측정하였다. 도 9에 온도에 따른 전기 비저항 측정 결과를 나타내었으며, 통상적인 반도체 소재와 같이 온도가 증가함에 따라 전기 비저항 값이 감소하는 것을 확인할 수 있다. 도 10은 온도에 따른 제백 계수의 변화를 나타내는 것으로, 이를 참조하면, 본 발명에 따른 반도체 소재는 우수한 물성을 나타내는 것을 알 수 있다.

도면

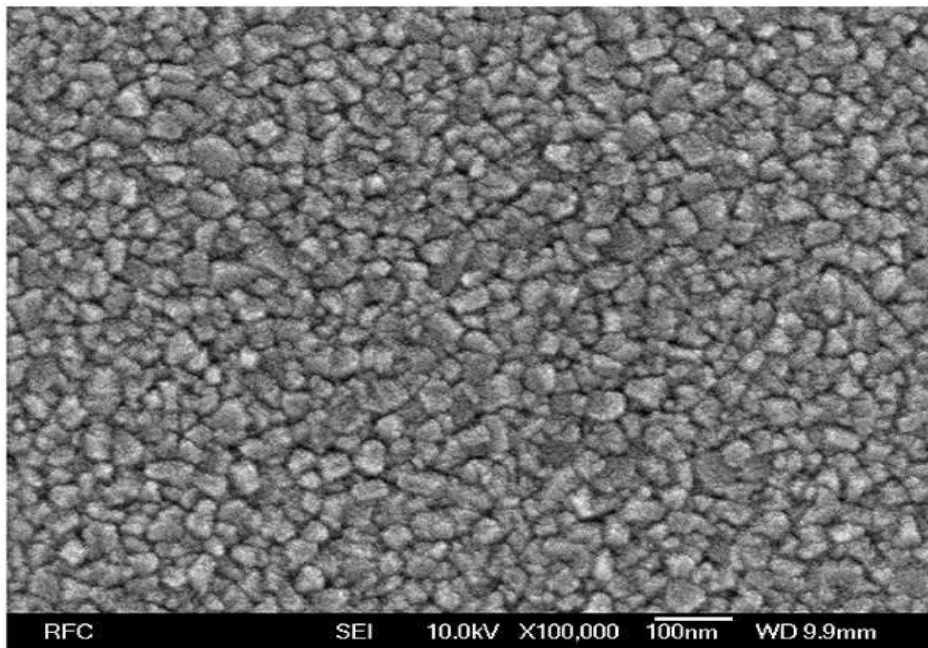
도면1



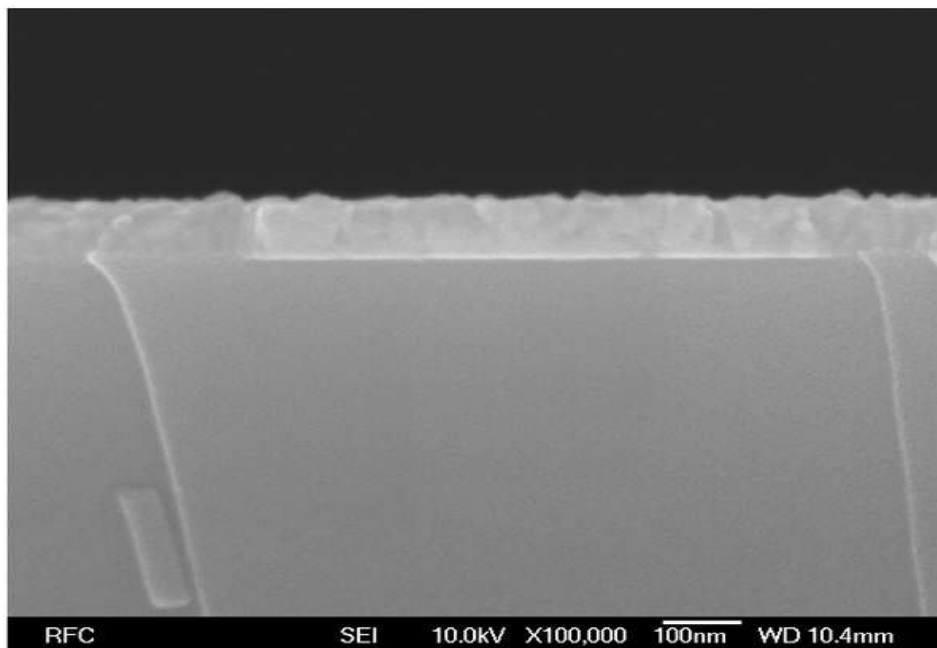
도면2



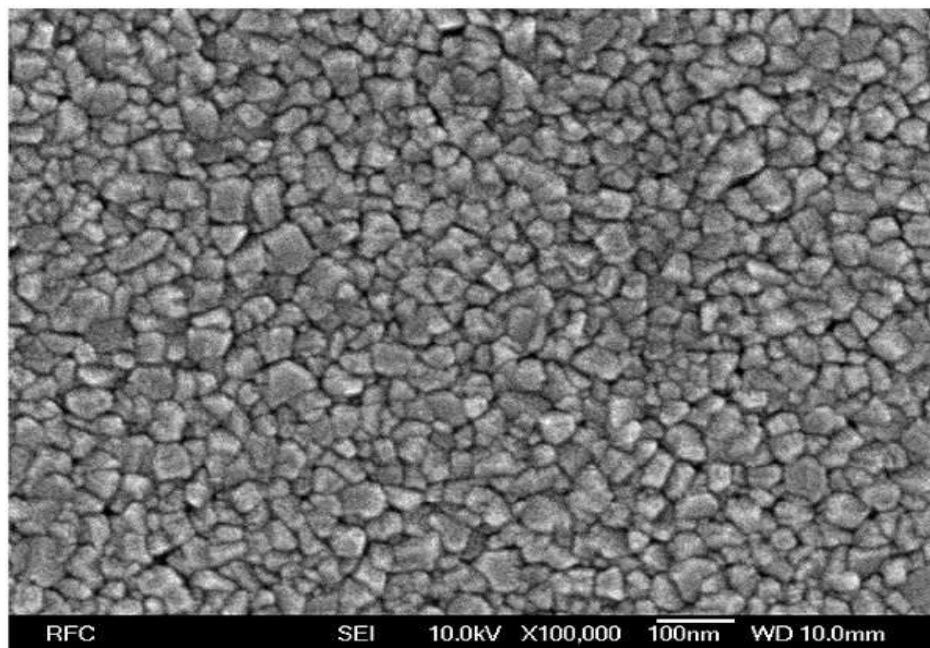
도면3



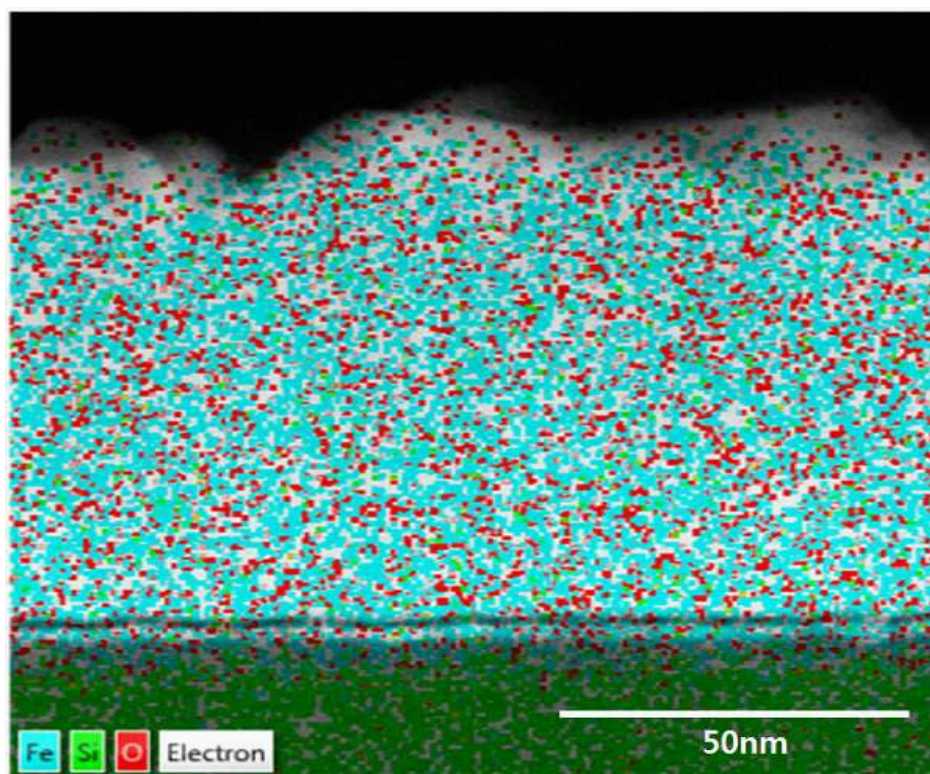
도면4



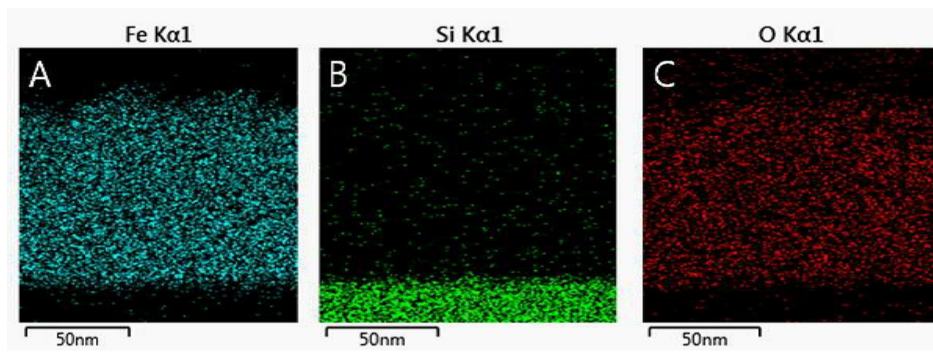
도면5



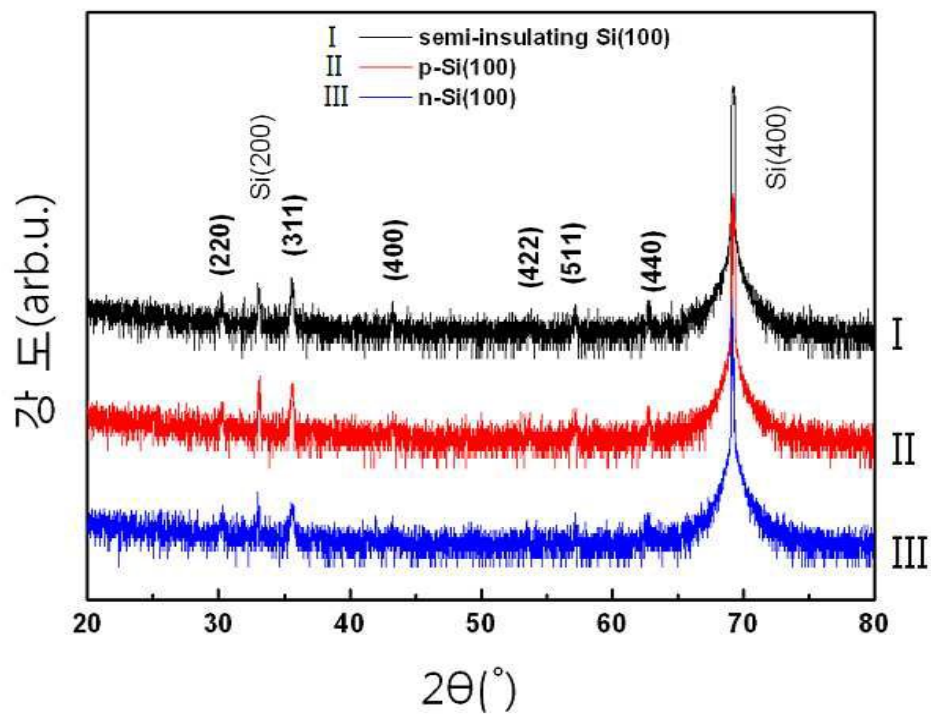
도면6



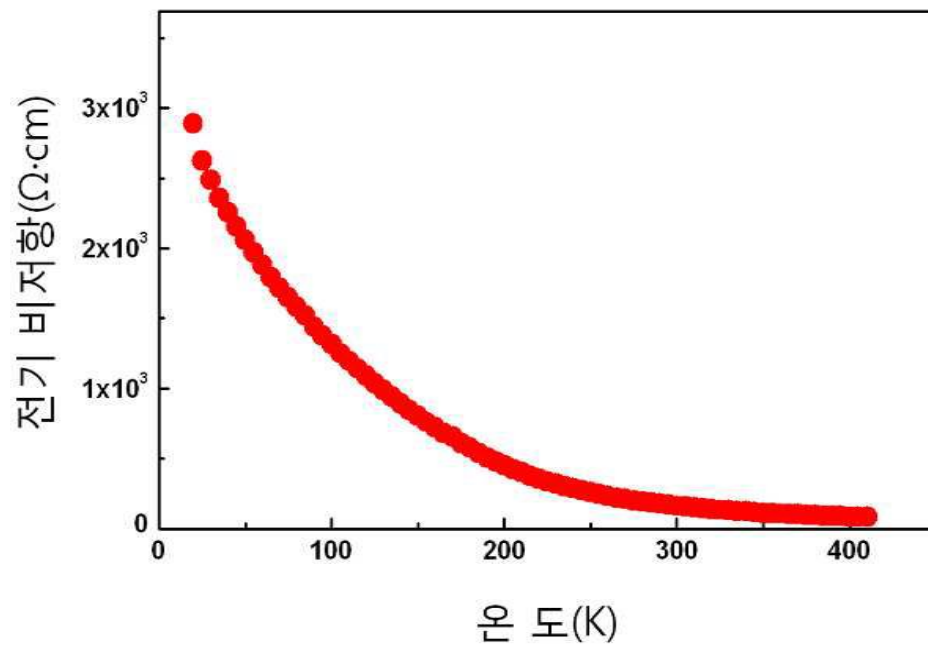
도면7



도면8



도면9



도면10

