

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 19 年 12 月 13 日 (2007.12.13)

【公表番号】特表 2006-503448 (P2006-503448A)
 【公表日】平成 18 年 1 月 26 日 (2006.1.26)
 【年通号数】公開・登録公報 2006-004
 【出願番号】特願 2003-553710 (P2003-553710)
 【国際特許分類】

H 0 3 H 9/17 (2006.01)
H 0 3 H 3/02 (2006.01)
H 0 1 L 41/09 (2006.01)
H 0 1 L 41/22 (2006.01)
H 0 1 L 41/18 (2006.01)

【F I】

H 0 3 H 9/17 F
 H 0 3 H 3/02 B
 H 0 1 L 41/08 U
 H 0 1 L 41/08 C
 H 0 1 L 41/22 Z
 H 0 1 L 41/18 1 0 1 Z

【誤訳訂正書】
 【提出日】平成 19 年 7 月 12 日 (2007.7.12)

【誤訳訂正 1】
 【訂正対象書類名】特許請求の範囲
 【訂正対象項目名】全文
 【訂正方法】変更
 【訂正の内容】
 【特許請求の範囲】

【請求項 1】

基板上に形成された圧電薄膜共振器であって、
 前記圧電薄膜共振器は、
前記基板上に設けられたシード層と、
前記基板に近接し前記シード層に相對した第 1 表面と、前記基板の表面から遠位に位置
する第 2 表面とを含み、前記シード層の上に堆積された圧電材料の層と、
 前記圧電材料の層の前記第 1 表面と接触している部分を含み、非平面状である第 1 電極
 と、
 前記圧電材料の層の前記第 2 表面に接する第 2 電極と
 を備える、圧電薄膜共振器。

【請求項 2】

前記第 1 電極および前記第 2 電極が、前記圧電材料の層の前記第 1 表面および前記第 2 表面に堆積する、請求項 1 に記載の圧電薄膜共振器。

【請求項 3】

前記圧電材料の層が単結晶薄膜である、請求項 1 に記載の圧電薄膜共振器。

【請求項 4】

前記圧電材料の層が A l N である、請求項 3 に記載の圧電薄膜共振器。

【請求項 5】

前記圧電材料の層が Z n O である、請求項 3 に記載の圧電薄膜共振器。

【請求項 6】

前記圧電材料の層が c 軸配向させられた薄膜である、請求項 3 に記載の圧電薄膜共振器。

【請求項 7】

前記圧電材料の層が、
c 軸配向した部分と、
c 軸配向していない部分と
を備え、
少なくとも前記第 1 電極の一部および前記第 2 電極の一部が、前記圧電材料の層の前記 c 軸配向した部分と近接している、請求項 1 に記載の圧電薄膜共振器。

【請求項 8】

前記第 1 電極が、
第 1 平面部分と、
第 2 平面部分と
を備え、
前記第 1 平面部分および前記第 2 平面部分が異なる平面に表面をそれぞれ備える、請求項 1 に記載の圧電薄膜共振器。

【請求項 9】

基板にデバイスを形成する方法であって、
前記基板上に第 1 電極の第 1 部分を堆積させるステップと、
前記基板および前記第 1 電極の前記第 1 部分の一部分の上に、前記基板に近接した第 1 表面と前記基板から離間した第 2 表面を備える圧電層を堆積させるステップと、
前記圧電層の前記第 2 表面に第 2 電極を配置するステップと、
前記圧電層の下部および前記第 1 電極の前記一部分の下部にある前記基板の一部分を除去するステップと、
前記圧電層の前記第 1 表面上および前記第 1 電極の前記第 1 部分上に前記第 1 電極の第 2 部分を堆積させるステップと
を備える、方法。

【請求項 10】

前記圧電層は単結晶圧電薄膜である、請求項 9 に記載の方法。

【請求項 11】

前記圧電層の前記第 1 表面の一部分を除去するステップを更に備える、請求項 9 に記載の方法。

【請求項 12】

前記第 1 電極の前記第 1 部分の一部分を除去するステップを更に備える、請求項 11 に記載の方法。

【請求項 13】

前記第 1 電極の前記第 1 部分と前記第 1 電極の前記第 2 部分とを電氣的に接触させるステップを更に備える、請求項 9 に記載の方法。

【請求項 14】

基板にデバイスを形成する方法であって、
前記基板上に第 1 電極の第 1 部分を配置するステップと、
前記基板上および前記第 1 電極の前記第 1 部分の一部分の上に対して、前記基板に近接した第 1 表面と前記基板から離間した第 2 表面とを備える圧電層を配置するステップと、
前記圧電層の前記第 2 表面に第 2 電極を配置するステップと、
前記圧電層の下部および前記第 1 電極の前記一部分の下部に存在する前記基板の一部分を除去するステップと、
前記圧電層の前記第 1 表面上に対して、および前記第 1 電極の前記第 1 部分上に対して、前記第 1 電極の前記第 2 部分を配置するステップと
を備える、方法。

【請求項 15】

前記基板上にシード層を配置するステップを更に備える、請求項 1 4 に記載の方法。

【請求項 1 6】

前記シード層が非導電性である、請求項 1 5 に記載の方法。

【請求項 1 7】

前記圧電層の前記第 1 表面の一部を除去するステップを更に備える、請求項 1 4 に記載の方法。

【請求項 1 8】

前記圧電層の下部および前記第 1 電極の一部の下部に存在する前記シード層の一部を除去するステップを更に備える、請求項 1 5 に記載の方法。

【請求項 1 9】

前記シード層が単結晶シード層である、請求項 1 5 に記載の方法。

【請求項 2 0】

前記シード層が単結晶圧電薄膜を成長させる事が可能である、請求項 1 5 に記載の方法。

【請求項 2 1】

前記シード層が導電性である、請求項 1 5 に記載の方法。

【請求項 2 2】

前記圧電層の前記第 1 表面の一部を除去するステップを更に備える、請求項 2 1 に記載の方法。

【請求項 2 3】

基板にデバイスを形成する方法であって、

前記基板上に誘電体層を堆積するステップと、

前記誘電体層上にシード層を堆積するステップと、

前記誘電体層上に第 1 電極の第 1 部分を堆積するステップと、

前記誘電体層上および前記第 1 電極の前記第 1 部分の一部の上に対して、前記基板に近接している第 1 表面と前記基板から離間している第 2 表面を備える圧電層を堆積するステップと、

前記圧電層の前記第 2 表面に第 2 電極を配置するステップと、

前記圧電層の下部および前記第 1 電極の前記一部分の下部に存在する前記基板の一部を除去するステップと、

前記圧電層の下部および前記第 1 電極の前記一部分の下部に存在する前記誘電体層の一部を除去するステップと、

前記圧電層の下部および前記第 1 電極の前記一部分の下部に存在する前記シード層の一部を除去するステップと、

前記圧電層の第 1 表面上および前記第 1 電極の前記第 1 部分上に対して、前記第 1 電極の第 2 部分を堆積するステップと
を備える、方法。

【請求項 2 4】

前記シード層が非導電性である、請求項 2 3 に記載の方法。

【請求項 2 5】

前記圧電層の前記第 1 表面の一部を除去するステップを更に備える、請求項 2 4 に記載の方法。

【請求項 2 6】

前記シード層が導電性である、請求項 2 3 に記載の方法。

【請求項 2 7】

前記圧電層の前記第 1 表面の一部を除去するステップを更に備える、請求項 2 6 に記載の方法。

【請求項 2 8】

前記第 1 平面部分は、前記基板上に堆積されて形成され、

前記圧電材料の層は、前記基板および前記第 1 平面部分の一部の上に堆積されて形成

され、

前記第 2 平面部分は、前記基板の一部分が除去された後に、前記圧電材料の層の前記第 1 表面および前記第 1 平面部分に接触させて形成される、請求項 8 に記載の圧電薄膜共振器。

【請求項 29】

前記圧電材料の層は、前記基板上に第 1 層を成長させた後、前記第 1 層上に前記第 1 層より配向品質が高い第 2 層を成長させ、さらに前記第 1 層の一部分を除去することにより形成され、

前記第 2 平面部分は、前記第 1 層の一部分が除去された後に、前記圧電材料の層の前記第 1 表面および前記第 1 平面部分に接触させて形成される、請求項 8 に記載の圧電薄膜共振器。

【請求項 30】

前記圧電層を堆積させるステップは、

前記基板および前記第 1 電極の前記第 1 部分の一部分の上に、圧電材料を堆積させて第 1 層を形成するステップと、

前記第 1 層の上に、圧電材料を堆積させて前記第 1 層より配向品質が高い第 2 層を形成するステップと

を有する、請求項 9 に記載の方法。

【請求項 31】

前記第 2 層を形成するステップは、圧電材料を c 軸配向で成長させるステップを含む、請求項 30 に記載の方法。

【請求項 32】

前記基板の一部分が除去された後に、前記第 1 層の一部分を除去するステップをさらに備え、

前記第 1 電極の前記第 2 部分を堆積させるステップは、前記第 1 層上および前記第 1 電極の前記第 1 部分上に、前記第 1 電極の前記第 2 部分を堆積させるステップを有する、請求項 30 に記載の方法。

【請求項 33】

前記圧電層を配置するステップは、前記シード層上に前記圧電層を堆積させるステップを有する、請求項 15 に記載の方法。

【請求項 34】

前記第 1 電極は、

前記シード層の上に形成された第 1 部分と、

前記シード層に設けられたウィンドウにより露出された前記圧電材料の前記第 1 表面に前記基板の裏側から堆積される、第 2 部分とを備える請求項 1 に記載の圧電薄膜共振器。

【請求項 35】

基板上に第 1 電極の第 1 部分を堆積させるステップと、

前記基板および前記第 1 電極の前記第 1 部分の一部分の上に、前記基板に近接した第 1 表面と前記基板から離間した第 2 表面を備える圧電層を堆積させるステップと、

前記圧電層の前記第 2 表面に第 2 電極を配置するステップと、

前記圧電層の下部および前記第 1 電極の前記一部分の下部にある前記基板の一部分を除去するステップと、

前記圧電層の前記第 1 表面上および前記第 1 電極の前記第 1 部分上に前記第 1 電極の第 2 部分を堆積させるステップと

を備える、方法により製造された圧電薄膜共振器。

【請求項 36】

基板上に第 1 電極の第 1 部分を配置するステップと、

前記基板上および前記第 1 電極の前記第 1 部分の一部分の上に対して、前記基板に近接した第 1 表面と前記基板から離間した第 2 表面とを備える圧電層を配置するステップと、

前記圧電層の前記第 2 表面に第 2 電極を配置するステップと、
前記圧電層の下部および前記第 1 電極の前記一部分の下部に存在する前記基板の一部分を除去するステップと、
前記圧電層の前記第 1 表面上に対して、および前記第 1 電極の前記第 1 部分上に対して、前記第 1 電極の前記第 2 部分を配置するステップと
を備える、方法により製造された圧電薄膜共振器。

【請求項 37】

基板上に誘電体層を堆積するステップと、
前記誘電体層上にシード層を堆積するステップと、
前記誘電体層上に第 1 電極の第 1 部分を堆積するステップと、
前記誘電体層上および前記第 1 電極の前記第 1 部分の一部分の上に対して、前記基板に近接している第 1 表面と前記基板から離間している第 2 表面を備える圧電層を堆積するステップと、
前記圧電層の前記第 2 表面に第 2 電極を配置するステップと、
前記圧電層の下部および前記第 1 電極の前記一部分の下部に存在する前記基板の一部分を除去するステップと、
前記圧電層の下部および前記第 1 電極の前記一部分の下部に存在する前記誘電体層の一部分を除去するステップと、
前記圧電層の下部および前記第 1 電極の前記一部分の下部に存在する前記シード層の一部分を除去するステップと、
前記圧電層の第 1 表面上および前記第 1 電極の前記第 1 部分上に対して、前記第 1 電極の第 2 部分を堆積するステップと
を備える、方法により製造された圧電薄膜共振器。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【発明の名称】高い Q 値および低い挿入損の F B A R を達成するための構造および製作の手順

【技術分野】

【0001】

本発明は、圧電薄膜共振器（「F B A R」）構造の形成に関する。より詳細には、本発明は、高い Q 値および低い挿入損の圧電薄膜共振器用の構造を形成する方法に関する。

【背景技術】

【0002】

いくつかの実例において、無線周波数フロントエンド・フィルタを提供することが望まれる。従来のセラミックフィルタおよび S A W フィルタが、フロントエンド無線周波フィルタとして使用されて来た。S A W フィルタは、2 . 4 ギガヘルツ（G H z）以上の周波数において過度の挿入損を持ち始めるという点で問題がある。セラミックフィルタはサイズが大きすぎて、周波数が上昇するにつれて製作するのが困難になる。なお、本出願の国際調査、又は対応米国出願の米国での審査において、下記の特許文献が発見されている。

【特許文献 1】欧州特許第 1 0 7 3 1 9 8 号明細書

【特許文献 2】米国特許第 5 7 4 7 8 5 7 号明細書

【特許文献 3】米国特許第 5 8 8 4 3 7 8 号明細書

【特許文献 4】米国特許第 6 3 4 9 4 5 4 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0003】

基本的な F B A R デバイス 1 0 0 が、図 1 において概略的に示される。F B A R デバイス 1 0 0 は、基板 1 1 0 の水平面上に形成される。第 1 金属層 1 2 0 が基板 1 1 0 に配置され、続いて、圧電層 1 3 0 が金属層 1 2 0 の上に配置される。圧電層は Z n O、A l N、P Z T、他の圧電材料であって良い。第 2 金属層 1 2 2 が圧電層 1 3 0 上に配置される。第 1 金属層 1 2 0 は第 1 電極 1 2 0 として動作し、第 2 金属層 1 2 2 は第 2 電極 1 2 2 として機能する。第 1 電極 1 2 0、圧電層 1 3 0 および第 2 電極 1 2 2 が、スタック 1 4 0 を形成する。スタック 1 4 0 の背後または下部の基板 1 1 0 の一部分が、背面バルク・シリコン・エッチングを用いて取り除かれる。背面バルク・シリコン・エッチングは、ディープ・トレンチ・リアクティブ・イオン・エッチング、または K O H、T M A H および E D P のような結晶学的な配向依存のエッチング作用を使用して行なわれる。背面バルク・シリコン・エッチングによって、基板 1 1 0 中に開口部 1 5 0 が生成される。基板中の開口部 1 5 0 上に位置し、第 1 電極 1 2 0 と第 2 電極 1 2 2 の間に挟まれた水平に位置した圧電層 1 3 0 の構造が形成される。F B A R は、水平基板の開口部の上に懸架された薄膜デバイスである。

【 0 0 0 4 】

図 2 は、圧電薄膜共振器 1 0 0 を備える電気回路 2 0 0 の概略を示す。電気回路 2 0 0 は、無線周波数「R F」電圧源 2 1 0 を備える。高周波電圧源 2 1 0 は導線 2 2 0 によって第 1 電極 1 2 0 に接続され、第 2 導電体 2 2 2 によって第 2 電極 1 2 2 に接続される。共振周波数の高周波電圧が印加される場合、全スタック 1 4 0 は Z 方向「d 3 3」モードで自由に共振する事が出来る。共振周波数は、図 2 中における文字「d」即ち寸法「d」によって指示される薄膜の厚さ即ち圧電層 1 3 0 の厚さによって決定される。共振周波数は次の式によって決定される。

【 0 0 0 5 】

【数 1】

$$f_0 \sim V/2d$$

【 0 0 0 6 】

ここで、 f_0 = 共振周波数、 V = 圧電層の音速、 d = 圧電層の厚さである。図 1 および図 2 に示された構造は、共振器またはフィルタのいずれかとして使用する事が可能である事に注目されたい。F B A R を形成するために、Z n O や A l N のような圧電薄膜が、活物質として使用される。縦圧電係数および音響損失係数のようなこれらの薄膜の材料特性は、共振器の性能のための主要パラメータである。重要な性能要因として、Q 係数、挿入損および電氣的 / 機械的な接続のような要因が含まれる。現在、F B A R を製造する際に、反応スパッタリングを使用して圧電薄膜が金属電極に堆積する。生成された薄膜は、c 軸組織配向に対して多結晶である。換言すれば、c 軸は基板に対して垂直である。この処理手順はいくつかの問題を有する。

【 0 0 0 7 】

F B A R は、2 つの電極間に挟まれた圧電層として形成される。F B A R の電気出力のために、頂部および底部の電極が必要であり、従って、底部の電極が必要である。F B A R 用の圧電薄膜の蒸着を開始する層即ちシード層が、導電材料に制限されてしまう。高品質あるいは単結晶の圧電薄膜を生成し得る他の非導電性の材料あるいは単結晶材料は、従来の F B A R 製作技術を用いた際にはシード層として使用する事が出来ない。

【 0 0 0 8 】

圧電薄膜が導電性を有する金属上にスパッタリングされる場合、スパッタリングされた薄膜のおよそ 0 . 0 5 μ m の第 1 層は、通常は部分的に発達した組織を有する多結晶の材料から成る。この第 1 層の圧電効果は低品質である。これによって、薄膜全体の品質が低下する。これは、約 0 . 2 μ m 厚さの圧電薄膜を有する 1 0 G H z 以上の共振周波数を有する高周波 F B A R の性能に関して問題となる。

【 0 0 0 9 】

従って、単結晶圧電薄膜による F B A R デバイスおよび F B A R デバイスの製造方法の必要性が存在する。良好な性能品質を有し、高導電性の電極以外のシード層を使用する F B A R デバイスを製造する方法の必要性が更に存在する。多結晶であり得、低品質の圧電効果を有し得るスパッタリングされた圧電材料の第 1 層を除去し得るような製造技術の必要性が更に存在する。

【 発明を実施するための最良の形態 】

【 0 0 1 0 】

本発明は、添付の特許請求の範囲によって具体的に示される。しかしながら、本発明についてのより完全な理解は、図面に関連して詳細な説明が考慮された時に導出され得る。図面の全体にわたって、同様の参照番号は同様の品目を参照する。

【 0 0 1 1 】

本願明細書において開示される説明は、本発明の様々な実施形態を例示するものであり、この種の説明は如何なる方法においても本発明を制限するものとして解釈されることを目的としない。

【 0 0 1 2 】

本発明の圧電薄膜共振器「 F B A R 」の幾つかの実施形態のうちの 1 つを製作するために使用される様々な工程段階が、図 3 a ~ 図 2 2 b に示される。

【 0 0 1 3 】

本発明の一実施形態が、図 3 a ~ 図 7 b を参照して議論される。図 3 a および図 3 b は、単結晶シード層 3 1 0 および誘電体層 3 2 0 を備える単結晶基板 3 0 0 の平面図および側面図である。第 1 電極 4 0 0 の第 1 部分が、シード層 3 1 0 の一部分および誘電体層 3 2 0 の一部分の上に形成される。単結晶基板 3 0 0 はケイ素あるいは炭化ケイ素 (S i 、または S i C) であって良い。単結晶圧電薄膜の成長を促進するために、単結晶シード層 3 1 0 が必要となる。単結晶基板 3 0 0 が単結晶圧電薄膜の成長を促進する事が出来る場合、単結晶シード層 3 1 0 が必ずしも必要ではない事を理解されたい。誘電体層 3 2 0 は、シード層 3 1 0 との金属反応または基板 3 0 0 との金属反応を隔離または防止するために必要である。誘電体層 3 2 0 はウィンドウ 3 2 2 を開けるためにパターン化される。単結晶シード層 3 1 0 の露出した一部分上で圧電薄膜が成長する事が出来るように、ウィンドウは単結晶シード層 3 1 0 を露出する。ウィンドウ 3 2 2 が誘電体層 3 2 0 中に形成された後、第 1 電極 4 0 0 の第 1 部分が形成され、これがウィンドウ 3 2 2 内の単結晶シード層 3 1 0 の一部分をカバーし、結果的に、誘電体層 3 2 0 の一部分をもカバーする。第 1 電極 4 0 0 の第 1 部分は、埋設された金属トレースと称されても良く、図 7 a および図 7 b を参照して議論されるようにデバイスとの電氣的な接触を行なうために使用される。

【 0 0 1 4 】

図 4 a および図 4 b はそれぞれ、圧電薄膜 4 1 0 および第 2 電極 4 2 0 が堆積した後の基板 3 0 0 を示す平面図および側面図である。先ず、単結晶圧電薄膜 4 1 0 が堆積されてパターン化され、単結晶シード層 3 1 0 が露出しているウィンドウ 3 2 2 内に堆積されるようにする。単結晶圧電薄膜 4 1 0 は、単結晶シード層 3 1 0 に接触して形成される第 1 表面 4 1 2 を備える。単結晶圧電薄膜 4 1 0 の第 1 表面は基板 3 0 0 の直近に存在する。単結晶圧電薄膜 4 1 0 は、単結晶基板 3 0 0 から遠位に存在する第 2 表面 4 1 4 を更に備える。

【 0 0 1 5 】

圧電薄膜 4 1 0 が形成されパターン化された後、第 2 電極 4 2 0 が堆積されパターン化される。第 2 電極 4 2 0 は第 1 部分 4 2 2 および第 2 部分 4 2 4 を備える。第 2 部分 4 2 4 は、圧電結晶 4 1 0 の第 2 表面 4 1 4 上に堆積する。第 2 電極 4 2 0 の第 1 部分 4 2 2 は誘電体層 3 2 0 上に堆積し、第 2 電極 4 2 0 の第 2 部分 4 2 4 と電氣的に接触している。換言すれば、第 2 電極 4 2 0 の第 1 部分は電気コンタクト・パッド、および圧電薄膜 4 1 0 の側壁に堆積する一部分を備える。第 2 電極 4 2 0 の第 1 部分 4 2 2 は、第 1 部分が第 2 電極 4 2 0 の第 2 部分 4 2 4 と電氣的に接触しているように、圧電結晶 4 1 0 の第 2

表面 4 1 4 に残される一部分を備える。第 2 電極 4 2 0 は、形成された F B A R デバイスの頂部電極と称されても良い。

【 0 0 1 6 】

図 5 a および図 5 b はそれぞれ、圧電層およびシード層 3 1 0 の下部の基板材料の一部分が除去された後の基板 3 0 0 の平面図および側面図である。基板 3 0 0 の一部分を除去する事によって、基板の裏側の開口部 5 0 0 が生成される。除去される基板材料 3 0 0 は、最終的な F B A R デバイスの作用面積よりは小さい基板 3 0 0 の一部分に対応する。基板材料はディープ・トレンチ・リアクティブ・イオン・エッチング (D R I E) を使用して除去される。D R I E のエッチング・プロファイルは、第 1 傾斜側壁 5 0 2 および第 2 傾斜側壁 5 0 4 を生成するために、ネガティブ側に調節される。

【 0 0 1 7 】

図 6 a および図 6 b は圧電薄膜 4 1 0 の下部のシード層 3 1 0 の一部分が除去された後の基板を示す。単結晶シード層 3 1 0 は、基板材料 3 0 0 がウェーハの裏側から取り除かれた際に形成されたエッチング済みの D R I E ウィンドウ即ち開口部 5 0 0 を通ってウェーハの裏からエッチングされる。単結晶シード層 3 1 0 を除去するためのエッチング作用は自己制御され、終点検出によって圧電層 4 1 0 上において停止する。より具体的には、結晶シード層 3 1 0 を除去するためのエッチング作用は、圧電層 4 1 0 の第 1 表面 4 1 2 において、あるいはその近傍において停止する。単結晶シード層 3 1 0 を除去するエッチング作用によって、基板の裏側に沿って圧電層 4 1 0 および特に表面 4 1 2 が露出する。このエッチング作用は、単結晶シード層 3 1 0 によって画定され、基板 3 0 0 の裏側において圧電結晶 4 1 0 の表面 4 1 2 を露出する第 2 ウィンドウ 6 0 0 を形成する、と言う事が出来る。

【 0 0 1 8 】

図 7 a および図 7 b は、第 1 電極の第 2 部分 7 0 0 が圧電薄膜 4 1 0 の第 1 表面 4 1 2 に堆積した後の基板の平面図および側面図を示す。底部の電極金属はウェーハの裏側から堆積する。ウェーハまたは基板の 3 0 0 の裏側からの金属の堆積によって、第 1 電極の第 2 部分 7 0 0 が生成される。図 7 b における金属層 7 1 0 および 7 1 2 によって示されるように、基板 3 0 0 の後部側面も金属化される。第 2 電極 7 0 0 は、第 1 電極 4 0 0 の第 1 部分、即ち埋設された金属トレースと称される部分と電氣的に接触する。開口部 5 0 0 の側壁上に堆積された金属が存在しない事に注目されたい。開口部 5 0 0 が生成された際、D R I E は傾斜側壁 5 0 2 および 5 0 4 を生成するために、ネガティブ側に調節された。第 1 電極の第 2 部分 7 0 0 を形成する金属層が堆積される場合、側壁が傾斜していることによって、側壁 5 0 2、5 0 4 上へ金属が堆積される事が防がれる。これによって、すべてのバルク・シリコン基板 3 0 0 上に連続的に金属層が堆積する事を防ぎ、圧電薄膜 4 1 0 の第 1 表面 4 1 2 の殆どをカバーする独立した電極 7 0 0 が提供される。第 1 電極の第 1 部分 4 0 0 および第 1 電極の第 2 部分 7 0 0 が第 1 電極を形成する事に注目されたい。通常、第 1 電極の第 1 部分 4 0 0 と第 2 部分 7 0 0 との間が適切に電氣的に接続されるように、第 1 電極の第 2 部分 7 0 0 は、第 1 電極の第 1 部分 4 0 0 と一定の範囲でオーバーラップする。図示されるように、オーバーラップされる範囲は約 1 0 マイクロメートルである。

【 0 0 1 9 】

ここで、図 8 a ~ 1 2 b へと移り、高い Q 値および低い挿入損を有する F B A R を形成するための他の実施形態および方法が議論される。第 2 実施形態において、圧電薄膜の堆積を非導電性のシード層を使用することによって可能にする製作手順が議論される。図 8 a および図 8 b はそれぞれ、非導電性のシード層 8 1 0 および第 1 電極 1 2 0 0 (第 1 電極の全体は図 1 2 b に示される) の第 1 部分 1 2 1 0 を有する基板 8 0 0 の平面図および側面図である。シード層 8 1 0 は、シード層 8 1 0 への堆積の際に高品質の圧電薄膜をもたらし得る任意の非導電性の材料で有り得る。好都合にも、基板 8 0 0 上で使用される特定のシード層 8 1 0 は、導電材料に制限されていない。従って、シード層 8 1 0 はシード層で成長する圧電薄膜即ち圧電層の特定の品質を最適化するために選択される事が出来る

。金属層はシード層の上に堆積されてパターン化される。金属層は、第1電極即ち底部電極コンタクトの第1部分1210を形成する。金属層1210は、埋設された金属トレースと称されて良く、第1部分1214および第2部分1216を備える。第2部分1216は電氣的なコンタクト・パッドである。

【0020】

図9aおよび図9bは、圧電薄膜910がシード層810に堆積された後、および第2電極920がシード層および圧電薄膜上に堆積されパターン化された後の基板800の平面図および側面図である。単結晶圧電薄膜910は、シード層810上に堆積し、パターン化される。シード層810は、シード層上の高品質圧電薄膜の堆積を引き起こすような任意の非導電性の材料である。圧電薄膜910は、基板800に近接している第1表面912を備える。第1の表面912は、シード層810と物理的に接触するか、もしくはシード層810と相対する。圧電薄膜912は、基板800から離間した第2表面914を備える。第2電極920は、第1部分922および第2部分924を備える。第2部分924は、圧電薄膜910の第2表面914上に堆積する。第2部分924は、圧電薄膜即ち圧電層910の表面914の殆どをカバーする。第2電極920の第1部分922は、パッド916および電気トレース918を備える。電気トレース918は、パッド916および第2電極の第2部分924とを電氣的に接続する。従って、トレース918は、圧電層910の第2表面914に堆積する部分を備える。トレース918は、圧電薄膜910の側壁即ち垂直の表面に更に堆積する。頂部の電極即ち第2電極920は、第1部分922および第2部分924を形成するために堆積し、続いてパターン化される。

【0021】

図10aおよび図10bは、圧電薄膜910の下部の基板材料の一部が除去された後の基板800を示す。図10bに最も良好に示されるように、圧電薄膜910の下部のシリコン基板は、ディープ・トレンチ・リアクティブ・イオン・エッチング(DRIE)を使用して除去される。基板800の裏側からシリコン基板800の一部を取り除くことによって、開口部1000が生成される。開口部1000をDRIEエッチング・ウィンドウと名付けても良い。DRIEウィンドウ即ち開口部1000のエッチング作用プロファイルはネガティブ側に調節される。開口部即ちDRIEウィンドウ1000のエッチング作用プロファイルがネガティブ側であることによって、第1傾斜側壁1002および第2傾斜側壁1004が生成される。

【0022】

図11aおよび11bは、圧電材料の下部の、即ち圧電薄膜910の下部のシード層の一部が除去された後の基板即ちデバイスを示す。非導電性のシード層810は、エッチング済みのDRIEウィンドウ即ち開口部1000を通して基板の裏側からエッチングされる、即ち取り除かれる。エッチング作用は自己制御され、終点検出によって圧電層910上において有効に停止する。具体的には、圧電層即ち圧電薄膜910の第1表面912上、あるいはその近傍でエッチング作用が停止する。非導電性のシード層810を除去する裏側のエッチング作用の結果として、シード層810中に開口部1100が形成される。開口部1100によって、第1電極の第1部分1210の一部1214の一部と同様に、圧電薄膜即ち圧電層910の表面912が露出する。

【0023】

図12aおよび図12bはそれぞれ、裏側が金属化された後の基板800の平面図および側面図である。金属はウェーハの裏側に堆積する。堆積した金属は、基板800の裏側の金属化層1220および1222と同様に、第1電極1200の第2部分1212を形成する。傾斜側壁1002および1004を生成するためにネガティブ側のプロファイルを有するように予め調整された開口部1000即ちDRIEウィンドウによって、側壁1002、1004上に金属が堆積する事が防がれる。これによって、第1電極1200の第2部分1212が他の金属化された一部分1220および1222から分離されるべく、バルク・シリコン基板上に金属層が連続的に形成される事が防がれる。第1電極1200の第2部分1212は、第1電極の第1部分1210と接触する。第1部分と第2部分

とが電氣的に接触するように、第 1 電極 1 2 0 0 の第 1 部分 1 2 1 0 および第 2 部分 1 2 1 2 はオーバーラップする。本実施形態において、該オーバーラップは約 1 2 マイクロメートルである。

【 0 0 2 4 】

ここで、図 1 3 a ~ 1 7 b に移り、本発明の第 3 実施形態が議論される。第 3 実施形態において、低品質の第 1 圧電薄膜の除去を可能にする構造と製作の手順が議論される。図 1 3 a および図 1 3 b はそれぞれ、非導電性のシード層 1 3 1 0 と第 1 電極 1 7 0 0 (第 1 電極の全体は図 1 7 b に示される) の第 1 部分 1 7 1 0 を備える基板 1 3 0 0 を示す平面図および側面図である。開始シード層 1 3 1 0 は、基板 1 3 0 0 上に最初に堆積したものである。シード層は、誘電材料であっても良いし、圧電材料即ち薄膜がシード層 1 3 1 0 の上に堆積される際に良好な品質の圧電薄膜が形成されるように選択された他の任意の非導電性材料であっても良い。非導電性の「シード層」として基板 1 3 0 0 それ自体を使用し得る事に注目されたい。第 1 電極の金属層即ち第 1 部分 1 7 1 0 は、第 1 電極の第 2 部分との後の接触のために堆積されパターン化される。第 1 電極部分 1 7 1 0 はコンタクト・パッド 1 7 1 6 および電気トレース 1 7 1 4 を備える。第 1 電極の第 1 部分 1 7 1 0 は、埋設された金属トレースと称されても良い。

【 0 0 2 5 】

図 1 4 a および図 1 4 b は、圧電薄膜 1 4 1 0 が基板 1 3 0 0 のシード層 1 3 1 0 の上に堆積した後の基板 1 3 0 0 の平面図および側面図である。圧電薄膜 1 4 1 0 を形成するために、圧電材料が堆積されてパターン化される。圧電薄膜 1 4 1 0 は、基板 1 3 0 0 と近接している第 1 表面 1 4 1 2 と、基板 1 3 0 0 から遠位または遠隔に存在する第 2 表面 1 4 1 4 を備える。堆積した薄膜の第 1 層 1 4 2 0 の組織は低品質であり得る。薄膜の第 1 層は、参照番号 1 4 2 0 によって示される。圧電薄膜 1 4 1 0 の第 1 層は、厚さにしておよそ 0 . 0 5 マイクロメートルである。参照番号 1 4 2 0 によって示される品質の低い組織の圧電材料の第 1 層の上に、参照番号 1 4 2 2 によって示されるように、圧電材料は c 軸配向の組織で成長し始める。品質の低い組織 1 4 2 0 と、c 軸配向に成長した組織 1 4 2 2 の領域と間の界面は、参照番号 1 4 2 1 によって示される。

【 0 0 2 6 】

図 1 5 a および図 1 5 b は、第 2 電極 1 5 2 0 が基板 1 3 0 0 上に堆積した後、および基板 1 3 0 0 の一部分が基板 1 3 0 0 の裏側から除去された後の基板 1 3 0 0 を示す。圧電薄膜 1 4 1 0 が基板 1 3 0 0 のシード層 1 3 1 0 の上に堆積した後、第 2 電極 1 5 2 0 が堆積し、パターン化される。第 2 電極は、第 1 部分 1 5 2 2 および第 2 部分 1 5 2 4 を備える。第 2 部分 1 5 2 4 は、圧電薄膜 1 4 1 0 の表面 1 4 1 4 の全体をカバーするか、あるいはその殆どをカバーする。第 2 電極 1 5 2 0 の第 1 部分 1 5 2 2 は、パッド 1 5 1 6 と、パッド 1 5 1 6 を第 2 電極 1 5 2 0 の第 2 部分 1 5 2 4 とを接続する電気コンタクト即ちトレース 1 5 1 8 を備える。トレース 1 5 1 8 は、圧電薄膜 1 4 1 0 の側壁上に、シード層 1 3 1 0 の上に、および圧電薄膜 1 4 1 0 の第 2 表面 1 4 1 4 の上に堆積する。前述されたように、トレース 1 5 1 8 は第 2 電極 1 5 2 0 の第 1 部分 1 5 2 2 と第 2 部分 1 5 2 0 との間を電氣的に接触させる。

【 0 0 2 7 】

図 1 5 b に最も良好に示されるように、圧電薄膜 1 4 1 0 の下部のシリコン基板 1 3 0 0 は、ディープ・トレンチ・リアクティブ・イオン・エッチング (D R I E) によって除去された。圧電薄膜 1 4 1 0 の下部の基板の一部分を除去する事によって、D R I E ウィンドウとしてさらに参照され得る開口部 1 5 0 0 が生成される。D R I E ウィンドウ即ち開口部 1 5 0 0 のエッチング・プロファイルはネガティブ側に調節され、これによって、第 1 傾斜側壁 1 5 0 2 および第 2 傾斜側壁 1 5 0 4 が生成される。

【 0 0 2 8 】

図 1 6 a および図 1 6 b は、基板の一部分、シード層 1 3 1 0 の一部分および圧電材料 1 4 2 0 の一部分が基板 1 3 0 0 の後部側面から除去された後の基板 1 3 0 0 を示す。シード層 1 3 1 0 の一部分および配向の品質が低い圧電層 1 4 2 0 の一部分が、エッチング

済みの開口部 1500 即ち D R I E ウィンドウまで基板 1300 の裏側からエッチングされる。エッチング作用は自己制御される。シード層のエッチングは、終点検出によって圧電層 1410 上で有効に停止され得る。配向の品質の低い圧電薄膜即ち薄膜 1420 のエッチングは、時間制御に基づく。換言すれば、D R I E エッチング作用はある所定の割合で材料を除去する。従って、一般的に、所定の時間内に所定の量の材料が除去される。シード層 1310 の一部分および配向の品質の低い圧電層 1420 の一部分を除去するためのエッチングは、配向の品質の低い圧電層 1420 の全厚さが除去される一方で第 1 電極の第 1 部分 1710 の厚さの一部のみが除去されるように実行される。エッチングは、配向の品質の低い圧電層 1420 と c 軸との間の界面まで、あるいは僅かにそれを超えた位置まで実行される。換言すれば、エッチングが終了した後、c 軸配向薄膜 1422 だけが残される。

【0029】

図 17 a および図 17 b はそれぞれ、第 1 電極 1700 の第 2 部分 1712 が、圧電薄膜 1410 の c 軸配向薄膜 1422 上に基板 1300 の裏側から堆積した後の基板 1300 の平面図および側面図である。基板 1300 の裏側は、形成済みの D R I E ウィンドウを通して堆積した第 1 電極の第 2 部分 1712 に帰着して金属化される。金属は基板の裏側全体に堆積され、これによって金属化された薄膜即ち金属化された部分 1720 および 1722 が形成される。第 2 部分 1712 および第 1 部分 1710 が第 1 電極 1700 を形成する。第 1 部分 1710 と第 2 部分 1712 が電氣的に接触するように、第 1 電極 1700 の第 2 部分 1712 は、およそ 10 マイクロメートルにわたって第 1 電極の第 1 部分 1710 とオーバーラップする。この段階より以前に実行された D R I E がネガティブ側に制御されていたので、開口部 1500 の側壁 1502 および 1504 に金属は堆積されない、という事に注目されたい。その結果、第 1 電極 1710 の底部の電極即ち第 2 部分 1712 は、基板 1300 の裏側全体にわたって連続的に金属薄膜が形成される事が防がれる。特にこの実施形態の利点は、圧電層 1410、第 1 電極 1700 および第 2 電極 1520 によって形成された F B A R が、2 電極間に c 軸配向圧電材料のみを有するために、配向の品質の低い薄膜の一部分 1420 が除去されるということである。これによって、高い Q 値および低い挿入損の望ましい品質を備える F B A R デバイスが形成される。

【0030】

ここで、図 18 a ~ 図 22 b に移り、本発明の第 4 実施形態が議論される。第 4 実施形態において、低い品質の第 1 圧電薄膜の除去を可能にする構造と製作の手順が議論される。本実施形態において、シード層は導電材料から作られる。図 18 a および図 18 b は、誘電体薄膜 1810、導電性のシード層 1820 および第 1 電極 2200 の第 1 部分 2210 (第 1 電極全体は図 22 b において示される) が堆積した基板 1800 の平面図および側面図である。まず、基板 1800 と導電性の種子材料 1820 および第 1 電極の第 1 部分 2210 との間を隔離するために、誘電体層即ち誘電体薄膜 1810 が基板 1800 上に堆積する。その後、導電性のシード層材料 1820 が誘電体層 1810 上に堆積する。シード層は、F B A R デバイス用の圧電材料を受け入れるのに適切なサイズとなるようにパターン化される。第 1 電極の第 1 部分 2210 を形成するために、金属層が堆積されパターン化される。第 1 電極の第 1 部分 2210 は、第 1 電極の第 2 部分と電氣的に接触させるために用いられる埋設された金属トレースと称されても良い。第 1 電極の第 1 部分 2210 を形成するために使用される金属層が、シード層 1820 と同じ材料で有り得る事に注目されたい。第 1 電極の第 1 部分 2210 はパッド 2216 と電気トレース 2214 を備える。

【0031】

図 19 a と図 19 b はそれぞれ、圧電薄膜 1910 が堆積した後の基板 1800 の平面図および側面図である。圧電材料 1910 が堆積されパターン化される。堆積した薄膜 1910 は、品質の低い組織 1920 を有する一部分と、c 軸配向の組織 1922 を有する一部分とを備える。圧電材料の品質の低い組織は、c 軸配向で無い。品質の低い組織の堆積した薄膜は、一般におよそ 0.05 マイクロインチの第 1 層である。図 19 において参

照番号 1921 が付された一本の線は、品質の低い組織 1920 を有する圧電薄膜が堆積した一部分と、c 軸配向の組織 1922 を有する圧電薄膜の一部分との移行面である。

【0032】

図 20a および図 20b はそれぞれ、第 2 電極 2020 が圧電薄膜 1910 に堆積した後、および基板 1800 の一部分が基板 1800 の後部側面から取り除かれた後の基板 1800 の平面図および側面図である。まず、第 2 電極 2020 が堆積されパターン化される。第 2 電極 2020 は、F B A R デバイス中の頂部電極と称する事も出来る。第 2 電極 2020 は、第 1 部分 2022 および第 2 部分 2024 を備える。第 2 部分 2024 は、圧電薄膜 1910 の表面 1914 を殆どカバーする。第 2 電極 2020 の第 1 部分 2022 はコンタクト・パッド 2016 およびトレース 2018 を備え、トレース 2018 は、第 2 電極 2020 のコンタクト・パッド 2022 と第 2 部分 2024 とを接続する。圧電薄膜 1910 の直下の基板材料は、ディープ・トレンチ・リアクティブ・イオン・エッチング (D R I E) によって除去される。基板 1800 の一部分を除去する事によって、側壁 2002 および 2004 を有する開口部 2000 が生成される。D R I E のエッチング・プロファイルはネガティブ側に調節される。開口部 2000 は D R I E エッチング作用ウィンドウと称されても良い。シリコン即ち基板材料 1800 のみが除去される。従って、開口部即ち D R I E エッチング作用ウィンドウ 2000 は、側壁 2002 および 2004 と、誘電体層 1810 とによって画定される。

【0033】

図 21a および図 21b は、基板 1800 の一部分、誘電体層 1810 の一部分、シード層 1820 の一部分および配向の品質の低い圧電材料 1920 が除去された後の基板を示す。誘電材料 1810 の一部分、金属シード層 1820 の一部分および配向の品質の低い圧電層 1920 は、エッチング済みの D R I E ウィンドウ即ち開口部 2000 年を通して基板 1800 の裏側からエッチングされる。エッチング作用は自己制御される。シード層 1820 のエッチングは、終点検出によって圧電層 1910 上で有効に停止し得る。配向の品質の低い 1 つ以上の圧電薄膜 1920 のエッチングは、時間制御に基づく。配向の品質の低い 1 つ以上の圧電薄膜 1920 が除去された後、c 軸配向薄膜 1922 だけが圧電薄膜 1910 の一部として残る。その結果、堆積された薄膜 1910 の圧電特性が改善される。

【0034】

図 22a および図 22b は、第 1 電極 2200 の第 2 部分 2212 が第 1 電極 2200 の第 1 部分 2210 上で他の金属化された部分と共に堆積した後の平面図および側面図である。金属は基板 1800 の裏側に堆積し、金属化された部分 2220、2222 および第 1 電極 2200 の第 2 部分 2212 を形成する。D R I E ウィンドウすなわち開口部 2000 のエッチング・プロファイルは前段階においてネガティブ側に調節されたので、基板 1800 の裏側の側面上の金属の金属化または堆積によって、側壁、開口部 2000 の側壁 2002 および 2004 上に金属が堆積する事は無い。第 1 電極 2200 の第 2 部分 2212 は、第 1 電極 2200 の第 1 部分 2210 と電氣的に接触する。第 1 部分と第 2 部分との間の適切な電氣的な経路を提供するために、第 1 電極 2200 の第 1 部分 2210 と第 2 部分 2212 との間に一定のオーバーラップ領域が存在する。特にこの実施形態において、オーバーラップはおよそ 10 マイクロメートルである。この手順の結果、たとえ圧電材料が薄膜 1910 が導電性のシード層 1820 の上で形成されたとしても、高品質 F B A R デバイスを形成する事が出来る。この手順の結果、F B A R デバイスの一部として c 軸配向圧電材料 1922 のみを残して、圧電材料の品質の低い 1 つ以上の組織薄膜が裏側のエッチングによって除去される。

【0035】

これらの構造を製作するために議論された上記の図および方法に図示・記述された構造は、多くの長所を有する。本発明の方法を使用すると、単結晶圧電薄膜を備える F B A R デバイスを得る事が出来る。更なる利点は、底部即ち第 1 電極に導電性の金属材料を使用することを強いられず、任意の種子薄膜を使用する事が可能である、という事である。種

子材料は、１つ以上の特定の品質を有する圧電薄膜を生産するために選定されて良い。更に、圧電薄膜の第１層が不適当な品質を有していたとしても、それを除去する事が出来、高いＱ値および低い挿入損を有するＦＢＡＲを形成する事が出来る。その結果、高周波のアプリケーションで使用された際に、良好な性能品質を有するＦＢＡＲが得られる。

【００３６】

以上の特定の実施形態の説明によって、当業者が従来知識を適用する事によって、本発明の一般的な概念から逸脱する事無く様々な応用のためにこれを直ちに修正し、および（または）適応させ得るのに十分に本発明の一般的な性質が開示され、従って、この種の適応および修正は、開示された実施形態の均等物の意味および範囲の範疇にあるという事を意図する。

【００３７】

本願明細書において使用される語法または用語は説明の目的のために用いられているのであって、限定のために用いられているのでは無いと理解されよう。従って本発明は、添付の特許請求の範囲の精神および広義の範囲の範囲内における全てのこの種の代替、修正、均等物および相違を包含する事を意図する。なお、第１電極は、第１平面部分と第２平面部分とを備える。第１電極は、非平面状であり、第１平面部分および第２平面部分が異なる平面に表面をそれぞれ備える。

【図面の簡単な説明】

【００３８】

【図１】従来技術の圧電薄膜共振器の横断面図である。

【図２】圧電薄膜共振器の電気回路の概略図である。

【図３ａ】誘電体層および誘電体層に配置される第１電極を備えた単結晶基板の平面図である。

【図３ｂ】図３ａで示される基板即ちウェーハの側面図である。

【図４ａ】圧電薄膜および第２電極が堆積した後の基板を示す。

【図４ｂ】図４ａに示される基板の側面図である。

【図５ａ】圧電材料の下部の基板材料の一部が除去された後の基板を示す。

【図５ｂ】図５ａに示される基板の側面図である。

【図６ａ】圧電材料の下部のシード層の一部が除去された後の基板を示す。

【図６ｂ】図６ａに示される基板の側面図である。

【図７ａ】第１電極の第２部分が、圧電層および第１電極の第１部分に堆積した後の基板を示す。

【図７ｂ】図７ａに示される基板の側面図である。

【図８ａ】非導電性のシード層および基板上に配置される第１電極の一部を備えた基板の平面図である。

【図８ｂ】図８ａに示される基板の側面図である。

【図９ａ】圧電薄膜および第２電極が堆積した後の基板を示す。

【図９ｂ】図９ａに示される基板の側面図である。

【図１０ａ】圧電材料の下部の基板材料の一部が除去された後の基板を示す。

【図１０ｂ】図１０ａに示される基板の側面図である。

【図１１ａ】圧電材料の下部のシード層の一部が除去された後の基板を示す。

【図１１ｂ】図１１ａに示される基板の側面図である。

【図１２ａ】第１電極の第２部分が、圧電層および第１電極の第１部分に堆積した後の基板を示す。

【図１２ｂ】図１２ａに示される基板の側面図である。

【図１３ａ】シード層およびシード層上に配置される第１電極の一部を備えた基板の平面図である。

【図１３ｂ】図１３ａに示される基板の側面図である。

【図１４ａ】圧電薄膜が堆積した後の基板を示す。

【図１４ｂ】図１４ａに示される基板の側面図である。

【図 1 5 a】第 2 電極が圧電薄膜に堆積し、基板の一部分が裏側から除去された後の基板を示す。

【図 1 5 b】図 1 5 a に示される基板の側面図である。

【図 1 6 a】基板の一部分、圧電材料の下部のシード層の一部分、および圧電材料の一部分が除去された後の基板を示す。

【図 1 6 b】図 1 6 a に示される基板の側面図である。

【図 1 7 a】第 1 電極の第 2 部分が、圧電層および第 1 電極の第 1 部分に堆積した後の基板を示す。

【図 1 7 b】図 1 7 a に示される基板の側面図である。

【図 1 8 a】誘電体薄膜、導電性のシード層、および第 1 電極の一部が配置された基板の平面図である。

【図 1 8 b】図 1 8 a に示される基板の側面図である。

【図 1 9 a】圧電薄膜が堆積した後の基板を示す。

【図 1 9 b】図 1 9 a に示される基板の側面図である。

【図 2 0 a】第 2 電極が圧電薄膜に堆積し、および基板の一部分が裏側から除去された後の基板を示す。

【図 2 0 b】図 2 0 a に示される基板の側面図である。

【図 2 1 a】基板の一部分、誘電体層の一部分、圧電材料の下部のシード層の一部分および配向が悪い圧電材料が除去された後の基板を示す。

【図 2 1 b】図 2 1 a に示される基板の側面図である。

【図 2 2 a】第 1 電極の第 2 部分が、圧電層および第 1 電極の第 1 部分に堆積した後の基板を示す。

【図 2 2 b】図 2 2 a に示される基板の側面図である。