



Patent
aufrechterhalten nach
§ 12 Abs. 3 ErstrG

(51) Int. Cl.⁵: G 06 F 13/18
G 06 F 13/36

DEUTSCHES PATENTAMT

Innerhalb von 3 Monaten nach Veröffentlichung der Aufrechterhaltung kann Einspruch eingelegt werden

(21) Aktenzeichen:	(22) Anmeldetag:	(44) Veröff.-tag der DD-Patentschrift:	(45) Veröff.-tag der Aufrechterhaltung:
DD G 06 F / 322 691 8	06. 12. 88	11. 04. 90	24. 06. 93

(30) Unionspriorität:

(72) Erfinder: Beltz, Dietmar, Dipl.-Ing., O - 6908 Jena, DE; Klose, Detlef, Dipl.-Ing., O - 5300 Weimar, DE;
Nehler, Hans-Jürgen, Dr.-Ing., O - 6909 Jena, DE; Rozek, Werner, Dr.-Ing., O - 6908 Jena, DE
(73) Patentinhaber: Jenoptik Carl Zeiss JENA GmbH, Carl-Zeiss-Str. 1, O - 6900 Jena, DE

(54) Verfahren und Anordnung zur Busvergabe an datenverarbeitende Einrichtungen

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DD 238 128 A 1 Winter, Wolfgang: Programmierbare Arbiter zur Ressourcenverwaltung.
In: radio fernsehen elektronik, 1985, Nr. 7, S.457-461

Patentansprüche:

1. Verfahren zur Busvergabe an datenverarbeitende Einrichtungen, die an einem multimasterfähigen Bus angeschlossen sind, wobei innerhalb eines Bustaktes aus kanalweise durch die Einrichtungen gesendeten Anforderungssignalen unter Berücksichtigung einer vorprogrammierten Zuordnungsvorschrift ein Zuordnungssignal gebildet und an die Einrichtung mit höchster Priorität übertragen wird, **gekennzeichnet dadurch**, daß zur Veränderung der Zuordnungsvorschrift im ersten Buszyklus der buserhaltenden Einrichtung durch Neueinstellung einer voreingestellten Anforderungssperrmaske ein wahlweiser Ausschluß der datenverarbeitenden Einrichtungen durch Sperren der Anforderungssignale erfolgt und die Neueinstellung im letzten Buszyklus der businhabenden Einrichtung aufgehoben wird.
2. Anordnung zur Busvergabe an datenverarbeitende Einrichtungen, deren Anforderungskanäle, über die Anforderungssignale zum Erhalt des multimasterfähigen Busses gesendet werden, mit einer Zuordnungseinrichtung verbunden sind, deren Ausgänge zu Zuordnungskanälen des multimasterfähigen Busses führen, **gekennzeichnet dadurch**, daß der Zuordnungseinrichtung für jeden Anforderungskanal eine Anforderungssperre vorgeschaltet ist, an der zur Auswahl des ankommenden Anforderungssignales über einen Eingang ein in einen aktiven bzw. nichtaktiven Zustand schaltbares Sperranforderungssignal anliegt.
3. Anordnung nach Anspruch 2, **gekennzeichnet dadurch**, daß zur Zustandseinstellung jeder der Eingänge für das Sperranforderungssignal mit einem zugeordneten Ausgang eines Anforderungssperrmaskenregisters verbunden ist, mit dessen Eingängen einerseits die Ausgänge eines Multiplexers verknüpft sind, an den sowohl Datenbusse als auch eine Voreinstelleinheit und der Rücksetzkanal des multimasterfähigen Busses geführt sind, andererseits über einen Enable-Eingang eine Verbindung zum Ausgang eines Masken-Enable-Verknüpfungsgliedes besteht, das eingangsseitig mit dem Rücksetzkanal und mit dem Ausgang einer Schreibanforderungsauswahl verbunden ist, auf deren einem Eingang ein Schreibkanal liegt, der ebenfalls an den Rücksetzeingang eines Quittungssignalsenders geführt ist, der eingangsseitig über ein Verzögerungsglied mit dem Ausgang eines gleichzeitig an den anderen Eingang der Schreibanforderungsauswahl angeschlossenen Adreßdekoders verbunden ist.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung dient zur Steuerung der Busübernahme durch datenverarbeitende Einrichtungen in multimasterfähigen Bussen.

Charakteristik der bekannten technischen Lösungen

Arbeiten in einem informationsverarbeitenden System mehrere datenverarbeitende Einrichtungen über einen gemeinsamen Bus mit anderen am Bus liegenden Ressourcen zusammen, so erfolgt das Aufschalten einer datenverarbeitenden Einrichtung auf den gemeinsamen Bus zeitgeteilt und durch Busvergabeschaltungen (Arbiter) gesteuert.

Wenn eine datenverarbeitende Einrichtung an den Bus anzuschalten ist, um mit einer anderen Ressource in Verbindung zu treten, so gibt sie über den Bus eine Anforderung ab, wodurch eine zentrale oder dezentrale Zuordnungsschaltung veranlaßt wird, gemäß einem gespeicherten Algorithmus den Bus der anfragenden Einrichtung zuzuordnen, so daß dieser dann der Bus zugeordnet werden kann. Nach Übernahme des Busses durch die dem Bus zugeordnete datenverarbeitende Einrichtung behält sie je nach hardwaremäßiger Auslegung ihres Bussteuerelementes den Bus für ein oder mehrere Buszyklen („Das 8086/8088 Buch-Programmieren in Assembler und Systemarchitektur. technik marketing München, Kapitel 10, S. [10-12]).

Wenn mehrere Einrichtungen eine Anforderung übermitteln, so bewirkt der Zuordnungsalgorithmus, der meist Prioritätsabhängigkeiten der Bearbeitung von Anforderungen berücksichtigt, die Auswahl einer busanfordernden Einrichtung („Das 8086/8088 Buch-Programmieren in Assembler und Systemarchitektur. technik marketing München, Kapitel 9, S. [9-8] bis [9-10], Kapitel 10, S. [10-4] bis [10-6]).

Bekannte technische Lösungen sind zentrale Vergabeschaltungen (Winter, W.: „Programmierbare Arbiter zur Ressourcenverwaltung“, rfe 34 [1985] H. 7, S. 457-461) und Schaltungen nach dem Daisy-chain-Prinzip.

In einer Anordnung zur Steuerung eines Mehrrechnersystems (DD-WP 144 691) wird als Zuteilungssignal ein stationäres Bitmuster verwendet, das in einer ringförmig geschlossenen Schiebekette umläuft. Der Buszugriff erfolgt nach einem vorgegebenen Muster und ist prioritätsabhängig.

In DD-WP 238 128 A 1 ist eine Anordnung eines speicherprogrammierten Arbiters zur Ressourcenverwaltung erläutert, die aus Anforderungsregister, Steuerregister, einem Speicher und einer Ausgangsbaugruppe sowie einem Steuerwerk besteht.

Wünschenswert ist es für bestimmte Anwendungsfälle, in einfacher Weise die Busvergabe beeinflussen zu können, d.h., eine Veränderung der Zuordnungsvorschrift herbeizuführen, um z.B. nur kurzzeitig notwendige Zugriffe durch eine der datenverarbeitenden Einrichtungen zu gewährleisten, deren Busanforderung nicht vorrangig bearbeitet wird. Mit den bekannten technischen Lösungen ist diese Forderung nicht oder nur mit wesentlich erhöhtem schaltungstechnischen Aufwand möglich.

Ziel der Erfindung

Ziel der Erfindung ist es, in multimasterfähigen Bussen mit relativ geringem schaltungstechnischen Aufwand einen schnelleren Informationsaustausch zwischen den datenverarbeitenden Einrichtungen zu gewährleisten.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine durch eine am multimasterfähigen Bus angeschaltete datenverarbeitende Einrichtung veränderbare Busvergabe, die unabhängig von den Prioritätsabhängigkeiten der Bearbeitung von Busanforderungen durch die Zuordnungseinrichtung ist, zu gewährleisten.

Zur Lösung der Aufgabe dient erfindungsgemäß ein Verfahren zur Busvergabe an datenverarbeitende Einrichtungen, die an einem multimasterfähigen Bus angeschlossen sind, wobei innerhalb eines Bustaktes aus kanalweise durch die Einrichtungen gesendeten Anforderungssignalen unter Berücksichtigung einer vorprogrammierten Zuordnungsvorschrift ein Zuordnungssignal gebildet und an die Einrichtung mit höchster Priorität übertragen wird. Zur Veränderung der Zuordnungsvorschrift erfolgt im ersten Buszyklus der buserhaltenden Einrichtung durch Neueinstellung einer voreingestellten Anforderungssperrmaske ein wahlweiser Ausschluß der datenverarbeitenden Einrichtungen durch Sperren der Anforderungssignale. Diese Neueinstellung wird im letzten Buszyklus der businnehabenden Einrichtung aufgehoben. Gegenstand der Erfindung ist außerdem eine Anordnung zur Busvergabe an datenverarbeitende Einrichtungen, deren Anforderungskanäle, über die Anforderungssignale zum Erhalt des multimasterfähigen Busses gesendet werden, mit einer Zuordnungseinrichtung verbunden sind, deren Ausgänge zu Zuordnungskanälen des multimasterfähigen Busses führen. Der Zuordnungseinrichtung ist für jeden Anforderungskanal eine Anforderungssperre vorgeschaltet, an der zur Auswahl des ankommenden Anforderungssignales über einen Eingang ein in einen aktiven bzw. inaktiven Zustand schaltbares Sperranforderungssignal anliegt.

Zur Zustandseinstellung ist jeder der Eingänge für das Sperranforderungssignal mit einem zugeordneten Ausgang eines Anforderungssperrmaskenregisters verbunden, mit dessen Eingängen einerseits die Ausgänge eines Multiplexers, an den sowohl Datenbusse als auch eine Voreinstelleinheit und der Rücksetzkanal des multimasterfähigen Busses geführt sind, andererseits über einen Enable-Eingang eine Verbindung zum Ausgang eines Masken-Enable-Verknüpfungsgliedes besteht. Das Verknüpfungsglied ist eingangsseitig mit dem Rücksetzkanal und mit dem Ausgang einer Schreibanforderungsauswahl verbunden, auf deren einen Eingang ein Schreibkanal liegt, der ebenfalls an den Rücksetzeingang eines Quittungssignalsenders geführt ist. Der Quittungssignalsender ist eingangsseitig über ein Verzögerungsglied mit dem Ausgang eines gleichzeitig an den anderen Eingang der Schreibanforderungsauswahl angeschlossenen Adreßdekoders verbunden.

Ausführungsbeispiel

Die Erfindung soll nachstehend anhand der schematischen Zeichnung näher erläutert werden. Es zeigen

Fig. 1: eine Anordnung zur maskenprogrammierten Busvergabe gemäß der Erfindung

Fig. 2: ein Taktschema für die Anordnung gemäß Fig. 1 für drei datenverarbeitende Einrichtungen.

Die Anordnung gemäß Fig. 1, die an einen multimasterfähigen Bus angeschlossen ist, beinhaltet N Anforderungssperrn 1, an deren jeweils einem Eingang ein zugeordneter Anforderungskanal AF_i , $i = 1, \dots, N$ einer datenverarbeitenden Einrichtung (nicht dargestellt) und am jeweils zweiten Eingang der zugeordnete Ausgang eines Anforderungssperrmaskenregisters 3 angeschlossen sind.

Die Ausgänge der Anforderungssperrn 1 führen zu den Eingängen einer Zuordnungseinrichtung 2, deren Ausgänge mit Zuordnungskanälen des multimasterfähigen Busses verbunden sind.

Die m Eingänge des Anforderungssperrmaskenregisters 3 sind mit den m Ausgängen eines $(2 \times m \text{ zu } m)$ -Multiplexers 4 verknüpft. Der Enable-Eingang CS ist mit dem Ausgang eines Masken-Enable-Verknüpfungsgliedes 5 verschaltet. Ein Eingang des Masken-Enable-Verknüpfungsgliedes 5 ist an den Rücksetzkanal RESET des multimasterfähigen Busses geführt, der zweite Eingang ist mit dem Ausgang einer Schreibanforderungsauswahl 7 verbunden. Das Verknüpfungsglied 5 setzt den aktiven Zustand des RESET-Signals oder den aktiven Zustand des Ausgangssignals der Schreibanforderungsauswahl 7 in den aktiven Zustand des Enable-Einganges des Anforderungssperrmaskenregisters 3 um.

Ein Eingang der Schreibanforderungsauswahl 7 ist mit einem Schreibkanal WR des multimasterfähigen Busses verknüpft, der ebenfalls an den Rücksetzeingang eines Quittungssignalsenders 10 geschaltet ist. Der zweite Eingang der Schreibanforderungsauswahl 7 ist mit dem Ausgang eines Adreßdekoders 8 verbunden.

Der Ausgang der Schreibanforderungsauswahl 7 ist aktiv, wenn das Schreibkommando und der Adreßdekoderausgang aktiv sind. Der Ausgang des Adreßdekoders ist weiterhin mit dem Eingang eines Verzögerungsgliedes 9 gekoppelt, dessen Ausgang an den Eingang des Quittungssignalsenders 10 führt. Der Ausgang des Quittungssignalsenders 10 ist mit dem Quittungssignalkanal QS des multimasterfähigen Busses verbunden und genau dann aktiv, wenn der Adreßdeko- der 8 die Adresse des Anforderungssperrmaskenregisters 3 selektiert hat, gleichzeitig das Schreibkommando aktiv, und das Setzen des

Anforderungssperrmaskenregisters 3 abgeschlossen ist. Der Quittungssignalsender 10 wird bei inaktivem Schreibkommando WR im inaktiven Zustand gehalten. Der Adreßdekoder 8 ist eingangsseitig zum einen mit Adreßkanälen AB des multimasterfähigen Busses, zum anderen mit den Ausgängen einer nicht dargestellten Adreßvoreinstelleinheit verbunden. Der $(2 \times m \text{ zu } m)$ -Multiplexer 4 ist einerseits mit Datenbuskanälen DB des multimasterfähigen Busses verbunden, andererseits liegen die Ausgänge einer Voreinstelleinheit 6 für den Anfangszustand des Anforderungssperrmaskenregisters 3 an weiteren Eingängen des Multiplexers 4 an.

Die Auswahl, ob die Information der Datenbuskanäle DB oder die Ausgänge der Voreinstelleinheit 6 zum Anforderungssperrmaskenregister 3 gemultiplext werden, erfolgt mit dem RESET-Signal. Bei aktivem Pegel auf dem Rücksetzkanal RESET gelangt der Voreinstellwert zum Anforderungssperrmaskenregister 3, sonst die Information der Datenbuskanäle DB.

Die Erfindung soll anhand eines Rechnersystems mit multimasterfähigem Bus sowie drei datenverarbeitenden Einrichtungen erläutert werden.

Im Einschaltzustand des Rechnersystems erfolgt über eine RESET-Einheit die Anfangsinitialisierung des Rechnersystems durch das Aktivsetzen des RESET-Signals auf dem Rücksetzkanal RESET des multimasterfähigen Busses.

Damit schaltet der Multiplexer 4 den $m + 1$ -breiten Voreinstellwert DAT0...DAT m der Voreinstelleinheit 6 für den Anfangszustand der Anforderungssperrmaske zu den Eingängen des Anforderungssperrmaskenregisters 3 durch. Über das Masken-Enable Verknüpfungsglied 5 wird durch den Aktivzustand des RESET-Signals der Enable-Eingang CS des Anforderungssperrmaskenregisters 3 aktiv, so daß der Voreinstellwert eingeschrieben wird. Der Voreinstellwert ist in diesem Beispiel so gewählt, daß die Sperranforderungssignale SAFv mit $v = 1 \dots N$ und $N = 3$ den inaktiven Zustand innehaben.

In Abhängigkeit des programmtechnischen Zustandes des Rechnersystems tritt die Situation ein, daß die datenverarbeitende Einrichtung mit dem dritten Prioritätsniveau ein Programmteil mit Informationsaustausch über den multimasterfähigen Bus schneller zu erledigen hat, wobei die datenverarbeitende Einrichtung mit dem zweiten Prioritätsniveau stets bei Bedarf den Bus anfordern kann und bekommen muß. Die dritte datenverarbeitende Einrichtung bewirbt sich über den Anforderungskanal AF3 um die Busherrschaft. Nach dem für die dritte datenverarbeitende Einrichtung die Erlaubnis für die Busbelegung erteilt worden ist und die businnehabende Einrichtung den Bus abgegeben hat, übernimmt die dritte datenverarbeitende Einrichtung die Busherrschaft. In ihrem ersten auszuführenden Buszyklus sendet sie in einem Schreibbuszyklus die Adresse des Anforderungssperrmaskenregisters 3 und die neue Anforderungssperrmaskenbelegung DB0 = aktiver Zustand für SAF 1; DB 1, DB 2 = inaktiver Zustand für SAF 2, 3 aus.

Diese Datenbusbelegung gelangt bei inaktivem RESET-Signal über den Multiplexer 4 an die Eingänge des Anforderungssperrmaskenregisters 3. Die Adresse wird im Adreßdekoder 8 dekodiert. Der Ausgang des Adreßdekoders 8 wird aktiv.

Mit dem aktiven Schreibkommando wird der Enable-Eingang des Anforderungssperrmaskenregisters 3 ebenfalls aktiv, so daß die nun aktuelle Eingangsbelegung in das Register 3 übernommen wird.

Mit Aktivwerden der Belegung an der Anforderungssperre 1,1 verbleibt der Ausgang AF 1,1 im inaktiven Anforderungszustand. Der aktive Zustand des Adreßdekoderausganges wird über das Verzögerungsglied 9 an den Quittungssignalsender 10 übertragen, der durch das aktive Schreibkommando sendebereit ist. Der Quittungssignalsender 10 sendet das Quittungssignal erst, wenn die Anforderungssperrmaske an den Anforderungssperren 1 wirksam geworden ist. Ist der schneller zu bearbeitende Programmteil abgeschlossen, so folgt die Abarbeitung eines Schreibbefehles (der einem Schreibbuszyklus auf dem Bus entspricht) auf die Adresse des Anforderungssperrmaskenregisters 3, wo z. B. die ursprüngliche auf dem Datenbus des multimasterfähigen Busses liegende Anforderungssperrmaske eingeschrieben wird. Die Wirkung der erfinderischen Anordnung in diesem letzten Buszyklus ist äquivalent der im 1. Buszyklus beschriebenen.

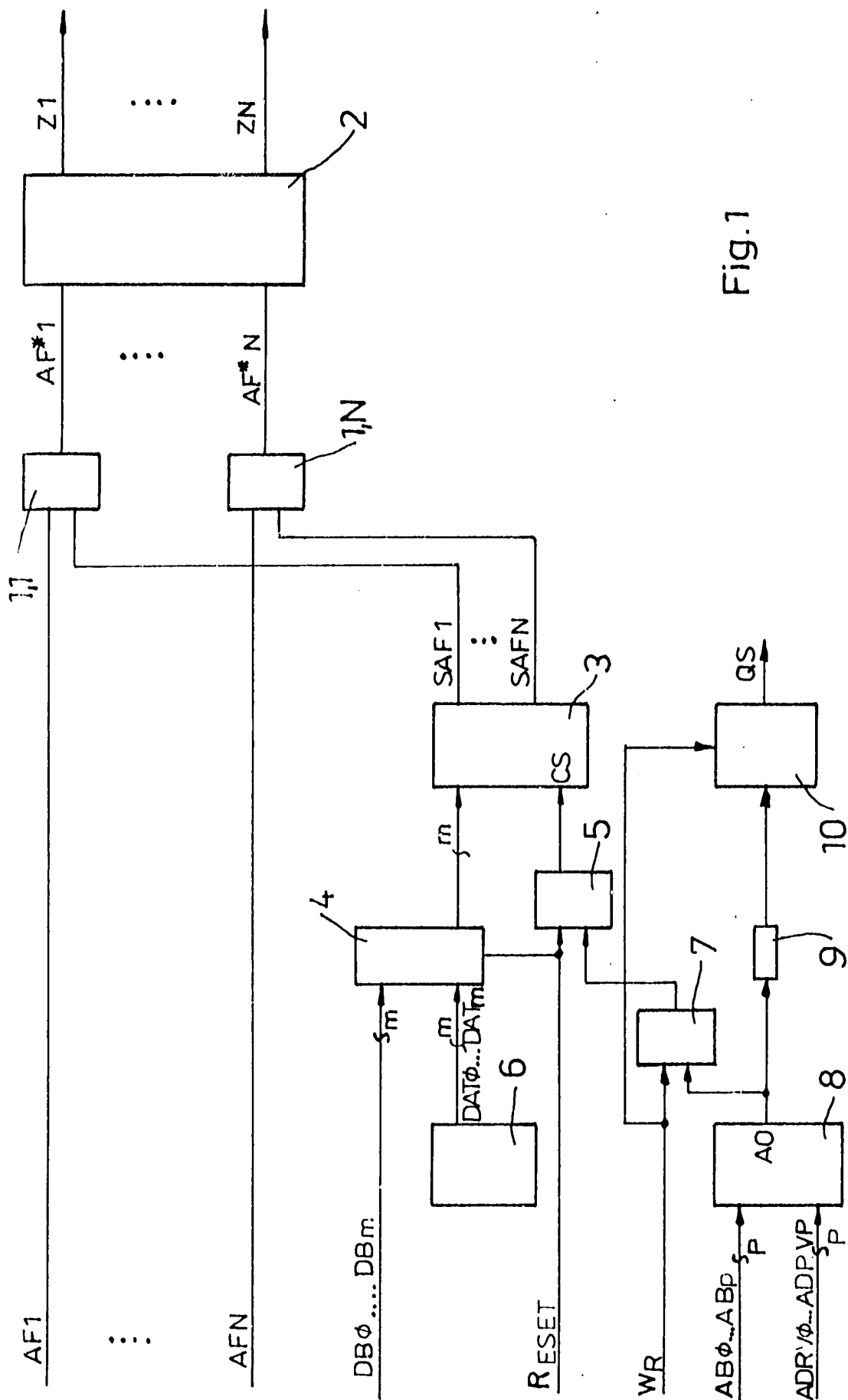


Fig.1

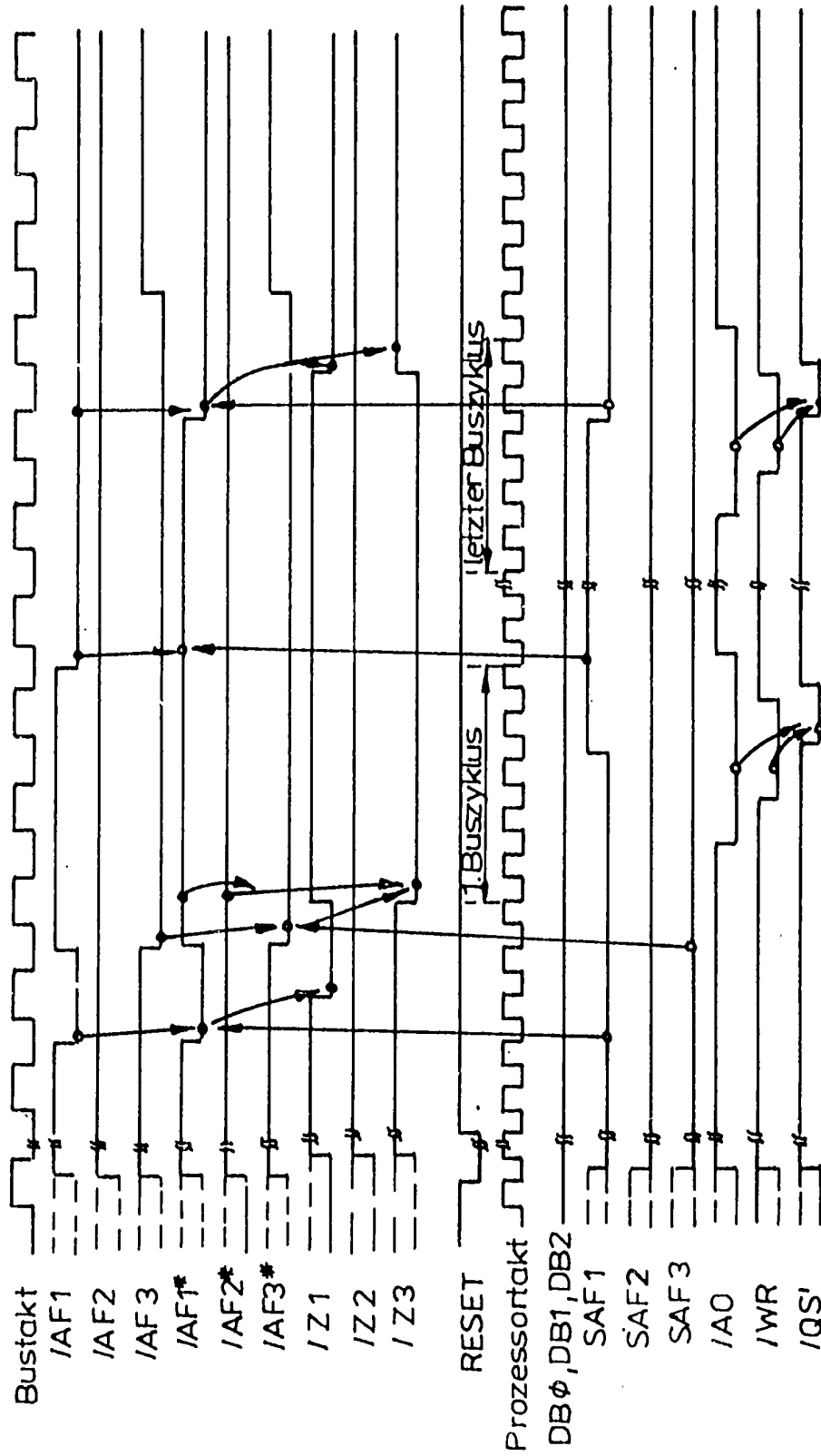


Fig. 2