

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-525463
(P2004-525463A)

(43) 公表日 平成16年8月19日(2004.8.19)

(51) Int.C1.⁷

G06T 5/20

G06T 1/00

H04N 1/409

F 1

G06T 5/20

G06T 1/00

H04N 1/40

テーマコード(参考)

5B057

5C077

1O1C

審査請求 未請求 予備審査請求 有 (全 36 頁)

(21) 出願番号 特願2002-578245 (P2002-578245)
 (86) (22) 出願日 平成14年3月7日 (2002.3.7)
 (85) 翻訳文提出日 平成15年9月29日 (2003.9.29)
 (86) 國際出願番号 PCT/US2002/007087
 (87) 國際公開番号 WO2002/080098
 (87) 國際公開日 平成14年10月10日 (2002.10.10)
 (31) 優先権主張番号 09/820,108
 (32) 優先日 平成13年3月28日 (2001.3.28)
 (33) 優先権主張国 米国(US)

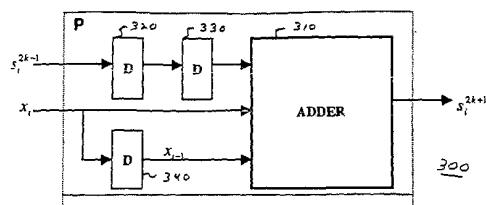
(71) 出願人 591003943
 インテル・コーポレーション
 アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション・カレッジ・ブーレバード・2200
 (74) 代理人 100064621
 弁理士 山川 政樹
 (72) 発明者 アチャリヤ, ティンク
 アメリカ合衆国・85226・アリゾナ州
 チャンドラー・ウェスト・エリー・ストリート・4840
 F ターム(参考) 5B057 AA20 CA01 CB01 CE06 CH09
 5C077 LL18 MP08 PP01 PP31 RR18
 TT10

最終頁に続く

(54) 【発明の名称】ピラミッド・フィルタ

(57) 【要約】

ピラミッドの実施形態を説明する。



【特許請求の範囲】**【請求項 1】**

ピラミッド・フィルタを含み、
前記ピラミッド・フィルタはローリング合計フィルタを含む
集積回路。

【請求項 2】

前記ローリング合計フィルタは、カスケード・ユニットのシーケンスを含み、前記各ユニットは異なる次数の状態変数信号サンプル・ストリームを生成する請求項 1 に記載の集積回路。

【請求項 3】

前記ユニットはマルチプライヤレス・ユニットを含む請求項 2 に記載の集積回路。

【請求項 4】

前記マルチプライヤレス・ユニットの少なくとも 1 つは 3 つの遅延ユニットおよび 1 つの加算器を含み、前記遅延ユニットおよび加算器が結合されて、より高い次数の状態変数信号サンプル・ストリームが入力信号サンプル・ストリームおよびより低い次数の状態変数信号サンプル・ストリームから生成される請求項 3 に記載の集積回路。

【請求項 5】

前記加算器は 3 入力加算器を含む請求項 4 に記載の集積回路。

【請求項 6】

より高いおよびより低い次数の状態変数信号サンプル・ストリームの間の次数の差は 2 である請求項 4 に記載の集積回路。

【請求項 7】

フィルタ・コンポーネントであって、
3 つの遅延ユニットおよび 1 つの加算器を含み、前記遅延ユニットおよび加算器が結合されて、より高い次数の状態変数信号サンプル・ストリームが、入力信号サンプル・ストリームおよびより低い次数の状態変数信号サンプル・ストリームから生成される、フィルタ・コンポーネント。

【請求項 8】

より高いおよびより低い次数の状態変数信号サンプル・ストリームの間の次数の差は 2 である請求項 7 に記載のフィルタ・コンポーネント。

【請求項 9】

前記加算器は 3 入力加算器を含む請求項 7 に記載のフィルタ・コンポーネント。

【請求項 10】

フィルタ・コンポーネントが、ローリング合計フィルタを形成するための構成において結合される請求項 7 に記載のフィルタ・コンポーネント。

【請求項 11】

第 1 の次数のフィルタリングされた状態変数信号サンプル・ストリームを生成する方法であって、

第 2 の次数のフィルタリングされた状態変数信号サンプル・ストリームを遅延させるステップであって、前記第 2 の次数は前記第 1 の次数より小さいステップと、

遅延された状態変数信号サンプル・ストリームを、入力信号サンプル・ストリームおよび遅延されたバージョンの入力信号サンプル・ストリームと合計するステップとを含む方法。

【請求項 12】

第 1 および第 2 の次数の間の差が 2 である請求項 11 に記載の方法。

【請求項 13】

遅延された状態変数信号ストリームが 2 クロック・サイクルだけ遅延され、入力信号サンプル・ストリームの遅延されたバージョンが 1 クロック・サイクルだけ遅延される請求項 11 に記載の方法。

【請求項 14】

10

20

30

40

50

実行されると、

第1の次数より小さい第2の次数のフィルタリングされた状態変数信号サンプル・ストリームを遅延させることと、

遅延された状態変数信号サンプル・ストリームを、入力信号サンプル・ストリームおよび遅延されたバージョンの入力信号サンプル・ストリームと合計することによって、

第1の次数のフィルタリングされた状態変数信号サンプル・ストリームを生成する命令を格納する記憶媒体を含む物品。

【請求項 15】

命令を実行すると、第1と第2の次数の間の差が2となる請求項14に記載の物品。

【請求項 16】

命令を実行すると、遅延された状態変数信号ストリームが2クロック・サイクルだけ遅延され、入力信号サンプル・ストリームの遅延されたバージョンが1クロック・サイクルだけ遅延される請求項14に記載の物品。

【請求項 17】

スキャンされたカラー画像をフィルタリングするための画像処理ユニットを含み、前記画像処理ユニットは少なくとも1つのピラミッド・フィルタを含み、前記少なくとも1つのピラミッド・フィルタはローリング合計フィルタを含む画像処理システム。

【請求項 18】

前記ローリング合計フィルタは、カスケード・ユニットのシーケンスを含み、前記各ユニットは異なる次数の状態変数信号サンプル・ストリームを生成する請求項17に記載の画像処理システム。

【請求項 19】

前記ユニットはマルチプライヤレス・ユニットを含む請求項18に記載の画像処理システム。

【請求項 20】

前記マルチプライヤレス・ユニットの少なくとも1つは3つの遅延ユニットおよび1つの加算器を含み、前記遅延ユニットおよび加算器が結合されて、より高い次数の状態変数信号サンプル・ストリームが、入力信号サンプル・ストリームおよびより低い次数の状態変数信号サンプル・ストリームから生成される請求項19に記載の画像処理システム。

【請求項 21】

前記加算器は3入力加算器を含む請求項20に記載の画像処理システム。

【請求項 22】

より高いおよびより低い次数の状態変数信号サンプル・ストリームの間の次数の差は2である請求項20に記載の画像処理システム。

【発明の詳細な説明】

【関連出願】

【0001】

(関連出願)

本出願は、2001年1月3日出願のTinku Acharyaの「Multiplexer less Pyramid Filter」という名称の米国特許出願第09/754,684号、および2001年3月26日出願のTinku Acharyaの「Two Dimensional Pyramid Filter Architecture」という米国特許出願第号(整理番号第042390.P11275号)に関連し、両方とも本発明の譲受人に譲渡され、参照により本明細書に組み込まれる。

【技術分野】

【0002】

本開示はピラミッド・フィルタに関する。

【背景技術】

【0003】

画像処理において、スキャンされたカラー画像など、画像を2つ以上の別々の画像表現に

10

20

30

40

50

分解することが望ましいことが多い。これに関連して、これらは背景画像および前景画像などと呼ばれる。たとえば、カラーまたはグレー・スケールの文書画像を、拡張、圧縮など、通常のフォトコピー機またはスキャナ・デバイスに適用されるような効率的な画像処理オペレーションのために、背景および前景画像に分解することがある。このオペレーションはデスクリーニング・オペレーションと呼ばれることがある。このデスクリーニングはまた時として、元のスキャンされた画像に存在する可能性のあるハーフトーン・パターンを除去するためにも適用される。たとえば、これらのハーフトーン・パターンは、適切に除去されない場合、人の目に対して好ましくないアーチファクトを引き起こすことがある。この分解またはデスクリーニングのための従来の手法は、カラー画像をぼかす(blur)ためにこのカラー画像をフィルタリングすることである。次いで、これらのぼかされた結果が使用されて、分解を行うためにどのくらいイメージをぼかすかおよび鮮銳にするかを決定する助けとされる。通常、このぼかしは、「対称ピラミッド」フィルタを使用して達成することができる。対称ピラミッド有限インパルス応答(FIR)フィルタが周知である。

10

【0004】

しかし、この画像処理技術の1つの不都合は、ぼかした多数の画像を生成するためにいくつかの異なるサイズのピラミッド・フィルタを並行に適用して、上で説明した技術が適用されるとき、複雑さが何倍にも増すことである。この多数のピラミッド・フィルタリング手法のための強引な手法は、多数のFIRフィルタを並行に使用することであり、これを図1に例示する。このような手法は、ぼかされた異なる画像を並行に单一のソース画像から生成するための高速な「対称ピラミッド・フィルタリング」アーキテクチャの設計および実施が望ましい可能性があることを明示する。

20

【0005】

図1の各FIRプロックに対して括弧内で提供した数字は対応する長さのピラミッド・フィルタを表す。たとえば、(1, 2, 1)は、次数または長さ3の対称ピラミッド・有限インパルス応答(FIR)フィルタについてのフィルタ係数である。同様に、(1, 2, 3, 2, 1)は、次数5のFIRピラミッド・フィルタについての係数、などである。

20

【0006】

残念ながら、図1で説明した手法には不都合がある。たとえば、冗長計算の結果として効率の悪さが生じる可能性がある。同様に、FIRの実装形態はしばしば乗算回路を使用する。シフトおよび加算回路によるなど、乗算器の使用を低減または回避するための実装形態は存在するが、次いでこの結果としてクロッキングが増加する可能性があり、よって回路のスループットが低減する可能性がある。

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

したがって、ピラミッド・フィルタリングの実現またはアーキテクチャを改善するための必要性が存在する。

【発明を実施するための最良の形態】

【0008】

考慮する主題を特に、本明細書の結びの部分において指摘し、明確に主張する。しかし、この主張は、その目的、特徴および利点と共にオペレーションの構成および方法について、以下の詳細な説明を添付の図面と共に読むときに参照することにより最適に理解することができる。

40

【0009】

以下の詳細な説明では、主張する主題の十分な理解を提供するために、多数の特定の詳細を述べる。しかし、主張する主題をこれらの特定の詳細なしに実施できることは、当業者には理解されよう。他の場合では、周知の方法、手順、コンポーネントおよび回路については、主張する主題を不明瞭にしないようにするため、詳細に説明していない。

【0010】

50

前述のように、ピラミッド・フィルタリング、特に対称ピラミッド・フィルタリングを、画像をたとえば背景および前景画像などに分解またはデスクリーニングするために、カラー画像またはカラー画像処理と関連して使用することができる。主張する主題はこの点における範囲に限定されないが、このような状況において、計算の複雑さまたは処理および/またはハードウェア・コストを低減するピラミッド・フィルタリング・アーキテクチャは特に望ましい。同様に、マルチプライヤレスである、すなわち実装態様において特に乗算を使用しない実装も通常は望ましく、これはこのような実装または実施形態が、乗算回路を使用または包含するものよりも安価であるからである。したがって、より少数の乗算を使用する実装態様が望ましい。

【0011】

10

主張する主題はこの点における範囲に限定されないが、図2は、提案するピラミッド・フィルタを実施するために使用することができる「ローリング合計フィルタ」またはRSFアーキテクチャの一実施形態200を例示し、これを以下でより詳細に説明する。実施形態200は、統合カスケード・ローリング合計フィルタリング・アーキテクチャを含んで、長さ3、5、7のものなど、異なる次数を有する一連またはシーケンスの合計フィルタについて、多数の合計された状態変数信号ストリーム $S_2, S_3, S_4, \dots, S_7$ を生成し、この状態変数信号ストリームの生成を並行に発生させる。この特定の実施形態では、主張する主題はこの点における範囲に限定されないが、フィルタリングされた状態変数信号ストリームが、実施中の異なる次数の各フィルタについてあらゆるクロック・サイクル上で生成される。したがって、計算上効率がよいことに加えて、この特定の実施形態は、スループットに関してよい結果を生じる。以下でより詳細に説明するように、状態変数信号ストリームを使用して、図4に示すようなピラミッド・フィルタリングされた出力信号ストリームを生成することができる。

20

【0012】

図2は特定の表記法に関連して理解される。たとえば、入力ソース信号Xを以下のように示すことができる。

$$X = (X_0, X_1, \dots, X_{i-2}, X_{i-1}, X_i, X_{i+1}, X_{i+2}, \dots)$$

【0013】

30

デジタルまたは離散的信号処理では、フィルタリングを入力信号XおよびフィルタFの重畳(\times)として表現することができ、これに関連してこのフィルタは有限長のデジタル・フィルタであり、ここでは有限インパルス応答(FIR)フィルタと呼ばれる。したがって、フィルタリングされた出力信号ストリームが以下のように示される。(訳注: 本明細書において(\times)は原文における丸の中に \times が入った記号を表している。)

40

$$Y = X (\times) F$$

【0014】

前述のように、この特定の実施形態はピラミッド・フィルタを使用する。これらのフィルタは通常、3、5、7、9など、奇数である長さまたは次数のデジタル・フィルタを使用して実施される。これをたとえば $M = 2N + 1$ として表現することができ、ただしNは1より大きい正の整数である。このようなデジタル・フィルタのいくつかの例は以下の通りである。

40

$$F_3 = (1, 2, 1)$$

$$F_5 = (1, 2, 3, 2, 1)$$

$$F_7 = (1, 2, 3, 4, 3, 2, 1)$$

$$F_9 = (1, 2, 3, 4, 5, 4, 3, 2, 1)$$

$$\dots$$

$$F_M = (1, 2, 3, \dots, N, \dots, 3, 2, 1)$$

【0015】

前述のフィルタでは、フィルタリングされた出力信号または出力信号ストリームを以下のように表現することができる。

$$B^3 = X (\times) F_3 = (b_0^3, b_1^3, \dots, b_{i-1}^3, b_i^3, b_{i+1}^3, \dots), F_3$$

50

によってフィルタリングされた入力信号 X の結果

$$B^5 = X(x) F_5 = (b_0^5, b_1^5, \dots, b_{i-1}^5, b_i^5, b_{i+1}^5, \dots), F_5$$

によってフィルタリングされた入力信号 X の結果

$$B^7 = X(x) F_7 = (b_0^7, b_1^7, \dots, b_{i-1}^7, b_i^7, b_{i+1}^7, \dots), F_7$$

によってフィルタリングされた入力信号 X の結果

$$B^9 = X(x) F_9 = (b_0^9, b_1^9, \dots, b_{i-1}^9, b_i^9, b_{i+1}^9, \dots), F_9$$

によってフィルタリングされた入力信号 X の結果

$$\dots B^M = X(x) F_M = (b_0^M, b_1^M, \dots, b_{i-1}^M, b_i^M, b_{i+1}^M, \dots), F_M$$

によってフィルタリングされた入力信号 X の結果

10

【0 0 1 6】

これらのフィルタリングされた出力信号サンプルを経験的に表現する代替方法は以下の通りである。

$$b_i^3 = x_{i-2} + 2x_{i-1} + x_i$$

$$b_i^5 = x_{i-4} + 2x_{i-3} + 3x_{i-2} + 2x_{i-1} + x_i$$

$$b_i^7 = x_{i-6} + 2x_{i-5} + 3x_{i-4} + 4x_{i-3} + 3x_{i-2} + 2x_{i-1} + x_i$$

$$b_i^9 = x_{i-8} + 2x_{i-7} + 3x_{i-6} + 4x_{i-5} + 5x_{i-4} + 4x_{i-3} + 3x_{i-2} + 2x_{i-1} + x_i$$

【0 0 1 7】

同様にこれに関連して、状態変数と呼ばれるものを導入することによって、上の式を以下のように表現し直すことができる。

$$b_i^3 = x_{i-1} + s_i^3, \text{ ただし } s_i^3 = x_{i-2} + x_{i-1} + x_i$$

$$b_i^5 = b_{i-1}^3 + s_i^5, \text{ ただし } s_i^5 = x_{i-4} + x_{i-3} + x_{i-2} + x_{i-1} + x_i$$

$$b_i^7 = b_{i-1}^5 + s_i^7, \text{ ただし } s_i^7 = x_{i-6} + x_{i-5} + x_{i-4} + x_{i-3} + x_{i-2} + x_{i-1} + x_i$$

$$b_i^9 = b_{i-1}^7 + s_i^9, \text{ ただし } s_i^9 = x_{i-8} + x_{i-7} + x_{i-6} + x_{i-5} + x_{i-4} + x_{i-3} + x_{i-2} + x_{i-1} + x_i$$

【0 0 1 8】

以下でより詳細に説明する図 4 の検討は、計算された出力信号ストリーム B_3, B_5, B_7, B_9 などを、図 2 に示す実施形態を図 4 に示す実施形態の一部として使用することによって生成できることを例示するものである。

【0 0 1 9】

図 5 は、図 2 に示したようにそれぞれ生成された、状態変数信号または状態変数信号ストリーム $S_2, S_3, S_4, \dots, S_7$ の入力順のシーケンスを例示する表であり、図 3 に関連してより詳細に説明する。同様に、図 6 は、フィルタリングされた出力信号ストリーム B_3, B_5, B_7 などの入力順のシーケンスを示す表である。図 4 に例示するように、これらの出力信号ストリームは、275、285 および 295 などの加算器、および 270、280 および 290 などの遅延を使用することによって生成される。

【0 0 2 0】

フィルタリングされた出力信号ストリーム B_3, B_5, B_7 を提供することに加えて、図 6 の表は、図 2 に示すピラミッド・フィルタ・アーキテクチャの実施形態に適用されるように、クロッキングの入力順においてこれらのフィルタリングされた出力信号ストリームを生成して、状態変数信号サンプル・ストリームを生成することを例示する。前述のように、出力信号ストリームは、 x_i および s_i などの信号サンプル、すなわち入力信号サンプルおよび状態変数信号サンプルから生成することができ、これを以下でより詳細に説明する。

【0 0 2 1】

図 6 に示す表は、 b_1^7 が、先に提供した式によって入力信号 b_1^5 を s_1^7 に加算することによって生成されることを例示する。信号 b_1^5 は 1 クロック・サイクルだけ遅延される。これはたとえば、図 4 の遅延要素またはデジタル遅延ユニット 290 によって実施される。

40 50

したがって、1クロック・サイクルだけ遅延された出力信号サンプル B_5 が状態変数信号サンプル S_7 と合計されて、出力信号サンプル B_7 が生成される。同様に、デジタル遅延ユニット 280 を使用して、出力信号サンプル・ストリーム B_5 を生成することができる。同様に、入力信号サンプル・ストリーム X を遅延させ、 S_3 と合計させて、ピラミッド・フィルタ出力信号サンプル・ストリーム B_3 を生成することができる。

【0022】

図2に示すR S F アーキテクチャの実施形態は、図3に示すような300などのコンポーネントまたはサブコンポーネントの一実施形態を含むことに留意されたい。図3に示す実施形態300は、3つの遅延ユニット310、320および330、および3入力ポート加算器340を含むコンポーネントを含む。3入力または3入力ポート加算器がこの特定の実施形態で使用されて、高速の実施態様が提供される。

10

【0023】

この特定の実施形態では、遅延ユニットおよび加算器が結合されて、より高い次数のフィルタリングされた状態変数信号サンプルまたは信号サンプル・ストリームが、入力信号サンプルまたは信号サンプル・ストリーム、およびより低い次数のフィルタリングされた状態変数信号サンプルまたは信号サンプル・ストリームから生成される。たとえば、図3に示す実施形態を参照すると、 x_i は、入力信号サンプルまたは信号サンプル・ストリームを含み、 s_i^{2k-1} は、より低い次数のR S F フィルタリングされた状態変数信号サンプルまたは信号サンプル・ストリームを含み、 s_i^{2k+1} は、より高い次数のR S F フィルタリングされた状態変数信号サンプルまたは信号サンプル・ストリームを表す。したがって、この特定の実施形態では、より高いおよびより低い次数の状態変数信号サンプルまたは信号サンプル・ストリームの間の次数の差は2であるが、主張する主題はこの点における範囲に限定されることは言うまでもない。

20

【0024】

図4は、図2に示すR F S アーキテクチャの実施形態を含むピラミッド・フィルタの一実施形態の概略図である。図4では、R F S アーキテクチャの実施形態を200として示す。したがって、図4に示さないが、200は、図2に示す210、220または230などのコンポーネントまたはサブコンポーネントを含む。図4に示す実施形態は集積回路400上に実装されるが、主張する主題はこの点における範囲に制限されないことに留意されたい。

30

【0025】

特定の実施形態を上に説明したが、主張する主題は特定の実施形態または実施態様の範囲に限定されることは言うまでもなく理解されよう。たとえば、一実施形態はハードウェアで実現できるのに対して、別の実施形態はソフトウェアで実現することができる。同様に、一実施形態をファームウェア、またはたとえばハードウェア、ソフトウェアまたはファームウェアのいずれかの組み合わせとして実現することができる。同様に、主張する主題はこの点における範囲に限定されないが、一実施形態は、記憶媒体などを含むことができる。このような記憶媒体、たとえばC D - R O M またはディスクなどは、命令を格納しておくことができ、この命令が、たとえばコンピュータ・システムまたはプラットフォーム、またはイメージング・システムなどのシステムによって実行されるとき、結果として一実施形態となることができ、これはたとえば前述のように、画像またはビデオをフィルタリングまたは処理する方法の一実施形態などである。たとえば、画像処理プラットフォームまたは画像処理システムは、画像処理ユニット、ビデオまたは画像入力／出力デバイスおよび／またはメモリを含むことができる。

40

【0026】

ある特徴を本明細書に例示し、説明したが、多数の修正、代用、変更および等価物はこのとき当業者には想起されよう。したがって、付属の特許請求の範囲は、このようなすべての修正および変更を、主張する主題の真の精神内に入るるものとして包含するように意図されることを理解されたい。

【図面の簡単な説明】

50

【 0 0 2 7 】

【図1】有限インパルス応答(FIR)多重ピラミッド・フィルタリング・アーキテクチャを実施するための強引な手法を例示するブロック図である。

【図2】ローリング合計フィルタ(R S F)の一実施形態の一部の図である。

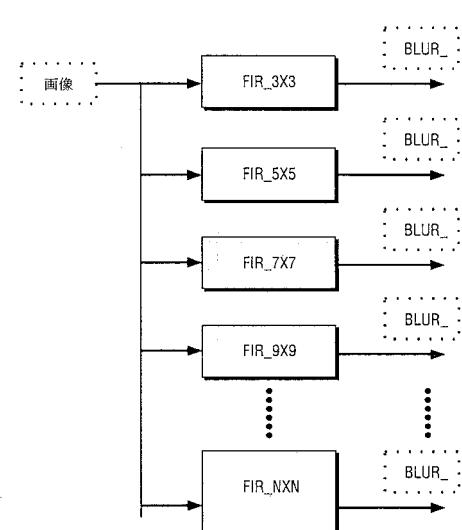
【図3】図2のコンポーネントまたはサブコンポーネントの一実施形態の図である。

【図4】マルチプライヤレス・ピラミッド・フィルタの一実施形態における図2の実施形態の図である。

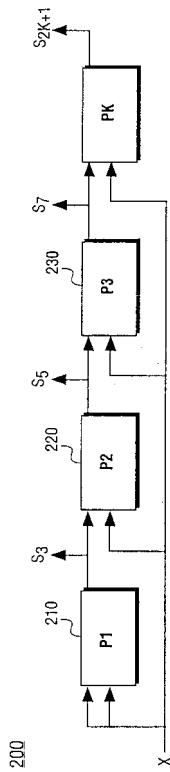
【図5】ローリング合計フィルタの一実施態様についての状態変数信号サンプルの入力順のシーケンスを示す表の図である。

【図6】ピラミッド・フィルタの一実施態様についてのフィルタリングされた出力信号サンプルの入力順のシーケンスを示す表の図である。 10

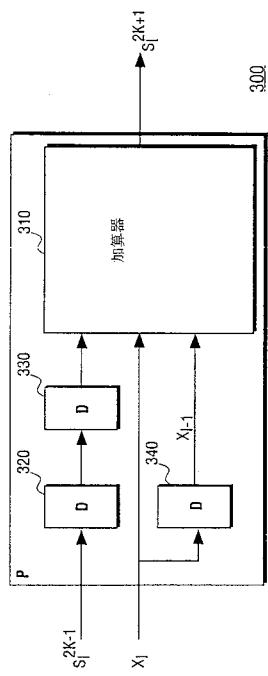
【図1】



【図2】



【図3】



【図5】

信号 S_3, S_5, \dots, S_{10} の入力順のシーケンス	
x	S_3
x_0	x_0
x_1	$x_0 + x_1$
x_2	$x_0 + x_1 + x_2$
x_3	$x_1 + x_2 + x_3$
x_4	$x_2 + x_3 + x_4$
x_5	$x_3 + x_4 + x_5$
x_6	$x_4 + x_5 + x_6$
x_7	$x_5 + x_6 + x_7$
x_8	$x_6 + x_7 + x_8$
x_9	$x_7 + x_8 + x_9$
x_{10}	$x_8 + x_9 + x_{10}$
S_5	x_0
S_7	x_0
	$x_0 + x_1$
	$x_0 + x_1 + x_2$
	$x_0 + x_1 + x_2 + x_3$
	$x_0 + x_1 + x_2 + x_3 + x_4$
	$x_0 + x_1 + x_2 + x_3 + x_4 + x_5$
	$x_0 + x_1 + x_2 + x_3 + x_4 + x_5 + x_6$
	$x_1 + x_2 + x_3 + x_4 + x_5 + x_6 + x_7$
	$x_2 + x_3 + x_4 + x_5 + x_6 + x_7 + x_8$
	$x_3 + x_4 + x_5 + x_6 + x_7 + x_8 + x_9$
	$x_4 + x_5 + x_6 + x_7 + x_8 + x_9 + x_{10}$
	$x_5 + x_6 + x_7 + x_8 + x_9 + x_{10}$
	$x_6 + x_7 + x_8 + x_9 + x_{10}$
	$x_7 + x_8 + x_9 + x_{10}$
	$x_8 + x_9 + x_{10}$

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
10 October 2002 (10.10.2002)

PCT

(10) International Publication Number
WO 02/080098 A2

(51) International Patent Classification: G06T 5/00 (81) Designated States (national): AE, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CI, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, IIR, IU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PI, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(21) International Application Number: PCT/US02/07087

(22) International Filing Date: 7 March 2002 (07.03.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/820,108 28 March 2001 (28.03.2001) US

(71) Applicant (for all designated States except US): INTEL CORPORATION [US/US]; 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).

(72) Inventor; and
(75) Inventor/Applicant (for US only): ACHARVA, Tinku [IN/US]; 4840 West Eric Street, Chandler, AZ 85226 (US).

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), European patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BI, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SI, TR), OAPI patent (BF, BJ, CI, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(74) Agents: MALLIE, Michael, J. et al; Blakely Sokoloff Taylor & Zafman, 12400 Wilshire Boulevard, 7th Floor, Los Angeles, CA 90025 (US).

Published:
without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/080098 A2

(54) Title: PYRAMID FILTER

(57) Abstract: Embodiments of a pyramid are described.

WO 02/080098

PCT/US02/07087

PYRAMID FILTER

5 RELATED APPLICATIONS

This patent application is related to U.S. Patent Application Serial No. 09/754,684, titled "Multiplierless Pyramid Filter," filed January 3, 2001, by Tinku Acharya, and U.S. Patent Application Serial No. _____, titled "Two Dimensional Pyramid Filter Architecture," (attorney docket no. 042390.P11275), filed March 26, 2001, by Tinku Acharya, both assigned to the assignee of the present invention and herein incorporated by reference.

15 BACKGROUND

This disclosure is related to pyramid filters.

In image processing it is often desirable to decompose an image, such as 20 a scanned color image, into two or more separate image representations. In this context, these are referred to as background and foreground images. For example, a color or gray-scale document image can be decomposed into background and foreground images for efficient image processing operations such as enhancement, compression, etc. as applied in a typical photocopying 25 machine or scanner device. In this context, this operation is often referred to descreening operation. This descreening is also sometimes applied to remove halftone patterns that may exist in an original scanned image. For example, these

WO 02/080098

PCT/US02/07087

halftone patterns may cause objectionable artifacts for human eyes if not properly removed. The traditional approach for this decomposition or descreening is to filter the color image in order to blur it. These blurred results are then used to assist in determining how much to blur and sharpen the image in order to produce 5 the decomposition. Typically this blurring can be achieved using a "symmetric pyramid" filter. Symmetric pyramid finite impulse response (FIR) filters are well-known.

One disadvantage of this image processing technique, however, is that the 10 complexity increases many fold when a number of pyramid filters of different sizes are applied in parallel in order to generate multiple blurred images, to apply the technique as just described. A brute force approach for this multiple pyramid filtering approach is to use multiple FIR filters in parallel, as illustrated in FIG. 1. Such an approach demonstrates that the design and implementation of fast 15 "symmetric pyramid filtering" architectures to generate different blurred images in parallel from a single source image may be desirable.

The numbers provided in parenthesis for each FIR block in FIG. 1 represent the pyramid filter of corresponding length. For example, (1, 2, 1) are 20 the filter coefficients for a symmetric pyramid finite impulse response (FIR) filter of order or length 3. Likewise, (1, 2, 3, 2, 1) are the coefficients for an FIR pyramid filter of order 5, and so forth.

Unfortunately, the approach demonstrated in FIG. 1 has disadvantages. 25 For example, inefficiency may result from redundant computations. Likewise, FIR

WO 02/080098

PCT/US02/07087

implementations frequently employ multiplier circuits. While implementations exist to reduce or avoid the use of multipliers, such as with shifting and summing circuitry, that may then result in increased clocking and, hence, may reduce circuit through-put. A need, therefore, exists for improving pyramid filtering implementations or architectures.

5

BRIEF DESCRIPTION OF THE DRAWINGS

Subject matter regarded is particularly pointed out and distinctly claimed in 10 the concluding portion of the specification. The claimed, however, both as to organization and method of operation, together with objects, features, and advantages thereof, may best be understood by reference of the following detailed description when read with the accompanying drawings in which:

15 FIG. 1 is a block diagram illustrating a brute force approach to implementing a finite impulse response (FIR) multiple pyramid filtering architecture;

FIG. 2 is a portion of one embodiment of a rolling summation filter (RSF).
20

FIG. 3 is one embodiment of a component or subcomponent of FIG. 2;

FIG. 4 is the embodiment of FIG. 2 in an embodiment of a multiplierless 25 pyramid filter;

WO 02/080098

PCT/US02/07087

FIG. 5 is a table showing a chronological sequence of state variable signal samples for one implementation of rolling summation filter; and

FIG. 6 is a table showing a chronological sequence of filtered output signal samples for one implementation of a pyramid filter.

DETAILED DESCRIPTION

10 In the following detailed description, numerous specific details are set forth in order to provide a thorough understanding of the claimed subject matter. However, it will be understood by those skilled in the art that the claimed subject matter may be practiced without these specific details. In other instances, well-known methods, procedures, components and circuits have not been described in 15 detail in order so as not to obscure the claimed subject matter.

As previously described, pyramid filtering, in particular, symmetric pyramid filtering, may be employed in connection with color images or color image processing in order to decompose or descreen the image, such as into a 20 background and foreground image, for example. Although the claimed subject matter is not limited in scope in this respect, in such a context, pyramid filtering architectures that reduce computational complexity or processing and/or hardware cost are particularly desirable. Likewise, implementations that are 25 multiplierless, that is do not specifically employ multiplication in the implementation, are also desirable usually because such implementations or

WO 02/080098

PCT/US02/07087

embodiments are cheaper to implement than those that employ or include multiplier circuits. Thus, even implementations that employ fewer multiplications are desirable.

5 Although the claimed subject matter is not limited in scope in this respect, FIG. 2 illustrates one embodiment 200 of a "Rolling Summation Filter" or RSF architecture that may be used to implement a proposed pyramid filter, as described in more detail hereinafter. Embodiment 200 comprises a unified cascaded rolling summation filtering architecture to generate a multiple number
10 of summed state variable signal streams $S_2, S_3, S_4, \dots, S_7$ for a series or sequence of summation filters having different orders, such as of length 3, 5, 7 and so forth, the generation of the state variable signal streams occurring in parallel. In this particular embodiment, although the claimed subject matter is not limited in scope in this respect, a filtered state variable signal stream is produced on every clock
15 cycle for each filter of a different order being implemented. Therefore, in addition to being computationally efficient, this particular embodiment produces good results in terms of throughput. As shall be described in more detail hereinafter, the state variable signal streams may be employed to produce pyramid filtered output signal streams as shown in FIG. 4.

20

FIG. 2 is understood in the context of specific notation. For example, an input source signal, X , may be designated as follows:

25

$$X = (x_0, x_1, \dots, x_{i-2}, x_{i-1}, x_i, x_{i+1}, x_{i+2}, \dots)$$

5

WO 02/080098

PCT/US02/07087

In digital or discrete signal processing, filtering may be expressed as a convolution, \otimes , of the input signal, X , and a filter, F , in this context a digital filter of finite length, referred to here as a finite impulse response (FIR) filter.

5 Therefore, the filtered output signal stream is indicated as follows:

$$Y = X \otimes F$$

As previously described, this particular embodiment employs pyramid filters. These filters are typically implemented using digital filters of lengths or 10 orders that are odd, such as 3, 5, 7, 9, etc. This may be expressed, for example, as $M = 2N + 1$, where N is a positive integer greater than one. Some examples of such digital filters are as follows:

15 $F_3 = (1, 2, 1)$

$F_5 = (1, 2, 3, 2, 1)$

$F_7 = (1, 2, 3, 4, 3, 2, 1)$

$F_9 = (1, 2, 3, 4, 5, 4, 3, 2, 1)$

20

...

$F_M = (1, 2, 3, \dots, N, \dots, 3, 2, 1)$

25 For the foregoing filters, the filtered output signals or output signal streams
6

WO 02/080098

PCT/US02/07087

may be represented as follows:

$$B^3 = X \otimes F_3 = (b_0^3, b_1^3, \dots, b_{i-1}^3, b_i^3, b_{i+1}^3, \dots) \quad \text{result of input signal } X$$

5 filtered by F_3

$$B^5 = X \otimes F_5 = (b_0^5, b_1^5, \dots, b_{i-1}^5, b_i^5, b_{i+1}^5, \dots) \quad \text{result of input signal } X$$

filtered by F_5

$$B^7 = X \otimes F_7 = (b_0^7, b_1^7, \dots, b_{i-1}^7, b_i^7, b_{i+1}^7, \dots) \quad \text{result of input signal } X$$

filtered by F_7

$$10 \quad B^9 = X \otimes F_9 = (b_0^9, b_1^9, \dots, b_{i-1}^9, b_i^9, b_{i+1}^9, \dots) \quad \text{result of input signal } X$$

filtered by F_9

.....

$$15 \quad B^M = X \otimes F_M = (b_0^M, b_1^M, \dots, b_{i-1}^M, b_i^M, b_{i+1}^M, \dots) \quad \text{result of input signal } X$$

filtered by F_M

An alternate way to empirically represent these filtered output signal samples is

20 as follows:

$$b_i^3 = x_{i-2} + 2x_{i-1} + x_i$$

$$25 \quad b_i^5 = x_{i-4} + 2x_{i-3} + 3x_{i-2} + 2x_{i-1} + x_i$$

$$b_i^7 = x_{i-6} + 2x_{i-5} + 3x_{i-4} + 4x_{i-3} + 3x_{i-2} + 2x_{i-1} + x_i$$

$$b_i^9 = x_{i-8} + 2x_{i-7} + 3x_{i-6} + 4x_{i-5} + 5x_{i-4} + 4x_{i-3} + 3x_{i-2} + 2x_{i-1} + x_i$$

5 Likewise, by introducing what is referred to, in this context, as state variables, the above expressions may be re-expressed as follows:

$$b_i^3 = x_{i-1} + s_i^3, \text{ where } s_i^3 = x_{i-2} + x_{i-1} + x_i$$

$$10 b_i^5 = b_{i-1}^3 + s_i^5, \text{ where } s_i^5 = x_{i-4} + x_{i-3} + x_{i-2} + x_{i-1} + x_i$$

$$b_i^7 = b_{i-1}^5 + s_i^7, \text{ where } s_i^7 = x_{i-6} + x_{i-5} + x_{i-4} + x_{i-3} + x_{i-2} + x_{i-1} + x_i$$

$$b_i^9 = b_{i-1}^7 + s_i^9, \text{ where } s_i^9 = x_{i-8} + x_{i-7} + x_{i-6} + x_{i-5} + x_{i-4} + x_{i-3} + x_{i-2} + x_{i-1} +$$

15

A study of FIG. 4, as explained in more detail later, shall illustrate that the computed output signal streams, B_3, B_5, B_7, B_9 , etc. may be produced by employing the embodiment illustrated in FIG. 2 as a portion of the embodiment shown in FIG. 4.

20

FIG. 5 is a table illustrating a chronological sequence of state variable signals or state variable signal streams, $S_2, S_3, S_4, \dots, S_7$ generated respectively as illustrated in FIG. 2, and described in more detail in connection with FIG. 3.

Likewise, FIG. 6 is a table showing a chronological sequence of filtered output signal streams, B_3, B_5, B_7 , etc. As illustrated in FIG. 4, these output signal

WO 02/080098

PCT/US02/07087

streams are produced by employing adders, such as 275, 285, and 295, and delays, such as 270, 280 and 290.

In addition to providing the filtered output signal streams, B_3 , B_5 , B_7 , the table in FIG. 6 illustrates the generation of these filtered output signal streams in chronological order of clocking as applied to the pyramid filter architecture embodiment shown in FIG. 2 to produce the state variable signal sample streams. As previously illustrated, output signal streams may be produced from signal samples, such as x_i and s_i , that is the input signal samples and the state variable signal samples, as explained in more detail hereinafter.

The table shown in FIG. 6 illustrates that b_i^7 is generated by adding input signal b_i^5 to s_i^7 in accordance with the equations provided previously. The signal b_i^5 is delayed by one clock cycle. This is accomplished, for example, by delay element or digital delay unit 290 in FIG. 4. Therefore, output signal sample B_5 delayed by one clock cycle is summed with state variable signal sample S_7 to generate output signal samples B_7 . Likewise, digital delay unit 280 may be employed to generate output signal sample stream B_5 . Likewise, the input signal sample stream, X , may be delayed and summed with S_3 to generate pyramid filter output signal sample stream B_3 .

It is noted that the embodiment of a RSF architecture shown in FIG. 2 includes an embodiment of a component or subcomponent, such as 300, as shown in FIG. 3. Embodiment 300 shown in FIG. 3 comprises a component including three delay units 310, 320 and 330 and a three-input port adder 340.

WO 02/080098

PCT/US02/07087

A three-input or three-input port adder is employed in this particular embodiment to provide high speed implementation.

In this particular embodiment, the delay units and adder are coupled to produce higher order filtered state variable signal samples or signal sample streams from input signal samples or signal sample streams and lower order filtered state variable signal samples or signal sample streams. For example, referring to the embodiment shown in FIG. 3, x_i comprises the input signal sample or signal sample stream, s_i^{2k-1} comprises the lower order RSF filtered state variable signal samples or signal sample stream, and s_i^{2k+1} represents the higher order RSF filtered state variable signal samples or signal sample stream. Therefore, in this particular embodiment, the difference in order between the higher and lower order state variable signal samples or signal sample streams is two, although, of course, the claimed subject matter is not limited in scope in this respect.

FIG. 4 is a schematic diagram of an embodiment of a pyramid filter that includes the embodiment of an RFS architecture shown in FIG. 2. In FIG. 4, the RFS architecture embodiment is designated as 200. Therefore, although not shown in FIG. 4, 200 includes components or subcomponents, such as 210, 220 or 230, shown in FIG. 2. It is noted that the embodiment shown in FIG. 4 is implemented on an integrated circuit 400, although the claimed subject matter is not restricted in scope in this respect.

It will, of course, be understood that, although particular embodiments

WO 02/080098

PCT/US02/07087

have just been described, the claimed subject matter is not limited in scope to a particular embodiment or implementation. For example, one embodiment may be in hardware, whereas another embodiment may be in software. Likewise, an embodiment may be in firmware, or any combination of hardware, software, or 5 firmware, for example. Likewise, although the claimed subject matter is not limited in scope in this respect, one embodiment may comprise an article, such as a storage medium. Such a storage medium, such as, for example, a CD-ROM, or a disk, may have stored thereon instructions, which when executed by a system, such as a computer system or platform, or an imaging system, for example, may 10 result in an embodiment, such as an embodiment of a method of filtering or processing an image or video, for example, as previously described. For example, an image processing platform or an imaging processing system may include an image processing unit, a video or image input/output device and/or memory.

15

While certain features have been illustrated and described herein, many modifications, substitutions, changes and equivalents will now occur to those skilled in the art. It is, therefore, to be understood that the appended claims are intended to cover all such modifications and changes as fall within the true spirit 20 of the claimed subject matter.

Claims:

- 5 1. An integrated circuit comprising:
a pyramid filter;
said pyramid filter comprising a rolling summation filter.
- 10 2. The integrated circuit of claim 1, wherein said rolling summation
filter comprises a sequence of cascaded units, each of said units
producing a different order state variable signal sample stream.
- 15 3. The integrated circuit of claim 2, wherein said units comprise
multiplierless units.
- 20 4. The integrated circuit of claim 3, wherein at least one of said
multiplierless units comprises three delay units and an adder, said
delay units and adder being coupled to produce a higher order state
variable signal sample stream from an input signal sample stream and
a lower order state variable signal sample stream.
- 25 5. The integrated circuit of claim 4, wherein said adder comprises
a three-input adder.

WO 02/080098

PCT/US02/07087

6. The integrated circuit of claim 4, wherein the difference in order between the higher and lower order state variable signal sample stream is two.

5

7. A filter component comprising:
three delay units and an adder, said delay units and adder being coupled to produce a higher order state variable signal sample stream from an input signal sample stream and a lower order state variable signal sample stream.

10 8. The filter component of claim 7, wherein the difference in order between the higher and lower order state variable signal sample stream is two.

15

9. The filter component of claim 7, wherein the adder comprises a three-input adder.

10 20 10. The filter component of claim 7, wherein the filter component is coupled in a configuration to form a rolling summation filter.

WO 02/080098

PCT/US02/07087

11. A method of producing a filtered state variable signal sample stream of a first order comprising:
delaying a filtered state variable signal sample stream of a second order, said second order being less than said first order;
5 summing the delayed state variable signal sample stream with an input signal sample stream and a delayed version of the input signal sample stream.

12. The method of claim 11, wherein the difference between the first
10 and second order is two.

13. The method of claim 11, wherein the delayed state variable signal stream is delayed by two clock cycles and the delayed version of the input signal sample stream is delayed by one clock cycle.

15
14. An article comprising: a storage medium, said storage medium having stored thereon instructions, that, when executed result in producing a filtered state variable signal sample stream of a first order by:
20 delaying a filtered state variable signal sample stream of a second order, said second order being less than said first order;

WO 02/080098

PCT/US02/07087

summing the delayed state variable signal sample stream with an input signal sample stream and a delayed version of the input signal sample stream.

5 15. The article of claim 14, wherein the instructions, when executed, further result in the difference between the first and second order being two.

10 16. The article of claim 14, wherein the instructions, when executed, further result in the delayed state variable signal stream being delayed by two clock cycles and the delayed version of the input signal sample stream being delayed by one clock cycle.

15 17. An image processing system comprising:
an image processing unit to filter scanned color images;
said image processing unit including at least one pyramid filter;
said at least one pyramid filter comprising a rolling summation filter.

20 18. The image processing system of claim 17, wherein said rolling summation filter comprises a sequence of cascaded units, each of said units producing a different order state variable signal sample

WO 02/080098

PCT/US02/07087

stream.

19. The image processing system of claim 18, wherein said units comprise multiplierless units.

5

20. The image processing system of claim 19, wherein at least one of said multiplierless units comprises three delay units and an adder, said delay units and adder being coupled to produce a higher order state variable signal sample stream from an input signal sample

10 stream and a lower order state variable signal sample stream.

21. The image processing system of claim 20, wherein said adder comprises a three-input adder.

15 22. The image processing system of claim 20, wherein the difference in order between the higher and lower order state variable signal sample stream is two.

20

16

1/6

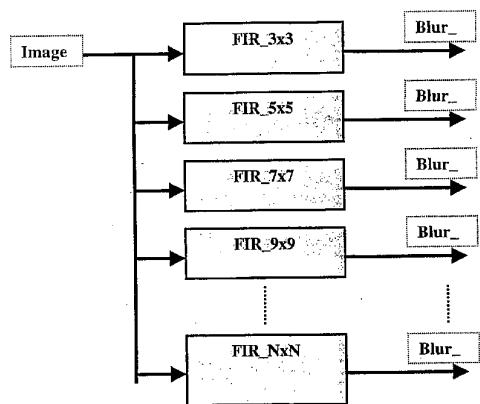


FIG. 1

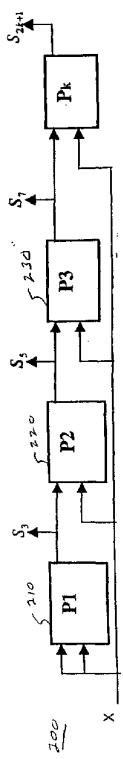
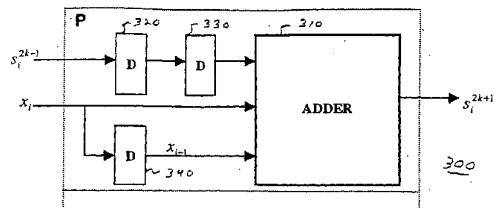


FIG. 2



$$F \pm G \cdot \beta$$

WO 02/080098

PCT/US02/07087

4/6

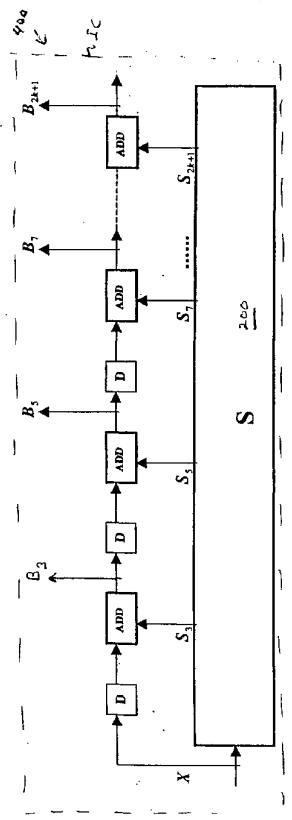


FIG. 4

Chronological Sequence of the signals S_3, S_5, \dots, S_7

X	S_3	S_5	S_7
x_0	x_0	x_0	x_0
x_1	$x_0 + x_1$	$x_0 + x_1$	$x_0 + x_1$
x_2	$x_0 + x_1 + x_2$	$x_0 + x_1 + x_2$	$x_0 + x_1 + x_2$
x_3	$x_1 + x_2 + x_3$	$x_0 + x_1 + x_2 + x_3$	$x_0 + x_1 + x_2 + x_3$
x_4	$x_2 + x_3 + x_4$	$x_0 + x_1 + x_2 + x_3 + x_4$	$x_0 + x_1 + x_2 + x_3 + x_4$
x_5	$x_3 + x_4 + x_5$	$x_1 + x_2 + x_3 + x_4 + x_5$	$x_0 + x_1 + x_2 + x_3 + x_4 + x_5$
x_6	$x_4 + x_5 + x_6$	$x_2 + x_3 + x_4 + x_5 + x_6$	$x_0 + x_1 + x_2 + x_3 + x_4 + x_5 + x_6$
x_7	$x_5 + x_6 + x_7$	$x_3 + x_4 + x_5 + x_6 + x_7$	$x_1 + x_2 + x_3 + x_4 + x_5 + x_6 + x_7$
x_8	$x_6 + x_7 + x_8$	$x_4 + x_5 + x_6 + x_7 + x_8$	$x_2 + x_3 + x_4 + x_5 + x_6 + x_7 + x_8$
x_9	$x_7 + x_8 + x_9$	$x_5 + x_6 + x_7 + x_8 + x_9$	$x_3 + x_4 + x_5 + x_6 + x_7 + x_8 + x_9$
x_{10}	$x_8 + x_9 + x_{10}$	$x_6 + x_7 + x_8 + x_9 + x_{10}$	$x_4 + x_5 + x_6 + x_7 + x_8 + x_9 + x_{10}$

FIG. 5

x	$S_3(B_3)$	$S_4(B_4)$	$S_7(B_7)$
x_0	$s_0^3 = x_0$ ($b_0^3 = 0 + s_0^3 = x_0$)	$s_0^4 = x_0$ ($b_0^4 = 0 + s_0^4 = x_0$)	$s_0^7 = x_0$ ($b_0^7 = 0 + s_0^7 = x_0$)
x_1	$s_1^3 = x_0 + x_1$ ($b_1^3 = x_0 + s_1^3 = 2x_0 + x_1$)	$s_1^4 = x_0 + x_1$ ($b_1^4 = b_0^3 + s_1^4 = 2x_0 + x_1$)	$s_1^7 = x_0 + x_1$ ($b_1^7 = b_0^4 + s_1^7 = 2x_0 + x_1$)
x_2	$s_2^3 = x_0 + x_1 + x_2$ ($b_2^3 = x_1 + s_2^3 = x_0 + 2x_1 + x_2$)	$s_2^4 = x_0 + x_1 + x_2$ ($b_2^4 = b_1^3 + s_2^4 = 3x_0 + 2x_1 + x_2$)	$s_2^7 = x_0 + x_1 + x_2$ ($b_2^7 = b_1^4 + s_2^7 = 3x_0 + 2x_1 + x_2$)
x_3	$s_3^3 = x_0 + x_1 + x_2 + x_3$ ($b_3^3 = x_1 + s_3^3 = x_1 + 2x_2 + x_3$)	$s_3^4 = x_0 + x_1 + x_2 + x_3$ ($b_3^4 = b_2^3 + s_3^4 = 2x_0 + 3x_1 + 2x_2 + x_3$)	$s_3^7 = x_0 + x_1 + x_2 + x_3$ ($b_3^7 = b_2^4 + s_3^7$)
x_4	$s_4^3 = x_2 + x_3 + x_4$ ($b_4^3 = x_3 + s_4^3 = x_2 + 2x_3 + x_4$)	$s_4^4 = x_0 + x_1 + x_2 + x_3 + x_4$ ($b_4^4 = b_3^3 + s_4^4 = x_0 + 2x_1 + 3x_2 + 2x_3 + x_4$)	$s_4^7 = x_0 + x_1 + x_2 + x_3 + x_4$ ($b_4^7 = b_3^4 + s_4^7$)
x_5	$s_5^3 = x_3 + x_4 + x_5$ ($b_5^3 = x_4 + s_5^3 = x_3 + 2x_4 + x_5$)	$s_5^4 = x_1 + x_2 + x_3 + x_4 + x_5$ ($b_5^4 = b_4^3 + s_5^4 = x_1 + 2x_2 + 3x_3 + 2x_4 + x_5$)	$s_5^7 = x_0 + x_1 + x_2 + x_3 + x_4 + x_5$ ($b_5^7 = b_4^4 + s_5^7$)
x_6	$s_6^3 = x_4 + x_5 + x_6$ ($b_6^3 = x_5 + s_6^3 = x_4 + 2x_5 + x_6$)	$s_6^4 = x_2 + x_3 + x_4 + x_5 + x_6$ ($b_6^4 = b_5^3 + s_6^4 = x_2 + 2x_3 + 3x_4 + 2x_5 + x_6$)	$s_6^7 = x_0 + x_1 + x_2 + x_3 + x_4 + x_5 + x_6$ ($b_6^7 = b_5^4 + s_6^7$)
x_7	$s_7^3 = x_5 + x_6 + x_7$ ($b_7^3 = x_6 + s_7^3 = x_5 + 2x_6 + x_7$)	$s_7^4 = x_3 + x_4 + x_5 + x_6 + x_7$ ($b_7^4 = b_6^3 + s_7^4 = x_3 + 2x_4 + 3x_5 + 2x_6 + x_7$)	$s_7^7 = x_1 + x_2 + x_3 + x_4 + x_5 + x_6 + x_7$ ($b_7^7 = b_6^4 + s_7^7$)
x_8	$s_8^3 = x_6 + x_7 + x_8$ ($b_8^3 = x_7 + s_8^3 = x_6 + 2x_7 + x_8$)	$s_8^4 = x_4 + x_5 + x_6 + x_7 + x_8$ ($b_8^4 = b_7^3 + s_8^4 = x_4 + 2x_5 + 3x_6 + 2x_7 + x_8$)	$s_8^7 = x_2 + x_3 + x_4 + x_5 + x_6 + x_7 + x_8$ ($b_8^7 = b_7^4 + s_8^7$)
x_9	$s_9^3 = x_7 + x_8 + x_9$ ($b_9^3 = x_8 + s_9^3 = x_7 + 2x_8 + x_9$)	$s_9^4 = x_5 + x_6 + x_7 + x_8 + x_9$ ($b_9^4 = b_8^3 + s_9^4 = x_5 + 2x_6 + 3x_7 + 2x_8 + x_9$)	$s_9^7 = x_3 + x_4 + x_5 + x_6 + x_7 + x_8 + x_9$ ($b_9^7 = b_8^4 + s_9^7$)
x_{10}	$s_{10}^3 = x_8 + x_9 + x_{10}$ ($b_{10}^3 = x_9 + s_{10}^3 = x_8 + 2x_9 + x_{10}$)	$s_{10}^4 = x_6 + x_7 + x_8 + x_9 + x_{10}$ ($b_{10}^4 = b_9^3 + s_{10}^4 = x_6 + 2x_7 + 3x_8 + 2x_9 + x_{10}$)	$s_{10}^7 = x_4 + x_5 + x_6 + x_7 + x_8 + x_9 + x_{10}$ ($b_{10}^7 = b_9^4 + s_{10}^7$)

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 02/07087
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06T5/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06T		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 829 378 A (LEGALL DIDIER J) 9 May 1989 (1989-05-09) abstract figure 3 column 6, line 14 - line 50 column 4, line 18 - line 29 ---	1-4, 7, 10, 11, 13, 14, 16-20
X	VAN DER WAL G S ET AL: "A VLSI PYRAMID CHIP FOR MULTIRESOLUTION IMAGE ANALYSIS" INTERNATIONAL JOURNAL OF COMPUTER VISION, KLUWER ACADEMIC PUBLISHERS, NORWELL, US, vol. 8, no. 3, 1 September 1992 (1992-09-01), pages 177-189, XP000328805 ISSN: 0920-5691 abstract ---	1
A	---	2-22 -/-
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
<p>* Special categories of cited documents :</p> <p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*U* document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p> <p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken together with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*S* document member of the same patent family</p>		
Date of the actual completion of the international search	Date of mailing of the International search report	
30 June 2003	10/07/2003	
Name and mailing address of the ISA European Patent Office, P.O. 6818 Patentlaan 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 91 651 epo nl Fax: (+31-70) 340-3016	Authorized officer Rockinger, O	

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/07087
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 561 617 A (VAN DER WAL GOOTZEN S) 1 October 1996 (1996-10-01) abstract	1-22
A	ABEYSEKERA S S ET AL: "Design of multiplier free FIR filters using a LADF sigma-delta (Sigma - Delta) modulator" 2000 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. EMERGING TECHNOLOGIES FOR THE 21ST CENTURY. PROCEEDINGS (IEEE CAT NO.00CH36353), ISCAS 2000 GENEVA. 2000 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. EMERGING TECHNOLOGIES FOR THE 21, pages 65-68 vol.2, XP001050266 2000, Lausanne, Switzerland, Presses Polytech. Univ. Romandes, Switzerland ISBN: 0-7803-5482-6 figure 1	1-22

Form PCT/ISA210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT			
Information on patent family members			
		International Application No PCT/US 02/07087	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4829378	A 09-05-1989	NONE	
US 5561617	A 01-10-1996	US 5359674 A 25-10-1994 DE 69231518 D1 23-11-2000 DE 69231518 T2 17-05-2001 EP 0571607 A1 01-12-1993 ES 2150935 T3 16-12-2000 WO 9312507 A1 24-06-1993	

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU, ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW