

公告本

90年11月15日修正/更正/補充

申請日期	90.9.4
案號	90101827
類別	HOLL 21/28

A4
C4

修正日期 90.11.15

(以上各欄由本局填註)

511165

發明專利說明書

一、發明 名稱	中文	自行對準雙載子電晶體的製造方法與結構(修正本)
	英文	
二、發明 創作人	姓名	1 莊淑雅 2 高境鴻 3 陳立哲
	國籍	中華民國
	住、居所	1 新竹縣寶山鄉雙溪村寶新路 147 巷 23 號 2 新竹縣竹東鎮五豐街 23 巷 39 弄 21 號 3 屏東市公興路 221 巷 16 號
三、申請人	姓名 (名稱)	聯華電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代表 姓名	曹興誠

經濟部智慧財產局員工消費合作社印製

裝

訂

線

五、發明說明（ ）

本發明係有關於一種雙載子連接電晶體 (Bipolar Junction Transistor, BJT) 的製造方法，且特別是有關於一種自行對準 (self-aligned) 雙載子電晶體的製造方法。

雙載子電晶體是一種同時利用電子和電洞 (hole) 這兩種載子 (carriers) 來傳導電流的電子元件。雙載子電晶體的結構是由兩組緊密的 pn 連接所組成的三接點 (three terminal) 元件。這三個接點分別為射極 (emitter)、基極 (base) 與集極 (collector)。然而，一般的雙載子電晶體，其射極與基極係以相同的材質接合，在電流增益 (current gain) 以及射極效率 (emitter efficiency) 的提升上具有其極限，為了改善上述的問題，因此採用了一種異質接合雙載子電晶體。

異質接合雙載子電晶體係指異質接合所形成的雙載子電晶體，此處所謂的異質接合係指射極與基極使用不同的材質相接合而形成。而異質接合雙載子電晶體在開關 (switch) 的應用上具有高電流增益以及具有極高的切斷頻率 (cut-off frequency) 等優點，並且在微波放大 (microwave amplifier) 的應用上具有高電能增益 (high power gain) 以及高電能密度 (high power density) 等優點。

第 1A 圖至第 1E 圖所繪示為習知一種異質接合雙載子電晶體的製造方法。

首先，請參照第 1A 圖，在具有集極端之基底 100 上沈積一層非選擇性 (non-selective) 的矽化鎳 (SiGe) 磊晶層 102，再於矽化鎳磊晶層 102 上沈積一層絕緣層 104。

五、發明說明（ \geq ）

接著，請參照第 1B 圖，以微影蝕刻的方法去除部份的絕緣層 104 以形成絕緣層 104a，再於基底 100 上依序沈積多晶矽導體層 106 以及絕緣層 108。接著，以微影蝕刻的方法去除部份的絕緣層 108 以及多晶矽導體層 106，形成露出絕緣層 104a 的開口 110。

接著，請參照第 1C 圖，在基底 100 上沈積一層共形的絕緣層 112，然後，在開口 110 的兩側壁形成間隙壁 114。

接著，請參照第 1D 圖，以間隙壁 114 為罩幕，蝕刻去除開口 110 中的絕緣層 112 以露出矽化鍺磊晶層 102。然後，在基底 100 上沈積一層多晶矽導體層 116。

接著，請參照第 1E 圖，以微影蝕刻的方法定義多晶矽導體層 116、絕緣層 112 以及絕緣層 108，以形成異質接合雙載子電晶體的射極 116a 以及基極 106a。

然而，依上述方法所形成的異質接合雙載子電晶體有下述的缺點：

在上述的製程中，由於射極與基極必須經由數道微影蝕刻的步驟形成，因此製程的裕度(windows)並不寬裕，使得在第 1E 圖的磊晶層 104 中，射極與基極的間距 120 的大小並不容易控制。此間距 120 過小的話，則會由於射極與基極的摻雜濃度很大而產生接面漏電流(junction leakage)的現象，此間距 120 過大的話，則會產生寄生電阻(parasite resistance)而降低元件的高頻特性的效能。

而且，如同一般所了解的，在微影製程中包含了一些前置以及後續的處理步驟而製程較為繁複。然而在上述的

五、發明說明 (3)

製程中，完成至如同第 1E 圖所示的結構至少需要三道微影蝕刻的製程，因此使得上述的製程變得相當的繁複，並且製造所耗費的時間以及成本較高。

因此，本發明的目的在提供一種自行對準雙載子電晶體的製造方法與結構，能夠使用自行對準的方法形成射極與基極，而具有較寬裕的製程裕度。

本發明的另一目的在提供一種自行對準雙載子電晶體的製造方法與結構，能夠減少微影製程的數目，以簡化製程且降低製造的時間以及成本。

爲了達成上述的目的，本發明提出一種自行對準雙載子電晶體的製造方法，此方法係首先提供一具有集極端之基底，且在基底上形成磊晶層以作爲基極。接著，在磊晶層上依序形成第一介電層、第二介電層，再於第二介電層中形成開口。然後，在開口側壁形成導體間隙壁，再以第二介電層以及導體間隙壁爲罩幕，去除開口中之第一介電層。其後，在開口中形成導體層以作爲射極，再完全去除第二介電層。此後對射極進行第一摻雜製程，並以射極與導體間隙壁爲罩幕，去除部份第一介電層，再以射極與導體間隙壁爲罩幕，對磊晶層進行第二摻雜製程，以使部份磊晶層成爲基極接觸區。

本發明提出一種自行對準雙載子電晶體的結構，此結構至少包括具有集極端之基底、基極、基極接觸區、射極以及導體間隙壁。其中基極係設置基底上，基極接觸區係設置於基極兩側之基底上，且射極係設置於基極上，而導

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (4)

體間隙壁係設置於射極上部的側壁位置。

本發明提供另一種自行對準雙載子電晶體的製造方法，此方法係提供一具有集極端之基底，且在基底上已形成磊晶層以作為基極，再於磊晶層上依序形成第一介電層、第二介電層、第三介電層以及第四介電層。接著，在第四介電層中形成開口，並於開口側壁形成導體間隙壁，再以第四介電層與導體間隙壁為罩幕，去除開口中之第三介電層、第二介電層以及第一介電層。然後，在第三介電層以及開口中形成共形的第一導體層，並對第一導體層進行第一摻雜製程，再於第一導體層上形成第二導體層，接著去除開口之外的第一導體層以及第二導體層，以在開口中形成第三導體層以作為射極。其後，完全去除第四介電層，並對射極進行第二摻雜製程，再以射極與導體間隙壁為罩幕，去除部份第三介電層。之後，以射極與導體間隙壁為罩幕，對磊晶層進行第三摻雜製程，以使部份磊晶層成為基極接觸區，再於射極以及殘留之第三介電層側壁形成間隙壁。最後，以射極、導體間隙壁以及間隙壁為罩幕，去除部份第二介電層以及部份第一介電層，以露出氧化間隙壁兩側之基極接觸區，再於射極、導體間隙壁以及基極接觸區上形成金屬矽化物層。

本發明提出另一種自行對準雙載子電晶體的結構，此結構至少包括具有集極端之基底、基極、基極接觸區、射極、導體間隙壁、第一介電層、第二介電層以及第三介電層。其中基極係設置基底上，基極接觸區係設置於基極兩

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

側之基底上，射極係設置於基極上，導體間隙壁係設置於射極上部的側壁位置。第一介電層係設置射極兩側之基極上，並且第一介電層延伸至部份之基極接觸區上，第二介電層係設置第一介電層上以及第三介電層係設置導體間隙壁與介電層之間的射極側壁，並且第三介電層的端部分別與基極的兩端部略為對齊。

由上述製造方法可知，本發明的特徵係在於以自行對準的方式形成雙載子電晶體的射極以及基極接觸區，因此具有較寬裕的製程裕度，並且對於射極以及基極接觸區在磊晶層間距的大小，亦能夠藉由自行對準製程而得到良好的控制。

而且，本發明在形成射極以及基極的製程中，僅有在形成開口的製程必須使用微影蝕刻製程，與習知的方法相比，本發明至少能夠減少一道至二道的微影製程，因此能夠降低在微影製程所耗費的時間與成本支出，有效的簡化製程。

此外，本發明之雙載子電晶體亦可搭配習知之互補式金氧半導體(Complementary Metal Oxide Semiconductor, CMOS)元件，而形成雙載子電晶體-互補式金氧半導體(bipolar CMOS, BiCMOS)元件。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

五、發明說明(6)

圖式之簡單說明：

第 1A 圖至第 1E 圖所繪示為習知一種異質接合雙載子電晶體的製造流程的剖面示意圖；

第 2A 圖至第 2G 圖所繪示為本發明之一種自行對準雙載子電晶體的製造流程的剖面示意圖；以及

第 3A 圖至第 3I 圖所繪示為本發明之一種自行對準雙載子電晶體的製造流程的剖面示意圖。

圖式之標示說明：

100、200、300：基底

102、202、302：磊晶層

104、104a、108、112：絕緣層

106、116、212、218、316、316a、318、318a：導體

層

106a、222：基極

110、208、312：開口

114：間隙壁

118、212a、319：射極

120：間距

204、206、304、306、308、310：介電層

210、314：導體間隙壁

214、216、320、321：摻雜製程

218、322：基極接觸區

五、發明說明（7）

324：間隙壁

326：金屬矽化物

第一實施例

第 2A 圖至第 2G 圖所繪示為本發明之一種自行對準雙載子電晶體的製造流程的剖面示意圖。

首先，請參照第 2A 圖，提供一個具有集極端之基底 200，其中基底 200 的材質例如是選自矽化鎘、矽、矽化鎵、磷化銮所組成之族群，且在基底 200 上形成有一層磊晶層 202。接著，在磊晶層 202 上依序形成介電層 204、介電層 206。其中此磊晶層 202 係作為雙載子電晶體的基極，其材質例如是選自矽化鎘、矽、砷化鎵、磷化銮、鋁砷化鎵合金($\text{Al}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)、銮砷化鎵合金($\text{In}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)所組成之族群，形成的方法例如是使用化學氣相沈積法，分子束磊晶成長等。介電層 204 的材質例如是氧化矽，其形成的方法例如是化學氣相沈積法，介電層 206 的材質為習用之介電層材質例如是氮化矽、氧化矽、氮氧化矽或碳化矽等，形成方法例如是化學氣相沈積法。

接著，請參照第 2B 圖，在介電層 206 中形成開口 208，且在開口 208 的底部露出介電層 204。其中形成開口 208 的方法例如是在介電層 206 上形成圖案化的罩幕層(未圖示)，並以罩幕層為罩幕，蝕刻去除罩幕層未覆蓋之介電層 206 至露出介電層 204 表面，再去除罩幕層。然後，在開口 208 的兩側壁形成導體間隙壁 210。其中導體間隙壁

五、發明說明(8)

210 的材質例如是多晶型導體材料，形成的方法例如是在介電層 206 以及開口 208 中被覆一層導體層(未圖示)，再以回蝕刻的方法去除開口 208 之外的導體層，其中導體層的形成方法例如是化學氣相沈積法。

接著，請參照第 2C 圖，以介電層 206 以及導體間隙壁 210 為罩幕，去除開口 208 中的介電層 204 至露出磊晶層 202 的表面。其中去除介電層 204 的方法例如是非等向性蝕刻法。然後，去除開口 312 中的介電層 304 至露出磊晶層 202。

由於在此步驟中，導體間隙壁 210 與介電層 204、介電層 206 具有不同的蝕刻選擇性，因此能夠以介電層 206 以及導體間隙壁 210 為罩幕，直接進行蝕刻以形成後續形成的射極與磊晶層 202 接觸用的開口 208，因此形成開口 208 的製程為一自行對準的製程，而並不須使用微影製程。

接著，請參照第 2D 圖，在基底 200 上被覆一層導體層 212，其中導體層 212 的材質例如是多晶矽，形成的方法例如是化學氣相沈積法。

接著，請參照第 2E 圖，以介電層 206 為蝕刻終止層，回蝕刻去除部份的導體層 212 至露出介電層 206 的表面，所殘留的導體層 212 則成為雙載子電晶體的射極 212a。

接著，請參照第 2F 圖，完全去除介電層 206，其中去除介電層 206 的方法例如是使用熱磷酸浸蝕的濕式蝕刻法。然後以一摻雜製程 214 對射極 212a 進行摻雜，其中摻雜製程 214 例如是使用離子植入法，所使用的摻質例如

五、發明說明(9)

是 n 型摻質，且此 n 型摻質包括砷。

接著，請參照第 2G 圖，以射極 212a 以及導體間隙壁 210 為罩幕，去除部份的介電層 204 至露出磊晶層 202 的表面。其中去除部份介電層 308 的方法例如是非等向性蝕刻法。然後，以射極 212a 以及導體間隙壁 210 為罩幕，對磊晶層 202 進行摻雜製程 216，以於磊晶層 202 中以形成基極接觸區 218，其中所使用的摻質例如是 p 型摻質，且此 p 型摻質包括硼。

本發明第一實施例之自行對準雙載子電晶體的結構請參照第 2G 圖。

如第 2G 圖所示，此自行對準雙載子電晶體的結構至少包括具有集極端之基底 200，射極 212a、導體間隙壁 210、基極 202 以及基極接觸區 218。

其中基極 202 係設置於基底 200 上，其中基底 200 的材質例如是選自矽化鎳、矽、矽化鎳、磷化鎳所組成之族群，基極 202 的材質例如是選自矽化鎳、矽、砷化鎳、磷化鎳、鋁砷化鎳合金 ($\text{Al}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)、鎳砷化鎳合金 ($\text{In}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$) 所組成之族群，其形成的方法例如是以化學氣相沈積法，分子束磊晶成長等形成於基底 200 上。

基極接觸區 218 係設置於基極 202 兩側之基底上，其中基極接觸區 218 的材質例如是選自矽化鎳、矽、砷化鎳、磷化鎳、鋁砷化鎳合金 ($\text{Al}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)、鎳砷化鎳合金 ($\text{In}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$) 所組成之族群，其形成的方法例如是以化學氣相沈積法，分子束磊晶成長等形成於基底 200 上，

五、發明說明(10)

其中基極 202 與基極接觸區 218 的摻雜形態相同，且基極接觸區 218 的摻雜濃度高於基極 202 的摻雜濃度。

射極 212a 係設置於基極 202 上，其中射極 212a 的材質例如是多晶矽，形成射極 212a 的方法例如是化學氣相沈積法。其中射極 212a 的摻雜形態與作為集極的基底 200 的摻雜形態相同，與基極 202 以及基極接觸區 218 的摻雜形態相反。在本發明第一實施例中，射極 212a 與基底 200 的摻雜形態為 n 型，基極 202 與基極接觸區 218 的摻雜形態為 p 型。

導體間隙壁 210 係設置於射極 212a 上部的側壁，其中導體間隙壁 210 的材質例如是多晶型導體材料，並且其摻雜形態與射極 212a 的摻雜形態相同。

並且，亦可將介電層 204 設置於導體間隙壁 210 與基極 202 之間的側壁，介電層 204 的材質例如是氧化矽。

在上述本發明第一實施例中，介電層 204 的材質為氧化矽、介電層 206 的材質為氮化矽，然而，本發明的介電層 204、206 並不限於此，可以使用具有不同蝕刻選擇性的材質。更加的，介電層 204、206 亦可以藉由適當的蝕刻製程控制，而使用相同的材質。

尚且，於本發明第一實施例中，所形成的自行對準雙載子電晶體係為 npn 型式，然而本發明並不限定於此，亦可以應用於 pnp 型式的雙載子電晶體。

更進一步的，本發明之自行對準雙載子電晶體能夠應用於結合雙載子電晶體與互補式金氧半電晶體於同一晶片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (| |)

上的雙載子電晶體-互補式金氧半導體(BiCMOS)製程，而在晶片上形成 p 型金氧半電晶體以及 n 型金氧半電晶體的同時，於晶片上形成本發明之自行對準雙載子電晶體。

第二實施例

第 3A 圖至第 3I 圖所繪示為本發明之另一種自行對準雙載子電晶體的製造流程的剖面示意圖。

首先，請參照第 3A 圖，提供一個具有集極端之基底 300，其中基底 300 的材質例如是選自矽化鎳、矽、矽化鎳、磷化鎳所組成之族群，且在基底 300 上形成有一層的磊晶層 302，其中此磊晶層 302 係作為雙載子電晶體的基極，其材質例如是選自矽化鎳、矽、砷化鎳、磷化鎳、鋁砷化鎳合金($Al_xGa_{1-x}As$, $x \leq 1$)、鎳砷化鎳合金($In_xGa_{1-x}As$, $x \leq 1$)所組成之族群，形成的方法例如是使用化學氣相沈積法，分子束磊晶成長等。接著，在磊晶層 302 上依序形成介電層 304、介電層 306、介電層 308、介電層 310。其中介電層 304 的材質例如是氧化矽，形成方法例如是低溫氧化法(low temperature oxidation)，且其形成的厚度為 100 埃至 500 埃左右。介電層 306 的材質為習用之介電層材質例如是氮化矽、氧化矽、氮氧化矽或碳化矽等，形成方法例如是化學氣相沈積法，且其形成的厚度為 100 埃至 500 埃左右。介電層 308 的材質例如是氧化矽，形成方法例如是化學氣相沈積法，且其形成的厚度為 1000 埃至 3000 埃左右。介電層 310 的材質例如是氮化矽，形成方法例如是

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

化學氣相沈積法，且其形成的厚度為 1000 埃至 3000 埃左右。

在本發明第二實施例中，形成介電層 304 以及介電層 306 的目的係用以保護磊晶層 302，並且亦可以作為蝕刻終止層，以精確的控制後續的蝕刻製程。

接著，請參照第 3B 圖，在介電層 310 中形成開口 312，且在開口 312 的底部露出介電層 308。其中形成開口 312 的方法例如是在介電層 310 上形成圖案化的罩幕層(未圖示)，並以罩幕層為罩幕，蝕刻去除罩幕層未覆蓋之介電層 310 至露出介電層 308 表面，再去除罩幕層。然後，在開口 312 的兩側壁形成導體間隙壁 314。其中導體間隙壁 314 的材質例如是多晶型導體材料，形成的方法例如是在介電層 310 以及開口 312 中被覆一層導體層(未圖示)，再以回蝕刻的方法去除開口 312 之外的導體層。

接著，請參照第 3C 圖，以介電層 310 以及導體間隙壁 314 為罩幕，去除開口 312 中的介電層 308 以及介電層 306 至露出介電層 304 的表面。其中去除介電層 308 以及介電層 306 的方法例如是非等向性蝕刻法。然後，去除開口 312 中的介電層 304 至露出磊晶層 302 的表面。其中去除介電層 304 的方法例如是使用緩衝氧化物蝕刻液(buffer oxide etchant, BOE)浸蝕的濕式浸蝕法。

由於在此步驟中，能夠以介電層 310 以及導體間隙壁 314 為罩幕，直接進行蝕刻以形成後續形成的射極與矽化鎳磊晶層 302 接觸的開口 312，因此形成開口 312 的製程

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

為一自行對準的製程，而並不須使用微影製程。

而且，此處使用溼式浸蝕法剝除介電層 304 係因為濕式浸蝕法對於介電層 304 以及磊晶層 302 具有高蝕刻選擇比，因此能夠避免蝕刻製程傷害到磊晶層 302 而使其中的矽流失。

接著，請參照第 3D 圖，在基底 300 上被覆一層共形的導體層 316，再以對導體層 316 進行摻質的摻雜。其中導體層 316 的材質例如是多晶矽，且摻質例如是 n 型摻質並包括砷。然後，在導體層 316 上被覆一層導體層 318，其中導體層 318 的材質例如是多晶矽。

在此處於形成導體層 318 之前，先形成共型的導體層 316 並進行摻雜的目的，係用以確保後續所形成的射極在底部的摻雜濃度能夠均勻。

接著，請參照第 3E 圖，以介電層 310 為蝕刻終止層，回蝕刻去除部份的導體層 318 以及部份的導體層 316 至露出介電層 310 的表面，所殘留的導體層 318a 以及導體層 316a 則合併成為雙載子電晶體的射極 319。

接著，請參照第 3F 圖，完全去除介電層 310，其中去除介電層 310 的方法例如是使用熱磷酸浸蝕的濕式蝕刻法。然後，對射極 319 進行摻雜製程 320，其中摻雜製程 320 例如是使用離子植入法，所使用的摻質例如是 n 型摻質，且此 n 型摻質包括砷。

接著，請參照第 3G 圖，以射極 320 與導體間隙壁 314 為罩幕，去除部份的介電層 308 至露出介電層 306 的表面。

五、發明說明(14)

其中去除部份介電層 308 的方法例如是非等向性蝕刻法。然後，以射極 319 與導體間隙壁 314 為罩幕，對矽化鎳磊晶層 302 進行摻雜製程 321，以將部份磊晶層(基極)形成基極接觸區 322。其中摻雜製程 321 例如是使用離子植入法，所使用的摻質例如是 p 型摻質，且此 p 型摻質包括硼。

接著，請參照第 3H 圖，在射極 319 以及殘留的介電層 308 的側壁形成間隙壁 324。其中間隙壁 324 的材質例如是氧化矽，形成間隙壁 324 的方法例如是在基底 300 上被覆一層絕緣層(未圖示)，再回蝕絕緣層以去除射極 319、導體間隙壁 314 以及基極 322 上的絕緣層而形成間隙壁 324。然後，以射極 319、導體間隙壁 314 以及間隙壁 324 為罩幕，去除介電層 306 至露出介電層 304 的表面。其中去除介電層 306 的方法例如是非等向性蝕刻法。其後，去除介電層 304 至露出基極 322 的表面。其中剝除介電層 304 的方法例如是使用緩衝氧化物蝕刻液浸蝕的濕式浸蝕法。

同樣的，在第 3F 圖至 3H 圖的步驟中，對於介電層 310 以及介電層 304 的去除係使用濕式浸蝕法，並且對於介電層 308 以及介電層 306 的去除係使用射極 319 與導體間隙壁 314 為罩幕所進行的非等向性蝕刻，並不須要使用微影製程，因此為一自行對準製程。尚且，射極 319 與基極 322 的間距能夠藉由導體間隙壁 314 的厚度做適當的調整，因此能夠相當容易的控制射極 319 與基極接觸區 322 的間距，使得製程具有較寬裕的裕度。

接著，請參照第 3I 圖，在射極 320 以及基極接觸區 322

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（15）

上形成自行對準金屬矽化物層 326。其中自行對準金屬矽化物層 326 的材質例如是矽化鎳、矽化鈷或是矽化鈦等，形成的方法例如是在基底 300 上被覆一層金屬層（未圖示），再將此基底 300 進行回火製程，以使射極 319 與基極接觸區 322 與金屬層接觸的位置反應產生自行對準金屬矽化物層 326，然後再去除未反應的金屬層。

本發明第二實施例之自行對準雙載子電晶體的結構請參照第 3I 圖。

如第 3I 圖所示，此自行對準雙載子電晶體的結構至少包括具有集極端之基底 300、射極 319、導體間隙壁 314、基極 302 以及基極接觸區 322。

基極 302 係設置於基底 300 上，其中基底 300 的材質例如是選自矽化鎳、矽、矽化鎳、磷化鎳所組成之族群，且基極 302 的材質例如是選自矽化鎳、矽、砷化鎳、磷化鎳、鋁砷化鎳合金 ($\text{Al}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)、鎳砷化鎳合金 ($\text{In}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$) 所組成之族群，其形成的方法例如是以化學氣相沈積法，分子束磊晶成長等形成於基底 300 上。

基極接觸區 322 係設置於基極 302 兩側之基底上，其中基極接觸區 322 的材質例如是選自矽化鎳、矽、砷化鎳、磷化鎳、鋁砷化鎳合金 ($\text{Al}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)、鎳砷化鎳合金 ($\text{In}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$) 所組成之族群，其形成的方法例如是以化學氣相沈積法，分子束磊晶成長等形成於基底 300 上，其中基極 302 與基極接觸區 322 的摻雜形態相同，且基極接觸區 322 的摻雜濃度高於基極 302 的摻雜濃度。

五、發明說明(16)

射極 319 係設置於基極 302 上，其中射極 319 的材質例如是多晶矽，形成射極 319 的方法例如是化學氣相沈積法。其中射極 319 的摻雜形態與作為集極的基底 300 的摻雜形態相同，與基極 302 以及基極接觸區 322 的摻雜形態相反。在本發明第二實施例中，射極 319 與基底 300 的摻雜形態為 n 型，則基極 302 與基極接觸區 322 的摻雜形態為 p 型。

導體間隙壁 314 係設置於射極 319 上部的側壁，其中導體間隙壁 314 的材質例如是多晶型導體材料，並且其摻雜形態與射極 319 的摻雜形態相同。

在上述的結構中，更包括有：

介電層 304 係設置射極 319 兩側之基極 302 上，並且延伸至部份之基極接觸區 322 上，其材質例如是氧化矽，形成的方法例如是低溫氧化法。

介電層 306 係設置介電層 304 上，其材質例如是氮化矽、氧化矽、氮氧化矽或碳化矽等，形成的方法例如是化學氣相沈積法。

介電層 308 設置於導體間隙壁 210 與介電層 306 之間的射極側壁，其材質例如是氧化矽，形成的方法例如是化學氣相沈積法，並且介電層 308 的端部分別與基極 302 的兩端部略為對齊。

間隙壁 324 係設置於導體間隙壁 314 與介電層 308 的側壁，其材質例如是氧化矽，並且間隙壁 314 的端部分別與介電層 306 的兩端部略為對齊。

五、發明說明 (17)

金屬層 326 係設置於射極 319、導體間隙壁 314、基極接觸區 322 上，其材質例如是矽化鎳、矽化鈷或是矽化鈦等。

在上述本發明第二實施例中，介電層 304 的材質為氧化矽、介電層 306 的材質為氮化矽、介電層 308 的材質為氧化矽且介電層 310 的材質為氮化矽，然而，本發明的介電層 304、306、308、310 並不限於此，可以使用使介電層彼此之間具有不同蝕刻選擇性的材質。更加的，介電層 310、308、306、304 亦能夠藉由適當的蝕刻製程控制，而使用相同的材質，甚或是於開始沈積介電層之前，即不沈積介電層 304、306。

尚且，於本發明第二實施例中，所形成的自行對準雙載子電晶體係為 npn 型式，然而本發明並不限定於此，亦可以應用於 pnp 形式的雙載子電晶體。

同樣的，本發明第二實施例之自行對準雙載子電晶體，亦能夠應用於結合雙載子電晶體與互補式金氧半電晶體於同一晶片上的雙載子電晶體-互補式金氧半導體 (BiCMOS) 製程。

綜上所述，由上述第一實施例與第二實施例可知，本發明的重要特徵係在於能夠使用自行對準的方式形成雙載子電晶體的射極以及基極，並且對於射極以及基極接觸區的間距的大小，亦能夠藉由自行對準製程而得到良好的控制，因此本發明具有較寬裕的製程裕度。

而且，在形成射極以及基極的製程中，本發明僅有在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

形成開口的製程必須使用微影蝕刻製程，與習知的方法相比，本發明至少能夠減少一道至二道的微影製程，因此本發明能夠降低在微影製程所耗費的時間與成本支出，而有效的簡化製程。

並且，本發明在第二實施例中去除磊晶層上的介電層，以形成與射極以及基極的接觸時，由於採用介電層與磊晶層之間具有良好蝕刻選擇比的濕式蝕刻法，以將磊晶層上的介電層剝除，因此能夠避免磊晶層中矽材質的流失。

更加的，由於本發明在射極以及基極上形成自行對準金屬矽化物層，因此能夠降低射極與基極的阻值，進而提高雙載子電晶體的操作速度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 自行對準雙載子電晶體的製造方法)
與結構

一種自行對準雙載子電晶體的製造方法，此方法係首先提供一基底，且在基底上形成磊晶層以作為基極。接著，在磊晶層上依序形成第一介電層、第二介電層，再於第二介電層中形成開口。然後，在開口側壁形成導體間隙壁，再以第二介電層以及導體間隙壁為罩幕，去除開口中之第一介電層。其後，在開口中形成導體層以作為射極，再完全去除第二介電層。此後對射極進行第一摻雜製程，並以射極與導體間隙壁為罩幕，去除部份第一介電層，再以射極與導體間隙壁為罩幕，對磊晶層進行第二摻雜製程，以使部份磊晶層成為基極接觸區。

英文發明摘要(發明之名稱：)

裝

訂

線

六、申請專利範圍

1.一種自行對準雙載子電晶體的製造方法，該方法包括下列步驟：

提供一基底，且在該基底上已形成一磊晶層，其中該磊晶層作為一基極；

在該磊晶層上依序形成一第一介電層、一第二介電層；

在該第二介電層中形成一開口；

在該開口側壁形成一導體間隙壁；

以該第二介電層與該導體間隙壁為罩幕，去除該開口中之該第一介電層；

在該開口中形成一導體層以作為一射極；

完全去除該第二介電層；

對該射極與該導體間隙壁進行一第一摻雜製程；

以該射極與該導體間隙壁為罩幕，去除部份該第一介電層；以及

以該射極與該導體間隙壁為罩幕，對該磊晶層進行一第二摻雜製程，以使部份該磊晶層成為一基極接觸區。

2.如申請專利範圍第 1 項所述之自行對準雙載子電晶體的製造方法，其中該基底的材質係選自矽化鎳、矽、矽化鎳、磷化鎳所組成之族群。

3.如申請專利範圍第 1 項所述之自行對準雙載子電晶體的製造方法，其中該磊晶層的材質係選自矽化鎳、矽、砷化鎳、磷化鎳、鋁砷化鎳合金($\text{Al}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)、鎳砷化鎳合金($\text{In}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)所組成之族群。

六、申請專利範圍

4.如申請專利範圍第 1 項所述之自行對準雙載子電晶體的製造方法，其中該導體間隙壁的材質包括多晶型導體材料。

5.如申請專利範圍第 1 項所述之自行對準雙載子電晶體的製造方法，其中該導體層、該導體間隙壁與該第一介電層、該第二介電層具有不同蝕刻選擇性。

6.如申請專利範圍第 1 項所述之自行對準雙載子電晶體的製造方法，其中該第一介電層與該第二介電層具有不同蝕刻選擇性。

7.如申請專利範圍第 1 項所述之自行對準雙載子電晶體的製造方法，其中該導體層的材質包括多晶矽。

8.如申請專利範圍第 1 項所述之自行對準雙載子電晶體的製造方法，其中該第一介電層與該第二介電層為相同材質。

9.如申請專利範圍第 1 項所述之自行對準雙載子電晶體的製造方法，其中該基極與該射極、該集極具有不同形態之摻雜。

10.一種自行對準雙載子電晶體的結構，該結構包括：
一基底；
一基極，設置該基底上；
一基極接觸區，設置於該基極兩側之該基底上
一射極，設置於該基極上；以及
一導體間隙壁，設置於該射極上部的側壁位置。

11.如申請專利範圍第 10 項所述之自行對準雙載子電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

晶體的結構，其中該基底的材質係選自矽化鎳、矽、矽化鎳、磷化銦所組成之族群。

12.如申請專利範圍第 10 項所述之自行對準雙載子電晶體的結構，其中該基極的材質係選自矽化鎳、矽、砷化鎳、磷化銦、鋁砷化鎳合金($Al_xGa_{1-x}As$, $x \leq 1$)、銦砷化鎳合金($In_xGa_{1-x}As$, $x \leq 1$)所組成之族群。

13.如申請專利範圍第 10 項所述之自行對準雙載子電晶體的結構，其中該射極的材質包括多晶矽。

14.如申請專利範圍第 10 項所述之自行對準雙載子電晶體的結構，其中該導體間隙壁的材質包括多晶型導體材料。

15.如申請專利範圍第 10 項所述之自行對準雙載子電晶體的結構，其中更包括於該導體間隙壁與該基極之間的該射極側壁設置一介電層。

16.一種自行對準雙載子電晶體的製造方法，該方法包括下列步驟：

提供一基底，且在該基底上已形成一磊晶層，以作為一基極；

在該基底上依序形成一第一介電層、一第二介電層、一第三介電層與一第四介電層；

在該第四介電層中形成一開口；

在該開口側壁形成一導體間隙壁；

以該第四介電層與該導體間隙壁為罩幕，去除該開口中之該第三介電層、該第二介電層與該第一介電層；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

在該第三介電層與該開口中形成共形的一第一導體層；

對該第一導體層進行一第一摻雜製程；

在該第一導體層上形成一第二導體層；

去除該開口之外的該第一導體層與該第二導體層，在該開口中形成一第三導體層，以做為一射極；

完全去除該第四介電層；

對該射極與該導體間隙壁進行一第二摻雜製程；

以該射極與該導體間隙壁為罩幕，去除部份該第三介電層；

以該射極與該導體間隙壁為罩幕，對該磊晶層進行一第三摻雜製程，以使部份該磊晶層成為一基極接觸區；

在該射極與殘留之該第三介電層側壁形成一間隙壁；

以該射極、該導體間隙壁與該間隙壁為罩幕，去除部份該第二介電層與部份該第一介電層，以露出該氧化間隙壁兩側之該基極接觸區；以及

在該射極、該導體間隙壁與該基極接觸區上形成一金屬矽化物層。

17.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該基底的材質係選自矽化鎳、矽、矽化鎳、磷化鎳所組成之族群。

18.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該磊晶層的材質係選自矽化鎳、矽、砷化鎳、磷化鎳、鋁砷化鎳合金($Al_xGa_{1-x}As$, $x \leq 1$)、鎵砷

六、申請專利範圍

化銻合金($\text{In}_x\text{Ga}_{1-x}\text{As}$, $x \leq 1$)所組成之族群。

19.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該導體間隙壁的材質包括多晶型導體材料。

20.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該第三導體層的材質包括多晶矽。

21.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該第三導體層、該導體間隙壁與該第一介電層、該第二介電層、該第三介電層與該第四介電層具有不同蝕刻選擇性。

22.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該第一介電層與該第二介電層具有不同蝕刻選擇性。

23.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該第二介電層與該第三介電層具有不同蝕刻選擇性。

24.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該第三介電層與該第四介電層具有不同蝕刻選擇性。

25.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該第三介電層與該第四介電層為相同材質。

26.如申請專利範圍第 16 項所述之自行對準雙載子電晶體的製造方法，其中該第三摻雜製程與該第一摻雜製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

六、申請專利範圍

程、該第二摻雜製程具有不同摻雜形態之雜質。

27.一種自行對準雙載子電晶體的結構，該結構包括：

一基底；

一基極，設置該基底上；

一基極接觸區，設置於該基極兩側之該基底上

一射極，設置於該基極上；

一導體間隙壁，設置於該射極上部的側壁位置；

一第一介電層，設置該射極兩側之該基極上，並且該第一介電層延伸至部份之該基極接觸區上；

一第二介電層，設置該第一介電層上；以及

一第三介電層，設置該導體間隙壁與該介電層之間的該射極側壁，並且該第三介電層的端部分別與該基極的兩端部略為對齊。

28.如申請專利範圍第 27 項所述之自行對準雙載子電晶體的結構，其中該基底的材質係選自矽化鎳、矽、矽化鎳、磷化銮所組成之族群。

29.如申請專利範圍第 27 項所述之自行對準雙載子電晶體的結構，其中更包括一間隙壁，該間隙壁係設置於該導體間隙壁與該介電層的側壁，並且該間隙壁的端部分別與該介電層的兩端部略為對齊。

30.如申請專利範圍第 27 項所述之自行對準雙載子電晶體的結構，其中更包括一金屬矽化層，且該金屬矽化層係設置於該射極、該導體間隙壁與該基極接觸區上。

31.如申請專利範圍第 30 項所述之自行對準雙載子電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

六、申請專利範圍

晶體的結構，其中該金屬矽化層的材質係選自矽化鎳、矽化鈷或是矽化鈦所組之族群。

32.如申請專利範圍第 27 項所述之自行對準雙載子電晶體的結構，其中該基極的材質係選自矽化鎳、矽、砷化鎵、磷化銦、鋁砷化鎵合金($Al_xGa_{1-x}As$, $x \leq 1$)、銦砷化鎵合金($In_xGa_{1-x}As$, $x \leq 1$)所組成之族群。

33.如申請專利範圍第 27 項所述之自行對準雙載子電晶體的結構，其中該射極的材質包括多晶矽。

34.如申請專利範圍第 27 項所述之自行對準雙載子電晶體的結構，其中該導體間隙壁的材質包括多晶型導體材料。

35.如申請專利範圍第 27 項所述之自行對準雙載子電晶體的結構，其中該第一介電層與該第二介電層具有不同蝕刻選擇性。

36.如申請專利範圍第 27 項所述之自行對準雙載子電晶體的結構，其中該第二介電層與該第三介電層具有不同蝕刻選擇性。

37.一種自行對準雙載子電晶體的製造方法，該方法包括下列步驟：

提供一基底，且在該基底上已形成一磊晶層，以作為一基極；

在該基底上依序形成一第一介電層、一第二介電層、一第三介電層與一第四介電層；

在該第四介電層中形成一開口；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

六、申請專利範圍

在該開口側壁形成一導體間隙壁；

以該第四介電層與該導體間隙壁為罩幕，去除該開口中之該第三介電層、該第二介電層與該第一介電層；

在該開口中形成一導體層以作為射極；

完全去除該第四介電層；

對該射極與該導體間隙壁進行一第一摻雜製程；

以該射極與該導體間隙壁為罩幕，去除部份該第三介電層；以及

以該射極與該導體間隙壁為罩幕，對該磊晶層進行一第二摻雜製程，以使部份該磊晶層成為一基極接觸區。

38.如申請專利範圍第 37 項所述之自行對準雙載子電晶體的製造方法，其中該導體層、該導體間隙壁與該第一介電層、該第二介電層、該第三介電層與該第四介電層具有不同蝕刻選擇性。

39.如申請專利範圍第 37 項所述之自行對準雙載子電晶體的製造方法，其中該第一介電層與該第二介電層具有不同蝕刻選擇性。

40.如申請專利範圍第 37 項所述之自行對準雙載子電晶體的製造方法，其中該第二介電層與該第三介電層具有不同蝕刻選擇性。

41.如申請專利範圍第 37 項所述之自行對準雙載子電晶體的製造方法，其中該第三介電層與該第四介電層具有不同蝕刻選擇性。

42.如申請專利範圍第 37 項所述之自行對準雙載子電

六、申請專利範圍

晶體的製造方法，其中該第三介電層與該第四介電層為相同材質。

43.一種自行對準雙載子電晶體的製造方法，該方法包括下列步驟：

提供一基底，且在該基底上已形成一磊晶層，其中該磊晶層作為一基極；

在該磊晶層上依序形成一第一介電層、一第二介電層；

在該第二介電層中形成一開口；

在該開口側壁形成一導體間隙壁；

以該第二介電層與該導體間隙壁為罩幕，去除該開口中之該第一介電層；

在該第二介電層與該開口中形成共形的一第一導體層；

對該第一導體層進行一第一摻雜製程；

在該第一導體層上形成一第二導體層；

去除該開口之外的該第一導體層與該第二導體層，在該開口中形成一第三導體層，以做為一射極；

完全去除該第二介電層；

對該射極與該導體間隙壁進行一第二摻雜製程；

以該射極與該導體間隙壁為罩幕，去除部份該第一介電層；以及

以該射極與該導體間隙壁為罩幕，對該磊晶層進行一第三摻雜製程，以使部份該磊晶層成為一基極接觸區。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

六、申請專利範圍

44.如申請專利範圍第 43 項所述之自行對準雙載子電晶體的製造方法，其中該第三導體層、該導體間隙壁與該第一介電層、該第二介電層具有不同蝕刻選擇性。

45.如申請專利範圍第 43 項所述之自行對準雙載子電晶體的製造方法，其中該第一介電層與該第二介電層具有不同蝕刻選擇性。

46.如申請專利範圍第 43 項所述之自行對準雙載子電晶體的製造方法，其中該第一介電層與該第二介電層為相同材質。

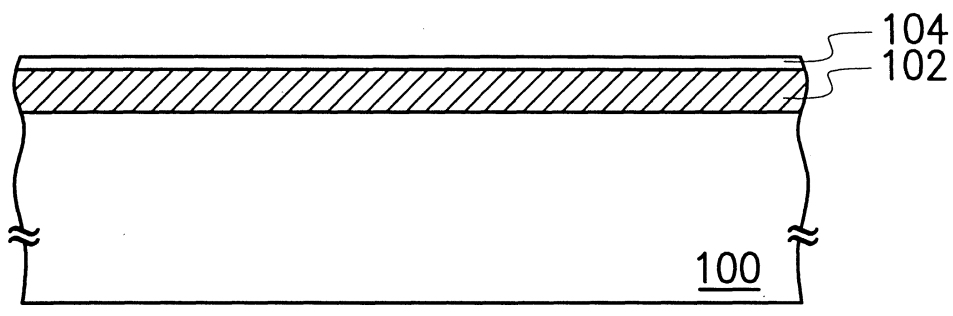
(請先閱讀背面之注意事項再填寫本頁)

裝

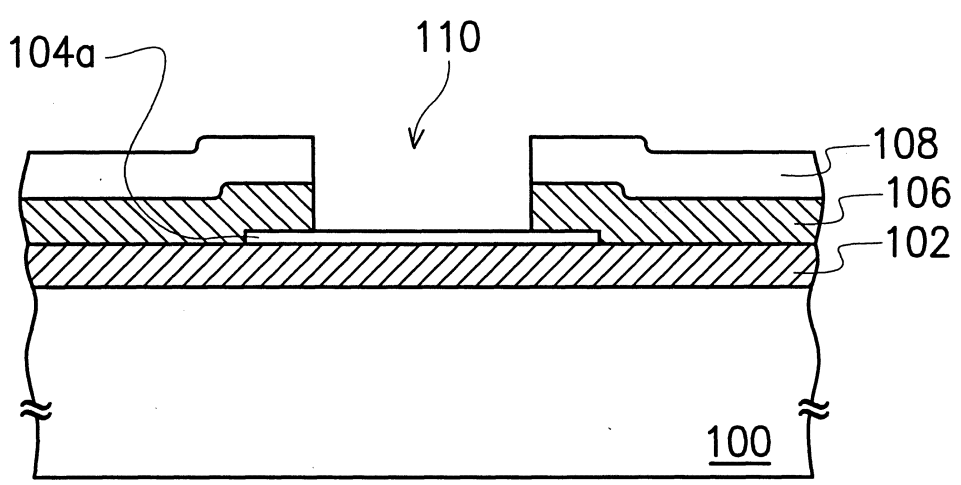
訂

線

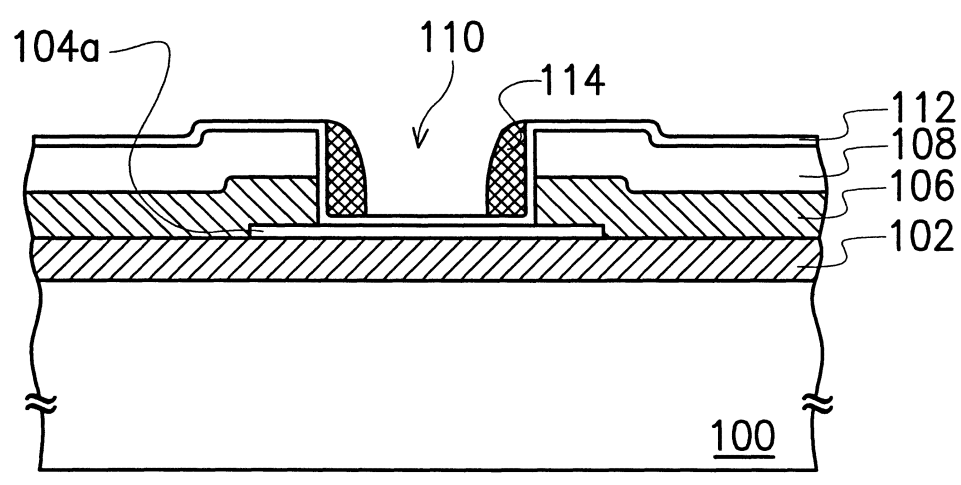
7839TW



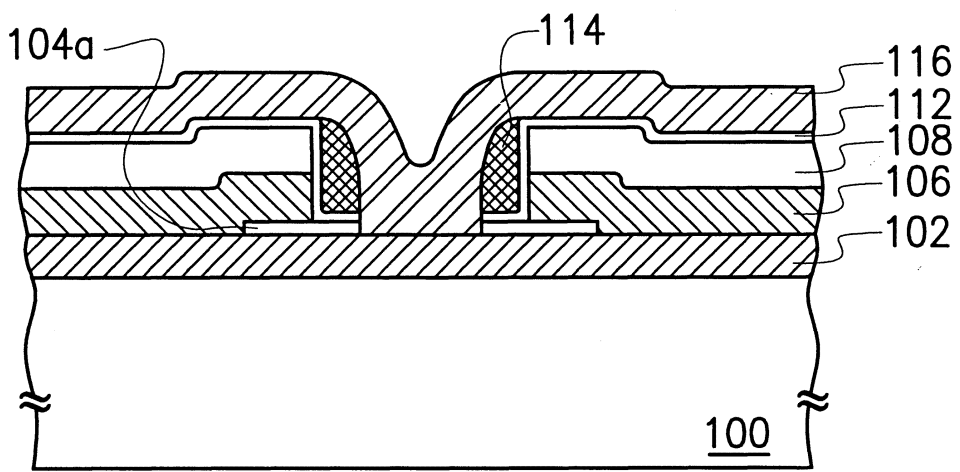
第 1A 圖



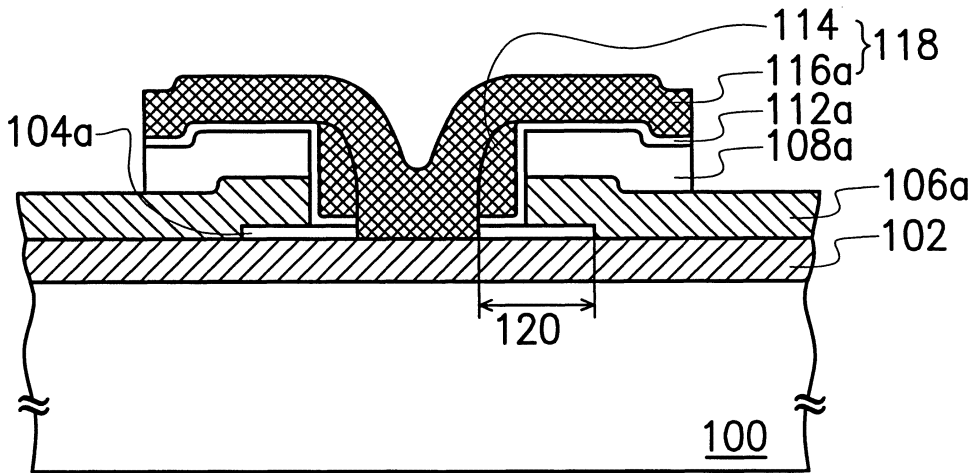
第 1B 圖



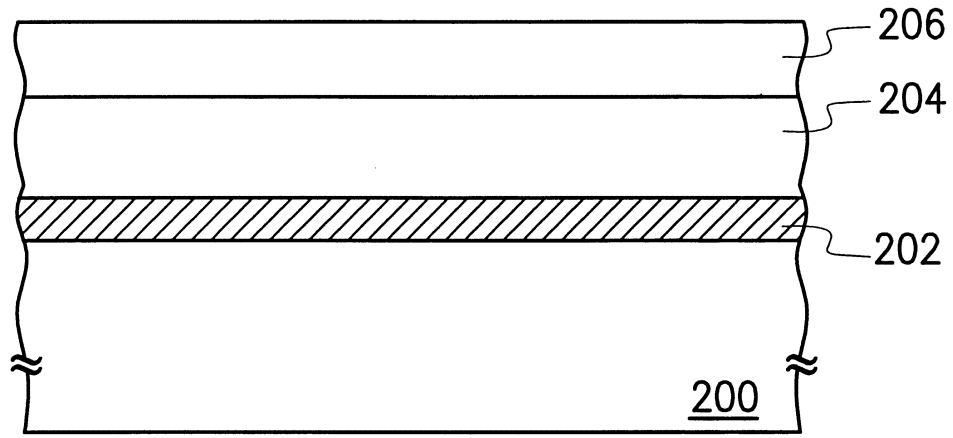
第 1C 圖



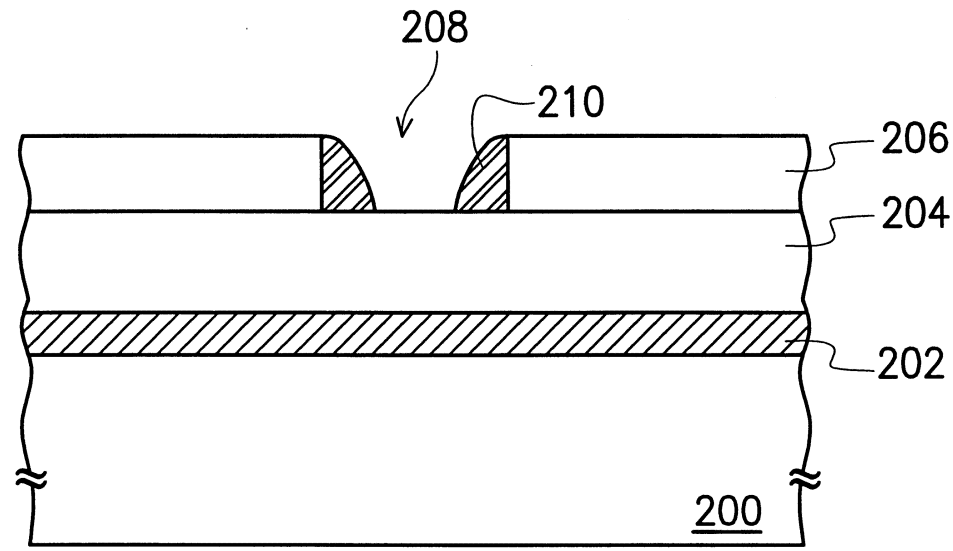
第1D圖



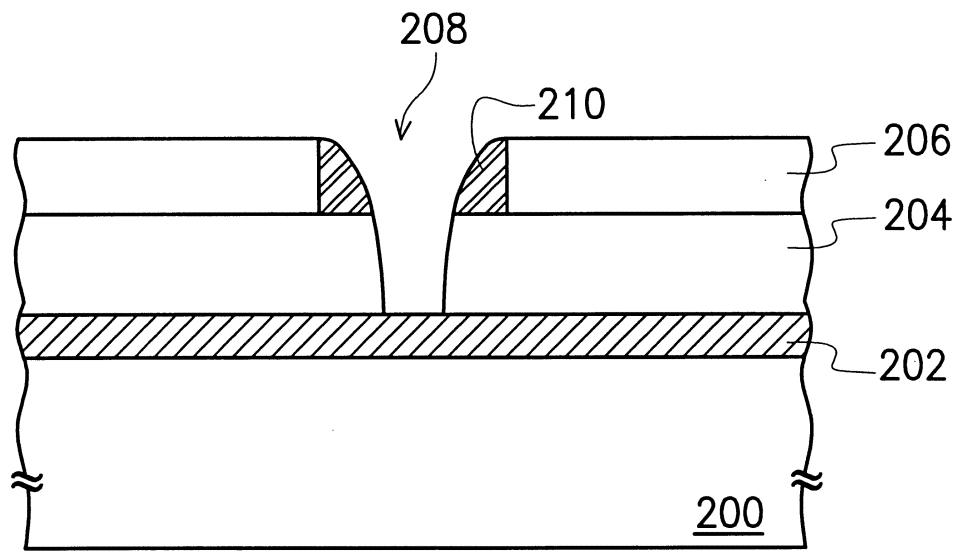
第1E圖



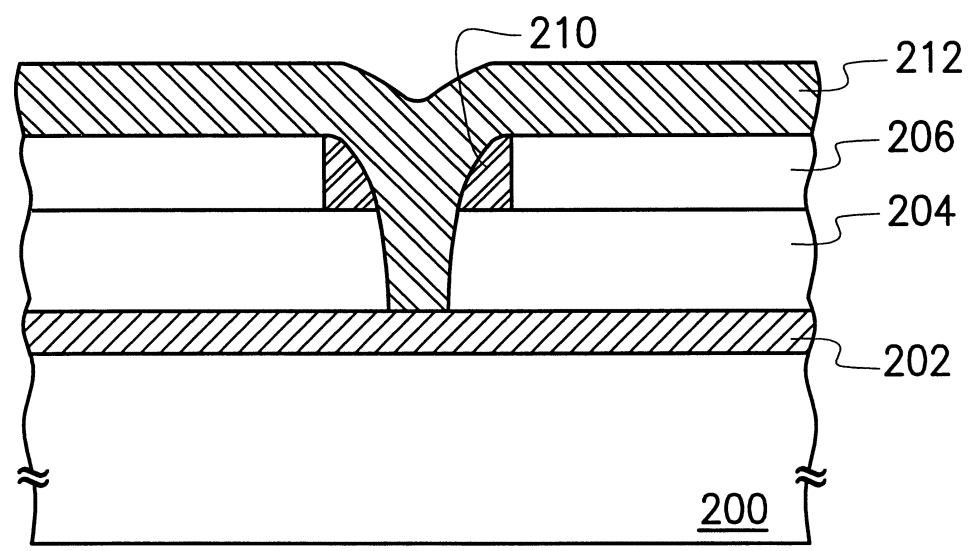
第 2A 圖



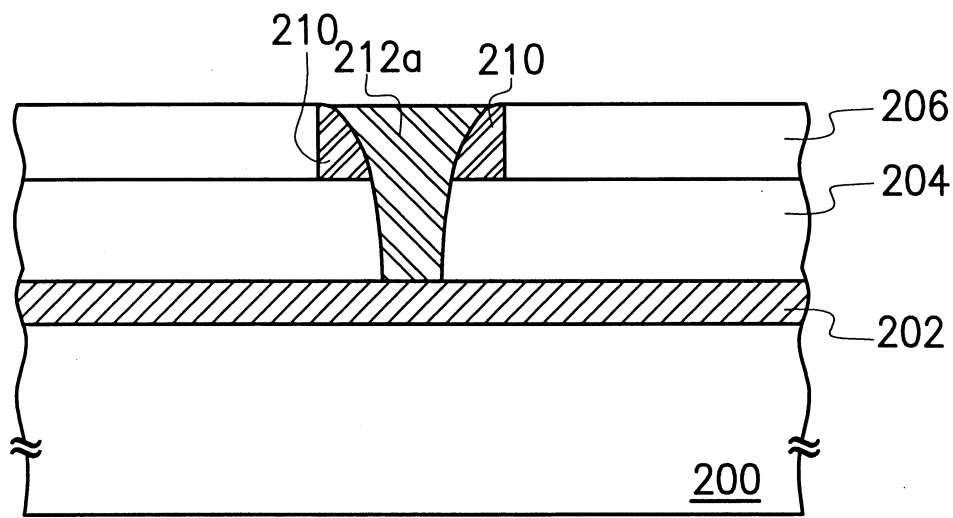
第 2B 圖



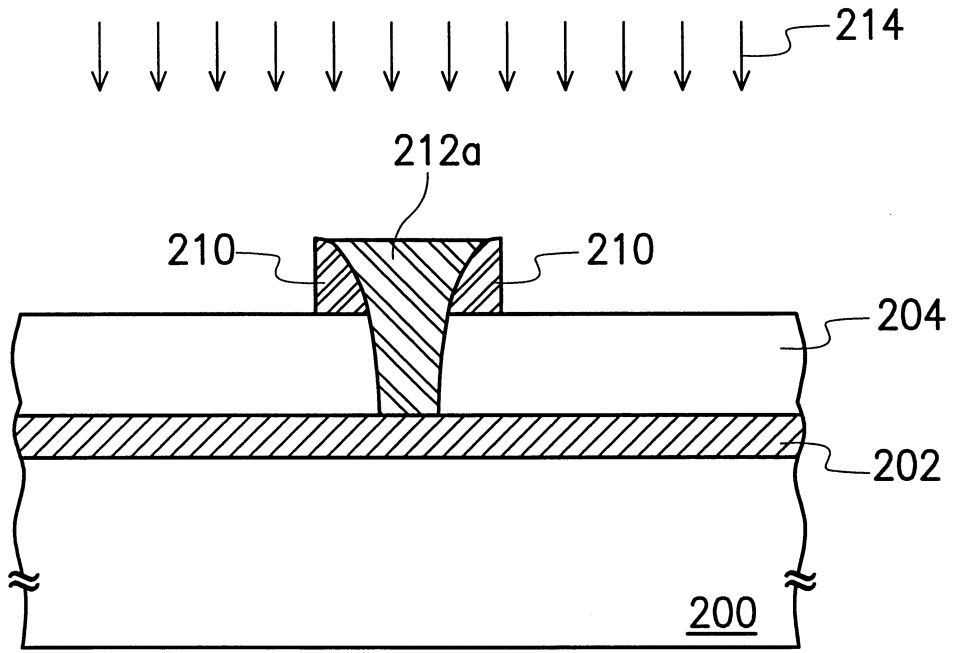
第 2C 圖



第 2D 圖

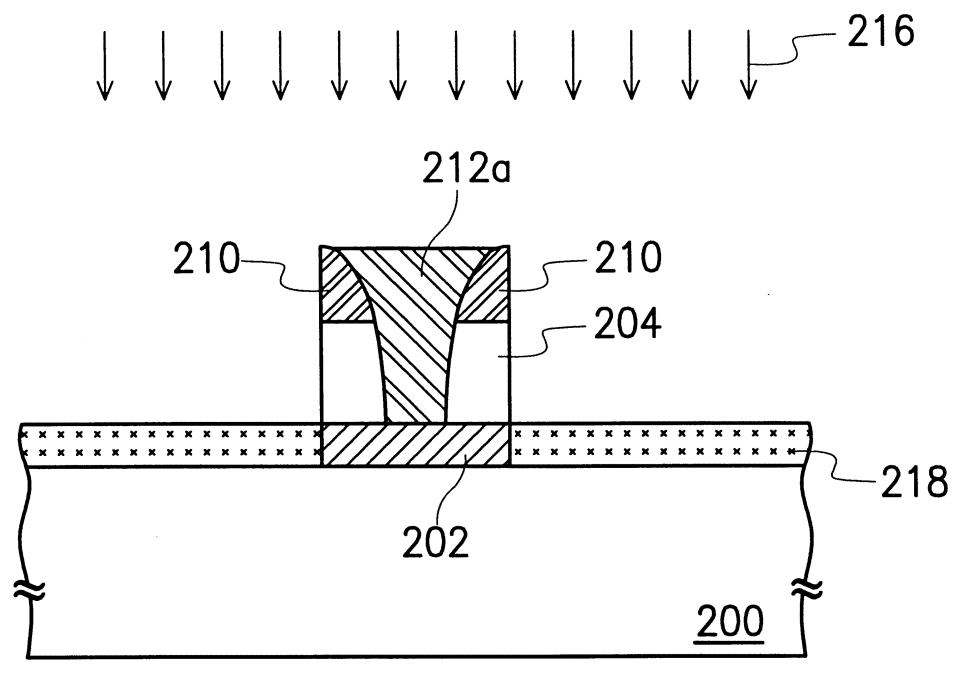


第2E圖

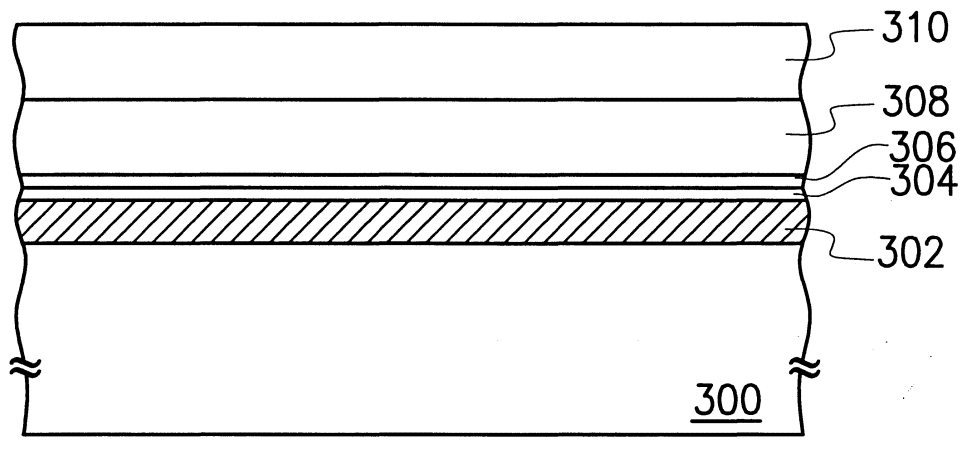


第2F圖

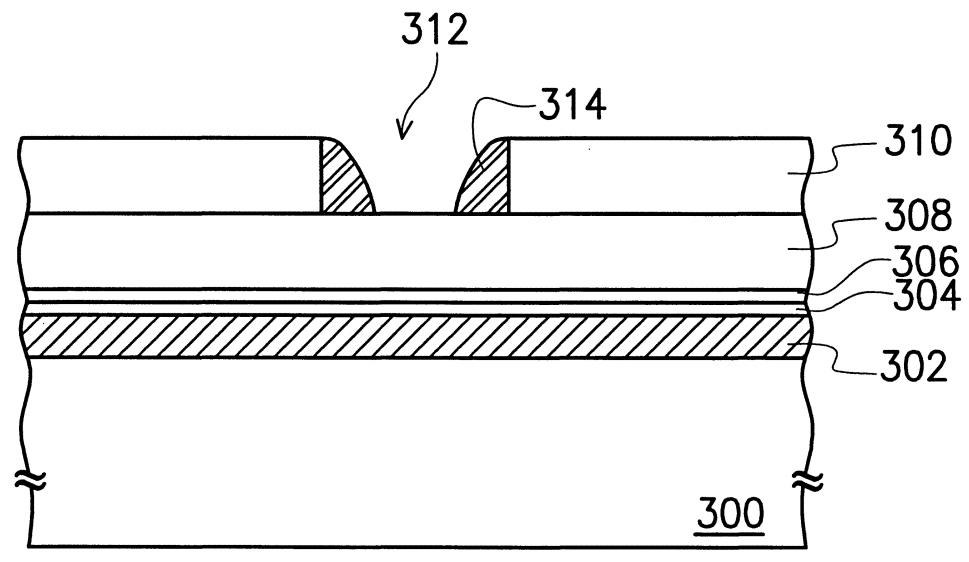
7839TW



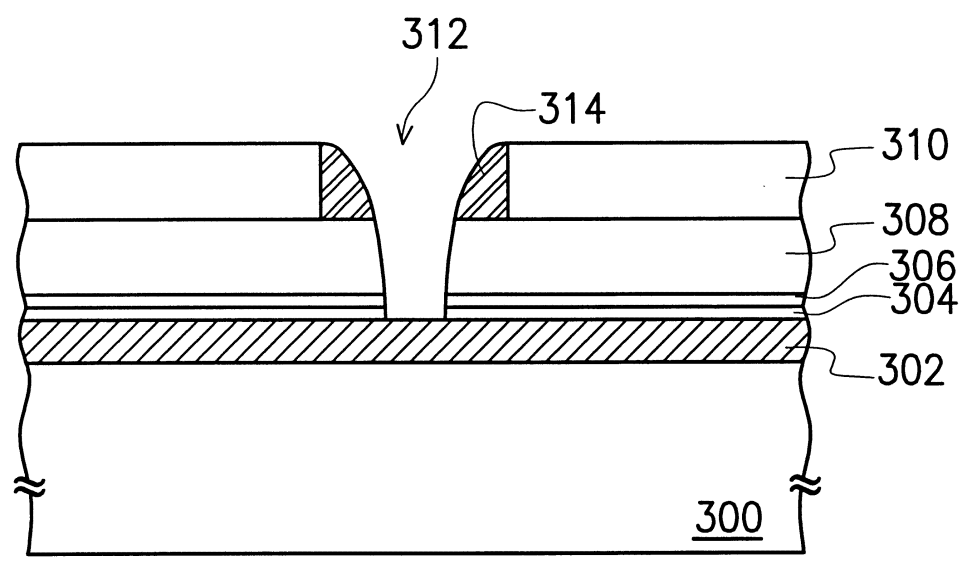
第 2G 圖



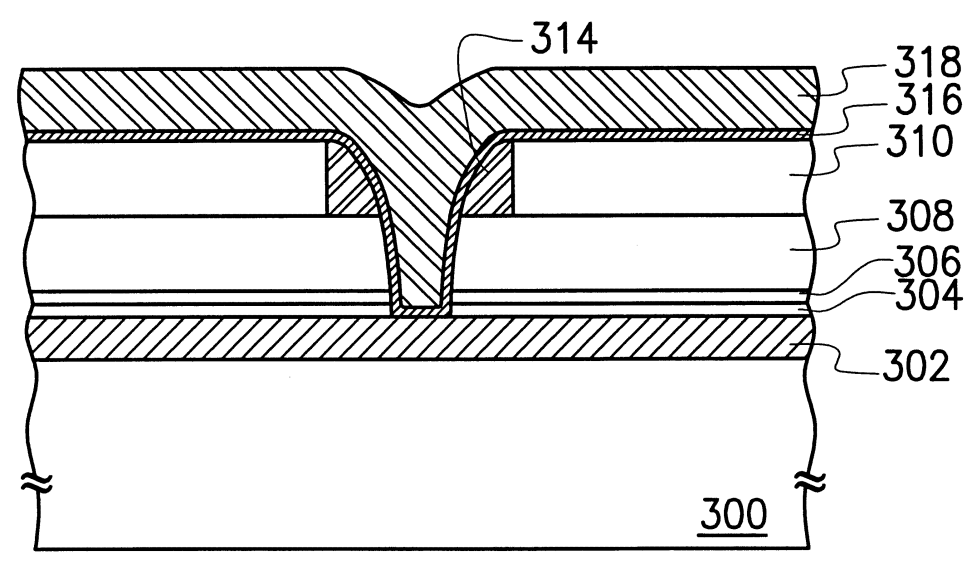
第3A圖



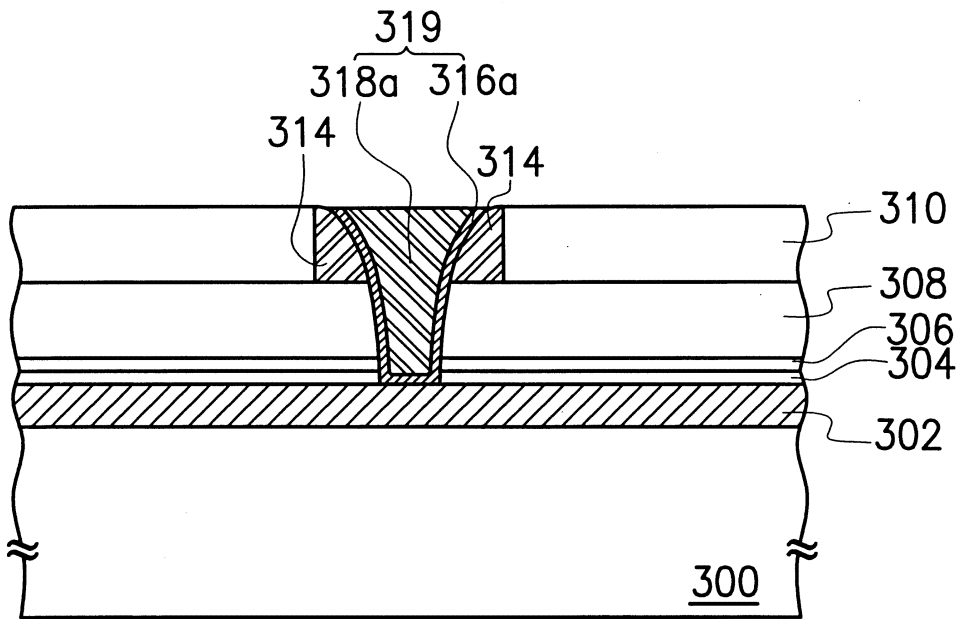
第3B圖



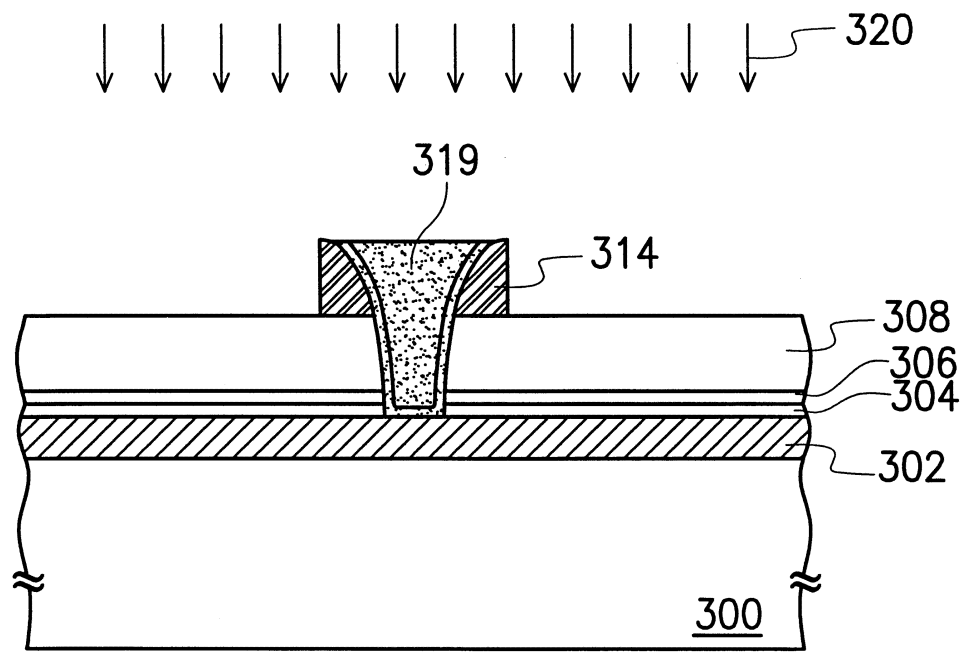
第3C圖



第3D圖

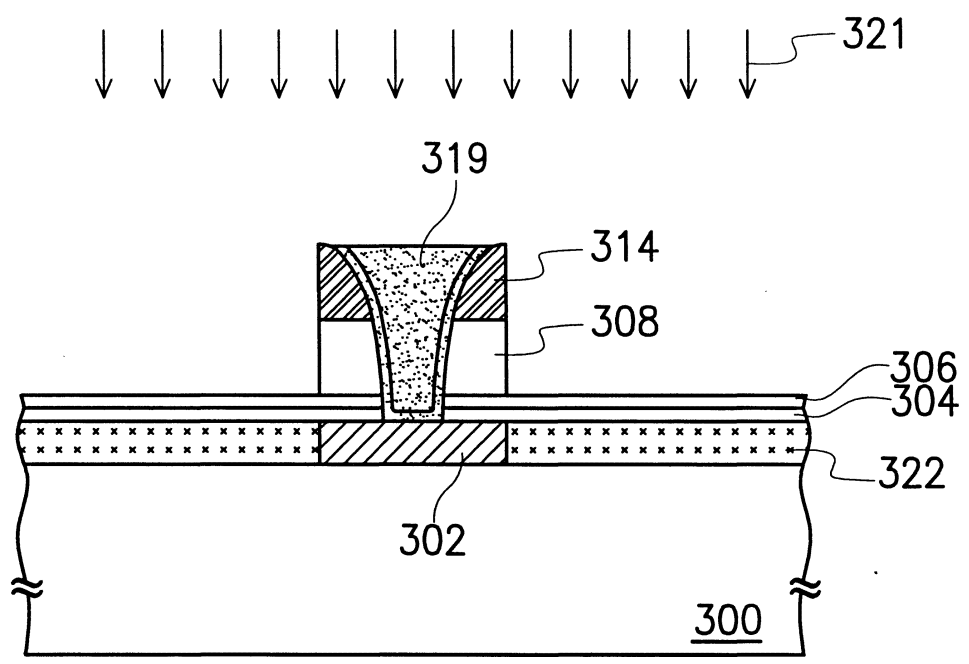


第3E圖

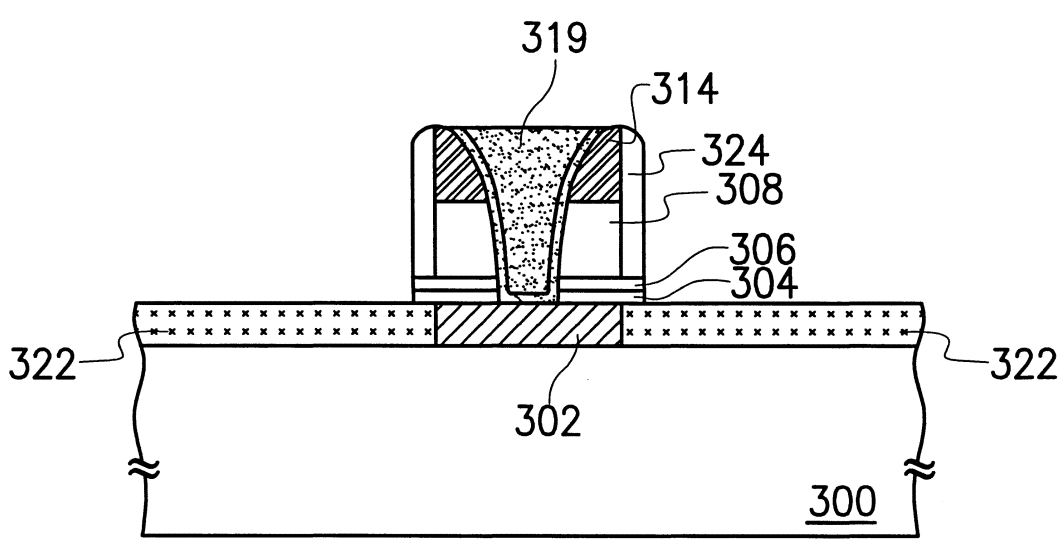


第3F圖

7839TW

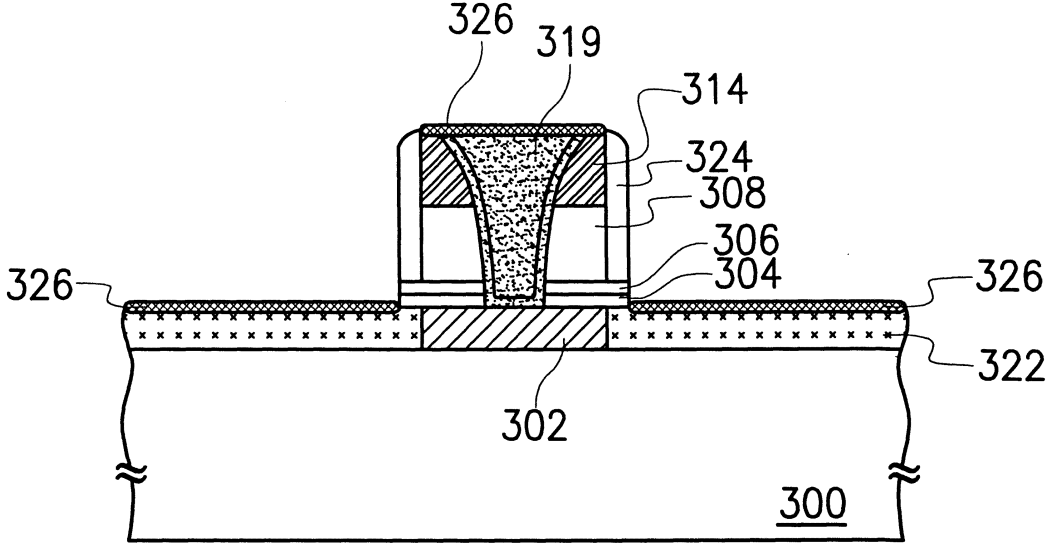


第3G圖



第3H圖

7839TW



第3I圖