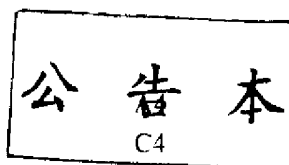


申請日期	89 年 8 月 18 日
案 號	89116704
類 別	G09F 7/30



(以上各欄由本局填註)

發 明 專 利 說 明 書 455829		
一、發明 名稱	中 文	影像顯示裝置
	英 文	
二、發明 人	姓 名	(1) 鈴木睦三 (2) 金子好之 (3) 楠敏明
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悅彦

455829

申請日期	89 年 8 月 18 日
案 號	89116704
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	④ 佐川雅一
	國 籍	④ 日本 ④ 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

455829

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權
日本 1999 年 9 月 10 日 11-257698 ☒有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀
四之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明所屬之技術領域】

本發明係關於影像顯示裝置，特別是關於適用於將發光元件排列成矩陣狀，藉由控制其之發光以顯示影像之影像顯示裝置有效之技術。

【習知技術】

以互相正交之電極群之交點為像素，藉由調整對各像素之施加電壓，以顯示影像之矩陣型顯示裝置（矩陣型顯示器）在液晶顯示器之外，為所周知者為：場放射顯示器（以下，稱為FED）、電激發光顯示器（EL）、發光二極體顯示器（LED）等。

例如，FED係如被記載於特開平4-289644號公報般地，於各像素配置電子放出電子元件，在真空中加速由該處來之放出電子後，照射螢光體，使照射之部份之螢光體發光者。

FED用之電子放出元件之一例為薄膜型電子源矩陣。

所謂薄膜型電子源係對絕緣體施加高電場，利用所產生之熱電子之電子放出元件。

以下，以上部電極－絕緣層－下部電極之3層構造之薄膜所構成之MIM（Metal-Insulator-Metal）型電子源為代表例做說明。

圖21係說明薄膜型電子源之代表例之MIM型電子源之動作原理用之圖。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

在上部電極 1 1 與下部電極 1 3 之間施加驅動電壓，如使通道絕緣膜 1 2 內之電場為 $1 \sim 10 \text{ MV/cm}$ 以上，下部電極 1 3 中之費米位準附近之電子藉由穿隧現象而透過障壁，成為被注入通道絕緣層 1 2、上部電極 1 1 之傳導帶之熱電子。

這些熱電子之一部份在通道絕緣層 1 2 以及上部電極 1 1 中，由於與固體之相互作用，受到散射而損失能量。

此結果為：在到達上部電極 1 1 - 真空 1 0 界面之時間點，存在具有各樣能量之熱電子。

這些熱電子之中，具有上部電極 1 1 之功量函數 (ϕ) 以上之能量者被放出於真空 1 0 中，此以外者流入上部電極 1 1。

又，MIM 型薄膜電子源例如被記載於特開平 9 - 320456 號公報。

此處，如複數個設置上部電極 1 1 與下部電極 1 3，使與這些複數個之上部電極 1 1 與下部電極 1 3 正交，呈矩陣狀形成薄膜型電子源，可以由任意之場所產生電子射線之故，可以當成影像顯示裝置之電子源使用。

即，於各項素配置薄膜型電子源元件，在真空中加速由該處來之放出電子後，照射螢光體，藉由使照射之部份之螢光體發光，可以構成顯示所希望之影像之影像顯示裝置。

薄膜型電子源在放出電子束之直進性優異之故，可以實現高精細之顯示裝置、不易受到表面污染之影響之故，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

容易處理等，作為 F E D 用電子放出元件具有優異之特徵。

【發明欲解決之課題】

在利用薄膜電子源矩陣之顯示裝置中，不使用如陰極射線管（Cathode-ray tube; CRT）之遮罩（shadow mask），又，也沒有光束偏向電路之故，其消耗電力比起 C R T 為稍微小些或為相同程度。

概算依據利用薄膜電子源矩陣之影像顯示裝置之習知之驅動方法之薄膜電子源矩陣之消耗電力。

圖 2 2 係顯示習知之薄膜電子源矩陣之概略構成圖。

薄膜型電子源元件 3 0 1 之一方之電極（下部電極 1 3）被接線於在行方向延伸之行電極 3 1 0，薄膜型電子源元件 3 0 1 之令一方之電極（上部電極 1 1）被接線於在列方向延伸之列電極 3 1 1。

又，圖 2 2 中，雖然顯示 3 行 X 3 列之情形，實際上，構成顯示裝置之像素，或在彩色顯示裝置之情形，薄膜型電子源元件 3 0 1 只有被配置副像素（sub-pixel）之個數。

此處，如在第 R 2 號之行電極 3 1 0 施加負電壓脈衝（ $-V_1$ ），同時在第 C 2 號之列電極 3 1 1 施加正電壓脈衝（ V_2 ），在位於 R 2 之行電極 3 1 0 與 C 2 之列電極 3 1 1 之交點（R 2、C 2）之薄膜型電子源元件 3 0 1 被施加（ $V_1 + V_2$ ）之電壓之故，電子被放出。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(4)

被放出之電子被加速後，照射螢光體，使螢光體發光。

在此種之線依序驅動中，在單位時間之像素發光期間（負載比）反比例於掃描線，即行電極310之條數 N 。即，畫面之亮度成為 $1/N$ 。

但是，如1997 SID International Symposium Digest of Technical Papers, pp.123~126(1997.5月)所示般地，在利用薄膜型電子源元件301與螢光體之影像顯示裝置中，在脈衝施加時發光之亮度相當高之故，即使為線依序驅動也可以獲得足夠之亮度。

又，施加電壓與亮度之關係也具有急遽之臨界值特性之故，即使在 $N=1000$ 程度之情形，以單純矩陣驅動也可以獲得足夠之對比。

即，與液晶顯示裝置之情形不同，利用薄膜電子源之顯示器之情形，在改善臨界值特性之目的或增加發光期間之負載比之目的下，沒有必要在各像素設置開關元件。

在圖22之構成中，嘗試求取驅動電路之無效消耗電力。

所謂無效消耗電力係對驅動之薄膜型電子源元件301之靜電電容充、放電電荷所消耗之電力，無助於發光。

設各薄膜型電子源元件301之每一個之靜電電容為 C_e ，設列電極311之個數為 M 、設行電極之個數為 N 時，對行電極310施加1次之振幅 V_r 之脈衝之情形之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

無效電力，係以下述(1)式表示之。

【數1】

$$M.Ce.Vr^2 \quad \cdots (1)$$

如設1秒間重寫畫面之次數(場頻率)為 f ， N 個之行電極全體之無效電力(P_r)係以下述(2)表示之。

【數2】

$$Pr=f.N.M.Ce.Vr^2 \quad \cdots (2)$$

在1個之列電極311被接續 N 個之薄膜型電子源元件之故， M 個之列電極全體之無效電力(P_c)在對 M 個全部之列電極311施加脈衝電壓之情形，係以下述(3)式表示之。

$$Pc=f.M.N.(N.Ce.Vc^2) \quad \cdots (3)$$

此處， V_c 係被施加於列電極311之電壓脈衝之振幅。

在1次重寫畫面之期間(1場期間)，對列電極311施加 N 次脈衝之故，與 P_r 相比， N 被多餘相乘。

又，在 M 個之列電極311之中，於 m 個施加脈衝電壓之情形，變成以 m 置換前述(3)式之 M 之形式。

舉其一例，代表值如使用： $f=60\text{Hz}$ 、 $N=480$ 、 $M=1920$ 、 $Ce=0.1\text{nF}$ 、 $V_r=V_c=4\text{V}$ ，則成為 $P_r=0.09[\text{W}]$ 、 $P_c=42[\text{W}]$

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

〕。

在此情形，薄膜型電子源元件本身之消耗電力為
1.6〔W〕程度之故，全消耗電力成為4.4〔W〕之程
度。此係實用上沒有問題之消耗電力。

但是，在更欲謀求低消耗電力之情形，了解到削減伴
隨資料脈衝施加之無效電力 P_c 為有效。

如此，在當成對應CRT之影像顯示裝置使用之情形
，即使習知之技術，就消耗電力之觀點而言，也沒有問題
。

但是，利用薄膜型電子源矩陣之顯示裝置之特徵為可
以實現薄型之顯示裝置。

於此種薄型顯示裝置中，有當成可攜式顯示裝置之用
途，在此情形，消耗電力期望更為降低。

又，個薄膜型電子源元件301之實效阻抗小，即，
於元件流過比較大之電流之故，在以線依序驅動使薄膜型
電子源矩陣動作之故，於1個之電極流過多數之元件之電
流之故，如不使配線電阻小，有在畫面全體無法獲得均勻
亮度等之問題。

進而，即使將電場放射型陰極、有機EL元件等配置
呈矩陣狀之影像顯示裝置也具有相同之問題。

本發明係為了解決上述習知技術之問題點而完成者，
本發明之目的在於提供：於影像顯示裝置中，可以降低其
消耗電力之技術。

又，本發明之其它目的在於提供：於影像顯示裝置中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

，能夠提升顯示品質之技術。

本發明之上述以及其它之目的與新的特徵可以藉由本詳細說明書之記載以及所附圖面變得明白。

【解決課題用之手段】

首先，說明本發明之動作原理。

圖1係顯示本發明之影像顯示裝置之薄膜矩陣之一例之概略構成圖。

習知上，在行電極310與列電極311交叉之區域的附近只接續薄膜型電子源元件301，但是如圖1所示般地，在本發明中，在行電極（本發明之第1信號線）

310與列電極（本發明之第2信號線）311交叉之區域的附近設置電晶體302與薄膜型電子源元件301，經過像素電晶體302對薄膜型電子源元件301之一方之電極（下部電極13）供給驅動電壓。

即，使像素電晶體302之閘極電極與行電極310接續，使源極電極與列電極311接續，進而，使汲極電極與薄膜型電子源元件301之一方之電極（下部電極）接續。

又，薄膜型電子源元件301之另一方之電極（上部電極11）接線於上部電極驅動電路45。

又，電晶體使用薄膜電晶體（TFT:Thin-Film Transistor）之情形，源極電極與汲極電極實質上並無區別，也包含薄膜電晶體（TFT）之情形，在本詳細說明書中，為了方便，稱為源極電極、汲極電極。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

在本詳細說明書中，稱行電極 3 1 0 與列電極 3 1 1 交叉之區域的附近為交叉區域，又，在以下之說明中，稱被以行電極 3 1 0 與列電極 3 1 1 包圍之區域為「像素」，將被設置於個像素區域之電晶體 3 0 2 稱為「像素電晶體」。

進而，在彩色影像顯示之情形，以紅、藍、綠之各副像素 (sub-pixel) 之組合形成 1 像素 (pixel)，此處定義之「像素」，在彩色影像顯示之情形，相當於副像素 (sub-pixel)。

第 R 2 號之行電極 3 1 0 與第 C 2 號之列電極 3 1 1 之交叉區域 (R 2、C 2) 之薄膜型電子源元件 3 0 1 係如下述般地動作。

於第 R 2 號之行電極 3 1 0 施加脈衝電壓，使像素電晶體 3 0 2 成為導通 (ON) 狀態。

同時，於第 C 2 號之列電極 3 1 1 如施加 (V 2) 之電壓振幅之脈衝，於交叉區域 (R 2、C 2) 之薄膜型電子源元件 3 0 1 被施加 ($V_{com} - V_2 - \Delta V$) 之電壓，電子被放出。

此處， V_{com} 係上部電極驅動電路 4 5 之輸出電壓， ΔV 係由於像素電晶體 3 0 2 之電阻 (輸出阻抗) 之電壓降低量。

在被接續於第 R 1 號以及 R 3 號之行電極 3 1 0 之點 (dot) 中，像素電晶體 3 0 2 為 OFF 狀態之故，在對應之薄膜型電子源元件 3 0 1 未被施加電壓，電子沒有

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

被放出。如此，在本發明中，藉由線依序驅動方式進行影像顯示。

概算在利用本發明之情形之驅動電路所被消耗之無效電力。

行電極驅動電路 41 之無效電力 (P_r) 係以下述 (4) 式表示之。

【數 4】

$$P_r = f \cdot N \cdot M \cdot C_{gs} \cdot V_r^2 \cdots (4)$$

此處， V_r 係被施加於行電極 310 之電壓脈衝之振幅， C_{gs} 係各點之像素電晶體 302 之閘極－源極間寄生電容。

通常 $C_{gs} = 1 \text{ pF}$ 之程度，為薄膜型電子源元件 301 之每一個之靜電電容 (C_e) 之 $1/100 \sim 1/1000$ 之程度之故，無效電力 (P_r) 也成為習知之 $1/100 \sim 1/1000$ 之程度。

列電極驅動電路 42 之無效電力 (P_c) 係以下述 (5) 式表示之。

【數 5】

$$P_c = f \cdot M \cdot N \cdot C_e \cdot V_c^2 + f \cdot M \cdot N \cdot (N-1) \cdot C_{dse} \cdot V_c^2 \cdots (5)$$

在此 (5) 式中，第 1 項係像素電晶體 302 為導通狀態之點之貢獻，第 2 項係其以外之點，即，像素電晶體 302 為 OFF 狀態之點之貢獻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

此處， V_c 係被施加於行電極 310 之電壓脈衝之振幅， C_{dse} 係串聯接續像素電晶體之汲極－源極間寄生電容（ C_{ds} ）與薄膜型電子源 301 之每一個之靜電電容（ C_e ）之合成電容，以下述（6）式表示之。

【數 6】

$$\begin{aligned} C_{dse} &= (1/C_{ds} + 1/C_e) \cdot l \\ &= C_{ds} / (C_{ds}/C_d + 1) \cdots (6) \end{aligned}$$

通常 C_{ds} 為 1 pF 之程度以下， C_e 之 $1/100 \sim 1/1000$ 之程度之故， C_{dse} 與 C_{ds} 幾乎相等，為 C_e 之 $1/100 \sim 1/1000$ 之程度。

因此，無效電力（ P_c ）與習知之方法相比，約可以降低為 $1/N$ 。

如此，如依據本發明，可以大幅降低驅動電路之無效電力（即，在薄膜電子源矩陣之消耗電力）。

又，驅動電路之負荷電容變小之故，對於驅動電路之要求也被緩和之故，也可以有助於驅動電路之低成本化。

於顯示裝置中，在各像素設置電晶體，以控制各像素之動作之方法，即被稱為主動矩陣方式之方式，有幾種方式被提案、實施。

於液晶顯示裝置中，雖然主動矩陣方式被廣泛使用，但是此對於液晶元件之電壓之透過率之臨界值特性並不急遽之故，如係單純矩陣方式，其對比因而降低。

藉由主動矩陣驅動延伸對各像素施加電壓之期間，換

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(11)

言之，藉由使負載比變大，為可以提升對比者。

相對於此，本發明之各像素之動作模式為線依序驅動方式，即，發光之負載比成為 $1/N$ ，與液晶顯示裝置之主動矩陣驅動本質上不同。

在電激發光型顯示裝置（EL顯示器）之主動矩陣驅動例如如被記載於1999 SID International Symposium Digest of Technical Papers, pp. 438~441(1999.5月)般地，於各像素組合最低限度2個之電晶體與儲存電容而實現。

此係組合控制對儲存電容之電荷之出入之電晶體，以及因應儲存電容之電壓，控制各像素之EL元件之發光之電晶體之2個。

藉由此，增加各像素之EL元件之發光期間，即，負載比，以獲得高亮度。因此，此方式也與本發明本質上不同。

於場放射顯示器（FED）適用主動矩陣驅動之例為例如在表面傳導型電子源之矩陣之各點形成電晶體之例，被記載於特開平9-219164號公報。

在此周知例中，為了防止由表面傳導型電子源來之放出電流在每一點有偏差，其係利用各像素之電晶體之定電流特性，以謀求電流量之均勻化者。

圖2係顯示MOS電晶體之閘極電壓一定條件之汲極電流（ I_D ）對汲極－源極間電壓（ V_{DS} ）之關係。

由圖2可以明白地， V_{DS} —在某值以上（即，在飽和

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(12)

區域)， I_D 與 V_{DS} 無關，成為幾乎一定。

在前述周知例中，各點之像素電晶體在此飽和區域動作地設定施加電壓，利用像素電晶體之定電流特性以使放出電流一定。

關於將電場放射陰極用作電子源之FED中，被提案於各點設置電晶體之方式，例如被記載於Proceedings of the 5th International Display Workshops, pp.667~670(1998.12月)，此亦與前述周知例相同，使像素電晶體在飽和區域動作，利用其之定電流特性，以謀求電子放出之雜訊之降低或放出電流之安定化。

在這些之周知例所揭示之使像素電晶體於飽和區域動作，以利用其之定電流特性之方式存在像素電晶體之特性偏差之影響大之問題。

以下，說明此點。

一般圖2所示之MOS電晶體之飽和區域之汲極電流 $I_D(sat)$ 係以下述(7)式表示之。

【數7】

$$I_D(sat) = k \cdot (V_{GS} - V_T)^2 \cdots (7)$$

此處， V_{GS} 係電晶體之閘極－源極間電壓、 V_T 係臨界值電壓。

k 係以構成電晶體之半導體之移動度 μ_n 或閘極電容 C_{ox} 、電晶體之構造參數(W, L)所表示之量，以下述(8)式表示之。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

【數 8】

$$k = (1/2) \mu_n C_{ox} (W/L) \cdots (8)$$

在實際之電晶體中，臨界值電壓 (V_T) 有偏差產生。

飽和區域之汲極電流 ($I_D(sat)$) 係比例於 ($V_{GS} - V_T$) 之平方之故，臨界值電壓 (V_T) 之偏差的影響極大。

因此，使像素電晶體在飽和區域動作，利用其之定電流特性之方式，存在有：像素電晶體之特性偏差之影響大，必須具有高度均勻性以製作像素電晶體之問題點。

特別是，作為像素電晶體在使用以非晶質矽（以下，單稱為 a-Si）或多晶矽（以下，單稱為 Poly-Si）等構成之薄膜電晶體（TFT）之情形，要確保像素 TFT 之均勻性很困難。

在本發明中，為了降低像素電晶體 302 之特性偏差之影響，使像素電晶體在非飽和區域，即，藉由被施加於源極電極與汲極電極之間之電壓，汲極電流 (I_D) 大為變化之區域動作。

圖 2 之汲極電流 (I_D) 對汲極－源極間電壓 (V_{DS}) 之特性中，非飽和區域之傾斜之倒數，即，非飽和區域之有效電阻值（輸出阻抗） R 係以下述（9）式表示之。

【數 9】

$$R = \left(\frac{dI_D}{dV_{DS}} \right)^{-1} = \{2k(V_{GS} - V_T)\}^{-1}$$

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(14)

由前述(9)式可以明白地，非飽和區域之特性只依存於 $(V_{gs} - V_T)$ 之 -1 次方之故，與 $I_D(sat)$ 相比，臨界值電壓 (V_T) 之偏差之影響小。

接著，如圖1所示般地，假定串聯接續薄膜型電子源元件(MIM型電子源元件)301與像素電晶體302，對其全體施加外部電壓 (V_0) 之情形，估計像素電晶體302之輸出阻抗 (R) 之偏差對流經薄膜型電子源元件301之電流之影響。

如設薄膜型電子源元件301之二極體電流 (I_d) —電壓特性 (V) 為 $I_d = f(V)$ 、設像素電晶體之輸出阻抗為 R 、 $R + \Delta R$ 時流經之電流分別為 I 、 ΔI ，則具有下述(10)之關係。

【數 1 0】

$$\frac{\Delta I}{I} = \left(\frac{\Delta R}{R + \Delta R} \right) / (1 + \alpha)$$

$$\alpha = \frac{r_e}{R + \Delta R}$$

$$r_e = \frac{dV}{dI_d}$$

因此，如果使像素電晶體302之輸出阻抗 $(R + \Delta R)$ 比薄膜型電子源元件301之(動作點之)微分電阻 r_e 小、 $\alpha \geq 1$ ，前述(10)可以變形為下述(11)。

【數 1 1】

$$\frac{\Delta I}{I} \leq \left(\frac{\Delta R}{R + \Delta R} \right)$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

藉由此，像素電晶體 302 之特性偏差 (ΔR) 對顯示影像之均勻性之影響變得更小。換言之，像素電晶體 302 之特性偏差之容許量變大，成為容易製造。

使像素電晶體 302 之特性偏差之影響變小之別的方法為使像素電晶體 302 在非飽和區域動作，以定電流電路構成列電極驅動電路 42。

在此情形，像素電晶體 302 被當成開電阻 (R) 之開關元件使用。

像素電晶體 302 之有效電阻 (R) 即使變化，流經薄膜型電子源元件 301 之電流以列電極驅動電路 42 之定電流電路而被限定之故，流過一定電流。

此方式在作為像素電晶體，利用 a-Si 或 Poly-Si 等構成之薄膜電晶體 (TFT)，在列電極驅動電路 42 使用單結晶矽 (Si) 基板之情形特別有效。

為何呢？在形成於單結晶矽 (Si) 基板上之情形，容易抑制電晶體之特性偏差之故也。

使列電極驅動電路 42 為定電流電路之構成在與顯現在施加電壓 V 與發光強度 B 之關係 $B = g(V)$ 之偏差或變動量相比，與元件電流 (I) 之關係 $B = h(I)$ 之偏差少之情形特別有效。

此種例子有有機 EL (有機電激發光) 元件或發光二極體 (LED)。

即，本申請案所揭示之發明之中，如簡單說明代表性者之概要，則如下述：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

本發明係一種具備：具備具有複數個之電晶體元件；及具有被設置於前述每一個電晶體元件之同時，以下部電極、絕緣層、上部電極之順序積層之構造，在上述上部電極施加正極性之電壓之際，由上述上部電極表面放出電子之電子源元件；及被設置在第1方向之第1信號線；及被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及框構件；以及具有螢光體之第2基板，以前述第1基板、前述框構件以及前述第2基板所包圍之空間被設為真空氣氛之顯示元件之影像顯示裝置，其特徵為：前述各電晶體元件與前述各電子源元件係被設置於前述第1信號線與前述第2信號線之交叉區域。

又，本發明係一種具備：具備具有複數個之電晶體元件；及具有被設置於前述每一個電晶體元件之同時，以下部電極、絕緣層、上部電極之順序積層之構造，在上述上部電極施加正極性之電壓之際，由上述上部電極表面放出電子之電子源元件；及被設置在第1方向之第1信號線；及被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及框構件；以及具有螢光體之第2基板，以前述第1基板、前述框構件以及前述第2基板所包圍之空間被設為真空氣氛之顯示元件之影像顯示裝置，其特徵為：前述各電晶體元件被設置在以前述第1信號線與前述第2信號線所包圍之區域內。

又，本發明係一種具備：具備具有複數個之電晶體元件；及具有被設置於前述每一個電晶體元件之同時，以下

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(17)

部電極、絕緣層、上部電極之順序積層之構造，在上述上部電極施加正極性之電壓之際，由上述上部電極表面放出電子之電子源元件；及被設置在第1方向之第1信號線；及被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及框構件；以及具有螢光體之第2基板，以前述第1基板、前述框構件以及前述第2基板所包圍之空間被設為真空氣氛之顯示元件之影像顯示裝置，其特徵為：前述各電晶體元件之控制電極係被電氣地導通於前述複數之第1信號線之中之一，前述各電晶體元件之第1電極被電氣地導通於前述複數之第2信號線之中之一，前述各電晶體元件之第2電極被電氣地導通於被設置在每一前述各電晶體元件之前述電子源元件之前述下部電極。

又，本發明之特徵為：前述各電晶體元件之輸出阻抗比在前述各電子源之動作區域之微分電阻值小。

又，本發明之特徵為具備：對前述各第1信號線供給驅動電壓之第1驅動手段；以及對前述各第2信號線供給驅動電壓之第2驅動手段，前述第2驅動手段係具備對前述各第2信號線供給定電流之定電流電路。

又，本發明係一種具備：具備具有複數個之電晶體元件；及被設置於前述每一各電晶體元件之複數個之電子放出元件；及被設置在第1方向之第1信號線；及被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及框構件；以及具有螢光體之第2基板，以前述第1基板、前述框構件以及前述第2基板所包圍之空間被設為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

真空氣氛之顯示元件；以及對前述各第1信號線供給驅動電壓之第1驅動手段；以及對前述各第2信號線供給驅動電壓之第2驅動手段之影像顯示裝置，其特徵為：前述各電晶體元件之控制電極係被電氣地導通於前述複數之第1信號線之中之一，前述各電晶體元件之第1電極被電氣地導通於前述複數之第2信號線之中之一，前述各電晶體元件之第2電極被電氣地導通於被設置在每一前述各電晶體元件之前述複數個之電子放出元件，前述第2驅動手段係具備對前述各第2信號線供給定電流之定電流電路。

又，本發明係一種具備：具備具有複數個之電晶體元件；及被設置於前述每一各電晶體元件之電場發光元件；及被設置在第1方向之第1信號線；及被設置在與前述第1方向正交之第2方向之第2信號線之第1基板之顯示元件；以及對前述各第1信號線供給驅動電壓之第1驅動手段；以及對前述各第2信號線供給驅動電壓之第2驅動手段之影像顯示裝置，其特徵為：前述各電晶體元件之控制電極係被電氣地導通於前述複數之第1信號線之中之一，前述各電晶體元件之第1電極被電氣地導通於前述複數之第2信號線之中之一，前述各電晶體元件之第2電極被電氣地導通於被設置在前述每一各電晶體元件之前述各電場發光元件之第1電極，前述第2驅動手段係具備對前述各第2信號線供給定電流之定電流電路。

又，本發明係一種具備：具備具有複數個之電晶體元件；及被設置於前述每一各電晶體元件之發光二極體元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

件；及被設置在第1方向之第1信號線；及被設置在與前述第1方向正交之第2方向之第2信號線之第1基板之顯示元件；以及對前述各第1信號線供給驅動電壓之第1驅動手段；以及對前述各第2信號線供給驅動電壓之第2驅動手段之影像顯示裝置，其特徵為：前述各電晶體元件之控制電極係被電氣地導通於前述複數之第1信號線之中之一，前述各電晶體元件之第1電極被電氣地導通於前述複數之第2信號線之中之一，前述各電晶體元件之第2電極被電氣地導通於被設置在前述每一各電晶體元件之前述發光二極體之第1電極，前述第2驅動手段係具備對前述各第2信號線供給定電流之定電流電路。

又，本發明之特徵為：前述各電晶體元件係薄膜電晶體，使該薄膜電晶體在非飽和區域動作。

【發明之實施形態】

以下，參考圖面詳細說明本發明之實施形態。

又，在說明實施形態用之全部圖中，對具有相同機能者賦予相同標號，省略其之重複說明。

【實施形態1】

本發明之實施形態1之影像顯示裝置係使用藉由電子放出電子源之薄膜型電子源矩陣與螢光體之組合，以形成各點之亮度調製元件之顯示面板（本發明之顯示元件），於該顯示面板之行電極以及列電極接續驅動電路而構成。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(20)

此處，顯示面板係由：形成薄膜電子源矩陣之電子源板與形成螢光體圖案之螢光顯示板形成。

首先，利用圖3～圖6，說明本實施形態之形成像素電晶體305與薄膜電子源矩陣之電子源板之構造與製造方法。

圖3係顯示本實施形態之像素電晶體305之配置之平面圖。

圖4係顯示本實施形態之電子源板之重要部位剖面構造之剖面圖，同圖(a)係沿著圖3之A-B切斷線之剖面圖，同圖(b)係沿著圖3之C-D切斷線之剖面圖。

圖5係說明本實施形態之像素電晶體302之製造方法用之圖，圖6係說明本實施形態之薄膜電子源矩陣之製造方法用之圖。

以下，利用圖5說明本實施形態之像素電晶體302之製造方法。

首先，如圖5(a)所示般地，在基板14上藉由乙矽烷(Si_2H_6)為原料之低壓CVD法堆積a-Si膜600。

此處，基板14係使用無鹼玻璃、或覆蓋二氧化矽(SiO_2 ；以下，單稱為 SiO_2)之無鹼玻璃或碳酸鈉玻璃。

接著，圖案化poly-Si膜600後，如圖5(b)所示般地，以CVD法形成以 SiO_2 構成之閘極絕緣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(21)

膜 6 0 4。

接著，如圖 5 (c) 所示般地，形成閘極 6 0 1 後，藉由離子摻雜，對 p o l y - S i 膜 6 0 0 植入不純物，如圖 5 (d) 所示般地，形成源極電極 6 0 2、汲極電極 6 0 3。

之後，如圖 5 (e) 所示般地，形成層間絕緣膜 6 0 6 後，形成接觸孔。

接著，如圖 5 (f) 所示般地，形成列電極 3 1 1 與接觸電極 6 0 7。

接著，如圖 5 (g) 所示般地，以 S i O₂ 形成鈍化膜 6 0 8 後，形成接觸孔。

最後，形成鋁 (A l ; 以下，單稱為 A l) - 釹 (N d ; 以下，單稱為 N d) 合金膜後，圖案化，如圖 5 (h) 所示般地，形成下部電極 1 3。

此處，下部電極 1 3 形成為以圖 3 之虛線所示之圖案。

接著，利用圖 6 說蒙薄膜電子源矩陣之一薄膜型電子源元件 3 0 1 之製造方法。

圖 6 之右側之列係平面圖，圖 6 之左側之列係沿著右側圖之中之 A - B 線之剖面圖。

圖 6 (a) 係與圖 5 (h) 相同。

首先，如圖 6 (b) 所示般地，在下部電極 1 3 上形成光阻 5 0 1。

在此狀態下，進行陽極氧化，如圖 6 (c) 所示般地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

，形成保護絕緣層 1 5。

在本實施形態中，於此陽極氧化中，設陽極氧化電壓為 20 V 之程度，保護絕緣層 1 5 之膜厚為 30 nm 之程度。

以丙酮等之有機溶媒玻璃光阻圖案 5 0 1 後，將以光阻所覆蓋之下部電極 1 3 表面再度陽極氧化，如圖 6 (d) 所示般地，形成通道絕緣層 1 2。

在本實施例中，於此再陽極氧化中，設其陽極氧化電壓為 6 V、絕緣層膜厚為 8 nm。

接著，形成上部電極總線用之導電膜，圖案化光阻，進行蝕刻，如圖 6 (e) 所示般地，形成上部電極總線 3 2。

在本實施形態中，作為上部電極總線 3 2 係以膜厚 300 nm 程度之 A l 合金與膜厚 20 nm 程度之鎢 (W) 膜之積層膜形成，以 2 階段之蝕刻加工 A l 合金與鎢 (W) 膜。又，上部電極總線 3 2 之材料也可以使用金 (A u) 等。

又，蝕刻上部總線 3 2 之際，端部成為推拔狀地進行蝕刻。

最後，如圖 6 (f) 所示般地，全面形成上部電極 1 1。

在本實施形態中，上部電極 1 1 係使用以膜厚 1 nm 之銥 (I r)、膜厚 2 nm 之白金 (P t)、膜厚 3 nm 之金 (A u) 之 3 層之順序形成之 3 層積層膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

又，上部電極 1 1 雖然在影像顯示部份全面形成，但是在基板周邊部之形成取出電極之區域並不形成。

此圖案化之精度不高之故，在本實施形態中，利用金屬光罩進行此圖案化。

如此一來，在上部電極形成後，光阻等不會殘留在上部電極 1 1 表面之故，可以容易獲得乾淨之上部電極 1 1，不會發生電子放出特性之劣化。

此成為可能係在形成上部電極總線 3 2 後，再形成上部電極 1 1 之故。

藉由以上之製程，在基板 1 4 上完成薄膜電子源矩陣。

於本實施形態之薄膜電子源矩陣中，由以通道絕緣層 1 2 規定之區域（電子放出區域 1 8，記載於圖 8），即以光阻圖案 5 0 1 所規定之區域電子被放出。

在電子放出區域 1 8 之周邊部形成厚絕緣膜之保護絕緣層 1 5 之故，被施加於上部電極一下部電極間之電場不會集中於下部電極 1 3 之邊或角落部，可以獲得橫跨長時間之安定的電子放出特性。

在本實施形態中，由圖 4 可以明白地，像素電晶體 3 0 2 與薄膜型電子源元件 3 0 1 係形成在基板 1 4 上之別的層。

因此，由圖 3 可以明白地，可以不使薄膜型電子源元件 3 0 1 之大小變小地，能夠使像素電晶體 3 0 2 之大小變大。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(24)

因此，可以容易使像素電晶體 302 之輸出阻抗變小。

在本實施形態中，設定像素電晶體 302 之輸出阻抗比薄膜型電子源元件 301 之動作區域之微分電阻值 (r_e) 小。藉由此，如前述般地，像素電晶體 302 之特性偏差不易對顯示影像之亮度不均產生影響。

由圖 3 之平面圖可以明白地，像素電晶體部設置於下部電極 13 之下側。藉由此，下部電極 13 也作用為像素電晶體 302 之遮光層。

以下，利用圖 7 ~ 圖 9 說明本實施形態之顯示面板之構造。

圖 7 係由螢光顯示板側觀看本實施形態之顯示面板之平面圖，圖 8 係由本實施形態之顯示面板拆除螢光顯示板，由顯示面板之螢光顯示板側觀看基板 14 之平面圖。

圖 9 係顯示本實施形態之顯示面板之構成之重要部位剖面圖，同圖 (a) 係沿著圖 7、圖 8 之 A - B 切斷線之重要部位剖面圖，同圖 (b) 係沿著圖 7、圖 8 中之 C - D 切斷線之剖面圖。

但是，於圖 7、圖 8 中，基板 14 之圖示被省略。

本實施形態之螢光顯示板係以：被形成在碳酸鈉玻璃等之基板 110 之黑底 (black matrix) 120、及被形成在此黑底 120 之溝內之紅 (R)、綠 (G)、藍 (B) 之螢光體 (114A ~ 114C)、及被形成在這些之上之金屬背膜 122。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(25)

以下，說明本實施形態之螢光顯示板之製作方法。

首先，爲了提升顯示裝置之對比之目的，在基板 110 上形成黑底 120（參考圖 9（a））。

黑底 120 於圖 7 中，雖然被配置於螢光體（114 A ~ 114 C）間，但是在圖 7 中，省略其記載。

接著，形成紅色螢光體 114 A、綠色螢光體 114 B、藍色螢光體 114 C。

這些螢光體之圖案與被使用於通常之陰極射線管之螢光面者相同，利用光蝕法進行。

螢光體例如紅色可以使用 $Y_2O_2S : Eu (P22 - R)$ 、綠色使用 $Zn_2SiO_4 : Mn (P1 - G1)$ 、藍色使用 $ZnS : Ag (P22 - B)$ 。

接著，以硝化纖維等之膜鍍膜後，在基板 110 全體蒸鍍 Al 膜厚 50 ~ 300 nm 程度，當成金屬背膜 122。

之後，將基板 110 加熱至 400 °C 程度，加熱分解鍍膜或 PVA 等之有機物。藉由如此，完成螢光顯示板。

將如此製作之電子源板與螢光顯示板夾入間隔物 60，利用凝結玻璃（frit glass）密封。

被形成於基板 110 之螢光體（114 A ~ 114 C）與基板 14 之位置關係如圖 7 所示。

由圖 9 可以明白地，如由上部當成平面圖來看基板 14，全面被上部電極 11 所覆蓋。

圖 8 係將形成於基板 14 上之薄膜型電子源元件

（請先閱讀背面之注意事項再為本頁）

裝
訂
線

五、發明說明(26)

301之圖案對應圖7而顯示。又，在圖8中，為了明示與圖7之位置關係，有圖示電子放出區域18。

電子放出區域18係被以保護絕緣層15所包圍之區域，實際上為電子被放出之區域。

螢光體114位於電子放出區域18之正上方。

又，考慮被放出之電子束多少變寬，電子放出區域18之寬幅比螢光體114之寬幅小。

基板110－基板14之間的距離設為1～3mm程度。

間隔物60係為了防止在使面板內部為真空時，由於大氣壓之外部來之力量之面板之破損而插入。

因此，在基板14、基板110係使用厚度3mm之玻璃，製作寬4cm X 長度9cm程度以下之顯示面積之顯示裝置之情形，以基板110與基板14本身之機械強度可以耐得住大氣壓之故，沒有插入間隔物60之必要。

間隔物60之形狀，例如設為如圖7之直立方體形狀。

此處，在每3行雖然設置間隔物60之支柱，在機械強度耐得住之範圍，減少支柱之數目（密度）也無所謂。

間隔物60為玻璃製或陶瓷製，排列配置板狀或柱狀之支柱。

密封之面板排氣為 1×10^{-7} Torr程度之真空，加以密封。

為了維持顯示面板內之真空度在高真空度，在密封之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(27)

前或之後，以面板內之指定之位置（未圖示出）進行收氣（getter）膜之形成或收氣材料之活性化。

例如，在以鋇（Ba）為主成分之收氣材料之情形，藉由高頻誘導加熱，可以形成收氣膜。如此，完成本實施形態之顯示面板。

如此在本實施形態中，基板110－基板14間之距離大至1～3mm程度之故，可以使施加於金屬背膜122之加速電壓高至3～6KV之高電壓。

因此，如前述般地，螢光體（114A～114C）可以使用陰極射線管（CRT）使用之螢光體。

圖10係顯示在本實施形態之螢光顯示板接續驅動電路之狀態之接線圖。

行電極310被接續於行電極驅動電路41，列電極311被接續於列電極驅動電路42。

又，在全像素被設為共通之上部電極總線32被接續於上部電極驅動電路45。

此處，各驅動電路（41、42）與電子源板之接續係例如藉由：將帶載封裝以非等向性導電膜壓著者，或將構成各驅動電路（41、42）之半導體晶片直接構裝於電子源板之基板14上之構裝晶片玻璃（chip on glass）等進行。

又，雖然圖示省略，但是在金屬背膜122經常由加速電壓源被施加3～6KV程度之加速電壓。

又，在圖10中，雖然只記載3行、3列，但是實際

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (28)

上之影像顯示裝置係被排列數 1 0 0 行 X 數 1 0 0 0 列者，在圖 1 1 中，不用說只是記載其之一部份而已。

圖 1 1 係顯示由圖 1 0 所示之各驅動電路被輸出之驅動電壓之波形之一例之時機圖。

此處，設第 n 號之行電極 3 1 0 為 R_n 、第 m 號之列電極 3 1 1 為 C_m 、第 n 號之行電極 3 1 0 與第 m 號之列電極 3 1 1 之交點之點為以 (n, m) 表示。

在時刻 t_1 ，於 R_1 之行電極 3 1 0 施加成為 V_{R1} 之電壓。此處，設 $V_{R1} = 1.5 V$ 。

又，在 C_1 以及 C_2 之列電極 3 1 1 施加成為 V_{C2} 之電壓，在 C_3 之列電極 3 1 1 施加成為 $V_{C1} = 1.0 V$ 之電壓。

上部電極驅動電路 4 5 之輸出電壓設 $V_{U1} = 1.0 V$ 。

如此一來，閘極電極被接續於 R_1 之行電極 3 1 0 之像素電晶體 3 0 2 之閘極電壓 V_g 成為 $1.5 V$ 之故，各像素電晶體 3 0 2 成為導通狀態。

因此，在點 $(1, 1)$ 、 $(1, 2)$ 之上部電極 1 1 與下部電極 1 3 之間被施加 $(V_{U1} - V_{C2}) = 1.0 V$ 之電壓之故，如設定 $(V_{U1} - V_{C2})$ 在電子放出開始電壓以上，電子由此 2 個之點之薄膜型電子源元件被放出於真空 1 0 中。

被放出之電子藉由被施加於金屬背膜 1 1 2 之電壓被加速，與螢光體 $(114A \sim 114C)$ 衝突，使螢光體 $(114A \sim 114C)$ 發光。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

另一方面，點(1、3)之上部電極11與下部電極13之間之電壓為 $(V_{u1} - V_{c2}) = 0V$ 之故，電子沒有被放出。

於時刻 t_2 ，如於 R_2 之行電極310施加 V_{R1} 之電壓，於 C_1 之列電極311施加 V_{c2} 之電壓，同樣地，點(2、1)點燈。

如此一來，如施加圖11之電壓波形，只有施以圖10之斜線之點點燈。

如此一來，藉由改變施加於列電極311之信號，可以顯示所希望之影像或資訊。

又，藉由使施加於列電極311之電壓之大小在 $V_{c1} \sim V_{c2}$ 之範圍配合影像信號適當改變，可以顯示有灰階之影像。

於時刻 t_4 ，對全部之行電極310施加 V_{R1} 之電壓，使全部之像素電晶體成為導通狀態，對全部之列電極311施加 V_{c2} 之電壓。

在此狀態，使上部電極驅動電路45之輸出電壓為 V_{u2} 。此處，設 V_{u2} 為 $-5V$ 之程度。

如此，對於全部之點，被施加 $V_{u2} - V_{c2} = -5V$ 。

如此藉由施加反極性之電壓(反轉脈衝)，可以提升薄膜型電子源元件之壽命特性。

又，如本實施形態般地，藉由對上部電極驅動電路45賦予反轉脈衝輸出機能，列電極驅動電路42之構成變單純。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(30)

使電路數多之列電極驅動電路42單純化，在成本化上極為有效。

施加反轉脈衝之期間(圖10之 $t_4 \sim t_5$ 、 $t_8 \sim t_9$)如利用影像信號之垂直回描線期間，與影像信號之整合性良好。

又，在前述說明中，作為像素電晶體雖然顯示以利用poly-Si之薄膜電晶體之例，但是不用說，使用a-Si之薄膜電晶體(TFT)，也可以獲得同樣之效果。

但是，在使用a-Si之TFT之情形，在密封基板110與基板14之際，有必要藉由利用低溫密封製程，以防止利用a-Si之TFT之劣化。

使用利用poly-Si之TFT，可以在基板上形成驅動電路(行電極驅動電路41、列電極驅動電路42或上部電極驅動電路45)。圖12係顯示此情形之基板14上之構成之一例。

在此圖12所示之構成中，像素顯示區域101與行電極驅動電路方塊810與列電極驅動電路方塊811被形成在基板14上。

於影像顯示區域101中，在行電極310與列電極311之各交點形成像素電晶體302與薄膜型電子源元件301。

接續於行電極310之行電極驅動電路41與包含移位寄存器之邏輯電路被形成在行電極驅動電路方塊810上。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(31)

如此一來，在行電極驅動電路方塊 8 1 0 以及列電極驅動電路方塊 8 1 1 內，進行串聯－並聯轉換之故，由基板 1 4 之外部來之信號線之條數可以大幅減少，可以降低構裝成本。

【實施形態 2】

於本發明之實施形態 2 之影像顯示裝置中，顯示面板係使用與前述實施形態 1 相同者。

本實施形態之影像顯示裝置在列電極驅動電路 4 2 具有定電流電路之點，係與前述實施形態 1 不同。

圖 1 3 係顯示本實施形態之列電極驅動電路 4 2 之一例之概略內部構成方塊圖。

如圖 1 3 所示般地，本實施形態之列電極驅動電路 4 2 具有：定電壓電路 5 1、定電流電路 5 2、脈衝寬幅調製 (P W M) 電路 5 3 以及切換電路 5 4。

圖 1 4 係顯示於本發明之實施形態 2 之影像顯示裝置中，由各電極驅動電路 (4 1、4 2、4 5) 被輸出之驅動電壓之波形之一例之時機圖。

又，於本實施形態中，雖然圖示省略，於金屬背膜 1 2 2 經常由加速電壓源被施加 3 ~ 6 K V 程度之加速電壓。

此處，與前述實施形態 1 相同，設第 n 號之行電極 3 1 0 為 R_n 、第 m 號之列電極 3 1 1 為 C_m 、第 n 號之行電極 3 1 0 與第 m 號之列電極 3 1 1 之交點之點為以 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

n、m) 表示。

又，於圖 14 中，驅動波形中之虛線部係顯示定電流輸出。

在時刻 t_1 ，於 R1 之行電極 310 施加成為 V_{R1} 之電壓，使閘極電極被接續於 R1 之行電極 310 之像素電晶體 302 成為導通狀態後，藉由切換電路 54 由定電壓電路 51 對 C1 以及 C2 之列電極 311 短期間施加定電壓 V_{C3} 後，將切換電路 54 切換為定電流電路 52，藉由定電流電路 52 成為定電流輸出。

指定之定電流脈衝期間終了後，透過電阻接續於接地電位。又，在本實施形態中，雖然接續於接地電位，如係電子源之電子放出動作停止之狀態，也可以為其它之電位。

定電壓 V_{C3} 係充電列電極 311 附帶之浮游電容用而施加者，定電壓施加期間如設定為可以充電浮游電容之時間即可。在本實施形態為 $4\mu s$ 。

藉由閘極電極被接續於 R1 之行電極 310 之導通狀態之像素電晶體 302，由列電極驅動電路 42 來之驅動電壓被施加之薄膜型電子源元件 301 在 $t_1 \sim t_2$ 之期間放出電子，此期間在本實施形態中，設定為 $64\mu s$ 。

因此，電子放出量幾乎以定電流期間之放出電流所決定。

螢光面之發光亮度比例於電子放出量之故，發光亮度可以以列電極驅動電路 42 之定電流輸出設定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(33)

因此，在亮度－電壓特性，及放出電流－電壓特性有偏差之情形，本方法特別有效。

又，定電壓施加期間之施加電壓 V_{C3} 設定為與施加定電流時之電壓值幾乎相等，或僅僅稍高之電壓值。又，浮游電容小，即使只以定電流輸出也可以充分高速追從之情形，定電壓施加期間可以不要。

同樣地，關於 R_2 之行電極 310 以後之像素，也因應列電極驅動電路之輸出電流，控制電子放出，即，螢光體之發光。

結果為圖 10 之斜線部之像素發光。

如此，可以顯示任意之影像。

進而，藉由脈衝寬幅調製 (PWM) 電路 53，藉由控制成為定電流輸出之期間，可以顯示有灰階之影像。

或者，替代脈衝寬幅調製，因應灰階改變定電流電路 52 之定電流輸出值，以顯示有灰階之影像亦可，進而，組合定電流輸出值之調製與脈衝寬幅調製，以顯示有灰階之影像亦可。

期間 ($t_4 \sim t_5$ 、 $t_8 \sim t_9$) 之反轉脈衝施加期間對全部之列電極 311 施加定電壓輸出 (電壓值為 V_{C2})。

如此，在本實施形態中，以薄膜型電子源元件 301 與像素電晶體 302 之組合構成各像素，而且，列電極驅動電路 42 係使用定電流電路 52 之故，降低像素電晶體 302 之特性偏差對顯示影像之影響，不單可以提升顯示

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(34)

品質，可以大幅增加像素電晶體 302 之特性偏差之容許範圍，能夠提升製造良率。

【實施形態 3】

本發明之實施形態 3 係利用圖 15、圖 16、圖 17 以說明利用電場放射型陰極之影像顯示裝置。

圖 15 係本實施形態之被製作於基板上之像素電晶體與電場放射型電子源之平面圖。

圖 16 係顯示本實施形態之電場放射型陰極之重要部位剖面構造之剖面圖，圖 15 之 A - B 切斷線之重要部位剖面圖。

以下，利用圖 15、圖 16 說明本實施形態之電場放射型陰極之構造。

在玻璃基板 14 上形成以列電極 311 (兼為像素電晶體 302 之源極) 與鉻 (Cr) 等形成之底層電極 701。

以 $n^+ - a - Si$ 形成獲得歐姆接觸用之接觸層 702 後，形成 $a - Si : H$ 層 703。

在 $a - Si : H$ 層 703 上透過鉻 (Cr) 層 704 以 $a - Si$ 形成射極晶片 707。

進而，藉由 SiO_2 膜形成絕緣層 705，最後，形成像素電晶體・閘極 601 (與行電極 310 一體形成) 與電場放射閘極 706。

在圖 16 之平面圖中，電場放射閘極 706 之圖案係

五、發明說明(35)

以虛線記載。

電場放射閘極 706 對於電子源矩陣內之全像素係共通。

因此，此電子源矩陣之構成於圖 1 中，係相等於代替薄膜型電子源元件 301 之部份，配置電場放射型電子源者。

又，此實施形態之構造例如可以以被記載於 International Display Workshop'98 Proceedings, pp.667-670(1998)之製法製造之。

與圖 7 ~ 圖 9 相同地，使電子源元件與螢光體對位密封此基板，當成顯示面板。

此面板如圖 1 所示般地，接線於驅動電路。

但是，圖 1 中，301 更換為電場放射型電子源，32、45 分別更換為電場放射閘極 706、電場放射閘極驅動電路 45。

圖 17 係顯示於本實施形態 3 之影像顯示裝置中，由各驅動電路被輸出之驅動電壓之波形之一例之時機圖。

此處，與前述實施形態 1 相同，設以 R_n 表示第 n 號之行電極 310、以 C_m 表示第 m 號之列電極 311。

電場放射閘極 706 經常被施加 $V_{u1} = 100V$ 程度之電壓。

因此，限制電流之像素電晶體 302 一成為導通狀態，藉由電場放射，電子由射極晶片 707 被放出於真空中，激勵螢光體使之發光。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(36)

於時刻 t_1 ，如對 R_1 之行電極 310 施加 $V_{R1} = 60V$ 程度之電壓，閘極電極被接續於 R_1 之行電極 310 之像素電晶體 302 成為導通狀態。

此處，由列電極驅動電路 42 輸出定電壓 $V_{c2} 4\mu s$ 程度後，切換為定電流電路。

期間 $t_1 \sim t_2$ 為 $64\mu s$ 程度之故，被放出於期間 $t_1 \sim t_2$ 之電荷量幾乎被以定電流設定值所支配。

雖於由電場放射型電子源之放出電流中，產生雜訊，由像素之放出電流量產生偏差，但是，放出電流量藉由列電極驅動電路內之定電流電路而被限制之故，放出電流變得安定。

又，於本實施形態中，像素電晶體 302 作為具有有限之電阻值之開關動作，但是以定電流電路驅動之故，像素電晶體 302 之電阻值之偏差不會影響放出電流量。

因此，不單降低像素電晶體之特性偏差對顯示影像之影響，能夠提升顯示品質，可以大幅加大像素電晶體之特性偏差之容許範圍，能夠提升製造良率。

又，先於定電流輸出而短期間輸出定電壓輸出係要高速充電伴隨列電極 311 之浮游電容之故。因此，在以定電流輸出高速回應之情形，此定電壓輸出變成不需要。

同樣地，關於 R_2 之列電極 311 以後之像素，因應列電極驅動電路之輸出電流，電子放出，即螢光體之發光被控制著。

結果為，圖 10 之斜線部之像素發光。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(37)

如此，可以顯示任意之影像。

本實施形態雖然記載利用電場放射型電子源之情形，但是，很清楚地，於本實施形態中，利用表面傳導型電子源也可以獲得同樣之效果，即，即使利用有特性偏差之像素電晶體，也可以獲得均勻之影像。

表面傳導型電子源之製作方法例如被記載於資訊顯示器學會期刊(Journal of the Society for Information Display)第5卷第4號(1997年發行)第345頁~第348頁。

【實施形態4】

利用圖18、圖19、圖20說明本發明之實施形態4之利用有機電場發光元件(有機EL元件)之影像顯示裝置。

圖18係本實施形態之影像顯示裝置之平面圖，圖19顯示本實施形態之影像顯示裝置之重要部位剖面構造之剖面圖，圖18之A-B切斷線之重要部位剖面圖。

以下，利用圖18、圖19說明本實施形態之影像顯示裝置之構造。

在無鹼玻璃等之透光性基板14上形成以源極電極602、汲極電極603、poly-Si膜600、閘極絕緣膜604、閘極電極601形成之薄膜電晶體。

閘極電極601被接線於行電極310，源極電極602被接線於列電極311。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

行電極 3 1 0 與列電極 3 1 1 藉由層間絕緣膜 6 0 6 互相被絕緣。

此薄膜電晶體被以鈍化膜 6 0 8 覆蓋。

鈍化膜 6 0 8 由圖 1 8 中虛線所示圖案可以明白地，也覆蓋行電極 3 1 0 與列電極 3 1 1。

這些構造係可以以與前述實施形態 1 同樣之方法形成。

汲極電極 6 0 3 透過接續電極 6 0 7 被接續於陽極 7 2 0。

陽極 7 2 0 例如係使用 I T O 膜（摻雜 S n 之氧化銦膜）等透過之電極。

在陽極 7 2 0 上，有機發光層 7 2 2 全面被形成。

有機發光層 7 2 2 係由陽極側以電洞植入層、電洞輸送層、有機發光層、電子輸送層之順序積層者，其個別之材料組成例如被記載於 1997 SID International Symposium Digest of Technical Papers, 1073頁~1076頁（1997年5月發行）。

或者，有機發光層 7 2 2 也可以使用被記載於 1999 SID International Symposium Digest of Technical Papers, pp.372~375(1999.5月)之聚合體型之發光層。

又，在有機發光層 7 2 2 上，陰極 7 2 4 被全面形成。

雖然未顯示於圖 1 8、圖 1 9，最後以保護膜覆蓋矩陣全體，防止水分等之侵入。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (39)

如此，各像素之有機 EL 元件之陽極 720 被接續於像素電晶體之汲極電極，陰極 724 成為全像素共通電極。

因此，矩陣之電路構成成為於圖 1 中，以 301 換為有機 EL 元件，32 換為陰極 724、45 換為陰極驅動電路之構成。

圖 20 係顯示於本實施形態 4 之影像顯示裝置中，由各驅動電路被輸出之驅動電壓之波形之一例之時機圖。

此處，與前述實施形態 1 相同地，設以 R_n 表示第 n 號之行電極 310、以 C_m 表示第 m 號之列電極 311。

於陰極 724 經常施加一定電壓 V_{U1} 。在本實施形態中， $V_{U1} = 0V$ 。

於時刻 t_1 ，如在 R_1 之列電極 311 施加 $V_{R1} = 1.5V$ 程度之電壓，閘極電極被接續於 R_1 之列電極 311 之像素電晶體 302 成為導通狀態。

此處，由列電極驅動電路輸出定電壓 V_{C3} （但是， $V_{C3} > V_{U1}$ ） $4\mu s$ 程度後，切換為定電流電路。

如此一來，電流由有機 EL 元件之陽極 720 朝向陰極 724 流動，有機發光層 722 發光。

期間 $t_1 \sim t_2$ 為 $64\mu s$ 程度之故，在期間 $t_1 \sim t_2$ 有機 EL 元件流過之電荷量幾乎被以定電流設定值所支配。

有機 EL 元件之電壓－亮度特性雖然有因像素而有偏差之情形，但是植入電流量藉由列電極驅動電內之定電流

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(40)

電路而被限制之故，成為一定，發光亮度也藉由定電流電路之設定值而被限制，偏差被解除。

又，於本實施形態中，像素電晶體302作為具有有限之電阻值之開關動作，但是以定電流電路驅動之故，像素電晶體302之電阻值之偏差不會影響放出電流量。

又，先於定電流輸出而短期間輸出定電壓輸出係要高速充電伴隨列電極311之浮游電容之故。因此，在以定電流輸出高速回應之情形，此定電壓輸出變成不需要。

同樣地，關於R2之列電極311以後之像素，因應列電極驅動電路之輸出電流，有機EL元件之發光被控制著。

結果為，圖10之斜線部之像素發光。如此，可以顯示任意之影像。

如在本實施形態敘述般地，如果利用有機EL元件與像素電晶體302構成影像顯示裝置，與習知之不使用像素電晶體者相比，具有以下之優點。

在習知之方式中，在選擇之行電極310，該行電極310之被接續之全部之有機EL元件之電流流過之故，必須使配線電阻相當低，但是，在本實施形態中，電流不集中於行電極310之故，配線電阻之限制被緩和。

即，在習知之方式中，於行電極集中流過之電流在本實施形態中，雖然流經陰極724，但是，陰極724係被形成於全面之較好電極之故，電流分散而流。

又，在本實施形態中，陰極724係全像素共通之故

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(41)

，不需要陰極之圖案化，製造容易。

又，如已經敘述般地，在本實施形態中，即使在有機 EL 元件之電流－電壓特性有偏差，也被容許。

再者，不單降低像素電晶體之特性偏差對顯示影像之影響，能夠提升顯示品質，也能夠大幅加大像素電晶體之特性偏差之容許範圍，可以提升製造良率。

另一方面，組合構成定電流電路之像素電晶體與有機 EL 元件之影像顯示裝置例如被記載於 1999 SID International Symposium Digest of Technical Papers, pp. 438~441(1999. 5月)。

在此文獻記載之方式中，雖然 1 像素需要 4 個之電晶體，但是在本發明只需要 1 個即可，製作容易。

又，以各像素 2 個之電晶體構成定電流電路之方法雖也被提案，但是在此情形，利用像素電晶體之飽和區域之定電流特性之故，如前述般地，像素電晶體之偏差之影響大，製造困難。

又，代替有機 EL 元件，利用發光二極體成為圖 1 之構成之情形，不用說也可以獲得與本實施形態相同之效果。

以上，依據前述實施形態具體說明藉由本發明者所完成之發明，但是本發明並不限定於前述實施形態，在不脫離其之要旨之範圍，不用說可以有種種之變形可能。

【發明之效果】

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(42)

如簡單說明於本申請案所揭示之發明之中，依據代表性者所獲得之效果，則如下述。

(1)如依據本發明，可以降低影像顯示裝置之消耗電力。

(2)如依據本發明，可以降低顯示影像之亮度偏差，能夠提升顯示品質。

【圖面之簡單說明】

圖1係顯示本發明之影像顯示裝置之薄膜矩陣之一例之概略構成圖。

圖2係說明MOS電晶體之特性用之圖。

圖3係表示本發明之實施形態1之像素電晶體之配置之平面圖。

圖4係顯示本發明之實施形態1之電子源板之重要部位剖面構造之剖面圖。

圖5係說明本發明之實施形態1之像素電晶體之製造方法用之圖。

圖6係說明本發明之實施形態1之薄膜型電子源矩陣之製造方法用之圖。

圖7係由螢光顯示板側觀看本發明之實施形態1之顯示面板之平面圖。

圖8係由本發明之實施形態1之顯示面板拆除螢光顯示板，由顯示面板之螢光顯示板側觀看電子源板之平面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(43)

圖 9 係顯示本發明之實施形態 1 之顯示面板之構成之重要部位剖面圖。

圖 10 係顯示於本發明之實施形態 1 之顯示面板接續驅動電路之狀態之接線圖。

圖 11 係顯示由圖 10 所示之各驅動電路被輸出之驅動電壓之波形之一例之時機圖。

圖 12 係顯示於本發明之實施形態 1 之顯示面板中，在電子源板上形成各驅動電路之例之方塊圖。

圖 13 係顯示本發明之實施形態 2 之列電極驅動電路之一例之概略內部構成之方塊圖。

圖 14 係顯示於本發明之實施形態 2 之影像顯示裝置中，由各電極驅動電路被輸出之驅動電壓之波形之一例之時機圖。

圖 15 係本發明之實施形態 3 之影像顯示裝置之被製作於基板上之像素電晶體與電場放射型電子源之平面圖。

圖 16 係顯示本發明之實施形態 3 之電場放射型陰極之重要部位剖面構造之剖面圖。

圖 17 係顯示於本發明之實施形態 3 之影像顯示裝置中，由各電極驅動電路被輸出之驅動電壓之波形之一例之時機圖。

圖 18 係本發明之實施形態 4 之影像顯示裝置之平面圖。

圖 19 係顯示本發明之實施形態 4 之影像顯示裝置之重要部位剖面構造之剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(44)

圖 2 0 係顯示於本發明之實施形態 4 之影像顯示裝置中，由各電極驅動電路被輸出之驅動電壓之波形之一例之時機圖。

圖 2 1 係說明薄膜型電子源之代表例之 M I M 型電子源之動作原理用之圖。

圖 2 2 係顯示習知之薄膜電子源矩陣之概略構成圖。

【標號之說明】

- 1 0 : 真空，
- 1 1 : 上部電極，
- 1 2 : 通道絕緣層，
- 1 3 : 下部電極，
- 1 4 , 1 1 0 : 基板，
- 1 5 : 保護層，
- 3 2 : 上部電極總線，
- 4 1 : 行電極驅動電路，
- 4 2 : 列電極驅動電路，
- 4 5 : 上部電極驅動電路，
- 5 1 : 低電壓電路，
- 5 2 : 定電壓電路，
- 5 3 : 脈衝寬幅調製電路，
- 6 0 : 間隔物，
- 5 4 : 切換電路，
- 1 1 4 A : 紅色螢光體，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(45)

- 1 1 4 B : 綠色螢光體,
- 1 1 4 C : 藍色螢光體,
- 1 2 0 : 黑底,
- 1 2 2 : 金屬背膜,
- 3 0 1 : 薄膜型電子源元件,
- 3 0 2 : 像素電晶體,
- 3 1 0 : 行電極,
- 3 1 1 : 列電極,
- 5 0 1 : 光阻,
- 6 0 0 : 多結晶矽 (S i) 膜,
- 6 0 1 : 閘極電極,
- 6 0 2 : 源極電極,
- 6 0 3 : 汲極電極,
- 6 0 4 : 閘極絕緣膜,
- 6 0 6 : 層間絕緣膜,
- 6 0 7 : 接觸電極,
- 6 0 8 : 鈍化膜,
- 7 0 1 : 底層電極,
- 7 0 2 : 接觸層,
- 7 0 3 : a - S i : H 膜,
- 7 0 4 : 鉻 (C r) 層,
- 7 0 5 : 絕緣膜,
- 7 0 6 : 電場放射閘極,
- 7 0 7 : 射極晶片,

五、發明說明(46)

7 2 0 : 陽 極 ,

7 2 2 : 有 機 發 光 層 ,

7 2 4 : 陰 極 ,

8 1 0 : 行 電 極 驅 動 電 路 方 塊 ,

8 1 1 : 列 電 極 驅 動 電 路 方 塊 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：影像顯示裝置)

本發明係關於影像顯示裝置，特別是關於適用於將發光元件排列成矩陣狀，藉由控制其之發光以顯示影像之影像顯示裝置有效之技術。本發明之課題在於提供：可以降低消耗電力之影像顯示裝置。其解決手段為具備包含：具有複數個之電晶體元件；及具有被設置於前述每一個電晶體元件之同時，以下部電極、絕緣層、上部電極之順序積層之構造，在上述上部電極施加正極性之電壓之際，由上述上部電極表面放出電子之電子源元件；及被設置在第1方向之第1信號線；及被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及框構件；以及具有螢光體之第2基板之顯示元件，前述各電晶體元件與前述各電子源元件係被設置於前述第1信號線與前述第2信號線之交叉區域。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫 頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種影像顯示裝置，其係一種具備：

具備：具有複數個之電晶體元件；及

具有被設置於前述每一個電晶體元件之同時，以下部電極、絕緣層、上部電極之順序積層之構造，在上述上部電極施加正極性之電壓之際，由上述上部電極表面放出電子之電子源元件；及

被設置在第1方向之第1信號線；及

被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及

框構件；以及

具有螢光體之第2基板，以前述第1基板、前述框構件以及前述第2基板所包圍之空間被設為真空氣氛之顯示元件之影像顯示裝置，其特徵為：

前述各電晶體元件與前述各電子源元件係被設置於前述第1信號線與前述第2信號線之交叉區域。

2. 一種影像顯示裝置，其係一種具備：

具備具有複數個之電晶體元件；及

具有被設置於前述每一個電晶體元件之同時，以下部電極、絕緣層、上部電極之順序積層之構造，在上述上部電極施加正極性之電壓之際，由上述上部電極表面放出電子之電子源元件；及

被設置在第1方向之第1信號線；及

被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及

六、申請專利範圍

框構件；以及

具有螢光體之第2基板，以前述第1基板、前述框構件以及前述第2基板所包圍之空間被設為真空氣氛之顯示元件之影像顯示裝置，其特徵為：

前述各電晶體元件被設置在以前述第1信號線與前述第2信號線所包圍之區域內。

3. 一種影像顯示裝置，其係一種具備：

具備具有複數個之電晶體元件；及

具有被設置於前述每一個電晶體元件之同時，以下部電極、絕緣層、上部電極之順序積層之構造，在上述上部電極施加正極性之電壓之際，由上述上部電極表面放出電子之電子源元件；及

被設置在第1方向之第1信號線；及

被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及

框構件；以及

具有螢光體之第2基板，以前述第1基板、前述框構件以及前述第2基板所包圍之空間被設為真空氣氛之顯示元件之影像顯示裝置，其特徵為：

前述各電晶體元件之控制電極係被電氣地導通於前述複數之第1信號線之中之一；

前述各電晶體元件之第1電極被電氣地導通於前述複數之第2信號線之中之一；

前述各電晶體元件之第2電極被電氣地導通於被設置

六、申請專利範圍

在每一前述各電晶體元件之前述電子源元件之前述下部電極。

4. 如申請專利範圍第3項記載之影像顯示裝置，其中前述電晶體元件與前述電子源元件被形成在不同之層。

5. 如申請專利範圍第4項記載之影像顯示裝置，其中前述電晶體元件被形成在比前述電子源元件之前述下部電極還下側之層，而且，為前述下部電極之下側。

6. 如申請專利範圍第5項記載之影像顯示裝置，其中前述第1基板具有：

被形成於前述第1基板上之複數個之半導體層；以及
被形成在前述複數個之半導體層上之第1絕緣層；以及

被形成在前述第1絕緣層上之前述控制電極；以及
被形成在前述第1絕緣層上，被與前述控制電極電氣地導通之前述第1信號線；以及

被形成在前述第1絕緣層上之第2絕緣層；以及
被形成在前述第2絕緣層上之前述第2信號線；以及
被形成在前述第2絕緣層上之第3絕緣層；以及
被形成在前述第3絕緣層上之前述各電子源元件之前述下部電極；

前述各電晶體元件係以前述各半導體層與前述各控制電極構成，前述各半導體層之第1電極區域透過被形成在前述第1絕緣層與前述第2絕緣層之第1接觸孔，被與前述第2信號線電氣地導通，

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

前述各半導體層之第2電極區域透過被形成在前述第1絕緣層、前述第2絕緣層以及前述第3絕緣層之第2接觸孔，被與前述各下部電極電氣地導通。

7. 如申請專利範圍第3項記載之影像顯示裝置，其中前述上部電極對於前述各電子源元件係共通地被形成。

8. 如申請專利範圍第3項記載之影像顯示裝置，其中具有被形成在前述各電子源元件被形成之區域以外之區域之上部電極總線；

前述上部電極被形成為其之周邊部覆蓋前述上部電極總線。

9. 如申請專利範圍第7項記載之影像顯示裝置，其中於前述上部電極施加反轉脈衝電壓。

10. 如申請專利範圍第3項記載之影像顯示裝置，其中前述各電晶體元件之輸出阻抗比前述各電子源之動作區域之微分電阻值小。

11. 如申請專利範圍第3項記載之影像顯示裝置，其中具備：

對前述各第1信號線供給驅動電壓之第1驅動手段；

以及

對前述各第2信號線供給驅動電壓之第2驅動手段；

前述第2驅動手段具備對前述各第2信號線供給定電流之定電流電路。

12. 一種影像顯示裝置，其係一種具備：

具備具有複數個之電晶體元件；及

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

被設置於前述每一各電晶體元件之複數個之電子放出元件；及

被設置在第1方向之第1信號線；及

被設置在與前述第1方向正交之第2方向之第2信號線之第1基板；以及

框構件；以及

具有螢光體之第2基板，以前述第1基板、前述框構件以及前述第2基板所包圍之空間被設為真空氣氛之顯示元件；以及

對前述各第1信號線供給驅動電壓之第1驅動手段；以及

對前述各第2信號線供給驅動電壓之第2驅動手段之影像顯示裝置，其特徵為：

前述各電晶體元件之控制電極係被電氣地導通於前述複數之第1信號線之中之一；

前述各電晶體元件之第1電極被電氣地導通於前述複數之第2信號線之中之一；

前述各電晶體元件之第2電極被電氣地導通於被設置在每一前述各電晶體元件之前述複數個之電子放出元件；

前述第2驅動手段係具備對前述各第2信號線供給定電流之定電流電路。

13. 如申請專利範圍第12項記載之影像顯示裝置，其中前述第1基板具備：

被形成在前述第1基板上之前述第2信號線；以及

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

被形成在前述第 1 基板上之複數個之第 3 電極；以及
覆蓋前述第 2 信號線以及前述第 3 電極之一部份地被
形成在前述第 1 基板上之複數個之半導體層；以及

覆蓋前述各半導體層地被形成在前述各第 3 電極上之
前述電子放出元件；以及

除了前述電子放出元件被形成之區域，被形成在前述
第 2 信號線以及前述半導體層上之第 1 絕緣層；以及

被形成在前述第 1 絕緣層上之前述控制電極；以及

被形成在前述第 1 絕緣層上，被與前述控制電極電氣
地導通之前述第 1 信號線，

前述各電晶體元件以前述半導體與前述控制電極構成

。

1 4 . 一種影像顯示裝置，其係一種具備：

具備具有複數個之電晶體元件；及

被設置於前述每一各電晶體元件之電場發光元件；及

被設置在第 1 方向之第 1 信號線；及

被設置在與前述第 1 方向正交之第 2 方向之第 2 信號
線之第 1 基板之顯示元件；以及

對前述各第 1 信號線供給驅動電壓之第 1 驅動手段；
以及

對前述各第 2 信號線供給驅動電壓之第 2 驅動手段之
影像顯示裝置，其特徵為：

前述各電晶體元件之控制電極係被電氣地導通於前述
複數之第 1 信號線之中之一；

六、申請專利範圍

前述各電晶體元件之第1電極被電氣地導通於前述複數之第2信號線之中之一；

前述各電晶體元件之第2電極被電氣地導通於被設置在前述每一各電晶體元件之前述各電場發光元件之第1電極；

前述第2驅動手段係具備對前述各第2信號線供給定電流之定電流電路。

15. 如申請專利範圍第14項記載之影像顯示裝置，其中前述電晶體與前述電場發光元件係被形成在不同之層。

16. 如申請專利範圍第15項記載之影像顯示裝置，其中前述第1基板具有：

被形成於前述第1基板上之複數個之半導體層；以及
被形成在前述複數個之半導體層上之第1絕緣層；以及

被形成在前述第1絕緣層上之前述控制電極；以及
被形成在前述第1絕緣層上，被與前述控制電極電氣地導通之前述第1信號線；以及

被形成在前述第1絕緣層上之第2絕緣層；以及
被形成在前述第2絕緣層上之前述第2信號線；以及
被形成在前述第2絕緣層上之前述電場發光元件之第1電極；前述各電晶體元件係以前述各半導體層與前述各控制電極構成，前述各半導體層之第1電極區域透過被形成在前述第1絕緣層與前述第2絕緣層之第1接觸孔，被

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

與前述第 2 信號線電氣地導通，

前述各半導體層之第 2 電極區域透過被形成在前述第 1 絕緣層與前述第 2 絕緣層之第 2 接觸孔，被與前述電場發光元件之第 1 電極電氣地導通。

17. 如申請專利範圍第 14 項記載之影像顯示裝置，其中前述電場發光元件係有機電場發光元件。

18. 如申請專利範圍第 17 項記載之影像顯示裝置，其中前述影像顯示裝置之驅動方式係線依序驅動方式。

19. 一種影像顯示裝置，其係一種具備：

具備具有複數個之電晶體元件；及

被設置於前述每一各電晶體元件之發光二極體元件；

及

被設置在第 1 方向之第 1 信號線；及

被設置在與前述第 1 方向正交之第 2 方向之第 2 信號線之第 1 基板之顯示元件；以及

對前述各第 1 信號線供給驅動電壓之第 1 驅動手段；以及

對前述各第 2 信號線供給驅動電壓之第 2 驅動手段之影像顯示裝置，其特徵為：

前述各電晶體元件之控制電極係被電氣地導通於前述複數之第 1 信號線之中之一；

前述各電晶體元件之第 1 電極被電氣地導通於前述複數之第 2 信號線之中之一；

前述各電晶體元件之第 2 電極被電氣地導通於被設置

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

在前述每一各電晶體元件之前述發光二極體之第 1 電極；

前述第 2 驅動手段係具備對前述各第 2 信號線供給定電流之定電流電路。

20．如申請專利範圍第 3 或 11 項記載之影像顯示裝置，其中前述各電晶體元件為薄膜電晶體，使該薄膜電晶體在非飽和區域動作。

21．如申請專利範圍第 12 項記載之影像顯示裝置，其中前述各電晶體元件為薄膜電晶體，使該薄膜電晶體在非飽和區域動作。

22．如申請專利範圍第 14 或 17 項記載之影像顯示裝置，其中前述各電晶體元件為薄膜電晶體，使該薄膜電晶體在非飽和區域動作。

23．如申請專利範圍第 19 項記載之影像顯示裝置，其中前述各電晶體元件為薄膜電晶體，使該薄膜電晶體在非飽和區域動作。

24．如申請專利範圍第 3 項記載之影像顯示裝置，在前述第 1 基板上形成前述第 1 驅動手段以及前述第 2 驅動手段之至少其中一方。

25．如申請專利範圍第 14 項記載之影像顯示裝置，在前述第 1 基板上形成前述第 1 驅動手段以及前述第 2 驅動手段之至少其中一方。

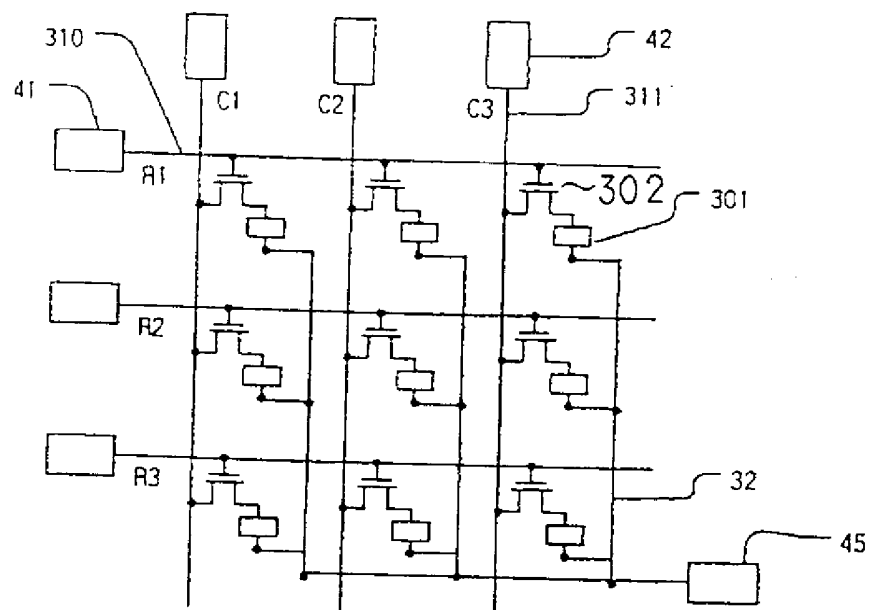
(請先閱讀背面之注意事項再填本頁)

裝

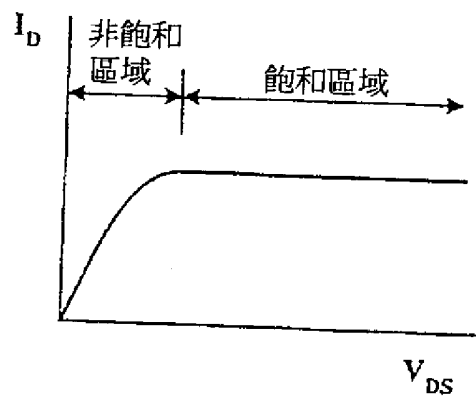
訂

線

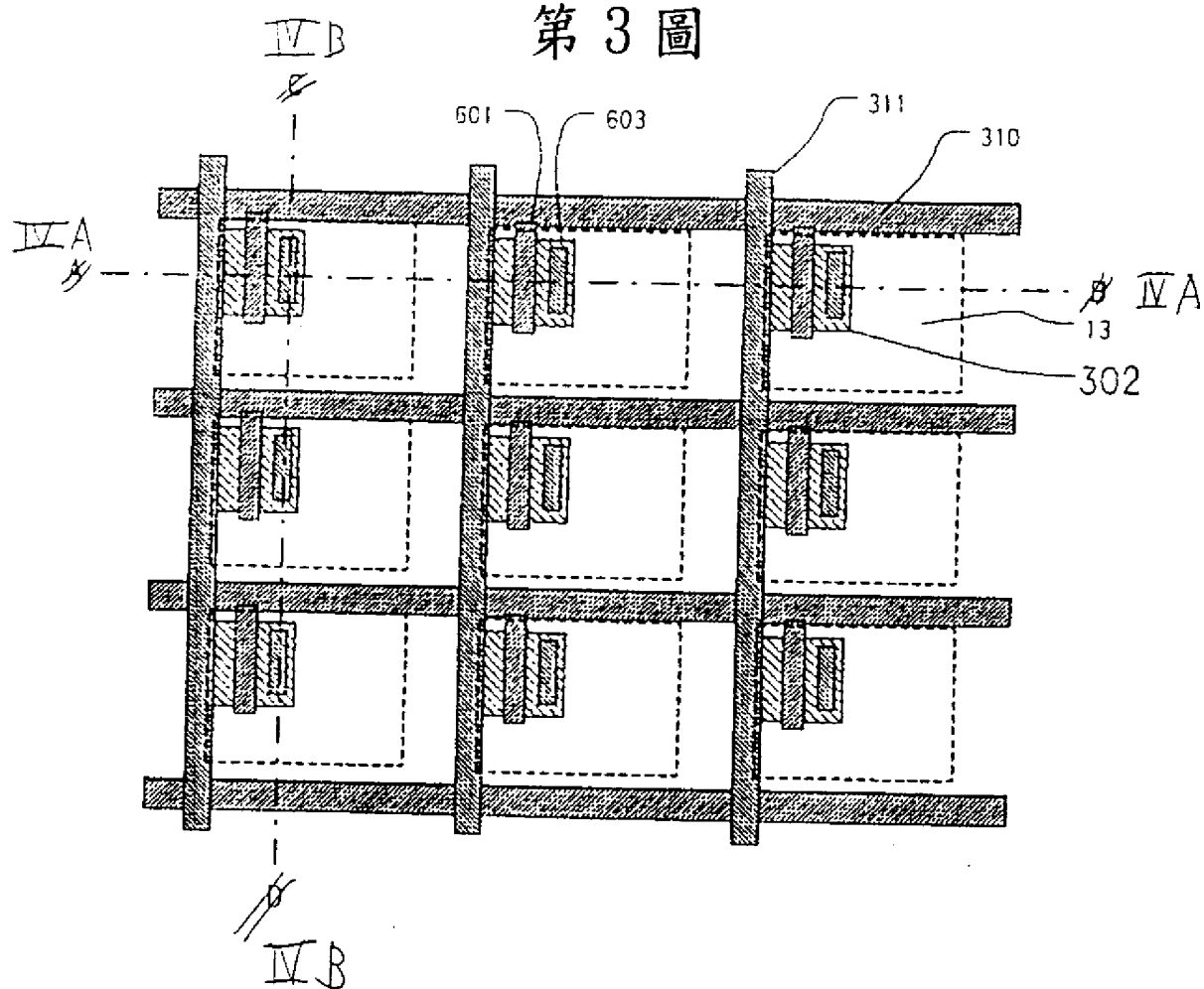
第 1 圖



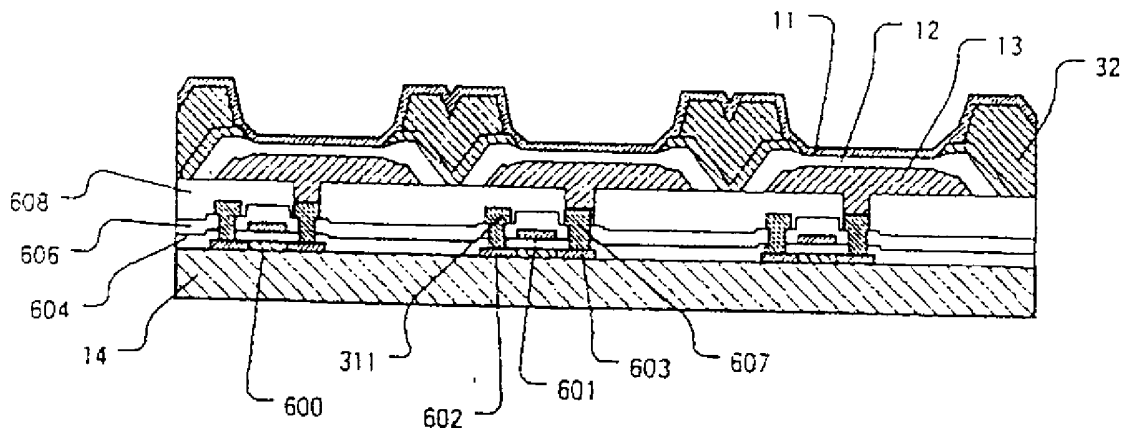
第 2 圖



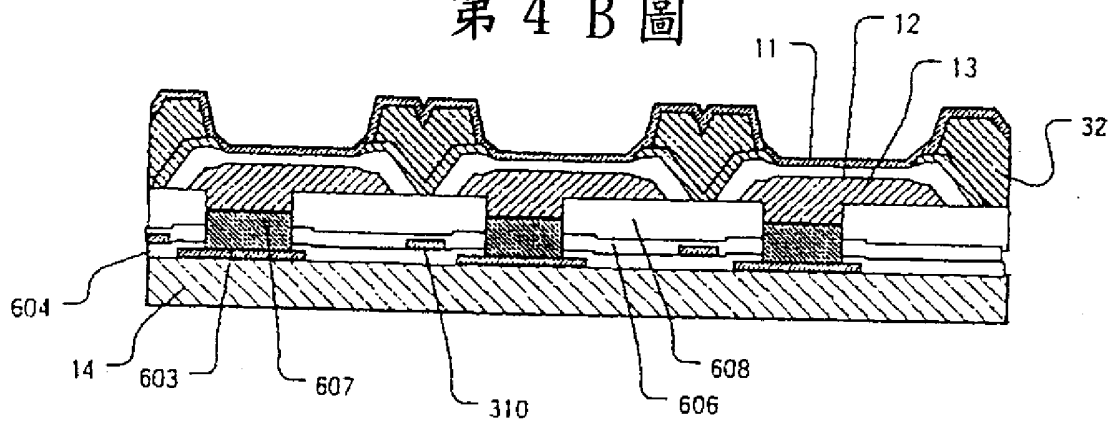
第 3 圖



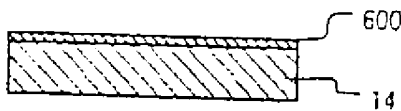
第 4 A 圖



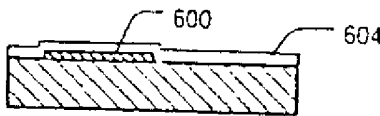
第 4 B 圖



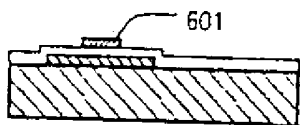
第 5 A 圖



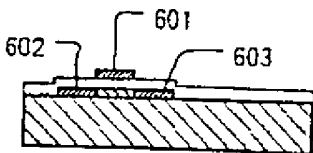
第 5 B 圖



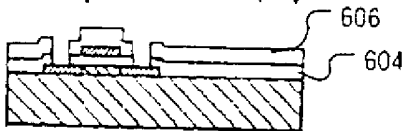
第 5 C 圖



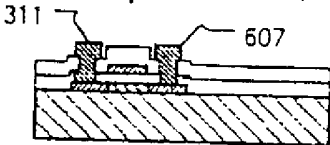
第 5 D 圖



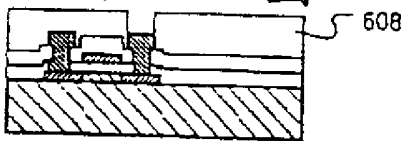
第 5 E 圖



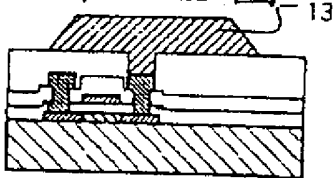
第 5 F 圖



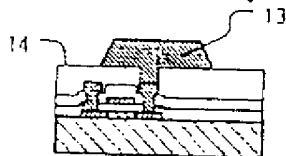
第 5 G 圖



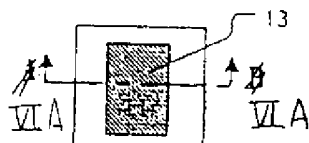
第 5 H 圖



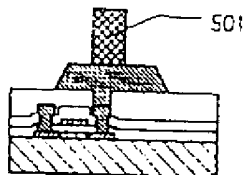
第 6 A 圖



第 6 G 圖



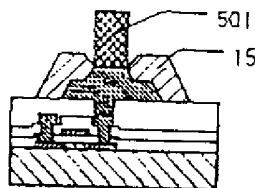
第 6 B 圖



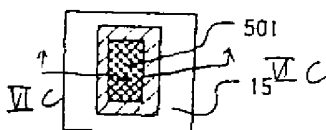
第 6 H 圖



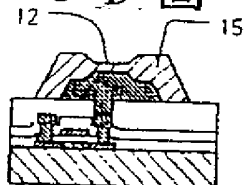
第 6 C 圖



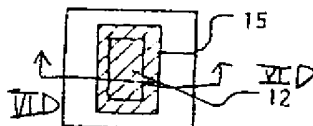
第 6 I 圖



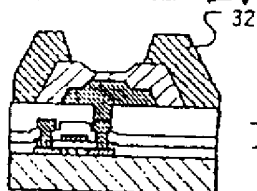
第 6 D 圖



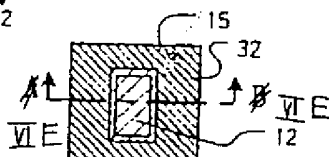
第 6 J 圖



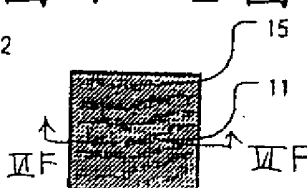
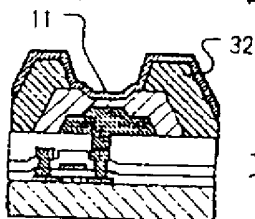
第 6 E 圖



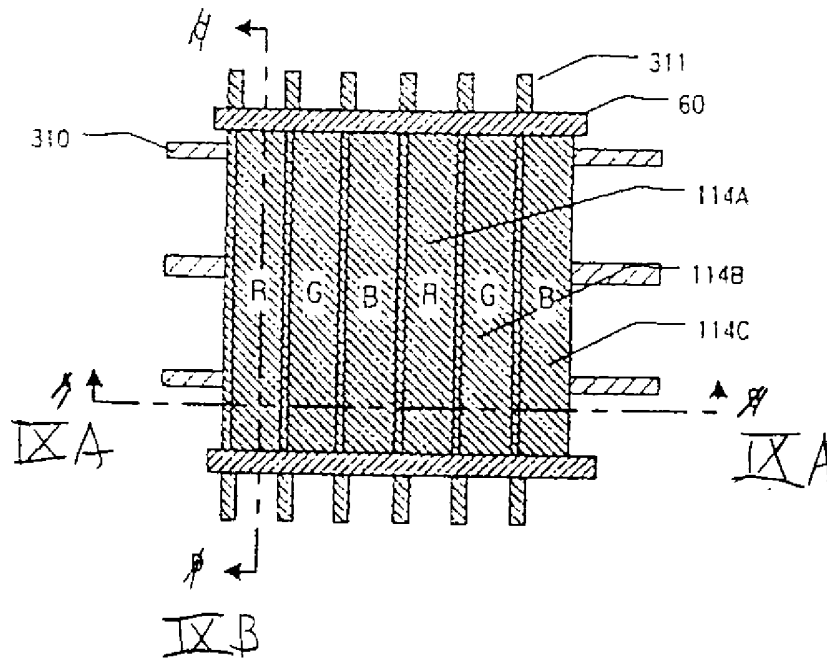
第 6 K 圖



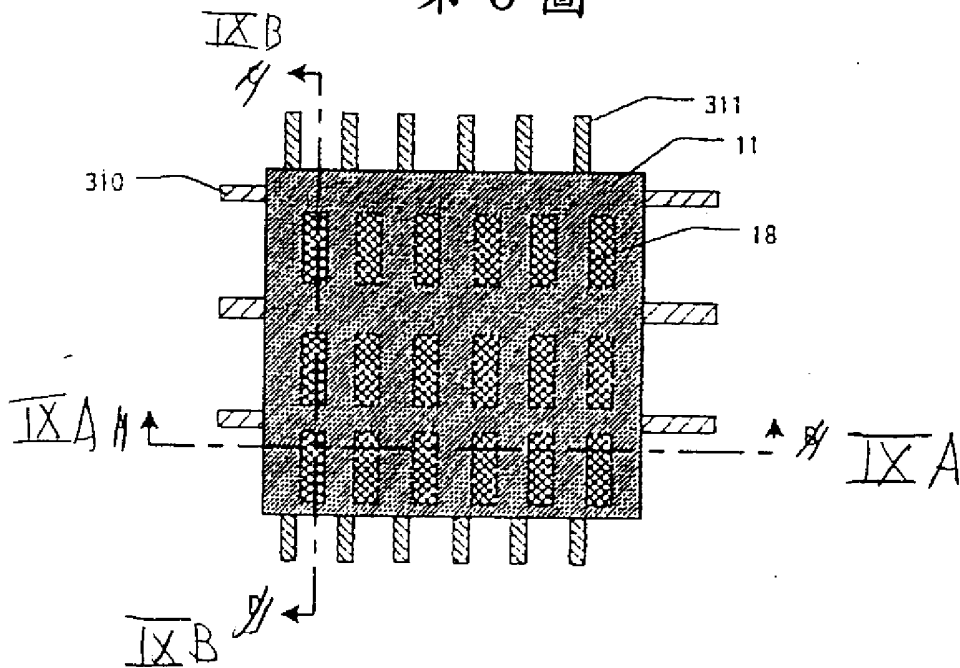
第 6 F 圖 第 6 L 圖



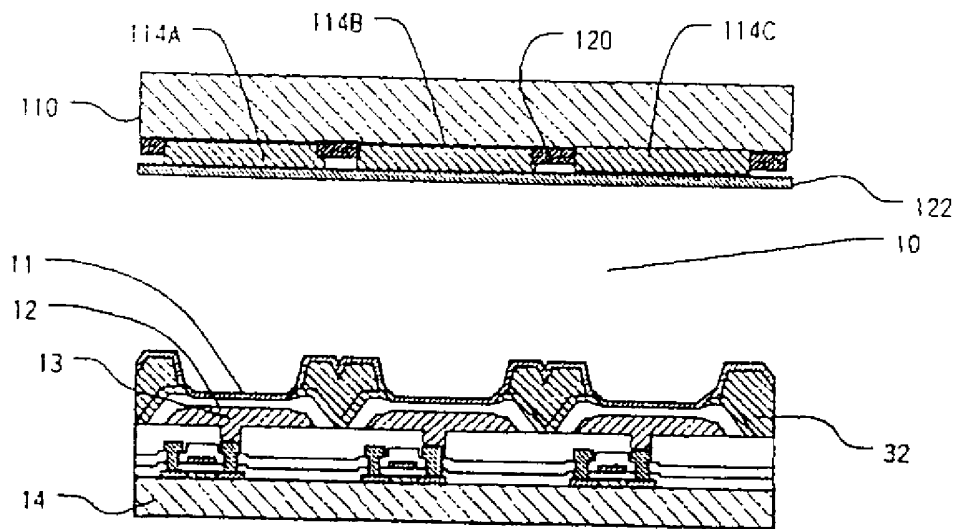
IXB 第7圖



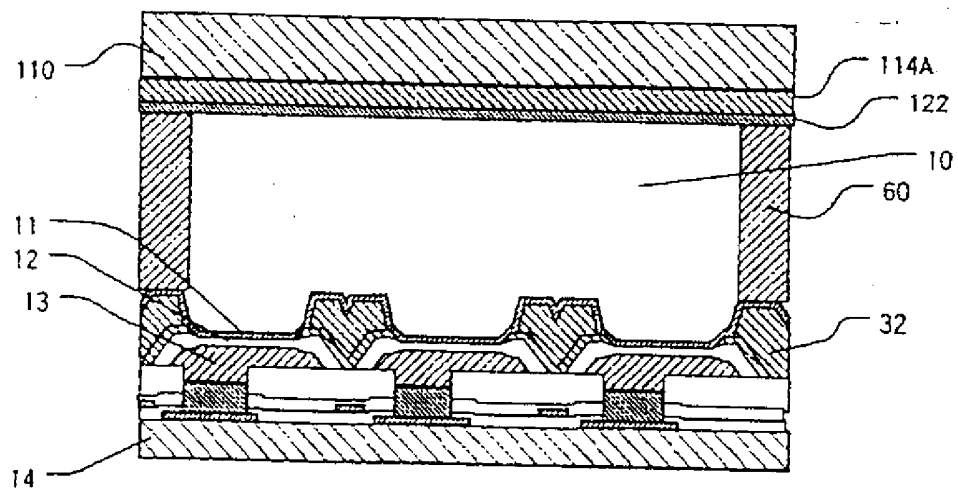
第8圖



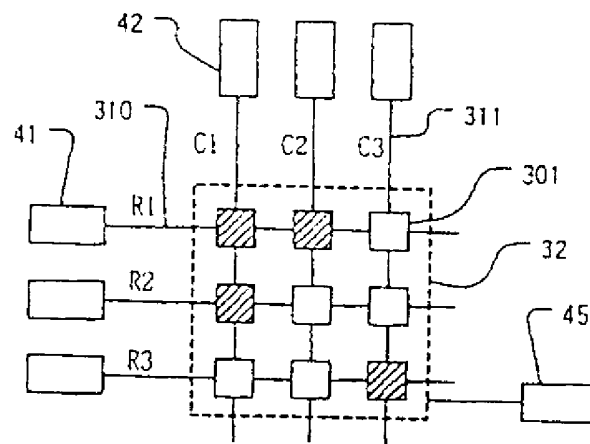
第 9 A 圖



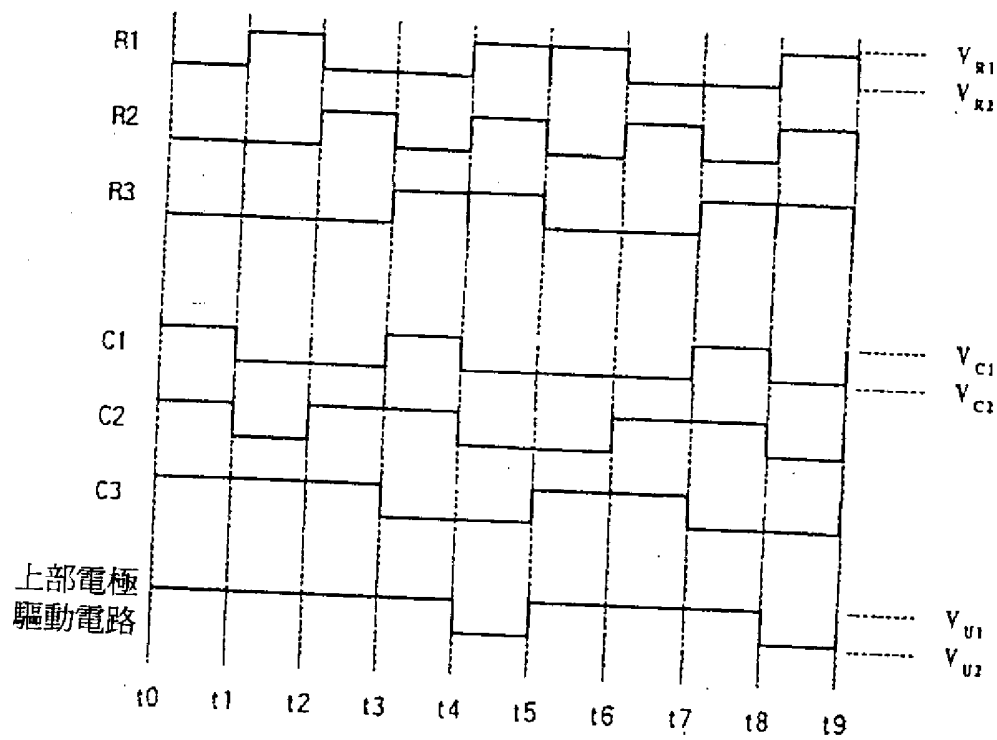
第 9 B 圖



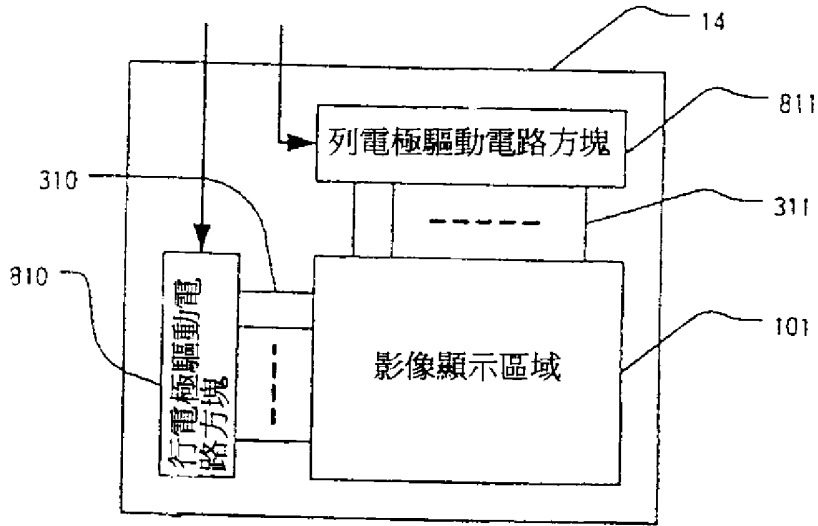
第 10 圖



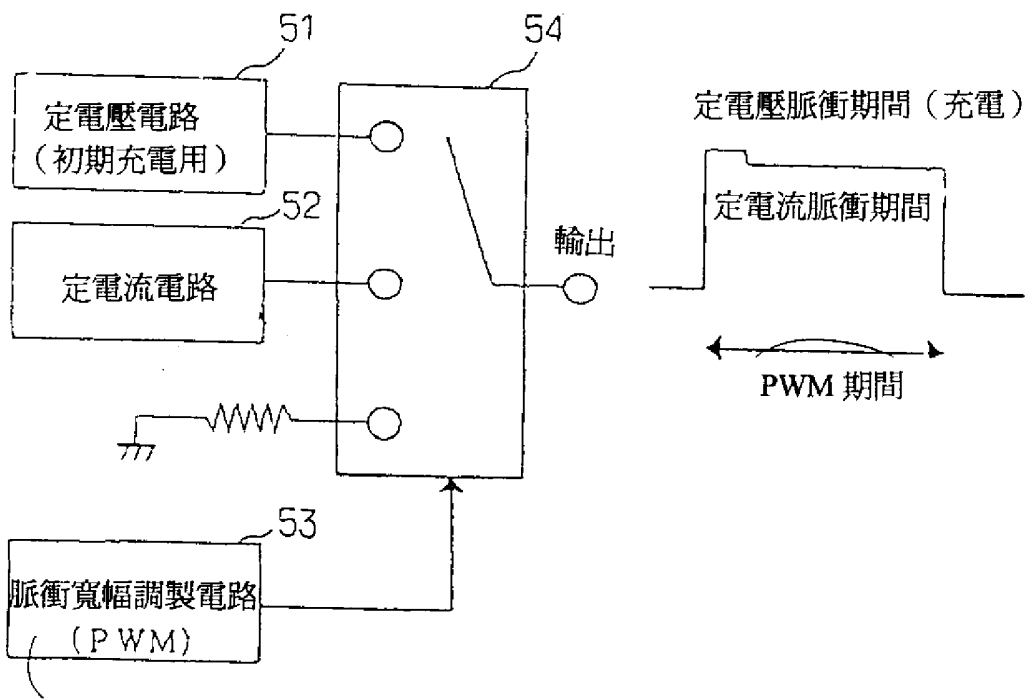
第 11 圖



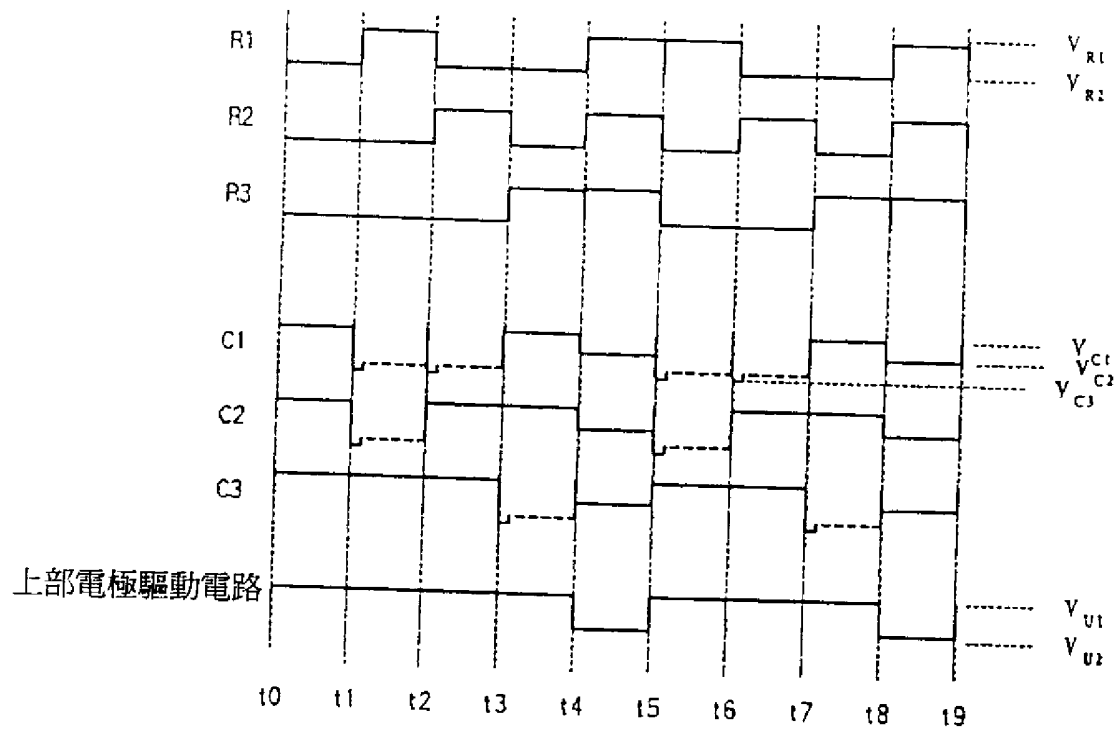
第 12 圖



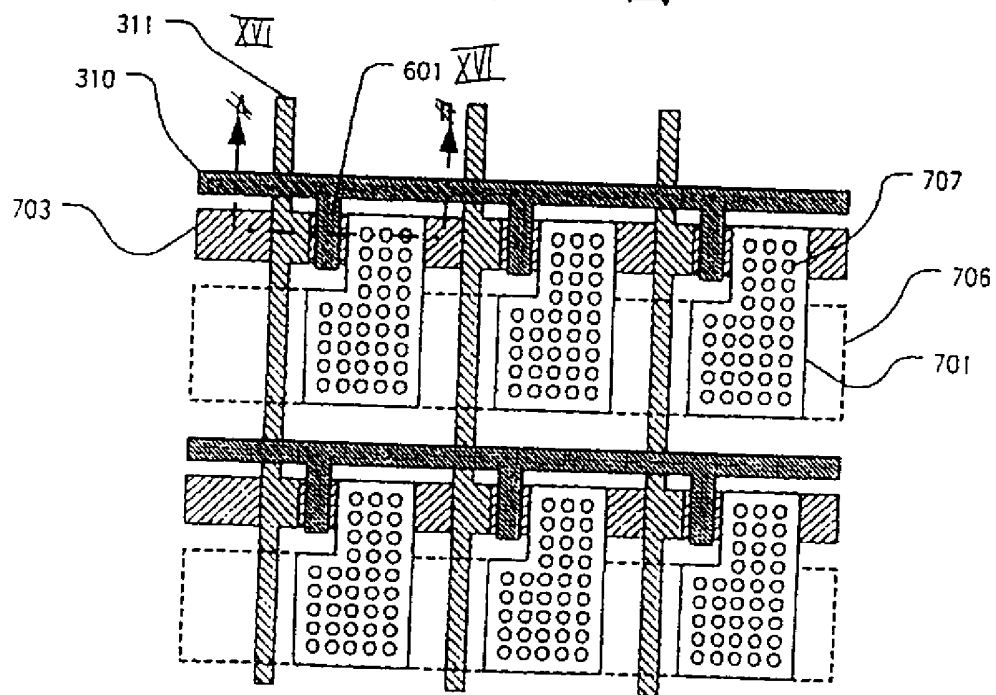
第 13 圖



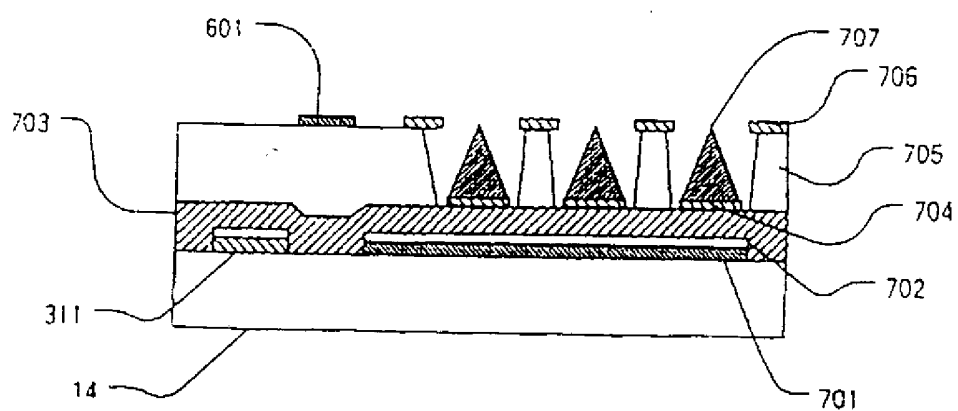
第 14 圖



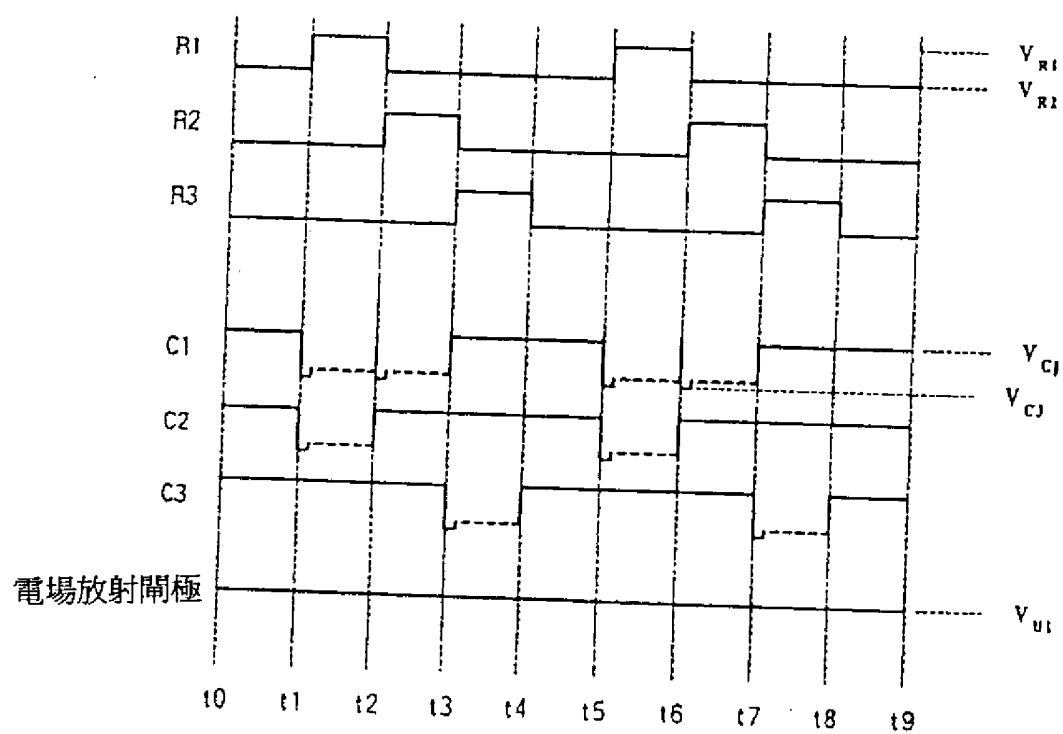
第 15 圖



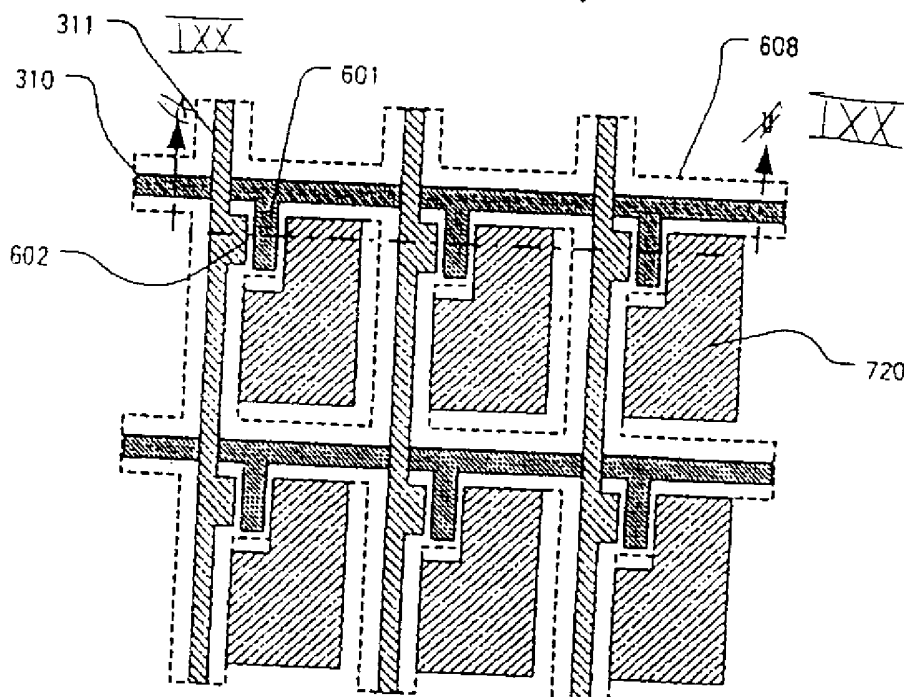
第 16 圖



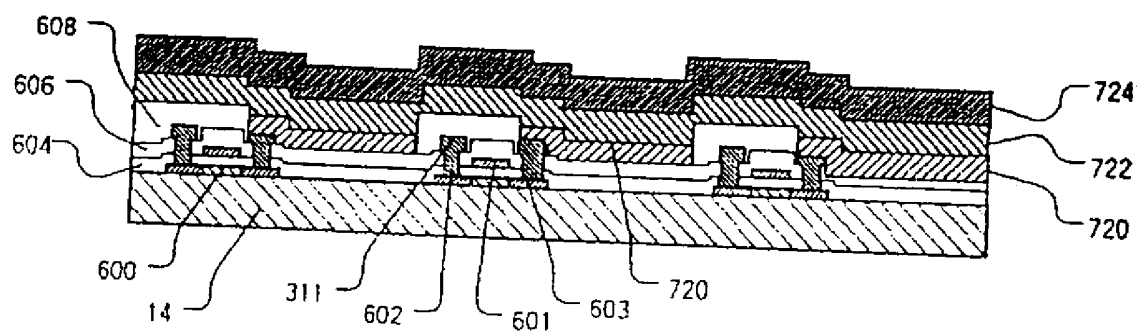
第 17 圖



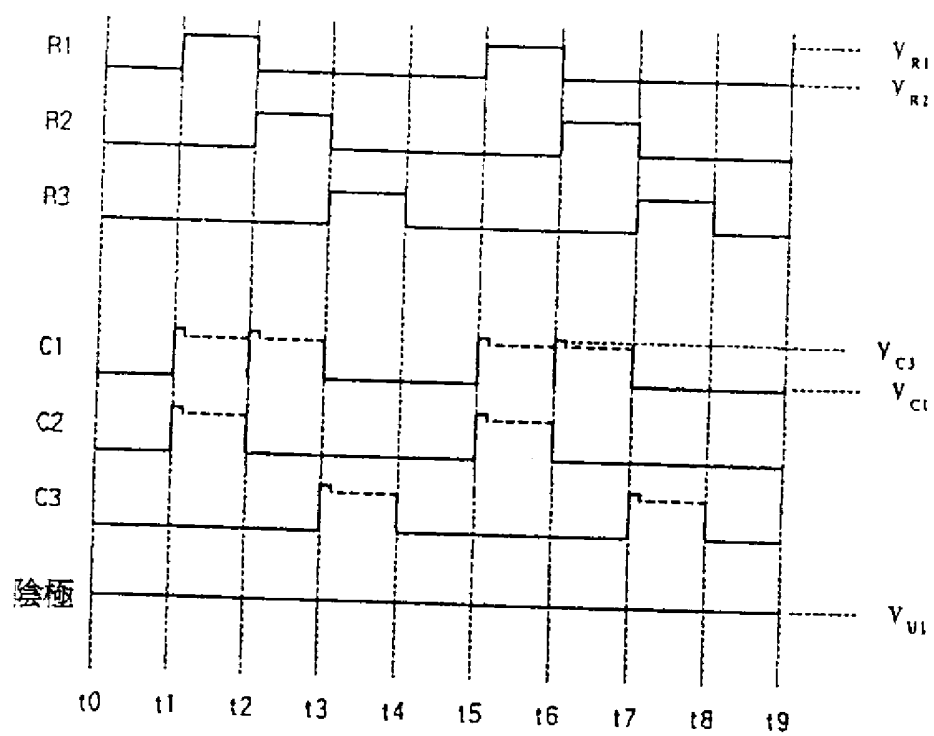
第 18 圖



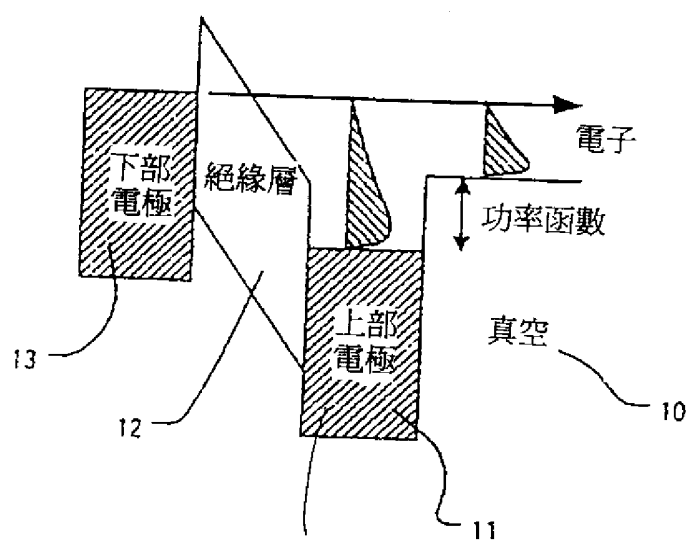
第 19 圖



第 20 圖



第 21 圖



第 22 圖

