



Patent dodatkowy
do patentu nr _____

Zgłoszono: 01.10.1973 (P. 165561)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 02.05.1975

Opis patentowy opublikowano: 15.09.1977

MKP H03k 23/26

Int. Cl.² H03K 23/26



Twórca wynalazku: Leonard Turek

Uprawniony z patentu: Warszawskie Zakłady Telewizyjne, Warszawa
(Polska)

Dwójkowy dzielnik częstotliwości

1

Przedmiotem wynalazku jest dwójkowy dzielnik częstotliwości zbudowany na obwodach scalonych z przeznaczeniem do wszechstronnego zastosowania w układach elektrycznych.

Stan techniki. W dotychczas stosowanych rozwiązaniach dwójkowych dzielników częstotliwości na obwodach scalonych o stosunku podziału różnym od 2^n , gdzie n jest liczbą naturalną, wykorzystuje się powszechnie układy dekodów wybranego stanu dzielnika połączone wyjściem z wejściami zerującymi przerzutników bistabilnych, połączonych kaskadowo, tworzących dzielnik o stosunku podziału równym 2^n . Dekoder stanu ma zwykle postać bramki wielowejsciowej.

Istota wynalazku. Zgodnie z postawionym zagadnieniem technicznym opracowano dwójkowy dzielnik częstotliwości istota którego polega na zastosowaniu przerzutnika bistabilnego w pętli impulsowego sprzężenia zwrotnego. Układ dzielnika zbudowany jest ze scalonych przerzutników bistabilnych, z których jeden przeznaczony jest do generacji impulsów sprzężenia zwrotnego. Przerzutnik ten połączony jest wejściem taktującym z wyjściem prostym lub zanegowanym ostatniego przerzutnika w szeregu dzielącym zaś wejściem zerującym lub ustawiającym z wejściem taktującym lub wyjściem pierwszego przerzutnika w szeregu dzielącym. Natomiast wyjściem przerzutnik ten połączony z wejściami zerującymi lub ustawiającymi w zależności

2

od stosunku podziału częstotliwości, wybranych przerzutników w szeregu dzielącym. Dzielnik częstotliwości według wynalazku przeznaczony do powszechnego zastosowania do podziału częstotliwości w zakresie ograniczonym parametrami użytych obwodów scalonych. Układ nie wymaga dodatkowych elementów sprzęgających obwody scalone i ma mniej połączeń stosowanych w dotychczas znanych rozwiązaniach. Szczególnie przydatny przy nieparzystej ilości stopni przerzutników bistabilnych, dzielących częstotliwość. Dobrze spełnia swe zadanie w generatorach synchronizujących TV użytkowej. Ponieważ ogólnie dostępne obwody scalone zawierają po dwa przerzutniki bistabilne w jednej kostce, więc nie wykorzystany przerzutnik, może służyć jako generator sprzężenia zwrotnego.

Opis rysunku. Przedmiot wynalazku jest bliżej objaśniony w przykładzie wykonania przedstawionym na rysunku, na którym fig. 1 — przedstawia dzielnik częstotliwości dla podziału w stosunku 5 : 1 np. na obwodach scalonych typu: SN7473J, fig. 2 — przedstawia inny przykład wykonania dzielnika bez wejść asynchronicznych zbudowany na obwodach scalonych typu: SN7473J, fig. 3 — przedstawia dzielnik częstotliwości na przerzutnikach typu D, na obwodach scalonych typu np. SN7474N, natomiast fig. 4 — przedstawia przebiegi impulsowe na wyjściach prostych przerzutników dzielnika częstotliwości z fig. 1, 2 lub na wyjściach $\bar{Q}$ zanegowanych z fig. 2.

Przykład wykonania. Zgodnie z rysunkiem fig. 1 — układ dzielnika posiada pierwszy przerzutnik FF_1 w szeregu dzielącym, dołączony wejściem taktującym T do źródła sygnałów, a wyjściem prostym Q do wejścia taktującego T drugiego przerzutnika FF_2 szeregu, którego wyjście proste Q połączone z kolei z wejściem taktującym T trzeciego przerzutnika FF_3 . Wejście taktujące T przerzutnika FF_1 stanowiącego generator, połączony jest z wyjściem prostym Q , trzeciego przerzutnika FF_3 , zaś wejście S tego przerzutnika z wejściem zanegowanym $\bar{Q}$ pierwszego przerzutnika FF_1 szeregu dzielącego, natomiast jego wyjście proste Q jest połączone z wejściem ustawiającym S sygnał przerzutników pierwszego FF_1 i drugiego FF_2 .

Dzielnik częstotliwości przedstawiony na fig. 2 — jest innym przykładem wykonania dzielnika z fig. 1. Różnica polega tylko na tym, że zastosowano układy scalone — SN7473N, zaś wobec braku wejść asynchronicznych S wykorzystuje się wejścia zerujące R , co pociąga za sobą zmianę wejść prostych Q na zanegowane $\bar{Q}$ i odwrotnie. Dzielnik częstotliwości przedstawiony na fig. 3 — stanowi modyfikację dzielnika przedstawionego na fig. 1 i jest przystosowany do zastosowania przerzutników typu D na obwodach scalonych SN7474N. Dzielnik częstotliwości przedstawiony na fig. 1 — działa tak, że ujemne zbocze a impulsu wejściowego I , powoduje zmianę stanu pracy przerzutnika FF_1 . Na jego wyjściu prostym Q występują wtedy impulsy prostokątne II , których ujemne zbocze b powoduje zmianę stanu pracy drugiego przerzutnika FF_2 . Ujemne zbocze c impulsu III występującego na wyjściu prostym Q drugiego przerzutnika FF_2 powoduje zmianę pracy trzeciego przerzutnika FF_3 . Impulsy wyjściowe IV o ujemnym zboczach d z trzeciego przerzutnika FF_3 , powodują, że na wyjściu prostym Q , czwartego przerzutnika FF_4 stanowiącego generator następuje zmiana stanu logicznego „1” na „0”. To z kolei powoduje pojawienie się stanu logicznego „1” na wyjściach prostych przerzutników pierwszego FF_1 i drugiego FF_2 . Jednocześnie na wyjściu zanegowanym $\bar{Q}$ pierwszego przerzutnika FF_1 pojawi

się stan logiczny „0”, co w konsekwencji powoduje zmianę stanu logicznego na wyjściu prostym Q przerzutnika FF_4 ze stanu „0” na „1”. Wtedy na wyjściu prostym Q przerzutnika FF_4 , występuje impuls sprzężenia zwrotnego V o czasie trwania określonym czasem przejścia sygnału przez szereg przerzutników. Układ również będzie działał jeśli zamieni się wejścia proste Q na zanegowane $\bar{Q}$ i odwrotnie wejścia S asynchroniczne na zerujące R . W układzie fig. 2 — wobec braku wejść asynchronicznych S wykorzystano wejścia zerujące R , co pociąga za sobą zmianę wejść prostych Q na zanegowane $\bar{Q}$ i odwrotnie. Natomiast dzielnik częstotliwości z fig. 3 — posiada przerzutniki wyzwalane zboczem impulsu a podawanym na wejście taktujące T , pierwszego przerzutnika FF_1 . Wtedy gdy jest stan logiczny „0” na wejściach asynchronicznych S i zerującym R , wymusza się stan logiczny „1” odpowiednio na wyjściach prostym Q i zanegowanym $\bar{Q}$. Połączenie wejścia ustawiającego D z wyjściem zanegowanym $\bar{Q}$ jest niezbędne, aby przerzutnik działał jako bistabilny.

Zastrzeżenie patentowe

Dwójkowy dzielnik częstotliwości z impulsowym sprzężeniem zwrotnym, zbudowany na scalonych przerzutnikach bistabilnych, **znamienny tym**, że zawiera przerzutnik bistabilny (FF_4) stanowiący generator, którego wejście taktujące (T) połączone z wyjściem prostym (Q) lub zanegowanym ($\bar{Q}$) ostatniego przerzutnika bistabilnego (FF_3) w szeregu dzielącym, zaś wejście zerujące (R) lub ustawiające (S) połączone z wejściem taktującym (T) albo z wyjściem prostym lub zanegowanym (Q lub $\bar{Q}$) pierwszego przerzutnika (FF_1) w szeregu dzielącym przy czym wyjście proste lub zanegowane (Q lub $\bar{Q}$) wspomnianego generatora (FF_4) połączone jest z wejściami zerującymi (R) lub ustawiającymi (S), wybranych w zależności od stosunku podziału częstotliwości, przerzutników (FF_1 i FF_2) w szeregu dzielącym.

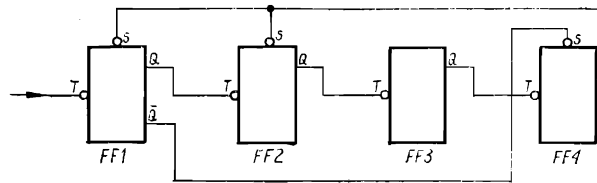


Fig. 1.

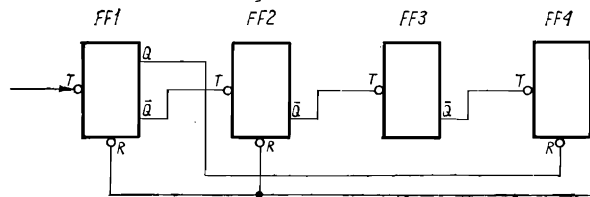


Fig. 2.

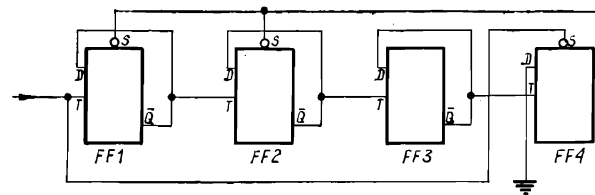


Fig. 3.

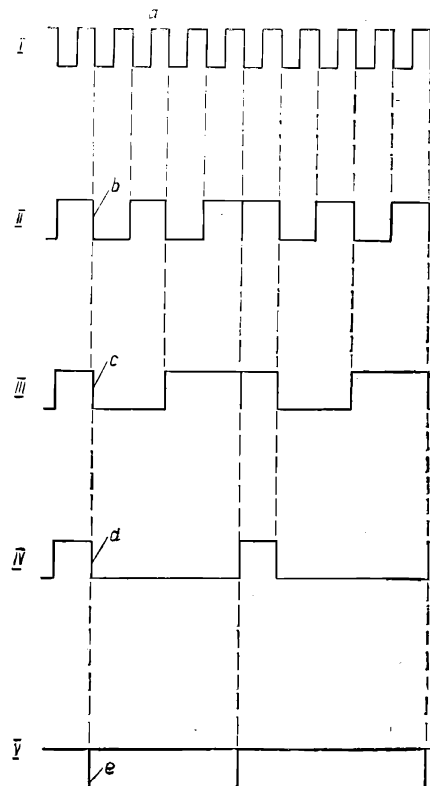


Fig. 4.