



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

244484

(11)

(B1)

(22) Přihlášeno 28 09 84
(21) PV 7346-84

(51) Int. Cl.⁴

G 06 K 17/00

(40) Zveřejněno 13 06 85

(45) Vydáno 15 09 87

(75)

Autor vynálezu

BYDŽOVSKÝ JAN ing. CSc., PRAHA,

(54) Zapojení prioritního dekodéru

Prioritní dekodér sestává z permanentní paměti, oddělovacích a klopných obvodů a součtových členů a je určen pro řízení paralelní komunikace mikropočítačů nebo počítačů se společnou sběrnici, ke které jsou současně připojeny paměť a A/C nebo Č/A převodníky.

Priorita zapojených mikropočítačů může být libovolná a je určena pamětí dekodéru. Prioritní dekodér může být využit u zapojení mikropočítačů pro spolupráci s pomocnou sběrnici, kde prioritní dekodér umožňuje spolupráci jednotlivých mikropočítačů s pomocnou sběrnici podle předem stanovené priority, event. řízené a měnitelné z nadřazeného počítače.

Vynález se týká zapojení prioritního dekodéru sestávajícího z permanentní paměti, oddělovacích a klopných obvodů a součtových členů určeného zejména pro řízení paralelní komunikace mikropočítačů nebo počítačů se společnou pomocnou sběrnicí.

Při zapojení mikropočítačů pro spolupráci s pomocnou sběrnicí se řeší způsob paralelní spolupráce několika počítačů nebo mikropočítačů s pomocnou sběrnicí, ke které jsou současně připojeny paměti a převodníky a který nebyl z dostupné literatury dosud znám.

V případě současně žádosti několika mikropočítačů o spolupráci s pomocnou sběrnicí určuje přednost obsluhy prioritní dekodér, jehož řešení není z dostupné literatury rovněž známé a který je předmětem tohoto vynálezu.

Dekodér je navržen pro optimální řízení paralelní spolupráce mikropočítačů a jeho podstata spočívá v tom, že permanentní paměť prioritního dekodéru s řídicím vstupem priority dekodéru je svými adresovými vstupy spojena přes oddělovací obvody se vstupy prioritního dekodéru spojenými s výstupy jednotlivých mikropočítačů.

Výstupy permanentní paměti jsou spojeny s nastavovacími vstupy klopných obvodů, jejichž výstupy jsou vedeny jednak na výstupy prioritního dekodéru, jednak na jednotlivé vstupy součtového obvodu, jehož výstup je spojen s blokovacím vstupem permanentní paměti.

Paralelně ke vstupům prioritního dekodéru a ke vstupům oddělovacích obvodů jsou připojeny monostabilní multivibrátory, jejichž výstupy jsou spojeny se vstupy součtového členu.

Výstup součtového členu je paralelně spojen s nulovacími vstupy jednotlivých klopných obvodů.

Zapojení prioritního dekodéru dle vynálezu je na přiloženém výkresu. Se společnou sběrnicí může spolupracovat libovolný počet mikropočítačů, přičemž každému z nich je přiznána různá priorita. Například mikropočítač číslo 1 má nejnižší prioritu, mikropočítač č. 2 má vyšší prioritu a s rostoucím číslem roste stupeň priority.

Při předpokladu, že se společnou sběrnicí spolupracují tři mikropočítače má mikropočítač č. 3 nejvyšší prioritu, mikropočítač č. 1 nejnižší prioritu. Požádá-li o komunikaci například mikropočítač č. 1 a 3 současně, je přednostně obslužen mikropočítač č. 3 a teprve potom mikropočítač č. 1.

Jestliže však se společnou sběrnicí spolupracuje již mikropočítač č. 1 a teprve potom požádá o komunikaci mikropočítač č. 3 musí tento mikropočítač čekat do té doby, než mikropočítač č. 1 dokončí probíhající komunikaci, přičemž tato doba může být obecně libovolná.

Teprve po dokončení komunikace mikropočítače č. 1 přizná dekodér priority komunikaci mikropočítači č. 3.

Priorita mikropočítačů může být zcela libovolná a je určena pamětí dekodéru. Jedná se o paměť typu ROM, nebo PROM, kde je pevně předepsána priorita dekodéru.

Permanentní paměť MD prioritního dekodéru s řídicím vstupem AS priority dekodéru je svými adresovými vstupy A1-Ak spojena přes oddělovací obvody O1-Ok se vstupy Kr1-KRk prioritního dekodéru spojenými s výstupy jednotlivých neznázorněných mikropočítačů.

Výstupy Do-Dk permanentní paměti MD jsou spojeny s nastavovacími vstupy S klopných obvodů B1-Bk, jejichž výstupy Q jsou vedeny jednak na výstupy KP1-KPk prioritního dekodéru, jednak na jednotlivé vstupy součtového obvodu Sg, jehož výstup je spojen s blokovacím

vstupem CS permanentní paměti MD. Paralelně ke vstupům KR1-KRk prioritního dekodéru a ke vstupům oddělovacích obvodů Q1-Qk jsou připojeny monostabilní multivibrátory M1-Mk, jejichž výstupy jsou spojeny se vstupem součtového členu N1. Výstup tohoto členu N1 je paralelně připojen s nulovacími vstupy R jednotlivých klopných obvodů B1-Bk.

Na vstupy KR1-KRk prioritního dekodéru se přivádí z jednotlivých mikropočítačů žádost o komunikaci. Vstupní signály jsou přiváděny přes oddělovací obvody Q1-Qk na adresové vstupy A1-Ak permanentní paměti MD dekodéru.

Permanentní paměť MD je rozdělena na oblasti, tzv. stránky. Pomocí řídicího vstupu AS permanentní paměti MD a adresového oddělovacího obvodu V1 je možno tyto oblasti měnit a tím i prioritu dekodéru.

Každé oblasti permanentní paměti MD prioritního dekodéru je předepsána určitá priorita, kterou lze měnit například z nadřazeného počítače podle charakteru řízeného technologického procesu z výstupů D0-Dk permanentní paměti MD jsou ovládány nastavovací vstupy S klopných obvodů B1-Bk tím způsobem, že při požadavku na komunikaci se signál odpovídající napětí potřebnému pro překlopení navazujícího klopného obvodu B1-Bk objeví pouze na odpovídajícím výstupu D0-Dk permanentní paměti MD.

Výstupy Q klopných obvodů B1-Bk jsou jednak vedeny prostřednictvím výstupů KP1-KPk prioritního dekodéru do komunikačních obvodů příslušných mikropočítačů, jednak na jednotlivé vstupy součtového obvodu SO, jehož výstup k je přiveden na blokovací vstup CS permanentní paměti MD.

V případě, že je na výstupu Q kteréhokoliv z klopných obvodů B1-Bk signál povolení komunikace, je ze součtového obvodu SO zablokována permanentní paměť MD a to po dobu, dokud je příslušný klopný obvod B1-Bk překlopen.

Paralelně ke vstupům prioritního dekodéru KR1-KRk a ke vstupům oddělovacích obvodů Q1-Qk jsou připojeny monostabilní multivibrátory M1-Mk zapojené tak, že na jejich výstupu je impuls pro ukončení požadavku na komunikaci.

Výstupní impulsy z těchto monostabilních multivibrátorů M1-Mk jsou přiváděny na vstup součtového členu N1, který nuluje klopné obvody B1-Bk, čímž se obnovuje schopnost dekodéru vyhodnotit další požadavek na komunikaci.

PŘEDMĚT VYNÁLEZU

Zapojení prioritního dekodéru sestávající z permanentní paměti, oddělovacích klopných obvodů a součtových členů zejména pro řízení paralelní komunikace mikropočítačů nebo počítačů se společnou pomocnou sběrnicí vyznačené tím, že permanentní paměť (MD) prioritního dekodéru s řídicím vstupem (AS) priority dekodéru je svými adresovými vstupy (A1-Ak) spojena přes oddělovací obvody (O1-Ok) se vstupy (KR1-KRk) prioritního dekodéru spojenými s výstupy jednotlivých mikropočítačů, výstupy (Do-Dk) permanentní paměti (MD) jsou spojeny s nastavovacími vstupy (S) klopných obvodů (B1-Bk), jejichž výstupy (Q) jsou vedeny jednak na výstupy (KP1-KPk) prioritního dekodéru, jednak na jednotlivé vstupy součtového obvodu (SO), jehož výstup je spojen s blokovacím vstupem (CS) permanentní paměti (MD), paralelně ke vstupům (KR1-KRk) prioritního dekodéru a ke vstupům oddělovacích obvodů (O1-Ok) jsou připojeny monostabilní multivibrátory (M1-Mk), jejichž výstupy jsou spojeny se vstupy součtového členu (N1), přičemž jeho výstup je paralelně spojen s nulovacími vstupy (R) jednotlivých klopných obvodů (B1-Bk).

1 výkres

244484

