

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5536414号
(P5536414)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月9日(2014.5.9)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 51/50 (2006.01)
 GO 9 F 9/30 (2006.01)

HO 1 L 29/78 6 1 2 D
 HO 1 L 29/78 6 1 2 C
 HO 1 L 29/78 6 1 8 B
 HO 5 B 33/14 A
 GO 9 F 9/30 3 3 8

請求項の数 30 (全 20 頁)

(21) 出願番号 特願2009-238280 (P2009-238280)
 (22) 出願日 平成21年10月15日(2009.10.15)
 (65) 公開番号 特開2010-98317 (P2010-98317A)
 (43) 公開日 平成22年4月30日(2010.4.30)
 審査請求日 平成24年9月6日(2012.9.6)
 (31) 優先権主張番号 10-2008-0102151
 (32) 優先日 平成20年10月17日(2008.10.17)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 g t o n g - g u, Suwon-si, G
 yeon g g i - d o, Republic
 of Korea
 (74) 代理人 110000671
 八田国際特許業務法人
 (72) 発明者 朴 敬 培
 大韓民国京畿道龍仁市器興区農書洞山14
 - 1 番地 三星綜合技術院内

最終頁に続く

(54) 【発明の名称】 パネル構造体、パネル構造体を含む表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1ゲート電極と、前記第1ゲート電極の位置の上部に対応する位置に形成された第1活性層と、前記第1活性層の両端に接触された第1ソース電極及び第1ドレイン電極と、を具備する第1薄膜トランジスタと、

前記第1ドレイン電極と離隔された第1導電層と、

画素電極と、

前記画素電極と離隔し、前記画素電極と同じ物質から形成された第1連結配線と、

前記第1連結配線の一端と前記第1ドレイン電極とを連結する第1導電プラグと、

前記第1連結配線他端と前記第1導電層とを連結する第2導電プラグと、を含み、

前記第1導電層と離隔された第2導電層と、

前記第2導電層と離隔された第3導電層と、

前記画素電極と同じ物質から形成された第2連結配線と、をさらに含み、

前記第2連結配線の一端は前記第2導電層と連結され、前記第2連結配線他端は前記第3導電層と連結され、

前記第1導電層は第2ゲート電極であり、

前記第3導電層は第2ソース電極であり、

前記第1ゲート電極及び前記第2ゲート電極を覆うゲート絶縁層と、

前記ゲート絶縁層上に備えられた第2活性層と、

前記第2活性層に接触する第2ドレイン電極と、

10

20

前記ゲート絶縁層上に、前記第1活性層、前記第1ソース電極、前記第1ドレイン電極、前記第2活性層、前記第2ソース電極及び前記第2ドレイン電極を覆う絶縁層と、をさらに含み、

前記第2ソース電極の一部は前記第2導電層の上部に位置し、

前記第2連結配線の一端と前記第2導電層とを連結し、前記ゲート絶縁層と前記絶縁層とを貫通する第3導電プラグと、

前記第2連結配線の他端と前記第2ソース電極とを連結し、前記絶縁層を貫通する第4導電プラグと、

をさらに含むことを特徴とするパネル構造体。

【請求項2】

前記第1連結配線と前記画素電極は金属酸化物及び金属のうちの少なくとも一つによって形成され、前記金属酸化物はITO(indium tin oxide)、IZO(indium zinc oxide)、Sn酸化物、In酸化物、Zn酸化物及びそれらの混合物のうちの一つであることを特徴とする請求項1に記載のパネル構造体。

【請求項3】

前記第1導電層を覆うゲート絶縁層と、

前記ゲート絶縁層上に、前記第1ドレイン電極を覆う絶縁層と、をさらに具備し、

前記第1連結配線は前記絶縁層上に形成され、

前記第1導電プラグは前記絶縁層を貫通し、前記第2導電プラグは前記ゲート絶縁層と前記絶縁層とを貫通することを特徴とする請求項1または請求項2に記載のパネル構造体。

【請求項4】

前記第2導電層は電源ラインであることを特徴とする請求項1から3のいずれかに記載のパネル構造体。

【請求項5】

前記第2ゲート電極の少なくとも一部は前記第1ゲート電極と前記第2導電層との間に備えられることを特徴とする請求項1から4のいずれかに記載のパネル構造体。

【請求項6】

前記第2導電層は前記ゲート絶縁層によって覆われ、

前記第2連結配線は前記第2導電層上側の前記絶縁層上に備えられることを特徴とする請求項1から5のいずれかに記載のパネル構造体。

【請求項7】

前記画素電極は、前記絶縁層上に、前記第2ドレイン電極と連結されるように備えられることを特徴とする請求項1から6のいずれかに記載のパネル構造体。

【請求項8】

前記画素電極は、前記第2ゲート電極と前記第2導電層との間の前記絶縁層上に備えられることを特徴とする請求項1から7のいずれかに記載のパネル構造体。

【請求項9】

前記第2ゲート電極、前記第2活性層、前記第2ソース電極及び前記第2ドレイン電極は第2薄膜トランジスタを構成し、

前記第1薄膜トランジスタはスイッチングトランジスタであり、前記第2薄膜トランジスタは駆動トランジスタであり、

前記第2ゲート電極の一部、前記第2ゲート電極の上部に対応する位置の前記第2ソース電極の一部、及び前記第2ゲート電極の一部と前記第2ソース電極の一部との間の前記ゲート絶縁層は、キャパシタとして作用することを特徴とする請求項1から8のいずれかに記載のパネル構造体。

【請求項10】

前記第1活性層は、非晶質シリコン(a-Si)、多結晶シリコン(poly-Si)、GeSi、GaAs及び金属酸化物半導体のうちの少なくとも一つによって形成されることを特徴とする請求項1から9のいずれかに記載のパネル構造体。

10

20

30

40

50

【請求項 1 1】

前記第 2 活性層は前記第 1 活性層と同じ物質から形成されることを特徴とする請求項 1 から 1 0 のいずれかに記載のパネル構造体。

【請求項 1 2】

前記画素電極に連結される第 2 ドレイン電極を含む第 2 薄膜トランジスタをさらに具備することを特徴とする請求項 1 から 1 1 のいずれかに記載のパネル構造体。

【請求項 1 3】

前記第 2 ドレイン電極は前記画素電極と別途の導電プラグによって連結され、
前記別途の導電プラグは前記画素電極と一体をなすように形成されることを特徴とする請求項 1 2 に記載のパネル構造体。

10

【請求項 1 4】

前記第 1 導電層は前記第 2 薄膜トランジスタのゲート電極であることを特徴とする請求項 1 2 に記載のパネル構造体。

【請求項 1 5】

前記第 1 薄膜トランジスタはスイッチングトランジスタであり、
前記第 2 薄膜トランジスタは駆動トランジスタであることを特徴とする請求項 1 2 から 1 4 のいずれかに記載のパネル構造体。

【請求項 1 6】

前記第 1 連結配線と前記画素電極とは同一層上に備えられることを特徴とする請求項 1 から 1 5 のいずれかに記載のパネル構造体。

20

【請求項 1 7】

請求項 1 から請求項 1 6 のうちのいずれか 1 項に記載のパネル構造体を含むことを特徴とする表示装置。

【請求項 1 8】

第 1 ゲート電極、第 1 ソース電極及び第 1 ドレイン電極を具備する第 1 トランジスタと、
第 2 ゲート電極、第 2 ソース電極及び第 2 ドレイン電極を具備する第 2 トランジスタと、
前記第 1 ゲート電極に連結されたものであって、第 1 方向に延びた第 1 ゲートラインと、
前記第 1 ゲートラインと離隔して前記第 1 ゲートラインと並んだ方向に延びた電源ラインと、
画素電極と、
前記画素電極と同じ物質から形成され、前記第 1 ドレイン電極と前記第 2 ゲート電極とを電氣的に連結するための少なくとも 1 つの第 1 コンタクトプラグと、
前記画素電極と同じ物質から形成され、前記電源ラインと前記第 2 ソース電極とを連結するための少なくとも 1 つの第 2 コンタクトプラグと、を含み、
前記第 1 ゲートラインと前記電源ラインとの間に前記第 2 ゲート電極及び前記画素電極が配置され、前記第 2 ゲート電極と前記電源ラインとの間に前記画素電極が配置されることを特徴とするパネル構造体。

30

40

【請求項 1 9】

前記第 1 トランジスタはスイッチングトランジスタであり、
前記第 2 トランジスタは駆動トランジスタであることを特徴とする請求項 1 8 に記載のパネル構造体。

【請求項 2 0】

前記少なくとも 1 つの第 1 コンタクトプラグに連結された第 1 連結配線がさらに備えられることを特徴とする請求項 1 8 または 1 9 に記載のパネル構造体。

【請求項 2 1】

前記画素電極と一体をなすように形成され、前記画素電極と前記第 2 ドレインとを連結する少なくとも 1 つの第 3 コンタクトプラグをさらに含むことを特徴とする請求項 1 8 か

50

ら 20 のいずれかに記載のパネル構造体。

【請求項 22】

前記少なくとも 1 つの第 2 コンタクトプラグに連結された第 2 連結配線がさらに備えられることを特徴とする請求項 18 から 21 のいずれかに記載のパネル構造体。

【請求項 23】

第 1 ゲート電極と、前記第 1 ゲート電極の位置の上部に対応する位置に形成される第 1 活性層と、前記第 1 活性層の両端に接触された第 1 ソース電極及び第 1 ドレイン電極と、を具備する第 1 薄膜トランジスタと、前記第 1 ドレイン電極と離隔された第 1 導電層と、を含むパネル構造体の製造方法において、

画素電極を形成する段階と、

前記画素電極を形成する間、前記第 1 ドレイン電極に接触する第 1 導電プラグを形成する段階と、

前記画素電極を形成する間、前記第 1 導電層に接触する第 2 導電プラグを形成する段階と、

前記第 1 導電プラグ及び前記第 2 導電プラグを連結する第 1 連結配線を形成する段階と、を含み、

前記第 1 導電層と離隔される第 2 導電層を形成する段階と、

前記第 2 導電層と離隔される第 3 導電層を形成する段階と、

前記画素電極を形成する間、前記第 2 導電層に接触する第 3 導電プラグを形成する段階と、

前記画素電極を形成する間、前記第 3 導電層に接触する第 4 導電プラグを形成する段階と、

前記第 3 導電プラグ及び第 4 導電プラグを連結する第 2 連結配線を形成する段階と、をさらに含み、

前記第 1 導電層は第 2 ゲート電極であり、

前記第 3 導電層は第 2 ソース電極であり、

前記第 1 ゲート電極及び前記第 2 ゲート電極を覆うゲート絶縁層を形成する段階と、

前記ゲート絶縁層上に第 2 活性層を形成する段階と、

前記第 2 活性層に接触する第 2 ドレイン電極を形成する段階と、

前記ゲート絶縁層上に、前記第 1 活性層、前記第 1 ソース電極、前記第 1 ドレイン電極、前記第 2 活性層、前記第 2 ソース電極及び前記第 2 ドレイン電極を覆う絶縁層を形成する段階と、をさらに含み、

前記第 2 ソース電極の一部は前記第 2 導電層の上部に位置し、

第 3 導電プラグは前記第 2 連結配線の一端と前記第 2 導電層とを連結し、前記ゲート絶縁層と前記絶縁層とを貫通し、

前記第 4 導電プラグは前記第 2 連結配線他端と前記第 2 ソース電極とを連結し、前記絶縁層を貫通し、

前記第 1 導電プラグ及び前記第 4 導電プラグは前記絶縁層を貫通するように形成され、前記第 2 導電プラグ及び前記第 3 導電プラグは前記絶縁層及び前記ゲート絶縁層を貫通するように形成されることを特徴とするパネル構造体の製造方法。

【請求項 24】

前記第 1 連結配線を形成する段階は、前記画素電極を形成する間に行われることを特徴とする請求項 23 に記載のパネル構造体の製造方法。

【請求項 25】

前記画素電極、前記第 1 導電プラグ及び前記第 2 導電プラグは、いずれも同じ物質によって形成することを特徴とする請求項 23 または 24 に記載のパネル構造体の製造方法。

【請求項 26】

前記第 1 連結配線は前記画素電極と同じ物質によって形成することを特徴とする請求項 23 から 25 のいずれかに記載のパネル構造体の製造方法。

【請求項 27】

前記第2連結配線を形成する段階は前記画素電極を形成する間に行われることを特徴とする請求項23から26のいずれかに記載のパネル構造体の製造方法。

【請求項28】

前記第2連結配線は前記画素電極と同じ物質によって形成することを特徴とする請求項23から27のいずれかに記載のパネル構造体の製造方法。

【請求項29】

前記第2導電層は電源ラインであることを特徴とする請求項23から28のいずれかに記載のパネル構造体の製造方法。

【請求項30】

前記画素電極は、前記絶縁層上であって、第5導電プラグによって前記第2ドレイン電極と連結されるように形成されることを特徴とする請求項23から29のいずれかに記載のパネル構造体の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パネル構造体、パネル構造体を含む表示装置及びその製造方法に関する。

【背景技術】

【0002】

薄膜トランジスタは、広範囲な電子素子分野に多様な目的で使われる。特に、薄膜トランジスタは、シリコン基板だけではなく、ガラス基板やプラスチック基板上でも容易に製造できるために、多様な平板表示装置に適用されている。

20

【0003】

かような薄膜トランジスタの構造は、ゲートがチャンネル層上に備わるトップゲート(top-gate)構造と、ゲートがチャンネル層下に備わるボトムゲート(bottom-gate)構造とに区分されうる。

【0004】

ボトムゲート薄膜トランジスタは、製造工程の容易性側面から、トップゲート薄膜トランジスタより優位にある。これは、ボトムゲート薄膜トランジスタを製造するとき使用するマスクの数が、トップゲート構造の薄膜トランジスタを製造するとき使用するマスクの数より少ないためである。少数のマスクを使用するということは、工程が単純であり、製造コストが相対的に低レベルであるということを意味する。

30

【0005】

しかし、既存のボトムゲート薄膜トランジスタを製造するのにも、6個以上の多数のマスクが使われている。特に、垂直連結(vertical interconnection)のためのビアホール(via hole)は、少なくとも2回のマスク工程を介して形成される。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一側面(aspect)は、薄膜トランジスタを含むパネル構造体を提供することである。

40

【0007】

本発明の他の側面は、前記パネル構造体を含む表示装置を提供することである。

【0008】

本発明のさらに他の側面は、前記パネル構造体及び前記表示装置の製造方法を提供することである。

【課題を解決するための手段】

【0009】

本発明の一側面によれば、第1ゲート電極と、前記第1ゲート電極の位置の上部に対応する位置に形成された第1活性層と、前記第1活性層の両端に接触された第1ソース電極

50

及び第1ドレイン電極と、を具備する第1薄膜トランジスタと、前記第1ドレイン電極と離隔された第1導電層と、画素電極と、前記画素電極と離隔し、前記画素電極と同じ物質から形成された第1連結配線と、前記第1連結配線の一端と前記第1ドレイン電極とを連結する第1導電プラグと、前記第1連結配線の他端と前記第1導電層とを連結する第2導電プラグと、を含むパネル構造体を提供される。

【0010】

前記第1連結配線と前記画素電極は金属酸化物及び金属のうちの少なくとも一つによって形成されうる。前記金属酸化物はITO(indium tin oxide)、IZO(indium zinc oxide)、Sn酸化物、In酸化物、Zn酸化物及びそれらの混合物のうちの一つでありうる。

10

【0011】

前記第1導電層を覆うゲート絶縁層と、前記ゲート絶縁層上に前記第1ドレイン電極を覆う絶縁層と、がさらに備わりうる。前記第1連結配線は、前記絶縁層上に形成されうる。前記第1導電プラグは前記絶縁層を貫通し、前記第2導電プラグは前記ゲート絶縁層と前記絶縁層とを貫通しうる。

【0012】

前記第1導電層と離隔された第2導電層と、前記第2導電層と離隔された第3導電層と、前記画素電極と同じ物質から形成された第2連結配線と、をさらに含み、前記第2連結配線の一端は前記第2導電層と連結され、前記第2連結配線の他端は前記第3導電層と連結されうる。

20

【0013】

前記第2導電層は電源ラインでありうる。

【0014】

前記第1導電層は第2ゲート電極であって、前記第3導電層は第2ソース電極でありうる。このとき、前記パネル構造体は、前記第1ゲート電極及び前記第2ゲート電極を覆うゲート絶縁層と、前記ゲート絶縁層上に備えられた第2活性層と、前記第2活性層に接触する第2ドレイン電極と、前記ゲート絶縁層上に、前記第1活性層、前記第1ソース電極、前記第1ドレイン電極、前記第2活性層、前記第2ソース電極及び前記第2ドレイン電極を覆う絶縁層と、をさらに含むことができる。

【0015】

30

前記第2ゲート電極の少なくとも一部は前記第1ゲートと前記第2導電層との間に備わりうる。

【0016】

前記第2導電層は、前記ゲート絶縁層によって覆われており、前記第2連結配線は、第2導電層上側の前記絶縁層上に備わりうる。

【0017】

前記第2ソース電極の一部は、前記第2導電層の上部に位置しうる。前記パネル構造体は、前記第2連結配線の一端と前記第2導電層とを連結し、前記ゲート絶縁層と前記絶縁層とを貫通する第3導電プラグと、前記第2連結配線の他端と前記第2ソース電極とを連結し、前記絶縁層を貫通する第4導電プラグと、をさらに含むことができる。

40

【0018】

前記画素電極は、前記絶縁層上に、前記第2ドレイン電極と連結されるように備わりうる。

【0019】

前記画素電極は、前記第2ゲート電極と前記第2導電層との間の前記絶縁層上に備わりうる。

【0020】

前記第2ゲート電極、前記第2活性層、前記第2ソース電極及び前記第2ドレイン電極は、第2薄膜トランジスタを構成できる。

【0021】

50

前記第1薄膜トランジスタはスイッチングトランジスタであって、前記第2薄膜トランジスタは駆動トランジスタでありうる。

【0022】

前記第2ゲート電極の一部、前記第2ゲート電極の上部に対応する位置の前記第2ソース電極の一部、及びそれらの間の前記ゲート絶縁層は、キャパシタとして作用しうる。

【0023】

前記第1活性層は、非晶質シリコン(a-Si)、多結晶シリコン(poly-Si)、GeSi、GaAs及び金属酸化物半導体のうちの少なくとも一つによって形成されうる。

【0024】

前記第2活性層は前記第1活性層と同じ物質によって形成されうる。

【0025】

前記画素電極に連結される第2ドレイン電極を含む第2薄膜トランジスタがさらに備わりうる。このとき、前記第2ドレイン電極は、前記画素電極と別途の導電プラグによって連結されうる。前記別途の導電プラグは、前記画素電極と一体をなすように形成されうる。前記第1導電層は、前記第2薄膜トランジスタのゲート電極でありうる。前記第1薄膜トランジスタはスイッチングトランジスタであり、前記第2薄膜トランジスタは駆動トランジスタでありうる。

【0026】

前記第1連結配線と前記画素電極とは、同一層上に備わりうる。

【0027】

本発明の他の側面によれば、ゲート電極、ソース電極及びドレイン電極を具備するトランジスタと、電源ラインと、電源ラインと離隔された画素電極と、前記画素電極と同じ物質から形成されたものであり、前記電源ラインと前記ソース電極とを連結するための少なくとも1つの第1コンタクトプラグとを含むパネル構造体が提供される。

【0028】

前記少なくとも1つの第1コンタクトプラグに連結された連結配線がさらに備わりうる。

【0029】

前記画素電極と一体をなすように形成され、前記ドレインと接触された少なくとも1つの第2コンタクトプラグがさらに備わりうる。

【0030】

前記トランジスタに電氣的に連結された他のトランジスタがさらに備わりうる。

【0031】

前記トランジスタのゲート電極と前記他のトランジスタのドレイン電極とを連結するための少なくとも1つの第3コンタクトプラグがさらに備わりうる。

【0032】

前記トランジスタは駆動トランジスタであって、前記他のトランジスタはスイッチングトランジスタでありうる。

【0033】

本発明の他の側面によれば、ゲート電極、ソース電極及びドレイン電極を具備するトランジスタと、画素電極と、前記トランジスタを覆う絶縁層と、前記画素電極と一体をなすように形成され、前記絶縁層を貫通し、前記ドレイン電極に接触された少なくとも1つの第1コンタクトプラグとを含むパネル構造体が提供される。

【0034】

前記パネル構造体は、前記ゲート電極と離隔された電源ラインと、前記電源ラインと前記ソース電極とを電氣的に連結するためのものであり、前記絶縁層を貫通する少なくとも1つの第2コンタクトプラグとをさらに含むことができる。

【0035】

前記少なくとも1つの第2コンタクトプラグは、前記画素電極と同じ物質によって形成

10

20

30

40

50

されうる。

【0036】

前記少なくとも1つの第2コンタクトプラグに連結された連結配線がさらに備わりうる。

【0037】

前記トランジスタに電氣的に連結された他のトランジスタがさらに備わりうる。

【0038】

前記トランジスタのゲート電極と前記他のトランジスタのドレイン電極とを連結するための少なくとも1つの第3コンタクトプラグがさらに備わりうる。

【0039】

前記トランジスタは、駆動トランジスタであって、前記他のトランジスタは、スイッチングトランジスタでありうる。

【0040】

本発明の他の側面によれば、第1ゲート電極、第1ソース電極及び第1ドレイン電極を具備する第1トランジスタと、第2ゲート電極、第2ソース電極及び第2ドレイン電極を具備する第2トランジスタと、画素電極と、前記画素電極と同じ物質から形成され、前記第1ドレイン電極と前記第2ゲート電極とを電氣的に連結するための少なくとも1つの第1コンタクトプラグとを含むパネル構造体が提供される。

【0041】

前記第1トランジスタはスイッチングトランジスタであって、前記第2トランジスタは駆動トランジスタでありうる。

【0042】

前記少なくとも1つの第1コンタクトプラグに連結された連結配線がさらに備わりうる。

【0043】

前記パネル構造体は、前記画素電極と一体をなすように形成され、前記第2ドレインと接触された少なくとも1つの第2コンタクトプラグをさらに含むことができる。

【0044】

前記パネル構造体は、前記第1ゲート電極及び第2ゲート電極と離隔された電源ラインと、前記電源ラインと前記第2ソース電極とを電氣的に連結するためのものであり、前記画素電極と同じ物質から形成された少なくとも1つの第3コンタクトプラグと、をさらに含むことができる。

【0045】

前記少なくとも1つの第3コンタクトプラグに連結された連結配線がさらに備わりうる。

【0046】

前述のコンタクトプラグは、導電プラグでありうる。

【0047】

本発明の他の側面によれば、前述のパネル構造体を含む表示装置が提供される。

【0048】

本発明の他の側面によれば、第1ゲート電極、前記第1ゲート電極の位置の上部に対応する位置に形成される第1活性層、前記第1活性層の両端に接触された第1ソース電極及び第1ドレイン電極を具備する第1薄膜トランジスタと、前記第1ドレイン電極と離隔された第1導電層とを含むパネル構造体の製造方法において、画素電極を形成する段階と、前記画素電極を形成する間、前記第1ドレインに接触された第1導電プラグを形成する段階と、前記画素電極を形成する間、前記第1導電層に接触された第2導電プラグを形成する段階と、前記第1導電プラグ及び第2導電プラグを連結する第1連結配線を形成する段階と、を含むパネル構造体の製造方法が提供される。

【0049】

前記第1連結配線を形成する段階は前記画素電極を形成する間に行われうる。

【0050】

前記画素電極、前記第1導電プラグ及び前記第2導電プラグは、いずれも同じ物質によって形成されうる。

【0051】

前記第1連結配線は、前記画素電極と同じ物質によって形成されうる。

【0052】

前記製造方法は、前記第1導電層と離隔される第2導電層を形成する段階と、前記第2導電層と離隔される第3導電層を形成する段階と、前記画素電極を形成する間、前記第2導電層に接触する第3導電プラグを形成する段階と、前記画素電極を形成する間、前記第3導電層に接触する第4導電プラグを形成する段階と、前記第3導電プラグ及び第4導電プラグを連結する第2連結配線を形成する段階と、をさらに含むことができる。

10

【0053】

前記第2連結配線を形成する段階は前記画素電極を形成する間に行われうる。

【0054】

前記第2連結配線は前記画素電極と同じ物質によって形成できる。

【0055】

前記第2導電層は電源ラインでありうる。

【0056】

前記第1導電層は第2ゲート電極であって、前記第3導電層は第2ソース電極でありうる。この場合、前記製造方法は、前記第1ゲート電極及び第2ゲート電極を覆うゲート絶縁層を形成する段階と、前記ゲート絶縁層上に第2活性層を形成する段階と、前記第2活性層に接触された第2ドレイン電極を形成する段階と、前記ゲート絶縁層上に、前記第1活性層、前記第1ソース電極、前記第1ドレイン電極、前記第2活性層、前記第2ソース電極及び前記第2ドレイン電極を覆う絶縁層を形成する段階とをさらに含むことができる。前記第1導電プラグ及び第4導電プラグは、前記絶縁層を貫通するように形成でき、前記第2導電プラグ及び第3導電プラグは、前記絶縁層及び前記ゲート絶縁層を貫通するように形成できる。

20

【0057】

前記画素電極は、前記絶縁層上であって、第5導電プラグによって前記第2ドレイン電極と連結されるように形成できる。

30

【0058】

本発明の他の実施形態は、前述の方法で、パネル構造体を製造する方法を含む表示装置の製造方法を提供する。

【発明の効果】

【0059】

本発明の実施形態によれば、薄膜トランジスタを含むパネル構造体を、少数のマスクを使用して製造できる。

【図面の簡単な説明】

【0060】

【図1】本発明の実施形態によるパネル構造体を示す平面図である。

40

【図2】図1のI-I'線による断面図である。

【図3A】図1のII-II'線による断面図である。

【図3B】図1のIII-III'線による断面図である。

【図3C】図1のIV-IV'線による断面図である。

【図4】本発明の他の実施形態によるパネル構造体を示す平面図である。

【図5A】本発明の実施形態によるパネル構造体の製造方法を示す平面図である。

【図5B】本発明の実施形態によるパネル構造体の製造方法を示す平面図である。

【図5C】本発明の実施形態によるパネル構造体の製造方法を示す平面図である。

【図5D】本発明の実施形態によるパネル構造体の製造方法を示す平面図である。

【図5E】本発明の実施形態によるパネル構造体の製造方法を示す平面図である。

50

【発明を実施するための形態】

【0061】

以下、本発明の実施形態によるパネル構造体、パネル構造体を含む表示装置及びその製造方法について、添付された図面を参照しつつ詳細に説明する。この過程で、図面に図示された層や領域の厚さは、明細書の明確性のために多少誇張されて図示されている。詳細な説明全体にわたって同じ参照番号は、同じ構成要素を示す。

【0062】

図1は、本発明の一実施形態によるパネル構造体を示す平面図である。

【0063】

図1を参照すれば、基板（図示せず）上に、第1ゲート電極BG1を含む第1ゲートラインGL1と、第1ゲートラインGL1と離隔された第2ゲート電極BG2とが備わりうる。第1ゲートラインGL1は、所定方向、例えば、X軸方向に延長し、第1ゲート電極BG1は、Y軸方向に突出した部分でありうる。第2ゲート電極BG2は、第1ゲートラインGL1とY軸方向に所定間隔離隔されており、第1部分p1及び第2部分p2を含むことができる。第1部分p1は、第1ゲート電極BG1とX軸方向に所定間隔ほど離隔配置され、小さな四角形状を有することができる。第2部分p2は、第1部分p1からX軸の逆方向に第1ゲート電極BG1の上側まで、そしてY軸方向に、所定長さほど延びた大きい四角形状を有することができる。第1ゲートラインGL1と第2ゲート電極BG2との形態は、多様に変化する。前記基板上に、第2ゲート電極BG2と所定間隔離隔された電源ラインV1がさらに備わりうる。電源ラインV1は、X軸方向に延長しうる。電源ラインV1は、第2ゲート電極BG2とY軸方向に離隔されうる。従って、電源ラインV1と第1ゲートラインGL1との間に、第2ゲート電極BG2が備わりうる。

【0064】

平面図の図1に示されてはいないが、前記基板上に、第1ゲートラインGL1、第2ゲート電極BG2及び電源ラインV1を覆うゲート絶縁層が備わりうる。前記ゲート絶縁層の形成物質には制限がないが、例えば、シリコン酸化物、シリコン窒化物、高誘電物質（チタン酸化物、ハフニウム酸化物など）などから形成された層でありうる。第1ゲート電極BG1上側の前記ゲート絶縁層上に、第1活性層A1が備わり、第2ゲート電極BG2上側の前記ゲート絶縁層上に、第2活性層A2が備わりうる。第1活性層A1及び第2活性層A2の形成物質には制限がないが、例えば、非晶質シリコン（a-Si）、多結晶シリコン（poly-Si）、GeSi、GaAs、金属酸化物半導体（ZnO、InZnO、GaInZnOなど）などから形成された層でありうる。第2活性層A2は、第2部分p2の左上部に備わりうる。第2活性層A2は、Y軸方向に延長されたバー（bar）状を有することができる。第2活性層A2のサイズ、形成位置及び形は多様に変化する。

【0065】

前記ゲート絶縁層上に、第1活性層A1の両端に各々接触する第1ソース電極S1及び第1ドレイン電極D1が備わりうる。第1ソース電極S1の端部から、Y軸及びその逆方向に延長された第1データラインDL1がさらに備わりうる。すなわち、第1ソース電極S1は、Y軸方向に延びている第1データラインDL1で、X軸方向に突出した部分でありうる。以下では、第1ソース電極S1を第1データラインDL1の一部と見る。第1ドレイン電極D1は、第1活性層A1からX軸方向に、所定長さほど延びた形態を有することができる。第1ドレイン電極D1は、第1ゲート電極BG1と第1部分p1との間の前記ゲート絶縁層上に、一端が第1活性層A1と接触するように備わりうる。第1ドレイン電極D1は、多少屈曲した様子を有することができるが、その形態は、多様に変化する。第1ゲート電極BG1を含む第1ゲートラインGL1、前記ゲート絶縁層、第1活性層A1、第1ソース電極S1を含む第1データラインDL1及び第1ドレイン電極D1は、第1薄膜トランジスタを構成できる。前記第1薄膜トランジスタは、スイッチングトランジスタでありうる。

【0066】

また、前記ゲート絶縁層上に、第2活性層A2の両端にそれぞれ接触する第2ソース電極S2、及び第2ドレイン電極D2が備わりうる。第2ソース電極S2は、第1部分p1'及び第2部分p2'に区分されうる。第1部分p1'は、第2ゲート電極BG2の第2部分p2の上側に配されたものであり、第2活性層A2の右側及び下方に拡張された構造を有することができる。第2部分p2'は、上から見たとき、第2ゲート電極BG2から外れたものであり、その一端は、電源ラインV1の上側に配されうる。例えば、第2部分p2'は、第1部分p1'の右上部端からY軸方向に延長していて、電源ラインV1の上側からX軸の逆方向に延長された構造を有することができる。第2ドレイン電極D2は、第2活性層A2の一端に接触しつつ、第2活性層A2の上側、すなわち、Y軸方向に所定長さほど延びた構造を有することができる。第2ドレイン電極D2の前記延長部は、残りの部分より多少広幅を有することができる。第2ゲート電極BG2、前記ゲート絶縁層、第2活性層A2、第2ソース電極S2及び第2ドレイン電極D2は、第2薄膜トランジスタを構成できる。前記第2薄膜トランジスタは、駆動(d r i v i n g)トランジスタでありうる。

10

【0067】

図1に示されていないが、前記ゲート絶縁層上に、第1活性層A1、前記第1ソース電極S1を含む第1データラインDL1、第1ドレイン電極D1、第2活性層A2、第2ソース電極S2及び第2ドレイン電極D2を覆う絶縁層が備わりうる。前記絶縁層は、一種の保護層(p a s s i v a t i o n l a y e r)であって、シリコン酸化物、シリコン窒化物及びその他の絶縁物質のうち、少なくとも一つを含むことができる。

20

【0068】

前記絶縁層上に、第1連結配線C1及び第2連結配線C2が備わりうる。第1連結配線C1は、第1ドレイン電極D1と第2ゲート電極BG2とを電気的に連結するための手段でありうる。第1連結配線C1の一端は、第1ドレイン電極D1に連結され、他端は、第2ゲート電極BG2の第1部分p1に連結されうる。第1連結配線C1の前記一端と第1ドレイン電極D1は、前記絶縁層を貫通する少なくとも1つの第1導電プラグCP1によって電気的に連結されうる。第1連結配線C1の前記他端と第2ゲート電極BG2の第1部分p1は、前記ゲート絶縁層と前記絶縁層とを貫通する少なくとも1つの第2導電プラグCP2によって、電気的に連結されうる。第2連結配線C2は、電源ラインV1と第2ソース電極S2の一端とを電気的に連結するための手段であり、電源ラインV1の上側に備わりうる。第2連結配線C2の一端は、電源ラインV1に連結され、他端は、第2ソース電極S2の前記一端に連結されうる。第2連結配線C2の前記一端と電源ラインV1は、前記ゲート絶縁層と前記絶縁層とを貫通する少なくとも1つの第3導電プラグCP3によって、電気的に連結されうる。第2連結配線C2の前記他端と第2ソース電極S2の前記一端は、前記絶縁層を貫通する少なくとも1つの第4導電プラグCP4によって、電気的に連結されうる。

30

【0069】

また、前記絶縁層上に、第2ドレイン電極D2と電気的に連結された導電要素、例えば、画素電極PE1がさらに備わりうる。画素電極PE1は、金属酸化物及び金属のうち、少なくとも一つによって形成され、透明または不透明でありえる。例えば、画素電極PE1を形成するための前記金属酸化物は、ITO(indium tin oxide)、IZO(indium zinc oxide)、Sn酸化物、In酸化物、Zn酸化物及びその混合物のうち、一つでありうる。前記Zn酸化物のような金属酸化物は、組成によって、導体または半導体の特徴を有することができるが、ここで、画素電極PE1用として使用するZn酸化物は、導体特性を有する。前述の第1連結配線C1及び第2連結配線C2も、画素電極PE1と同一物質から共に形成されうる。また、第1導電プラグCP1ないし第4導電プラグCP4、及び以下で説明する第5導電プラグCP5も、画素電極PE1と同一物質から共に形成されうる。画素電極PE1は、第2ドレイン電極D2の前記延長部と連結され、前記絶縁層を貫通する少なくとも1つの第5導電プラグCP5によって連結されうる。画素電極PE1は、第2ゲート電極BG2と電源ラインV1との間、

40

50

及び第1データラインDL1と第2ソース電極S2との間の前記絶縁層上に備わりうる。ここで図示されていないが、画素電極PE1上に、所定の発光素子、例えば、有機発光素子が備わりうる。

【0070】

前記第2ゲート電極BG2の一部、それに対応する第2ソース電極S2の一部、及びそれらの間の前記ゲート絶縁層は、キャパシタとして作用しうる。すなわち、前記駆動トランジスタの一部がキャパシタとして機能できる。よって、本実施形態のパネル構造体は、2T (transistor) - 1C (capacitor) の構成を有することができる。前記スイッチングトランジスタ、すなわち、第1ゲート電極BG1を含む第1データラインGL1、前記ゲート絶縁層、第1活性層A1、第1ソース電極S1を含む第1データラインDL1及び第1ドレイン電極D1から構成された前記第1薄膜トランジスタがターンオン (turn-on) されれば、第1ドレイン電極D1を介して、第2ゲート電極BG2に電流が印加されうる。第2ゲート電極BG2に前記電流が印加され、併せて、電源ラインV1に所定の電圧を印加すれば、前記駆動トランジスタがターンオンされ、第2ドレイン電極D2を介して画素電極PE1に電流が印加されうる。このとき、前記キャパシタは、前記画素電極PE1に印加される電流を所定時間維持させる役割を行うことができる。画素電極PE1に印加された電流によって、画素電極PE1上に備わる発光素子 (図示せず) が動作されうる。

10

【0071】

図2は、図1のI-I'線による断面図である。

20

【0072】

図2を参照すれば、基板SUB1上に、互いに離隔された第1ゲート電極BG1及び第2ゲート電極BG2が備わりうる。基板SUB1上に、第1ゲート電極BG1及び第2ゲート電極BG2を覆うゲート絶縁層GI1が備わりうる。第1ゲート電極BG1上側のゲート絶縁層GI1上に、第1活性層A1が備わりうる。ゲート絶縁層GI1上に、第1活性層A1の両端にそれぞれ接触された第1ソース電極S1及び第1ドレイン電極D1が備わりうる。ゲート絶縁層GI1上に、第1活性層A1、第1ソース電極S1及び第1ドレイン電極D1を覆う絶縁層IL1が備わりうる。絶縁層IL1に、第1ドレイン電極D1を露出させる少なくとも1つの第1ホールH1が備わりうる。また絶縁層IL1とゲート絶縁層GI1とに、第2ゲート電極BG2を露出させる少なくとも1つの第2ホールH2が備わりうる。第1ホールH1内に、第1導電プラグCP1が備わり、第2ホールH2内に、第2導電プラグCP2が備わりうる。絶縁層IL1上に、第1導電プラグCP1と第2導電プラグCP2とを連結する第1連結配線C1が備わりうる。従って、第1連結配線C1、第1導電プラグCP1及び第2導電プラグCP2によって、第1ドレイン電極D1と第2ゲート電極BG2は、電氣的に互いに連結されうる。

30

【0073】

図3Aは、図1のII-II'線による断面図である。

【0074】

図3Aを参照すれば、基板SUB1上に、電源ラインV1が備わり、電源ラインV1を覆うゲート絶縁層GI1が備わりうる。ゲート絶縁層GI1上に、互いに離隔された第1データラインBL1と第2ソース電極S2とが備わりうる。第1データラインBL1と第2ソース電極S2とを覆う絶縁層IL1が備わりうる。絶縁層IL1及びゲート絶縁層GI1に、電源ラインV1を露出させる少なくとも1つの第3ホールH3が備わりうる。絶縁層IL1に、第2ソース電極S2を露出させる少なくとも1つの第4ホールH4が備わりうる。第3ホールH3内に、第3導電プラグCP3が備わり、第4ホールH4内に、第4導電プラグCP4が備わりうる。絶縁層IL1上に、第3導電プラグCP3と第4導電プラグCP4とを連結する第2連結配線C2が備わりうる。従って、第2連結配線C2、第3導電プラグCP3及び第4導電プラグCP4によって、電源ラインV1と第2ソース電極S2とが電氣的に連結されうる。

40

【0075】

50

本実施形態で、第1ホールH1ないし第4ホールH4は、1回のエッチング工程で同時に形成できる。すなわち、垂直連結のためのビアホールH1～H4は、1つのマスク（mask）を使用し、1回のリソグラフィ（lithography）工程で同時に形成できる。第1ホールH1及び第4ホールH4を形成するために、絶縁層IL1をエッチングするとき、それぞれ、第1ドレイン電極D1と第2ソース電極S2とがエッチング停止層として作用でき、第2ホールH2及び第3ホールH3を形成するために、絶縁層IL1及びゲート絶縁層GI1をエッチングするとき、それぞれ、第2ゲート電極BG2と電源ラインV1とがエッチング停止層として作用しうる。このように、第1ホールH1ないし第4ホールH4は、1回のエッチング工程で同時に形成できるために、工程を単純化でき、製造コストを節減できる。

10

【0076】

図3B及び図3Cは、それぞれ図1のIII-III'線及びIV-IV'線による断面図である。

【0077】

図3Bを参照すれば、基板SUB1上に、ゲート絶縁層GI1が備わりうる。ゲート絶縁層GI1上に、互いに離隔された第1データラインDL1、第2ドレイン電極D2及び第2ソース電極S2が備わりうる。絶縁層IL1が第1データラインDL1、第2ドレイン電極D2及び第2ソース電極S2を覆うように備わりうる。絶縁層IL1内に、第2ドレイン電極D2を露出させる少なくとも1つの第5ホールH5が備わりうる。第5ホールH5内に、第5導電プラグCP5が備わりうる。絶縁層IL1上に、第5導電プラグCP5に連結された画素電極PE1が備わりうる。

20

【0078】

図3Cを参照すれば、基板SUB1上に、第2ゲート電極BG2を覆うゲート絶縁層GI1が備わりうる。ゲート絶縁層GI1上に、第2活性層A2が備わりうる。第2活性層A2は、第2ゲート電極BG2上側に形成されうる。ゲート絶縁層GI1上に、第2活性層A2の両端に接触された第2ソース電極S2と第2ドレイン電極D2とが備わりうる。第2ソース電極S2及び第2ドレイン電極D2と離隔された第1データラインDL1が、ゲート絶縁層GI1上に備わりうる。ゲート絶縁層GI1上に、第2活性層A2、第2ソース電極S2、第2ドレイン電極D2及び第1データラインDL1を覆う絶縁層IL1が備わりうる。

30

【0079】

本実施形態によれば、第1ホールH1ないし第5ホールH5は、1回のエッチング工程で形成されうる。例えば、第1ホールH1ないし第5ホールH5は、1つのマスクを使用する1回のエッチング工程（リソグラフィ工程）によって同時に形成されうる。第1ホールH1、第4ホールH4及び第5ホールH5を形成するために、絶縁層IL1をエッチングするとき、第1ドレイン電極D1、第2ソース電極S2及び第2ドレイン電極D2がエッチング停止層として作用しうる。第2ホールH2及び第3ホールH3を形成するために、絶縁層IL1及びゲート絶縁層GI1をエッチングするとき、第2ゲート電極BG2と電源ラインV1とがエッチング停止層として作用しうる。このように、第1ホールH1ないし第5ホールH5を1回のエッチング工程で同時に形成できるために、製造工程が単純化され、製造コストが節減されうる。

40

【0080】

本実施形態は、多様に変化しうる。例えば、図2で、第1ゲート電極BG1と第2ゲート電極BG2は、同一層上に形成されているが、他の実施形態によれば、第1ゲート電極BG1と第2ゲート電極BG2は、互いに異なる層上に備わりもする。また、第2ゲート電極BG2は、トランジスタのゲートではない他の機能を有する導電層で代替可能であり、同様に、図3Aの第2ソース電極S2及び電源ラインV1も、他の機能を有する導電層で代替可能である。

【0081】

図1の構造は、1つの副画素（sub-pixel）領域に対応しうる。すなわち、図

50

1の画素電極PE1上には、赤色(Red)、緑色(Green)、青色(Blue)のうち、いずれか1つの色を示す発光ユニット(例えば、有機発光ユニット)が備わりうる。従って、本発明の実施形態によるパネル構造体は、図1の構造を複数個含むことができる。その例が、図4に図示されている。

【0082】

図4を参照すれば、図1の構造と類似した3個の単位素子(以下、第1単位素子SP1ないし第3単位素子SP3)がX軸方向に順に配列されている。第1単位素子SP1ないし第3単位素子SP3は、それぞれ赤色副画素領域、緑色副画素領域及び青色副画素領域に対応しうる。第1単位素子SP1ないし第3単位素子SP3は、基本的に非常に類似した構造を有することができ、第1ゲートラインGL1と電源ラインV1とを共有できる。しかし、第1単位素子SP1ないし第3単位素子SP3で、第2活性層A2、A2'、A2"のサイズは、多少異なりうる。例えば、第2単位素子SP2の第2活性層A2'は、第1単位素子SP1の第2活性層A2より多少長く、第3単位素子SP3の第2活性層A2"は、第2単位素子の第2活性層A2'より多少長くありうる。これは、赤色有機発光ユニットの発光効率が緑色有機発光ユニットのそれより高く、緑色有機発光ユニットの発光効率が青色有機発光ユニットのそれより高くありうるためである。すなわち、発光効率が低いほど、第2活性層のサイズは小さくありうる。第2活性層A2、A2'、A2"のサイズによって、それに対応する第2ソース電極S2、S2'、S2"及び第2ドレイン電極D2、D2'、D2"のサイズ及び形も、多少変わりうる。図4の構造は、X軸及びY軸の方向に反復されうる。

【0083】

ここで図示されていないが、図1及び図4のパネル構造体を適用した表示装置を具現できる。表示装置で、パネル構造体を除外した残りの構成は、従来と類似し、それに係わる詳細な説明は省略する。

【0084】

図5Aないし図5Eは、本発明の実施形態によるパネル構造体の製造方法を示している。

【0085】

図5Aを参照すれば、第1マスク(図示せず)を利用し、基板(図示せず)上に、第1ゲート電極BG1を含む第1ゲートラインGL1、第2ゲート電極BG2及び電源ラインV1を形成できる。第1ゲートラインGL1は、所定方向、例えば、X軸方向に延長され、第1ゲート電極BG1は、Y軸方向に突出した部分でありうる。第2ゲート電極BG2は、第1ゲートラインGL1とY軸の方向に、所定間隔離隔されるように形成できる。第2ゲート電極BG2は、第1部分p1及び第2部分p2を含むことができ、第1部分p1及び第2部分p2の形は、図1で説明したものと同一でありえる。電源ラインV1は、第2ゲート電極BG2とY軸の方向に離隔されており、X軸方向に延長しうる。従って、電源ラインV1と第1ゲートラインGL1との間に、第2ゲート電極BG2が備わりうる。

【0086】

図5Bを参照すれば、前記基板上に、第1ゲートラインGL1、第2ゲート電極BG2及び電源ラインV1を覆うゲート絶縁層(図示せず)を形成する。前記ゲート絶縁層の形成物質には制限がないが、例えば、シリコン酸化物、シリコン窒化物、高誘電物質(チタン酸化物、ハフニウム酸化物など)などから形成できる。次に、第2マスク(図示せず)を利用し、前記ゲート絶縁層上に、第1活性層A1及び第2活性層A2を形成できる。第1活性層A1及び第2活性層A2は、それぞれ第1ゲート電極BG1及び第2ゲート電極BG2の上側の前記ゲート絶縁層上に形成できる。第2活性層A2は、第2部分p2の左上部に具備することができる。第2活性層A2は、Y軸方向に延長されたバー状を有することができ、そのサイズ、位置及び形は、多様に変化しうる。第1活性層A1及び第2活性層A2の形成物質には制限がないが、例えば、非晶質シリコン(a-Si)、多結晶シリコン(poly-Si)、GeSi、GaAs、金属酸化物半導体(ZnO、InZnO、GaInZnOなど)などから形成できる。

【0087】

図5Cを参照すれば、第3マスク（図示せず）を利用し、第1ソース電極S1を含む第1データラインDL1、第1ドレイン電極D1、第2ソース電極S2及び第2ドレイン電極D2を形成できる。第1ソース電極S1及び第1ドレイン電極D1は、それぞれ第1活性層A1の両端に接触され、第2ソース電極S2及び第2ドレイン電極D2は、それぞれ第2活性層A2の両端に接触されうる。第1データラインDL1、第1ドレイン電極D1、第2ソース電極S2及び第2ドレイン電極D2の形は、図1で説明したものと同一でありうる。参照番号p1'及びp2'は、図1と同一に、第2ソース電極S2の第1部分p1'及び第2部分p2'を示す。

【0088】

10

図5Dを参照すれば、前記ゲート絶縁層上に、第1活性層A1、第1ソース電極S1を含む第1データラインDL1、第1ドレイン電極D1、第2活性層A2、第2ソース電極S2及び第2ドレイン電極D2を覆う絶縁層（図示せず）を形成できる。前記絶縁層は、一種の保護層であって、シリコン酸化物、シリコン窒化物及びその他の絶縁物質のうち、少なくとも一つによって形成できる。

【0089】

次に、第4マスク（図示せず）を利用し、第1ホールH1ないし第5ホールH5を形成できる。第1ホールH1、第4ホールH4及び第5ホールH5は、前記絶縁層をエッチングして形成でき、第2ホールH2及び第3ホールH3は、前記絶縁層及び前記ゲート絶縁層をエッチングして形成できる。第1ホールH1、第4ホールH4及び第5ホールH5を形成するために、前記絶縁層をエッチングするとき、それぞれ第1ドレイン電極D1、第2ソース電極S2及び第2ドレイン電極D2がエッチング停止層として作用でき、第2ホールH2及び第3ホールH3を形成するために、前記絶縁層及び前記ゲート絶縁層をエッチングするとき、それぞれ第2ゲート電極BG2と電源ラインV1とがエッチング停止層として作用しうる。

20

【0090】

図5Eを参照すれば、前記絶縁層上に、第1ホールH1ないし第5ホールH5を埋め込む導電層を形成した後、前記導電層を第5マスク（図示せず）を利用してパターンニングし、第1導電プラグCP1ないし第5導電プラグCP5、第1連結配線C1、第2連結配線C2及び画素電極PE1を形成できる。従って、第1導電プラグCP1ないし第5導電プラグCP5、第1連結配線C1、第2連結配線C2及び画素電極PE1は、同じ物質によって共に形成できる。例えば、第1導電プラグCP1ないし第5導電プラグCP5、第1連結配線C1、第2連結配線C2及び画素電極PE1は、金属酸化物及び金属のうち、少なくとも一つによって形成でき、透明または不透明でありうる。前記金属酸化物は、ITO、IZO、Sn酸化物、In酸化物、Zn酸化物及びその混合物のうち、一つでありうる。第1連結配線C1の一端及び他端は、第1導電プラグCP1及び第2導電プラグCP2によって、第1ドレイン電極D1及び第2ゲート電極BG2に連結されうる。第2連結配線C2の一端及び他端は、第3導電プラグCP3及び第4導電プラグCP4によって、電源ラインV1及び第2ソース電極S2に連結されうる。画素電極PE1は、第5導電プラグCP5によって、第2ドレイン電極D2に連結されうる。図5Eに図示された単一蒸着工程を使用する代わりに、所定の第1蒸着工程で、第1ホールH1ないし第5ホールH5を埋め込む第1導電プラグCP1ないし第5導電プラグCP5をまず形成した後、所定の第2蒸着工程で、第1連結配線C1、第2連結配線C2及び画素電極PE1を形成することもできる。

30

40

【0091】

このように、本発明の実施形態によれば、第1ホールH1ないし第5ホールH5、すなわち、ビアホールを1回の工程で形成できるために、5個のマスクだけ使用してパネル構造体を製造できる。従って、従来に比べて工程が単純化され、製造コストが節減されうる。

【0092】

50

図示されていないが、図 5 A ないし図 5 E の方法で製造したパネル構造体から表示装置を具現できる。パネル構造体を除外した残りの構成の製造方法は、従来のそれと類似しているので、それに係わる説明は省略する。

【0093】

前記の説明で多くの事項が具体的に記載されているが、発明の範囲をそれに限定するものではなく、実施形態の例示として解釈されねばならない。例えば、本発明が属する技術分野で当業者ならば、本発明の実施形態で、パネル構造体の構成要素をさらに多様化でき、構造を多様に変形できるであろう。具体的な例として、前述の実施形態は、パネル構造体が 2 T-1 C の構成を有する場合に係わることであるが、トランジスタ及びキャパシタの個数は変わりうる。例えば、5 T-2 C 構造、3 T-1 C 構造など、多様な変形例が可能である。また、本発明の実施形態による構造の一部または全部を有機発光表示装置以外の他の表示装置、例えば、液晶表示装置に適用でき、表示装置以外の他の電子素子にも適用できることが分かる。従って、本発明の範囲は、説明された実施形態によって定められるものではなく、特許請求の範囲に記載された技術的思想によって定められるものである。

10

【符号の説明】

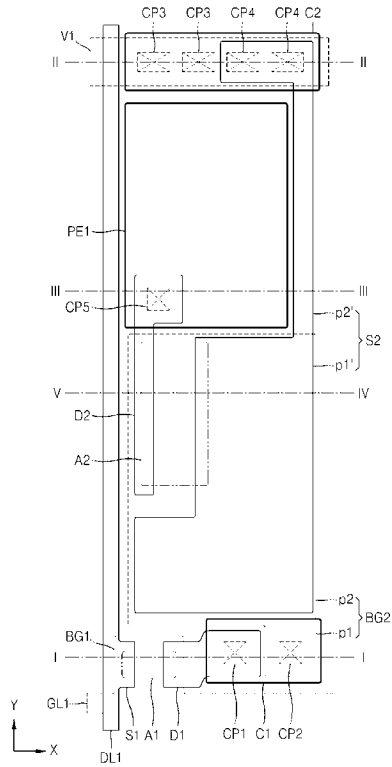
【0094】

A 1、A 2 活性層、
B G 1、B G 2 ゲート電極、
C 1、C 2 連結配線、
C P 1～C P 5 導電プラグ、
D 1、D 2 ドレイン電極、
G I 1 ゲート絶縁層、
G L 1 ゲートライン、
H 1～H 5 ホール (h o l e)、
I L 1 絶縁層、
P E 1 画素電極、
S 1、S 2 ソース電極、
S P 1～S P 3 単位素子、
S U B 1 基板、
V 1 電源ライン。

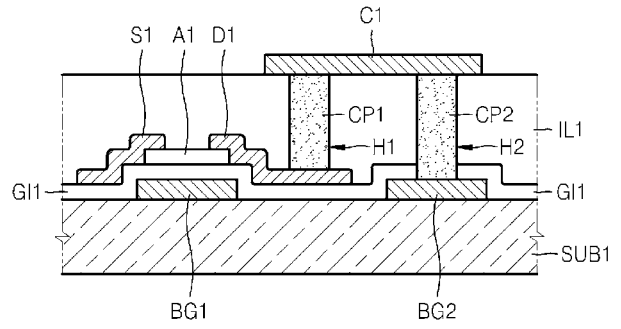
20

30

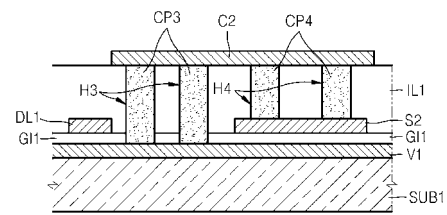
【図 1】



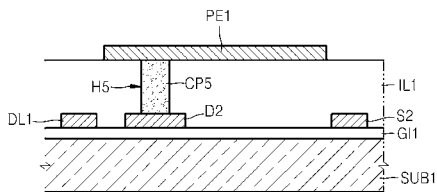
【図 2】



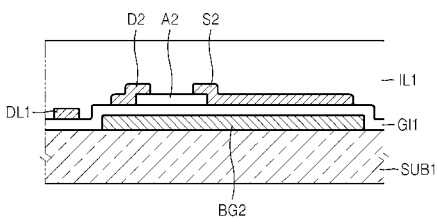
【図 3 A】



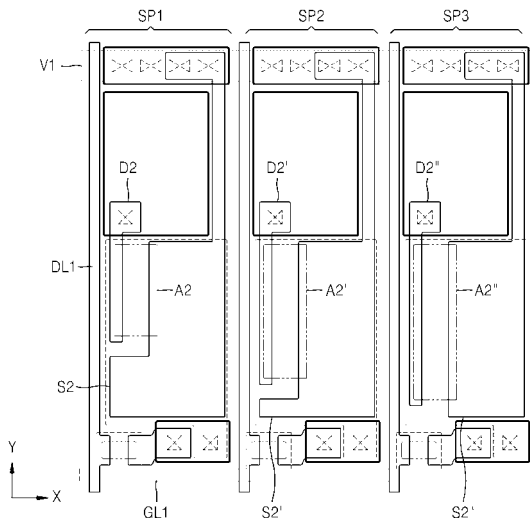
【図 3 B】



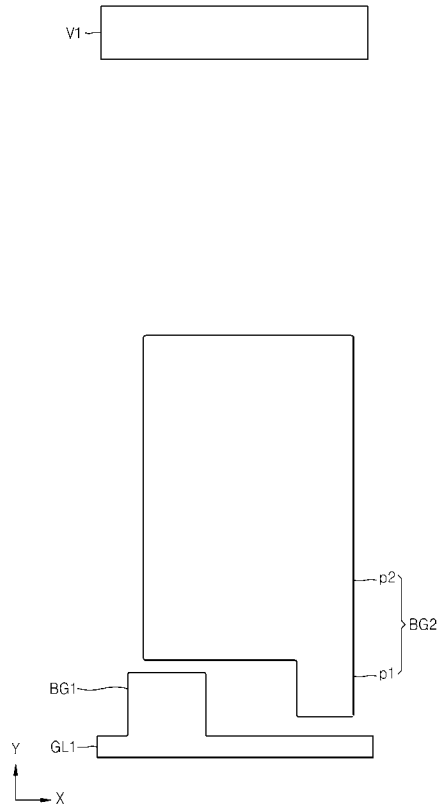
【図 3 C】



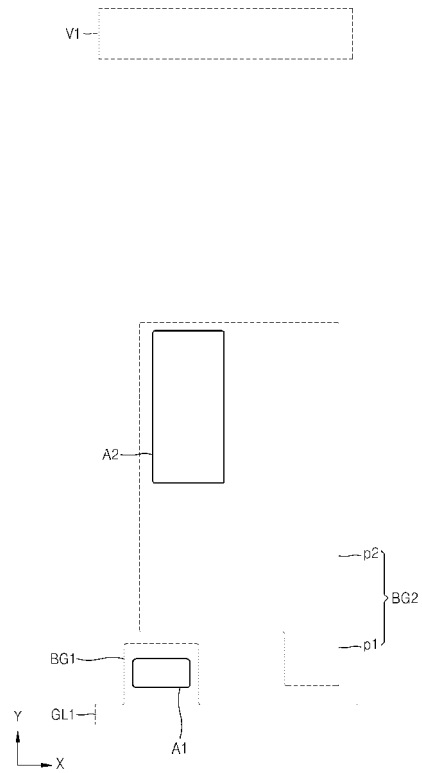
【図 4】



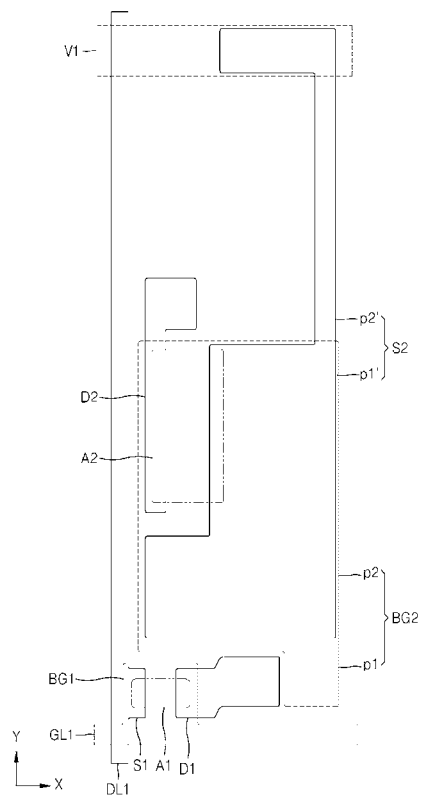
【図 5 A】



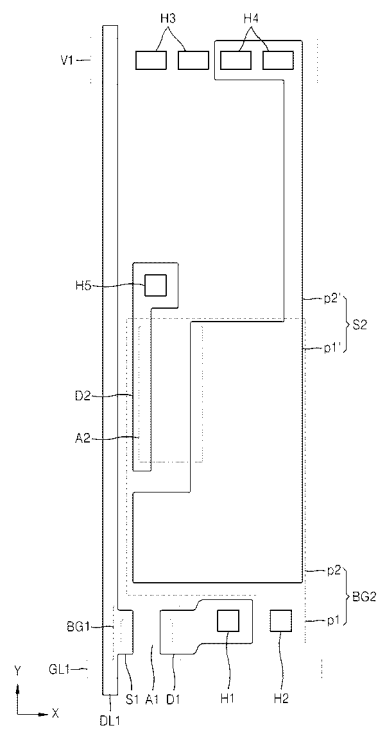
【図 5 B】



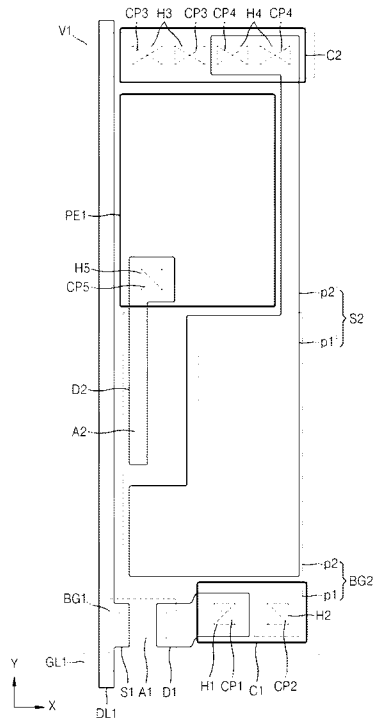
【図 5 C】



【図 5 D】



【図 5 E】



フロントページの続き

(72)発明者 柳 明 官

大韓民国京畿道龍仁市器興区農書洞山14-1番地 三星綜合技術院内

(72)発明者 朴 基 燦

大韓民国京畿道安養市東安区坪村洞897-7 草原マウルアパート501棟1501号

(72)発明者 宣 鍾 白

大韓民国京畿道龍仁市器興区農書洞山14-1番地 三星綜合技術院内

審査官 大橋 達也

(56)参考文献 特開2007-219517 (JP, A)

特開2007-316110 (JP, A)

米国特許出願公開第2008/0042139 (US, A1)

米国特許出願公開第2008/0230768 (US, A1)

韓国公開特許第10-2008-0053646 (KR, A)

特開2008-090322 (JP, A)

特開2009-069251 (JP, A)

特開2002-108250 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

G09F 9/30

H01L 29/786

H01L 51/50