

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-505195

(P2010-505195A)

(43) 公表日 平成22年2月18日 (2010.2.18)

(51) Int.Cl. F I テーマコード (参考)  
**G06F 12/08 (2006.01)** G06F 12/08 543A 5B005  
 G06F 12/08 515Z

審査請求 未請求 予備審査請求 未請求 (全 17 頁)

(21) 出願番号 特願2009-530492 (P2009-530492)  
 (86) (22) 出願日 平成19年7月19日 (2007.7.19)  
 (85) 翻訳文提出日 平成21年2月20日 (2009.2.20)  
 (86) 国際出願番号 PCT/US2007/073833  
 (87) 国際公開番号 W02008/042494  
 (87) 国際公開日 平成20年4月10日 (2008.4.10)  
 (31) 優先権主張番号 11/536,085  
 (32) 優先日 平成18年9月28日 (2006.9.28)  
 (33) 優先権主張国 米国 (US)

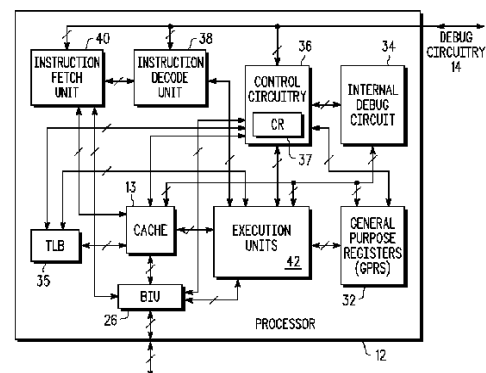
(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 78735 テキサス州  
 オースティン ウィリアム キャノン  
 ドライブ ウェスト 6501  
 (74) 代理人 100142907  
 弁理士 本田 淳  
 (74) 代理人 100149641  
 弁理士 池上 美穂  
 (72) 発明者 モイヤー、ウィリアム シー  
 アメリカ合衆国 78620 テキサス州  
 ドリッピング スプリングス メドウ  
 リッジ ドライブ 1111  
 Fターム(参考) 5B005 JJ01 MM01 VV24

最終頁に続く

(54) 【発明の名称】 キャッシュ・メモリ・デバッグ・サポートを有するデータ処理システムおよびそのための方法

## (57) 【要約】

デバッグ回路(14)を有するデータ処理システム(10)およびデータ処理システムを作動するための方法。システムにおいては、プロセッサ(12)はキャッシュ・メモリ(13)を有し、システム・バス(20)と結合している。実効アドレスを示す命令が受信される。命令は実行され、実効アドレスがキャッシュ(13)内でヒットになるのかミスになるのかが判定される。実効アドレスがヒットになった場合には、実効アドレスに関連するデータが、キャッシュの状態を修正しないでキャッシュからシステム・バスに提供される。命令により、リアルタイム・デバッグ回路は、値を修正しないでまたはキャッシュ(13)の現在状態に影響を与えないで、キャッシュ階層のためにアクセスできないメモリ(13)内の1つまたは複数の変数の現在値を見ることができる。



**【特許請求の範囲】****【請求項 1】**

システム・バスと結合し、キャッシュを有するプロセッサを作動するための方法であって、

実効アドレスを示す命令を受信するステップと、

前記命令を実行するステップであって、前記命令を実行するステップが、

前記実効アドレスがキャッシュ内でヒットとなるかミスとなるかを判定するステップと、

前記実効アドレスがヒットとなった場合に、キャッシュの状態を修正しないで、前記実効アドレスに関連するデータをキャッシュからシステム・バスに提供するステップと、を含む方法。

10

**【請求項 2】**

前記命令を実行するステップが、

前記実効アドレスがミスとなった場合に、前記実効アドレスに関連するデータをメモリからシステム・バスに選択的に提供するステップであって、前記実効アドレスに関連するデータが前記メモリからシステム・バスに提供された場合に、前記実効アドレスに関連するデータが、前記キャッシュ内に格納されないステップをさらに含む請求項 1 に記載の方法。

**【請求項 3】**

前記実効アドレスがミスになった場合に、前記命令により提供されたフェッチ・インジケータに基づいて、前記実効アドレスに関連するデータを前記メモリから前記システム・バスに選択的に提供するステップを含む請求項 2 に記載の方法。

20

**【請求項 4】**

前記フェッチ・インジケータがフェッチを示し、前記実効アドレスがミスになった場合に、前記実効アドレスに関連するデータが前記メモリから前記システム・バスに提供される請求項 3 に記載の方法。

**【請求項 5】**

前記フェッチ・インジケータがフェッチを示していないで、前記実効アドレスがミスになった場合に、前記実効アドレスに関連するデータが前記メモリから前記システム・バスに提供されない請求項 4 に記載の方法。

30

**【請求項 6】**

前記実効アドレスがヒットした場合に、前記実効アドレスに関連するデータを、前記キャッシュの状態を修正しないでキャッシュからバスに提供するステップが、

前記実効アドレスに関連するキャッシュ内のダーティ・ビットを修正しないで、前記実効アドレスに関連するデータをキャッシュからバスに提供するステップであって、前記ダーティ・ビットが、キャッシュ内に格納している実効アドレスに関連するデータが、前記実効アドレスに対応するメモリ内のメモリ位置に格納しているデータと異なっているか否かを示すステップを含む請求項 1 に記載の方法。

**【請求項 7】**

前記実効アドレスがヒットになった場合に、キャッシュからシステム・バスに提供される前記実効アドレスに関連するデータが、前記実効アドレスに対応するメモリ内のメモリ位置に格納しているデータと同じ値を有する請求項 1 に記載の方法。

40

**【請求項 8】**

前記実効アドレスを示す命令を受信するステップが、前記システム・バスと結合しているデバッグ回路から前記命令を受信するステップを含む請求項 1 に記載の方法。

**【請求項 9】**

前記命令がサイズ・インジケータを提供し、前記キャッシュから前記システム・バスに提供された実効アドレスに関連するデータが、前記サイズ・インジケータに基づいて、実効アドレスに関連するすべてのキャッシュ・ライン、または前記実効アドレスに関連するすべてのキャッシュ・ラインより少ないキャッシュ・ラインを含む請求項 1 に記載の方法。

50

**【請求項 10】**

前記命令を実行するステップが、

変換索引バッファ (TLB) を使用して前記実効アドレスを変換アドレスに変換するステップであって、前記実効アドレスがキャッシュ内でヒットになったのかミスになったのかを判定するステップが、前記変換アドレスを使用して、前記実効アドレスがヒットになったのかミスになったのかを判定することを含むステップをさらに含む請求項 1 に記載の方法。

**【請求項 11】**

前記命令が、前記実効アドレスが TLB 内でミスになった場合に、例外とするかしないかを示す TLB 例外インジケータを提供する請求項 10 に記載の方法。

10

**【請求項 12】**

前記命令が、エラー更新インジケータを提供し、前記命令を実行するステップが、

前記エラー更新インジケータに基づいて、前記命令の実行中に発生するエラーに応じて前記プロセッサの条件レジスタ内のフィールドを選択的に更新するステップをさらに含む請求項 1 に記載の方法。

**【請求項 13】**

前記命令が、ブレークポイント動作不能インジケータを提供し、前記命令を実行するステップが、

前記ブレークポイント動作不能インジケータに基づいて前記命令の実行中にデータ・ブレークポイントを選択的に動作不能にするステップをさらに含む請求項 1 に記載の方法。

20

**【請求項 14】**

システム・バスと結合し、キャッシュを有するプロセッサを作動するための方法であって、

実効アドレスを示す命令を受信するステップと、

前記実効アドレスが前記キャッシュ内でヒットと判定するステップであって、

前記判定ステップが、前記実効アドレスに関連するキャッシュ内でヒット・エントリを識別することを含むステップと、

前記ヒット・エントリのダーティ・ビットが前記ヒット・エントリ内に格納しているデータがクリーンである则表示する場合に、前記ヒット・エントリ内に格納している前記データの少なくとも一部を、前記キャッシュから前記システム・バスに提供するステップと

30

を含む方法。

**【請求項 15】**

前記ヒット・エントリのダーティ・ビットが前記ヒット・エントリ内に格納している前記データがクリーンであることを示している場合に、前記キャッシュのヒット・エントリ内に格納しているデータが、前記システム・バスと結合しているメモリ内の、前記実効アドレスに対応するメモリ位置のところに格納しているデータに対して修正されない請求項 14 に記載の方法。

**【請求項 16】**

前記ヒット・エントリのダーティ・ビットが、前記ヒット・エントリ内に格納しているデータがダーティであることを示している場合に、前記実効アドレスに関連するデータの少なくとも一部をキャッシュからシステム・バスに提供するステップをさらに含む請求項 14 に記載の方法。

40

**【請求項 17】**

前記ヒット・エントリ内に格納している前記実効アドレスに関連するデータの少なくとも一部が、前記ヒット・エントリのダーティ・ビットを修正しないでキャッシュからシステム・バスに提供される請求項 16 に記載の方法。

**【請求項 18】**

前記ヒット・エントリのダーティ・ビットが、前記ヒット・エントリ内に格納しているデータがクリーンであることを示している場合に、前記ヒット・エントリ内に格納している

50

データの少なくとも一部が、前記ヒット・エントリのダーティ・ビットを修正しないで、キャッシュからシステム・バスに提供される請求項 14 に記載の方法。

【請求項 19】

前記命令がサイズ・インジケータを含み、前記データの少なくとも一部のサイズが、前記サイズ・インジケータに基づいて決定される請求項 14 に記載の方法。

【請求項 20】

テーブル索引バッファ (TLB) を有するプロセッサを作動するための方法であって、

実効アドレスを示し、TLB 例外インジケータを含む命令を受信するステップと、

前記実効アドレスを前記 TLB に提供するステップと、

前記実効アドレスが前記 TLB 内でミスになった場合に、前記 TLB 例外インジケータに基づいて選択的に例外とするステップと、

前記実効アドレスが前記 TLB 内でヒットになった場合に、変換アドレスを前記実効アドレスに対応する前記 TLB から提供するステップと、

を含む方法。

【請求項 21】

前記実効アドレスが前記 TLB 内でミスになり、前記 TLB 例外インジケータに基づいて例外とされた場合に、前記実効アドレスに対応する変換アドレスを提供するために、例外を処理するステップをさらに含む請求項 20 に記載の方法。

【請求項 22】

前記実効アドレスが前記 TLB 内でミスになり、前記 TLB 例外インジケータに基づいて例外とされなかった場合に、ノーオペレーション (NOP) 命令として命令を処理するステップをさらに含む請求項 21 に記載の方法。

【請求項 23】

前記実効アドレスが前記 TLB 内でミスになり、前記 TLB 例外インジケータに基づいて例外とされなかった場合に、前記命令に応じて前記実効アドレスに対して変換アドレスを提供しない請求項 21 に記載の方法。

【請求項 24】

データ処理システムであって、

キャッシュを有し、デバッグ回路から命令を受信し、実行するように結合しているプロセッサを備え、前記キャッシュが、

複数のキャッシュ・エントリを格納するキャッシュ・アレイと、

前記キャッシュ・アレイと結合し、前記デバッグ回路から受信した命令が示す実効アドレスが、前記キャッシュ・アレイ内でヒットになるかミスになるのかを判定するキャッシュ制御回路と、

を含み、

前記実効アドレスがヒットとなった場合に、キャッシュ制御回路が、キャッシュ・アレイを動作可能にして、キャッシュ・アレイの状態を修正しないで、プロセッサおよびデバッグ回路と結合しているシステム・バスに、前記実効アドレスに関連するデータを提供するデータ処理システム。

【請求項 25】

前記実効アドレスがミスになった場合に、前記プロセッサが、前記システム・バスと結合しているメモリから前記実効アドレスに関連するデータを選択的にフェッチすることができるようにし、前記プロセッサがメモリからシステム・バスに実効アドレスに関連するデータをフェッチすることができるようにした場合に、実効アドレスに関連するデータが、前記キャッシュ・アレイ内に格納されない請求項 24 に記載のデータ処理システム。

【請求項 26】

前記プロセッサが、デバッグ回路からの命令が提供したフェッチ・インジケータに基づいて、メモリからシステム・バスへ実効アドレスに関連するデータを選択的にフェッチすることができるようにする請求項 25 に記載のデータ処理システム。

【請求項 27】

前記プロセッサが、条件レジスタを備え、前記デバッグ回路が提供した命令が、エラー更新インジケータを提供し、前記プロセッサが、前記命令により提供されたエラー更新インジケータに基づいて、前記命令を実行中に起こるエラーに応じて、前記プロセッサの前記条件レジスタ内のフィールドを選択的に更新する請求項 2 4 に記載のデータ処理システム。

【請求項 2 8】

前記プロセッサが、ブレークポイント情報を格納する内部デバッグ回路を備え、前記デバッグ回路が提供する前記命令がブレークポイント動作不能インジケータを提供し、前記プロセッサが、ブレークポイント動作不能インジケータに基づいて、前記命令の実行中に前記内部デバッグ回路内に格納しているデータ・ブレークポイントを選択的に動作不能にする請求項 2 4 に記載のデータ処理システム。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、概して、データ処理に関し、特に、キャッシュ・メモリ・デバッグ・サポートを有するデータ処理システムおよびそのための方法に関する。

【背景技術】

【0 0 0 2】

データ処理システムは、通常、プログラマが、異なる時点でのシステム内の種々の値を決定することができるようにするためのデバッグ回路を含む。ある種のデータ処理システムの場合には、デバッグ回路をほぼ「リアルタイム」で作動することができる。現在、リアルタイムでのデバッグは、1つの変数がキャッシュされると、システムの中央処理装置（CPU）を停止させる非常に面倒な一組の動作を行い、JTAG（合同検査作業グループ）ポートまたは他のデバッグ・インタフェースを通過したロードおよび格納命令を含む複数の命令の実行によりキャッシュから抽出した値を使用しない限りは、デバッグ回路は、その変数の最新の値に容易にアクセスすることができない。そのためキャッシュ・メモリ内に望ましくない状態の変化が起こる場合がある。また、ロードおよび格納命令が、帯域幅問題を起こす場合がある変数をはっきりと見せるために、リアルタイム・デバッグ追跡ユニットに対して追加のメッセージを発生させる恐れもある。さらに、CPUとデバッグ回路との間にキャッシュ階層が存在する場合には、この問題はさらに困った問題になる。さらに、キャッシュ値を決定するための現在の面倒な方法がキャッシュの状態に影響を与えるので、デバッグ動作によるキャッシュとシステムの状態の違いにより、特定のデバッグ問題を同じ方法ではっきり見せることができない場合もあるし、デバッグ中の問題が分からなくなる場合もある。

20

30

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 3】

それ故、上記問題を解決するデバッグ回路および方法が求められている。

【課題を解決するための手段】

【0 0 0 4】

40

以下に本発明について説明するが、これは単に例示としてのものであり、類似の参照番号が類似の要素を示す添付の図面により制限を受けるものでもない。

当業者であれば、図面中の要素は、本発明を分かりやすくはっきりと説明するためのものであり、必ずしも正確な縮尺でないことを理解することができるだろう。例えば、図面中の要素のうちのいくつかの要素の寸法は、本発明の実施形態を理解しやすくするために他の要素に対して誇張されている場合がある。

【0 0 0 5】

本明細書において使用する場合には、「バス」という用語は、データ、アドレス、制御または状態のような1つまたは複数の種々のタイプの情報を転送することができる複数の信号または導体を意味する。本明細書において説明する導体は、1つの導体、複数の導体

50

、一方向性導体または双方向性導体を意味する。しかし、異なる実施形態は、異なる導体を使用することができる。例えば、双方向性導体ではなくて別々の複数の一方向性導体を使用することもできるし、その逆を行うこともできる。また、複数の導体の代わりに、複数の信号を直列にまたは時間多重化して転送する1つの導体を使用することもできる。同様に、複数の信号を伝搬する1つの導体を、これらの信号のサブセットを伝搬する種々の異なる導体に分割することもできる。それ故、信号の転送については多くの選択肢がある。

【0006】

一般的に言って、本発明の一実施形態は、デバッグ動作中にシステム・バス上で直接見ることができないキャッシュ・メモリからのデータ・ブロックを表示するための方法および装置を提供する。

【図面の簡単な説明】

【0007】

【図1】本発明の一実施形態によるデータ処理システムのブロック図。

【図2】図1のデータ処理システムのプロセッサのブロック図。

【図3】図2のプロセッサの一部のブロック図。

【図4】本発明による命令ビット・フィールド。

【発明を実施するための形態】

【0008】

データ・ブロックは、システム・バス上で使用できる形で図示してある。表示された場合、データ・ブロック・キャッシュ状態は、現在「ダーティ」または「クリーン」な状態であっても修正されない。一実施形態の場合には、この方法は、データ処理システムで命令として実施される。この命令により、データ・ブロックは、IEEE I S T O - 5 0 0 1 準拠 Nexus (商標) デバッグ・ユニットのようなデバッグ回路により捕捉することができるシステム・バスに提示される。Nexus (商標) は、テキサス州オースチン所在の、Freescale Semiconductor, Inc. 社の商標である。各キャッシュ・エントリに関連するデータ・タグおよび状態情報ならびにキャッシュ・ミス上で次に置換されるエントリを決定するために使用するすべての置換位置ロジック (replacement location logic) を含むキャッシュの現在の状態は影響を受けない。またその値がキャッシュ内に存在しない場合には、その値をキャッシュの外部のシステムから検索することができ、そのため、その値をキャッシュに書き込まなくても、デバッグ回路がそれを見ることができるようになる。この命令により、リアルタイム・デバッグ回路は、その値を修正しないで、またはキャッシュの現在の状態に影響を与えないで、キャッシュ階層のためにアクセスすることができない場合があるメモリ内の1つまたは複数の変数の現在値を見ることができる。

【0009】

通常、従来 of システムは、ロードおよび格納命令のような一連のメモリ・アクセス命令を使用するか、または (キャッシュすることができる) 1つまたは複数のメモリ位置に含まれているオペランド値を、リアルタイム・デバッグ・ユニットが見ることができるようにするブロック・フラッシュ命令のような1つまたは複数のキャッシュ管理命令を使用する。そのため値を捕捉することもできるし、デバッグのために外部のシステムのユーザにメッセージとして送ることができる。しかし、これらの従来の方法は、システムの1つまたは複数のキャッシュと相互作用し、キャッシュ・ライン置換および割当て、およびキャッシュ・ライン状態への状態の変化のような通常の活動を引き起こし、これによりシステムを困った状態に修正してしまう。この困った修正は望ましいものではない。何故なら、このような修正は、デバッグ動作を行わなかった場合に発生するシステムの正常な動作と相互作用し、この相互作用により多数の意図しない副作用が起こる恐れがあるからである。

【0010】

一態様においては、本発明は、システム・バスと結合していて、キャッシュを有するブ

10

20

30

40

50

ロセッサを作動するための方法を提供する。この方法は、実効アドレスを示す命令を受信するステップと、命令を実行するステップとを含む。この場合、命令の実行は、実効アドレスがキャッシュ内でヒットになるかまたはミスになるかを判定するステップを含み、実効アドレスがヒットになった場合には、キャッシュの状態を修正しないでキャッシュからシステム・バスに実効アドレスと関連するデータを提供するステップを含む。

#### 【0011】

他の態様においては、本発明は、システム・バスと結合していて、キャッシュを有するプロセッサを作動するための方法を提供する。この方法は、実効アドレスを示す命令を受信するステップと、実効アドレスがキャッシュ内でヒットとなると判定するステップを含む。この場合、上記判定ステップは、実効アドレスと関連するキャッシュ内のヒット・エントリを識別するステップと、ヒット・エントリのダーティ・ビットが、ヒット・エントリ内に格納しているデータがクリーンであることを示している場合に、キャッシュからシステム・バスにヒット・エントリ内に格納しているデータの一部を提供するステップとを含む。

10

#### 【0012】

さらに他の態様においては、本発明は、テーブル索引バッファ (TLB: table look-aside buffer) を有するプロセッサを作動するための方法を提供する。この方法は、実行アドレスを示していて、TLB例外インジケータを含む命令を受信するステップと、TLBに実効アドレスを提供するステップと、実効アドレスがTLB内でミスになった場合に、TLB例外インジケータに基づいて選択的に例外とするステップと、実効アドレスがTLB内でヒットになった場合に、実効アドレスに対応するTLBから変換したアドレスを提供するステップとを含む。

20

#### 【0013】

さらに他の態様においては、本発明は、キャッシュを有するプロセッサを備えるデータ処理システムを提供する。このプロセッサは、デバッグ回路から命令を受信し、実行するように結合している。キャッシュは、複数のキャッシュ・エントリを格納しているキャッシュ・アレイと、キャッシュ制御回路とを備える。キャッシュ制御回路は、キャッシュ・アレイと結合していて、デバッグ回路から受信した命令が表示する実効アドレスが、キャッシュ・アレイ内でヒットになるかミスになるかを判定する。実効アドレスがヒットになった場合には、キャッシュ制御回路は、キャッシュ・アレイが、キャッシュ・アレイの状態を修正しないで、プロセッサおよびデバッグ回路と結合しているシステム・バスに、実効アドレスと関連するデータを提供することができるようにする。

30

#### 【0014】

図1は、本発明の一実施形態によるデータ処理システム10のブロック図を示す。データ処理システム10は、プロセッサ12と、デバッグ回路14と、入出力(I/O)16と、メモリ18とを含む。これらのものはすべてバス20に双方向で結合している。

#### 【0015】

一実施形態の場合には、すべてのデータ処理システム10は、1つの集積回路上または同じデバイス内に位置することができることに留意されたい。別の方法としては、データ処理システム10は、任意の数の別々の集積回路または相互に接続している別々のデバイスを含むことができる。例えば、一実施形態の場合には、メモリ18は、残りのデータ処理システム10から独立している1つまたは複数の集積回路上に位置することができる。

40

#### 【0016】

メモリ18は、例えば、読出し専用メモリ(ROM)、ランダム・アクセス・メモリ(RAM)、不揮発性メモリ(例えば、フラッシュ)等のような任意のタイプのメモリであってもよい。また、メモリ18は、他の周辺またはスレーブ内または異なる集積回路上に位置するメモリまたは他のデータ記憶装置であってもよい。

#### 【0017】

一実施形態の場合には、プロセッサ12およびデバッグ回路14は、バス・マスタである。一実施形態の場合には、プロセッサ12は、マイクロプロセッサ、デジタル信号プロ

50

セッサ等のような命令を実行することができるプロセッサであり、または例えば、ダイレクト・メモリ・アクセス (DMA) コントローラ等のような任意の他のタイプのバス・マスタであってもよい。他のスレーブ・デバイスを、例えば、バス 20 と結合している他のメモリ、およびシステム・バス上に常駐しているか、または I/O 回路 16 と結合している任意のタイプの周辺回路のような、図 1 には図示されていないデータ処理システム 10 に内蔵させることができることに留意されたい。

#### 【0018】

プロセッサ 12 は、キャッシュ 13 を含む。キャッシュ 13 は、プロセッサ 12 が使用するデータおよび/または命令を格納するためのレベル 1 (L1) キャッシュとして機能する。通常、データおよび/または命令は、プロセッサにより実行される前にメモリ 18 からキャッシュ 13 にロードされる。キャッシュ 13 は、別々のデータ・キャッシュおよび別々の命令キャッシュを含むことができる。キャッシュ 13 は、1 つまたは複数のデータ・アレイ、1 つまたは複数のタグ・アレイおよび 1 つまたは複数の状態ビット・アレイを備える。ある実施形態の場合には、タグおよび状態情報を共通のアレイ内に格納することができる。各キャッシュ・エントリは、データのブロックまたはライン、メモリアドレスを含むデータに関連するタグ値、およびキャッシュ・エントリが有効であるか否か、キャッシュ・エントリが「ダーティ」か否か、すなわち、メモリ 18 または存在する場合には他の外部メモリ・ブロック内の同じアドレスに関連するデータに対して修正されているか否かを含む状態情報、および他の関連状態情報からなる。一実施形態の場合には、メモリ 18 またはメモリ 18 の一部をレベル 2 (L2) キャッシュとして特徴付けることができる。

10

20

#### 【0019】

入出力 (I/O) モジュール 16 は、バス 20 および外部回路 (図示せず) に双方向で接続している。I/O モジュール 16 は、I/O モジュール 16 と接続している外部回路のタイプにより異なる種々のインタフェース回路を含む。I/O モジュール 16 は、任意選択として、バス 20 と結合している 1 つまたは複数の代替バス・マスタを含むことができる。

#### 【0020】

デバッグ回路 14 は、バス 15 を介してバス 13 およびプロセッサ 12 と双方向で接続している。デバッグ回路 14 は、また、ハードウェア・テストまたは他のデバッグ・インタフェース・ハードウェアのような外部回路 (図示せず) と双方向で接続している。

30

#### 【0021】

一般に、デバッグ回路 14 は、キャッシュ 13、メモリ 18 および I/O モジュール 16 へのアクセスに関連するデータ処理動作のための診断チェックとして機能し、他の実施形態の場合には、他のタイプのデータ保持回路は、データ処理システム 10 により使用されるが、データ処理システム 10 は、内部に位置するものであっても外部に位置するものであっても構わない。プロセッサ 12 および代替バス・マスタは、必要に応じて、システム・バス 20 の支配を入手し、データおよび命令を検索し格納するためにシステム・メモリ 18 に選択的にアクセスする。デバッグ回路 14 は、バス 20 上に表示されたアドレスを監視し、バス 20 上に表示された関連データ値を捕捉またはサンプリングすることにより、1 つまたは複数のメモリ位置の値を捕捉するように、データ処理システム 10 のユーザにより構成することができる。バス読出し動作の間、データ値は、メモリ 18 のような選択されたスレーブ・デバイスにより提供される。バス書込み動作の間、データ値は、プロセッサ 12 のようなバス 20 のバス・マスタにより提供される。バス転送が起こると、デバッグ回路 14 は、各転送を監視し、デバッグ回路 14 のユーザが監視したいデータ位置に対応するデータ値を選択的に捕捉する。これらの値および状態は、図 1 の端末を介してデバッグ回路 14 内にプログラムすることもできるし、デバッグ回路 14 から転送することもできる。

40

#### 【0022】

本発明を使用すれば、従来のシステムのいくつかの限界を克服することができる。従来

50



のシステムの場合には、データの変数または値がキャッシュ 13 内に位置している場合、データ値をメモリ 18 内の対応する値に対して修正することができる。すなわち、最新の（最も新しい）値はメモリ 18 内に存在していないで、キャッシュ 13 内だけに位置する。デバッグ回路 14 が所望の変数の値を入手するためにメモリ 18 にアクセスすると、デバッグ回路 14 は正しいコピーを入手しない。何故なら、コピーがキャッシュ 13 内で修正されるからである。

#### 【0023】

デバッグ回路 14 がキャッシュ 13 内に格納することができる値を「見る」ことができるように、データ処理システム 10 内で命令が提供される。以下の説明においては、命令という用語は、「データ・キャッシュ・ブロック表示」命令を意味し、その値に対応する実効アドレスを含む。命令はプロセッサにより実行される。実効アドレスがキャッシュ内で「ヒット」または「ミス」になると命令が決まる。実効アドレスがヒットになると、その値がキャッシュ 13 から実効アドレスに関連するバス 20 に提供される。次に、デバッグ回路 14 は、プロセッサにより提供された場合、バス 20 からその値にアクセスする。一実施形態の場合には、デバッグ回路 14 は、バス 20 上の処理を監視し、バス転送が行われた場合、そのアドレスおよび関連データ値をサンプリングすることができる。次に、図 1 のデバッグ回路 14 からの信号により、サンプリングの後で、デバッグ動作を行っているシステムのユーザに所望の値を転送することができる。値がバス 20 上に位置している場合には、キャッシュ 13 の状態は修正されない。従来のシステムの場合には、キャッシュがヒットした場合には、キャッシュ 13 からバス 20 上にデータ変数の値を置くことはできない。何故なら、キャッシュが、通常のロードまたは格納命令により発生した従来のロードまたは格納要求を満足させるからである。これによりデバッグ回路 14 に対する問題が発生する。何故なら、捕捉するためにバス 20 上の値を見ることができないからである。実効アドレスがミスになった場合には、命令の 1 つの機能により、例えば、メモリ 18 のような他のメモリから値を検索することができる。値を他のメモリから検索した場合には、検索の間にメモリにより値がバス 20 上に置かれ、デバッグ回路 14 により値にアクセスすることができる。次に、値は、通常のロードおよび格納ミスにより、必要に応じてキャッシュ 13 内に格納されないことに留意されたい。値はバス 20 上に表示された後に破棄される。値を破棄し、通常のロードおよび格納命令により生じた通常のキャッシュ・ミスの場合のように、置換キャッシュ・エントリを割り当てないことにより、データ・キャッシュ・ブロック表示命令の実行の結果は、キャッシュの状態に最少の影響しか与えないのでシステムのデバッグが簡単になる。何故なら、デバッグ動作の悪影響が最少になるからである。ミスの際にキャッシュ・ラインは置換されず、キャッシュ内に含まれる状態ビット、データまたはタグ情報の状態は変化しない。さらに、結果がヒットであれ、ミスであれ、1 つまたは複数のキャッシュ・ライン置換アルゴリズム状態変数の状態は、最も前に使用した状態ビット等のように、変化しないでそのままの状態である。

#### 【0024】

通常、いくつかのデータ値は変化し、実行中の命令に応じて更新される。あるデバッグ状況の場合には、キャッシュ内に常駐している場合でも値の最新のバージョンを検索することが望ましい場合がある。「ダーティ・ビット」は、キャッシュ・エントリに関連して、実効アドレスと関連するキャッシュ内のデータが、実効アドレスに対応する、例えばメモリ 18 のような他のメモリ位置のところに格納しているデータと異なるものであるか否か、（すなわち、修正されているか否か）を表示する。開示の実施形態によれば、値の実効アドレスに関連する「ダーティ・ビット」は、値がキャッシュから検索されたものであり、データ・キャッシュ・ブロック表示命令の実行に応じて、システム・バス 20 に提示されたものである場合には修正されない。同様に、キャッシュ 13 内の実効アドレスに関連する値が、他のメモリ位置の値と同じものである場合には、すなわち、データがクリーンである場合にはキャッシュ 13 は修正されない。すなわち、ヒット・キャッシュ・エントリのダーティ・ビットが、エントリ内に格納しているデータがクリーンであることを表示している場合でも、エントリ内に格納しているデータが、バス 20 に提供され、エ

ントリは修正されない。ヒット・キャッシュ・エントリのダーティ・ビットがエントリ内に格納しているデータがダーティであることを表示している場合には、従来のキャッシュ制御命令の場合とは異なり、エントリ内に格納しているデータが依然としてバス 20 に提供され、エントリは修正されず、ダーティ・ビットはクリアされない。データ・キャッシュ・ブロック表示命令については、以下にさらに詳細に説明する。

#### 【 0 0 2 5 】

図 2 は、図 1 のデータ処理システム 10 のプロセッサ 12 のブロック図を示す。プロセッサ 12 は、キャッシュ 13 と、バス・インタフェース・ユニット 26 と、汎用レジスタ ( G P R S ) 32 と、変換索引バッファ ( T L B : t r a n s l a t i o n l o o k - a s i d e b u f f e r ) 35 と、内部デバッグ回路 34 と、制御回路 36 と、命令デコード・ユニット 38 と、命令フェッチ・ユニット 40 と、実行ユニット 42 とを含む。

図 2 のブロック間の接続についての以下の説明においては、種々の接続のうちのいくつかは反復されていることに留意されたい。また、種々の接続は、それぞれ複数の導体を含む。図 2 の場合には、キャッシュ 13 は、制御回路 36、実行ユニット 42、命令フェッチ・ユニット 40、T L B 35、B I U 26、および内部デバッグ回路 34 と双方向で結合している。T L B 35 は、制御回路 36、実行ユニット 42 およびキャッシュ 13 と双方向で結合している。実行ユニット 42 は、キャッシュ 13、命令デコード・ユニット 38、T L B 35、制御回路 36、および G P R S 32 と双方向で結合している。B I U 26 は、キャッシュ 13、命令フェッチ・ユニット 40、制御回路 36、実行ユニット 42、およびバス 20 と双方向で結合している。G P R S 32 は、制御回路 36、および実行ユニット 42 と双方向で結合している。内部デバッグ回路 34 は、制御回路 36 と双方向で結合している。制御回路 36 は、命令フェッチ・ユニット 40、命令デコード・ユニット 38、T L B 35、キャッシュ 13、B I U 26、実行ユニット 42、内部デバッグ回路 34、および G P R S 32 と双方向で結合している。制御回路 36 は、条件レジスタ 37 を含む。条件レジスタ 37 は、通常、命令実行の結果を反映する。通常、これらのレジスタは、算術、論理または比較演算命令の結果として設定された関係値を含む。さらに、一実施形態の場合には、条件レジスタ 37 を、データ・キャッシュ・ブロック表示命令の動作中を反映している状態で更新することができる。例えば、データ・キャッシュ・ブロック表示命令が、例えば、プロセッサ 12 による実行に対するデバッグ回路 14 により提供された場合には、命令の試験的実行中にエラーが発生する場合がある。条件レジスタ 37 は、命令の実行中のエラーの発生に応じて、プロセッサ 12 により更新することができる 1 つまたは複数のエラー更新インジケータを含む。命令デコード・ユニット 38 は、デバッグ回路 14、命令フェッチ・ユニット 40、および実行ユニット 42 と双方向で結合している。命令フェッチ・ユニット 40 は、デバッグ回路 14、命令デコード・ユニット 38、キャッシュ 13、および B I U 26 と双方向で結合している。命令フェッチ・ユニット 40、命令デコード・ユニット 38 および制御回路 36 は、それぞれデバッグ回路 14 と直接結合している。他の実施形態の場合には、プロセッサ 12 は、異なる処理ブロックを有することができ、ブロック間の接続は異なるものであってもよいことに留意されたい。

#### 【 0 0 2 6 】

図 3 は、図 2 のプロセッサ 12 のキャッシュ 13 および T L B 35 の詳細図を示す。キャッシュ 13 は、キャッシュ制御回路 54 と、キャッシュ・アレイ 50 とを含む。T L B 35 は、T L B 制御回路 56 と、バッファ 58 とを含む。キャッシュ・アレイ 50 は、複数のエントリとして組織されたランダム・アクセス・メモリ・セルのアレイである。一実施形態の場合には、キャッシュ 50 は、S R A M ( スタティック・ランダム・アクセス・メモリ ) メモリ・セルを含む。他の実施形態の場合には、他のメモリタイプが適している。図 3 の場合には、エントリ 52 は、複数のエントリを表していて、「タグ・アドレス・フィールド」で示すタグ・アドレス・ビット・フィールド、「タグ状態ビット」で示すタグ状態ビット・フィールド、および「データ」で示すデータ・ビット・フィールドを含む。タグ状態ビット・フィールドは、「V」で示す有効なビット、および「D」で示すダー

ティ・ビットを含む。各エントリは、プロセッサ 12 用の「キャッシュ・ライン」と呼ぶことができる。キャッシュ・アレイ 50 は、B I U 26 を介して、キャッシュ制御回路 54 およびバス 20 の両方と双方向で結合している。キャッシュ制御回路 54 は、制御回路 36 と双方向で結合している。キャッシュ制御回路 54 は、例えば、キャッシュ 13、メモリ 18 またはデバッグ回路 14 から受信した命令によりポイントされている実効アドレスが、キャッシュ 13 内でヒットしているのかミスしているのかを判定する。T L B 35、バッファ 58 は、T L B 制御回路 56 と双方向で結合していて、実行ユニット 42 からの実効アドレスに対応する物理アドレスを格納するためのものである。T L B 制御回路 56 は、T L B ヒットまたはミス・インジケータを提供するために、制御回路 36 およびキャッシュ制御回路 54 の両方と結合している。T L B 制御回路 56 は、また、実効アドレス (E A) に対応する物理アドレスを提供するために、キャッシュ制御回路 54 と結合している。実効アドレスから物理アドレスへのアドレス変換は、当業者であれば周知の標準的な方法で T L B 35 により行われる。キャッシュ制御回路 54 は、T L B 35 が行ったアクセスに対する物理アドレスを、キャッシュ・アレイ 50 内の 1 つまたは複数のタグ・エントリ内に位置する格納している値と比較することにより、命令によりポイントされた実効アドレスが、ヒットしているのかミスしているのかを判定する。ある実施形態の場合には、T L B 35 は、オプションであり、使用していない場合には、実効アドレス (E A) は、変換なしで直接キャッシュ 13 に提供される。このような実施形態の場合には、格納しているタグ値は、物理アドレスへのアドレス変換なしで、直接実効アドレスに対応する。

10

20

#### 【0027】

図 4 は、本発明によるデータ・キャッシュ・ブロック表示命令ビット・フィールド 60 を示す。データ・キャッシュ・ブロック表示命令は、データ処理システム 10 の任意のバス・マスタにより発行することができる。図の実施形態の場合には、データ・キャッシュ・ブロック表示命令は、デバッグ回路 14 により発行される。他の実施形態の場合には、1 つまたは複数のデータ・キャッシュ・ブロック表示命令を、メモリ 18 内に含まれるプログラムメモリ位置、またはデータ・プロセッサ 10 内の他の位置に格納することができる。通常、命令ストリーム処理の一部としてプロセッサ 12 により検索することができる。一実施形態の場合には、命令のビット [0 - 5] は、命令をデータ・キャッシュ・ブロック表示命令として識別するために使用される。図の実施形態の場合には、ビット [0 - 5] は 0 1 1 1 1 である。他の実施形態の場合には、ビット [0 - 5] は異なるものであってもよい。さらに、他の実施形態の場合には、各ビット・フィールド内のビットの数は異なるものであってもよい。「# o p t」は、ビット [6 - 10] を表し、下記の命令と一緒に 5 つのフィーチャのうちのどれを使用すべきなのを示す。

30

#### 【0028】

```
# o p t = [ m i s s _ f e t c h _ t r u e ,   s i g n a l _ T L B _ e x c e p
t i o n s ,   s i z e _ o f _ s h o w ,   m a s k _ d a t a _ b k p t ,   r e c
o r d _ s t a t u s ] .
```

「R A」で示すビット [11 - 15] および「R B」で示すビット [16 - 20] は、それぞれ実効アドレスオフセットおよび実効アドレスベースレジスタ値であり、バス 20 上で実効アドレスを使用することができるようにするデータの実効アドレスを計算するためのものである。「T B D」で示すビット [21 - 30] は、この命令のためには使用されない。ビット [31] は、命令の終わりを示す。

40

#### 【0029】

データ・キャッシュ・ブロック表示命令は、例えば、デバッグを見えるようにするためのデバッグ回路 14 のようなプロセッサ 12 の外部のエージェントに潜在的にキャッシュしている位置を強制的に見えるようにするためのものである。ビット [6 - 10] のオプションとしてのビット・フィールド # o p t [ m a s k \_ d a t a \_ b k p t ] が、ブレークポイントをマスクすべきであると表示している場合には、この命令の実行の一部としてデータ・ブレークポイント・イベントは発生しない。通常のロードおよび格納命令は、

50

図 2 の内部デバッグ回路 3 4 によりそうすることができる場合には、引き続きデータ・ブ  
レークポイント・イベントを生成する。ウォッチポイント・シグナリングは、実施に依存  
するものであり、ある実効アドレスがデータ・アクセス発生と一致する場合には、ウォッ  
チポイント・イベントを生成するために、図 2 の内部デバッグ回路 3 4 により制御するこ  
とができる。実効アドレスによりアドレスされたバイトを含むデータ・ブロックが、この  
プロセッサのデータ・キャッシュ内に位置していて、TLBミスまたは保護違反が発生し  
ない場合には、アドレスされたデータ・ブロックが、例えば、メモリ 1 8 のようなメモリ  
階層内のもっと高いメモリに書き込まれる。命令を実行した場合、キャッシュ 1 3 内のデ  
ータ・ブロックの状態は変化しない。データ・ブロックは、それが「ダーティ」であって  
も、「クリーン」であってもバス 2 0 に書き込まれる。

10

【 0 0 3 0 】

バス 2 0 に書き込まれたデータ・ブロックのサイズは、フィーチャ # o p t [ s i z e  
\_ o f \_ s h o w ] により決まる。この場合、「 s i z e \_ o f \_ s h o w 」はデータ・  
ブロック・サイズ・インジケータである。命令により「表示された」データ・ブロックは  
、実効アドレスと関連するキャッシュ・ラインのすべてであってもよいし、またはサイズ  
・インジケータに基づくキャッシュ・ラインすべてより少ないものであってもよい。実効  
アドレスによりアドレスされたバイトを含むデータ・ブロックが、キャッシュ 1 3 内に位  
置していない場合で、フィーチャ # o p t [ m i s s \_ f e t c h \_ t r u e ] が、ミス  
・フェッチが起こっているかもしれないことを表示している場合には、アドレスされたブ  
ロックを、デバッグ回路 1 4 により捕捉するためにバス 2 0 上で見るように  
するために、メモリ 1 8 のようなシステムの他のメモリからフェッチされ、プロセッサ 1  
2 により廃棄される。そうでない場合であって、# o p t [ m i s s \_ f e t c h \_ t r  
u e ] が、ミス・フェッチが発生していないことを示している場合であって、ミスが発生  
している場合には、命令は N O P ( 動作なし ) として処理され、データはバス 2 0 に提供  
されない。

20

【 0 0 3 1 】

# o p t [ s i g n a l \_ T L B \_ e x c e p t i o n s ] が真であると設定されてい  
る場合には、実効アドレスが、TLB 3 5 により物理アドレスに変換され、この物理アド  
レスが、実効アドレスがヒットしているかまたはミスになっているかを判定するために使  
用される。TLBミスまたはTLB保護違反が発生した場合には、プロセッサ 1 2 内でシ  
グナリングされ、発生したエラー状態を処理するために、例外処理が開始される。逆に、  
# o p t [ s i g n a l \_ T L B \_ e x c e p t i o n s ] が偽であると設定されている  
場合には、TLBミスおよびTLB保護違反は無視され、これらの状態に遭遇した場合には、  
命令は 1 つの N O P として処理され、例外とはならない。この命令の実行の一部とし  
てTLBエラー、バスエラー、または他のエラーが発生した場合で、# o p t [ r e c o  
r d \_ s t a t u s ] が設定された場合には、エラーは制御レジスタ 3 7 内の状態ビット  
を介して送られる。

30

【 0 0 3 2 】

フィーチャ # o p t [ s i g n a l \_ T L B \_ e x c e p t i o n s ] は、データ・キ  
ャッシュ・ブロック表示命令の他にも他の命令と一緒に使用することができる。# o p t  
[ s i g n a l \_ T L B \_ e x c e p t i o n s ] が真である場合には、命令に関連する  
実効アドレスがTLB 3 5 に送られる。実効アドレスがTLB 3 5 内でミスになった場合  
には、# o p t [ s i g n a l \_ T L B \_ e x c e p t i o n s ] が真に設定されている  
か偽に設定されているかにより例外となる。実効アドレスがTLB 3 5 内でヒットとなっ  
た場合には、実効アドレスのためにTLB 3 5 から変換されたアドレスが提供される。実  
効アドレスがTLB 3 5 内でミスになり、# o p t [ s i g n a l \_ T L B \_ e x c e p  
t i o n s ] が真に設定されている場合には、命令を実行すると、TLBミス例外が送ら  
れ、プロセッサ 1 2 により適当な例外処理動作が開始される。実効アドレスがTLB 3 5  
内でミスになり、# o p t [ s i g n a l \_ T L B \_ e x c e p t i o n s ] が偽に設定  
されている場合には、命令を実行すると、TLBミス例外が送られ、代わりに動作なしに

40

50

なるか、または他のデフォルト結果がプロセッサ 12 により処理される。このようにして、命令指定子を、正常に発生した T L B 例外状態が例外処理になるか、または動作なしのようなデフォルト結果の提供になるのかを調整するために使用することができる。

#### 【 0 0 3 3 】

データ・キャッシュ・ブロック表示命令の機能は、実効アドレスによりアドレスされたバイトを含むデータ・ブロックが「write through required」または「caching inhibited」として特徴付けられているか否かにより影響を受けないことに留意されたい。いずれの場合も、データ・キャッシュ・ブロック表示命令を実行すると、キャッシュの状態に影響を与えないで、デバッグ回路 14 によりサンプリングされるかまたは捕捉されるデータ値をバス 20 上で見ることができるようになる。ここで、本発明のデータ・キャッシュ・ブロック表示命令を使用すれば、関連するメモリ位置がキャッシュ内に常駐していてもいなくても、デバッグ回路によりサンプリングまたは捕捉するためのメモリ位置に関連する最新のデータ値をシステム・バス上で見ることができるようになることを理解されたい。常駐している場合には、データの状態がダーティであってもクリーンであっても、値を見ることができるようにするプロセス中に、現在のキャッシュ状態、データ、タグまたは状態は変化しない。このような制御により、システムをデバッグする能力が大きく改善される。

10

#### 【 0 0 3 4 】

今まで特定の実施形態を参照しながら本発明について説明してきたが、通常の当業者であれば、添付の特許請求の範囲記載の本発明の範囲から逸脱することなしに、種々の修正および変更を行うことができることを理解することができるだろう。それ故、本明細書および図面は、例示としてのものであって本発明を制限するものではなく、このようなすべての修正は、本発明の範囲内に含まれる。

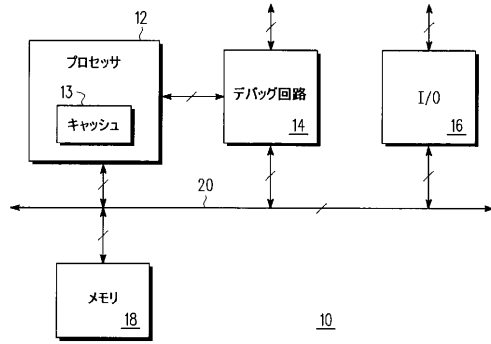
20

#### 【 0 0 3 5 】

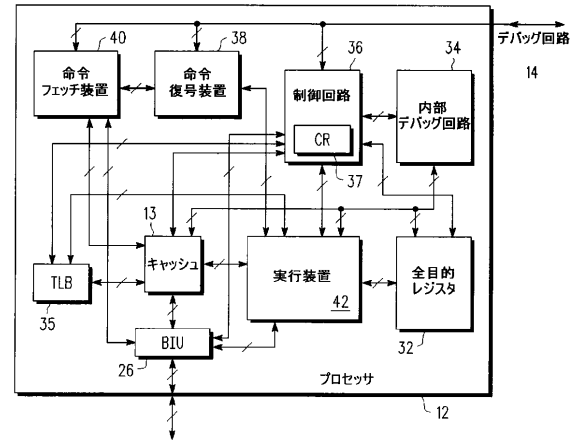
特定の実施形態を参照しながら、本発明の利益、他の利点および問題の解決方法について説明してきた。しかし、何らかの利益、利点または解決方法をもたらしたり、より優れたものにすることができる上記利益、利点、問題の解決方法、および任意の要素は、任意のまたはすべての請求項の重要な、必要なまたは本質的な機能または要素であると解釈すべきではない。本明細書で使用する場合、「a」または「an」という用語は、1つまたは2つ以上を意味する。本明細書で使用する場合、含んでいるおよび/または有しているという用語は、備えている（すなわち、一般的な言語）を意味する。本明細書で使用する場合、「備える」、「備えている」またはその任意の他の派生語は、要素のリストを備えるプロセス、方法、物品または装置が、これらの要素を含むばかりでなく、リストに明示されていないか、またはこのようなプロセス、方法、物品または装置固有の他の要素を含むことができるように、非排他的な内容を含むことができるようにするためのものである。

30

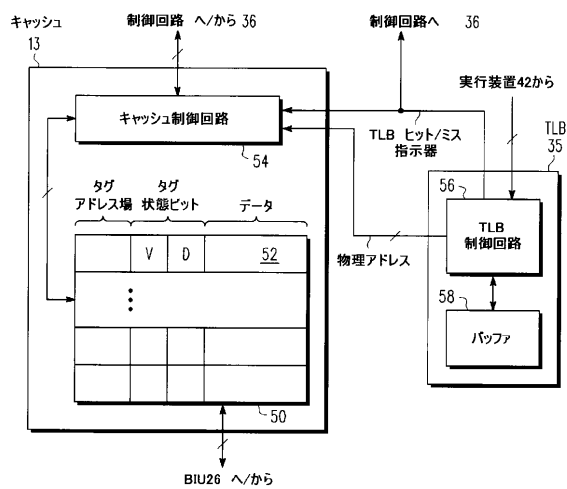
【図 1】



【図 2】



【図 3】



【図 4】

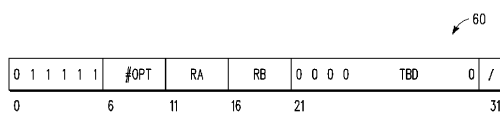


FIG. 4

## 【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/US07/73833																				
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: G06F 9/35( 2006.01),12/08( 2006.01),13/12( 2006.01)  USPC: 711/138;712/205,227 714/35 According to International Patent Classification (IPC) or to both national classification and IPC																						
<b>B. FIELDS SEARCHED</b>																						
Minimum documentation searched (classification system followed by classification symbols) U.S. : 711/138;712/205,227 714/35																						
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																						
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																						
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>																						
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																				
X,E	US 7,346,744 B1 (GLASCO) 18 March 2008, whole document	1-8, 14-18, 24-26																				
A	US 6,016,555 (DEAO et al) 18 December 2003, whole doc, esp. Col. 56-57	1-3, 8, 10,24																				
A	US 6968446 B1 (MCGRATH) 22 Nov 2005, Col. 20	20-21, 23																				
x	US 6,321,329 (Jaggar et al) 20 Nov 2001, Col. 24-25	1-2, 8, 10, 24																				
a	US 6,260,131 (Kikuta et al) 10 July 2001, whole document	20-24																				
a	US 7010672 (Ahmad et al) 7 march 2006, whole document	1-25																				
a	US 6,532,553 (Gwilt et al) 11 March 2003, whole document	1-28																				
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																						
* Special categories of cited documents: <table border="0"> <tr> <td>"A"</td> <td>document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T"</td> <td>later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E"</td> <td>earlier application or patent published on or after the international filing date</td> <td>"X"</td> <td>document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L"</td> <td>document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y"</td> <td>document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O"</td> <td>document referring to an oral disclosure, use, exhibition or other means</td> <td>"&amp;"</td> <td>document member of the same patent family</td> </tr> <tr> <td>"P"</td> <td>document published prior to the international filing date but later than the priority date claimed</td> <td></td> <td></td> </tr> </table>			"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E"	earlier application or patent published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family	"P"	document published prior to the international filing date but later than the priority date claimed		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention																			
"E"	earlier application or patent published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																			
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																			
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family																			
"P"	document published prior to the international filing date but later than the priority date claimed																					
Date of the actual completion of the international search 25 August 2008 (25.08.2008)		Date of mailing of the international search report 18 SEP 2008																				
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner of Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer Kevin Ellis Telephone No. (571) 272-2100																				

## INTERNATIONAL SEARCH REPORT

PCT/US07/73833

## C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X.P	US 20060271919 (Moyer) 30 November 2006, whole document	20-21



---

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW