

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-37592

(P2024-37592A)

(43)公開日 令和6年3月19日(2024.3.19)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/60 (2006.01)	H 0 1 L 21/60 3 2 1 E	5 F 1 3 6
H 0 1 L 23/29 (2006.01)	H 0 1 L 23/36 A	

審査請求 未請求 請求項の数 4 O L (全16頁)

(21)出願番号	特願2022-142527(P2022-142527)	(71)出願人	000004260 株式会社デンソー
(22)出願日	令和4年9月7日(2022.9.7)	(74)代理人	110001128 弁理士法人ゆうあい特許事務所
		(72)発明者	中野 貴博 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
		(72)発明者	長瀬 昇 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
		Fターム(参考)	5F136 BB13

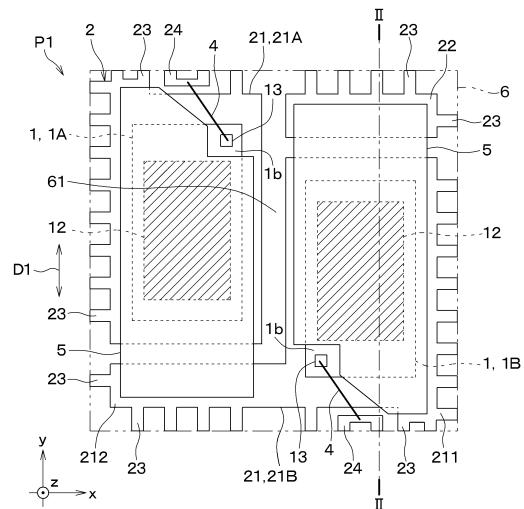
(54)【発明の名称】 半導体パッケージ

(57)【要約】

【課題】複数のパワー半導体素子を有し、放熱性確保と封止樹脂のクラック抑制とを両立可能な半導体パッケージを提供する。

【解決手段】複数の半導体素子1は、それぞれ、隙間を隔てて配置された異なる実装部2 1に搭載され、異なる架橋部材5が接続されている。架橋部材5は、直下に位置する半導体素子1が搭載された実装部2 1と対をなす他の実装部2 1または被接続部2 2とを電気的に接続している。隣接する2つの架橋部材5のなす隙間は、封止樹脂6で充填されている。架橋部材5に沿った方向であって、直下の半導体素子1と他の実装部2 1または被接続部2 2とを繋ぐ方向を接続方向D 1として、半導体パッケージは、隣接する2つの架橋部材5のなす隙間のうち接続方向D 1の端部における端部隙間G 2が同方向の中心における中心隙間G 1よりも大きい。

【選択図】図1



【特許請求の範囲】

【請求項 1】

半導体パッケージであって、
 複数の半導体素子（1）と、
 異なる前記半導体素子に接続される複数の板状の架橋部材（5）と、
 異なる前記半導体素子が搭載される複数の実装部（21）を有するリードフレーム（2）と、
 前記リードフレームの一部、複数の前記半導体素子および前記架橋部材を覆う封止樹脂（6）と、を備え、
 複数の前記架橋部材は、他の前記架橋部材とは距離を隔てて配置されると共に、前記半導体素子と、前記リードフレームのうち自身が接続された前記半導体素子が搭載された前記実装部とは異なる部位（21、22）と、を電氣的に接続しており、

複数の前記実装部は、他の前記実装部とは距離を隔てて配置されており、
 前記架橋部材に沿った方向であって、前記半導体素子と前記異なる部位とを繋ぐ方向を接続方向（D1）とし、前記架橋部材と隣接する他の前記架橋部材との隙間のうち前記接続方向の中心における隙間を中心隙間（G1）とし、前記接続方向の端部における隙間を端部隙間（G2）として、前記端部隙間は、前記中心隙間よりも幅が広い、半導体パッケージ。

【請求項 2】

複数の前記架橋部材は、自身の直下に位置する前記半導体素子よりも平面サイズが大きく、かつ当該半導体素子の外郭をなす四辺それぞれの少なくとも一部を覆うように配置されている、請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記封止樹脂のうち隣接する前記架橋部材の隙間を充填する部分を第 1 充填部（61）とし、隣接する前記実装部の隙間を充填する部分を第 2 充填部（62）として、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記第 1 充填部は、一部または全部が前記第 2 充填部とは前記第 2 充填部に対して交差する方向にオフセットされている、請求項 1 に記載の半導体パッケージ。

【請求項 4】

前記架橋部材が接続される前記半導体素子は、前記架橋部材の接続面（1b）にゲート電極（13）を有し、
 前記リードフレームは、前記ゲート電極と電氣的に接続されるゲート端子（24）を有し、
 前記ゲート端子は、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記端部隙間の近傍であって、前記架橋部材とは重畳しない領域に配置されている、請求項 1 ないし 3 のいずれか 1 つに記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子にクリップが接続された半導体パッケージに関する。

【背景技術】

【0002】

従来、例えば特許文献 1 に記載の半導体パッケージのように、リードフレーム上にパワー MOSFET 等のパワー半導体素子が搭載され、パワー半導体素子にワイヤよりも幅広のクリップが接続されると共に、樹脂封止された構造が知られている。なお、MOSFET とは、Metal-Oxide-Semiconductor Field-Effect Transistor の略称である。

【0003】

また、この種の半導体パッケージとしては、リードフレームが独立した 2 つのアイランドを有し、2 つのアイランドそれぞれにパワー半導体素子が搭載され、これらがまとめて 1 つの樹脂部材により封止されてなる、いわゆる 2 in 1 構造が知られている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第3439417号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

駆動時の発熱量が大きい複数のパワー半導体素子を用いた半導体パッケージは、放熱性向上の観点から、それぞれの半導体素子に接続するクリップの面積をできる限り大きくすることが好ましい。

10

【0006】

2in1構造のように複数のパワー半導体素子を有し、パワー半導体素子のそれぞれにクリップ等の幅広の架橋部材を接合した構造の半導体パッケージについて本発明者らが鋭意検討を行った。その結果、当該構造の半導体パッケージでは、封止樹脂のうち2つの隣接する幅広の架橋部材の隙間を充填する部位にクラックが生じ、信頼性が低下しうることが新たに判明した。

【0007】

本発明は、上記の点に鑑み、複数のパワー半導体素子を有し、放熱性確保と封止樹脂のクラック抑制とを両立可能な半導体パッケージを提供することを目的とする。

【課題を解決するための手段】

20

【0008】

上記目的を達成するため、請求項1に記載の半導体パッケージは、複数の半導体素子(1)と、異なる半導体素子に接続される複数の板状の架橋部材(5)と、異なる半導体素子が搭載される複数の実装部(21)を有するリードフレーム(2)と、リードフレームの一部、複数の半導体素子および架橋部材を覆う封止樹脂(6)と、を備え、複数の架橋部材は、他の架橋部材とは距離を隔てて配置されると共に、半導体素子と、リードフレームのうち自身が接続された半導体素子が搭載された実装部とは異なる部位(21、22)と、を電氣的に接続しており、複数の実装部は、他の実装部とは距離を隔てて配置されており、架橋部材に沿った方向であって、半導体素子と異なる部位とを繋ぐ方向を接続方向(D1)とし、架橋部材と隣接する他の架橋部材との隙間のうち接続方向の中心における隙間を中心隙間(G1)とし、接続方向の端部における隙間を端部隙間(G2)として、端部隙間は、中心隙間よりも幅が広い。

30

【0009】

この半導体パッケージは、複数の半導体素子がリードフレームのうち異なる実装部にそれぞれ搭載され、これらの半導体素子には異なる架橋部材が接続され、これらの部材が封止樹脂に覆われている。そして、架橋部材に沿った方向であって、半導体素子とリードフレームの一部とを繋ぐ方向を接続方向として、隣接する架橋部材の隙間のうち接続方向の端部における外部隙間は、同方向の中心における中心隙間よりも幅が広がっている。つまり、半導体パッケージは、封止樹脂による隣接する架橋部材間の充填部分であって、半導体素子の駆動制御による熱応力が集中しやすい狭幅部位をパッケージの外郭近傍に有しない構成となる。これにより、この半導体パッケージは、板状部材の架橋部材を介して複数の半導体素子の駆動による熱を外部に放熱しつつも、半導体素子の駆動制御による冷熱サイクルを繰り返しても封止樹脂でのクラック発生を抑制することができる。

40

【0010】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【0011】

【図1】第1実施形態の半導体パッケージを示す上面レイアウト図である。

【図2】図1のII-II線の断面図である。

50

【図 3】隣接する 2 つの架橋部材の隙間を説明するための説明図である。

【図 4】第 1 実施形態の半導体パッケージの回路構成を示す図である。

【図 5】比較例の半導体パッケージおよびクラックの発生を説明するための説明図である。

【図 6】第 1 実施形態の半導体パッケージの変形例を示す上面レイアウト図である。

【図 7】第 2 実施形態の半導体パッケージを示す上面レイアウト図である。

【図 8】図 7 の V I I I - V I I I 線の断面図である。

【図 9】第 2 実施形態の半導体パッケージの第 1 変形例を示す上面レイアウト図である。

【図 10】第 2 実施形態の半導体パッケージの第 2 変形例を示す上面レイアウト図である。

10

【図 11】第 3 実施形態の半導体パッケージを示す上面レイアウト図である。

【図 12】他の実施形態の半導体パッケージを示す上面レイアウト図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0013】

(第 1 実施形態)

第 1 実施形態の半導体パッケージ P 1 について、図面を参照して説明する。半導体パッケージ P 1 は、例えば、自動車等の車両に搭載され、各種車載部品の駆動制御に用いられると好適であるが、勿論、他の用途にも採用されうる。

20

【0014】

図 1 では、後述する封止樹脂 6 の外郭を二点鎖線で、封止樹脂 6 に覆われた構成部材の外郭のうち後述する架橋部材 5 に覆われる部分を破線で、その他の部分を実線で、それぞれ示している。また、図 1 では、見易くするため、断面を示すものではないが、後述する半導体素子 1 の第 2 電極 1 2 にハッチングを施している。これらの点は、後述する図 3、5 ~ 7、9 ~ 11 についても同様である。

【0015】

以下、説明の便宜上、図 1 に示すように、紙面上の左右方向に沿った方向を「x 方向」と、同紙面上において x 方向に対して垂直な方向を「y 方向」と、x y 平面に対する法線方向を「z 方向」と、それぞれ称する。図 2 以降の図における x、y、z の各方向は、それぞれ図 1 中の x、y、z の各方向に対応するものである。また、図 1 に示すように、半導体パッケージ P 1 を z 方向から見ることを「上面視」と称することがある。

30

【0016】

〔半導体パッケージ〕

本実施形態の半導体パッケージ P 1 は、例えば図 1 に示すように、2 つの半導体素子 1 と、実装部 2 1 および被接続部 2 2 を有するリードフレーム 2 と、ワイヤ 4 と、2 つの架橋部材 5 と、これらを覆う封止樹脂 6 とを備える。半導体パッケージ P 1 は、2 つの半導体素子 1 が封止樹脂 6 に覆われた 2 i n 1 構造である。また、半導体パッケージ P 1 は、例えば図 1 や図 2 に示すように、リードフレーム 2 が封止樹脂 6 の外郭内側に位置し、リードフレーム 2 のうち半導体素子 1 側の面とは反対面が封止樹脂 6 から露出した Q F N 構造である。Q F N とは、Quad Flat Non-leaded package の略称である。半導体パッケージ P 1 は、2 つの半導体素子 1 がそれぞれリードフレーム 2 のうち互いに独立して配置された異なる実装部 2 1 に搭載され、これらの素子が架橋部材 5 および実装部 2 1 を介して電氣的に接続された回路構成となっている。半導体パッケージ P 1 は、例えば、x 方向における幅が 8 mm 程度、y 方向における幅が 7 mm 程度、z 方向における厚みが 0 . 9 mm 程度のサイズとされるが、これに限定されない。

40

【0017】

半導体素子 1 としては、例えば、パワー M O S F E T、I G B T や I G B T とダイオードとを一体化した R C - I G B T 等のパワー半導体素子が採用されうる。半導体素子 1 は

50

、例えば、Si（シリコン）やSiC（炭化珪素）を主成分として構成され、公知の半導体プロセスにより製造される。なお、本明細書では、半導体素子1がPOWER MOSFETである場合を代表例として説明する。また、IGBTとは、Insulated Gate Bipolar Transistorの略称である。

【0018】

例えば、半導体素子1は、図1や図2に示すように、y方向を長手方向とする矩形板状とされ、実装部21側の一面1aに第1電極11を有し、一面1aの反対側の他面1bに第2電極12および第3電極13を有してなる。半導体素子1は、第1電極11がドレイン電極、第2電極12がソース電極、第3電極13がゲート電極となっている。半導体素子1は、例えば、はんだ等の導電性接合材料によりなる接合材3を介して、リードフレーム2のうち実装部21に搭載されている。

10

【0019】

以下、説明の便宜上、図1に示すように、2つの半導体素子1のうちx方向左側に位置するものを「第1半導体素子1A」と、x方向右側に位置するものを「第2半導体素子1B」と、これらを総称して「半導体素子1A、1B」と、それぞれ称することがある。また、同様に、図2に示すように、封止樹脂6の外表面のうち架橋部材5を覆い、架橋部材5よりもz方向上側に位置する面を「上面6a」と、上面6aの反対側の面を「下面6b」と、上面6aと下面6bとを繋ぐ面を「側面6c」と、それぞれ称する。

【0020】

半導体素子1A、1Bは、それぞれ、リードフレーム2のうち互いに離れて配置された実装部21に搭載され、第1電極11と実装部21とが電氣的に接続されている。半導体素子1A、1Bは、それぞれ、第2電極12に架橋部材5が接続されている。第1半導体素子1Aは、架橋部材5を介して、第2半導体素子1Bが搭載された実装部21と電氣的に接続されている。第2半導体素子1Bは、架橋部材5を介して、自身が搭載されている実装部21から離れて配置された被接続部22と電氣的に接続されている。半導体素子1A、1Bは、それぞれ、第3電極13が架橋部材5から露出すると共に、第3電極13にワイヤ4が接続されている。半導体素子1A、1Bは、例えば、上面視にて、一方の第3電極13がy方向上側、他方の第3電極13がy方向下側に位置する配置、すなわち点対象の配置とされている。半導体素子1A、1Bは、他面1bのうち他の半導体素子1と向き合う角部近傍に第3電極13が形成されている。言い換えると、は、半導体素子1A、1Bそれぞれの第3電極13は、上面視にて、2つの隣接する架橋部材5のなす隙間のうち広い領域に位置している。

20

30

【0021】

リードフレーム2は、例えば、Cu（銅）、Fe（鉄）やその合金等の金属材料によりなり、半導体素子が搭載される実装部21と、実装部21から離間して配置される被接続部22と、実装部21または被接続部22から突出する複数の端子部23とを有する。リードフレーム2は、さらに、端子部23を第1の端子部23として、実装部21および被接続部22から独立した第2の端子部24を有する。リードフレーム2は、例えば、封止樹脂6の成型までは、実装部21、被接続部22および第2の端子部24が図示しないタイパ等により連結されているが、封止樹脂6の成形後にこの連結部分が切断除去されることで最終的に分離した状態とされている。リードフレーム2は、本実施形態では、2つの実装部21と、1つの被接続部22と、2つの第2の端子部24とを備え、これらが互いに距離を隔てて配置され、互いに独立した構成となっている。

40

【0022】

実装部21は、半導体素子1が搭載される部位である。実装部21は、例えば図1に示すように、上面視にて、封止樹脂6の外郭をなす辺のうち近接する辺に向かって突出する複数の第1の端子部23を備える。実装部21の第1の端子部23は、本実施形態では、ドレイン端子となっており、封止樹脂6の下面6bおよび側面6cにおいて外部に露出している。2つの実装部21は、例えば、それぞれ半導体素子1が1つずつ搭載されている。

50

【 0 0 2 3 】

以下、説明の便宜上、2つの実装部 2 1 のうち第 1 半導体素子 1 A が搭載されるものを「第 1 の実装部 2 1 A」と、第 2 半導体素子 1 B が搭載されるものを「第 2 の実装部 2 1 B」と、それぞれ称することがある。

【 0 0 2 4 】

リードフレーム 2 は、本実施形態では、第 1 半導体素子 1 A が搭載される第 1 の実装部 2 1 A と、第 2 半導体素子 1 B が搭載される第 2 の実装部 2 1 B と、第 2 の実装部 2 1 B と対をなす被接続部 2 2 とによりなる。

【 0 0 2 5 】

第 2 の実装部 2 1 B は、第 2 半導体素子 1 B が搭載される素子搭載部 2 1 1 と、素子搭載部 2 1 1 から x 方向左側に延設された延設部 2 1 2 とを有してなる。第 2 の実装部 2 1 B は、第 1 の実装部 2 1 A および被接続部 2 2 から距離を隔てて配置されると共に、素子搭載部 2 1 1 が被接続部 2 2 と対をなし、延設部 2 1 2 が第 1 の実装部 2 1 A と対をなしている。第 2 の実装部 2 1 B は、第 1 半導体素子 1 A に接続された架橋部材 5 が延設部 2 1 2 に接続されている。

10

【 0 0 2 6 】

被接続部 2 2 は、実装部 2 1 と対をなす部材であり、実装部 2 1 と同様に複数の第 1 の端子部 2 3 を備える。被接続部 2 2 は、例えば、y 方向において隣接する第 2 の実装部 2 1 B と対をなしている。被接続部 2 2 は、例えば図 1 や図 2 に示すように、実装部 2 1 とは距離を隔てて配置され、架橋部材 5 の一端が接続されている。被接続部 2 2 は、対をなす実装部 2 1 上に搭載された半導体素子 1 の第 2 電極 1 2 と架橋部材 5 を介して電氣的に接続されている。被接続部 2 2 の第 1 の端子部 2 3 は、本実施形態では、ソース端子となっており、封止樹脂 6 の下面 6 b および側面 6 c において外部に露出している。

20

【 0 0 2 7 】

第 1 の端子部 2 3 は、例えば図 1 に示すように、実装部 2 1 または被接続部 2 2 に複数設けられる端子である。第 1 の端子部 2 3 は、例えば、互いに隙間を隔てて平行配置される。

【 0 0 2 8 】

第 2 の端子部 2 4 は、例えば、実装部 2 1 および被接続部 2 2 とは異なる位置に配置され、ワイヤ 4 を介して半導体素子 1 の第 3 電極 1 3 に電氣的に接続される部材である。第 2 の端子部 2 4 は、本実施形態では、ゲート端子となっており、封止樹脂 6 の下面 6 b および側面 6 c において外部に露出している。第 2 の端子部 2 4 は、例えば図 2 に示すように、一部が封止樹脂 6 から露出しており、外部の回路基板等に接続される。第 2 の端子部 2 4 は、上面視、すなわち実装部 2 1 のうち半導体素子 1 が搭載される面に対する法線方向から見て、隣接する 2 つの架橋部材 5 の隙間のうち後述する端部隙間 G 2 の近傍に、架橋部材 5 とは重畳しないように配置されている。

30

【 0 0 2 9 】

接合材 3 は、例えば、はんだ等の任意の導電性接合材料により構成され、半導体パッケージ P 1 の各構成要素を電氣的に接続する。

【 0 0 3 0 】

ワイヤ 4 は、例えば、Au (金) 等の導電性材料により構成される。ワイヤ 4 は、例えば、ワイヤボンディングにより半導体素子 1 の第 3 電極 1 3 および第 2 の端子部 2 4 に接続され、これらを電氣的に接続している。

40

【 0 0 3 1 】

架橋部材 5 としては、例えば、Cu、Fe やその合金等の金属材料といった任意の導電性材料を主成分とした幅広の板状部材である。架橋部材 5 は、半導体素子 1 とリードフレーム 2 の一部とを架橋し、これらを電氣的に接続する接続部材であり、「クリップ」とも称されうる。架橋部材 5 は、例えば、図 1 や図 3 に示すように、上面視にて、半導体素子 1 よりも平面サイズが大きく、第 2 電極 1 2 に接合材 3 を介して半導体素子 1 に接合されている。

50

【0032】

架橋部材5は、例えば、上面視にて、半導体素子1の他面1bのうち第3電極13を含む所定領域を除く他の領域をすべて覆うように配置される。言い換えると、架橋部材5は、半導体素子1の他面1bの外郭をなす四辺の一部または全部を覆っており、半導体素子1の駆動時の熱を外部に拡散しやすい配置となっている。架橋部材5は、例えば、半導体素子1およびリードフレーム2との接続部分以外の部分が、すべて封止樹脂6により覆われており、外部に露出しない状態となっている。すなわち、架橋部材5は、図2に示すように、半導体素子1および被接続部22側の面を接続面5aとし、その反対側の面を反対面5bとして、反対面5bがすべて封止樹脂6に覆われており、封止樹脂6により外部と絶縁されている。

10

【0033】

架橋部材5は、実装部21のうち半導体素子1が搭載される面を実装面とし、実装面に対する法線方向における寸法を高さとして、高さが他の部材に比べて最も大きい配置とされている。言い換えると、架橋部材5は、封止樹脂6に覆われる部材の中で最も上面6aに近い配置となっている。これにより、封止樹脂6のうち架橋部材5を覆う部分を表層部として、表層部の厚みを最小限とすることができ、架橋部材5から外部への放熱が有利となる。

【0034】

架橋部材5は、自身の直下に位置する半導体素子1と当該半導体素子が自身を介して接続されるリードフレーム2の一部とを繋ぐ方向を接続方向D1（図1の例では、y方向に沿った方向）として、接続方向D1の一端が同方向の中心よりも幅が狭くなっている。ここでいう架橋部材5の幅とは、接続方向D1に対して直交する方向における幅である。具体的には、架橋部材5は、上面視にて、接続方向D1の一端が隣接する他の架橋部材5から遠ざかるように延設され、その幅が同方向の中心よりも狭くなっている。その一方で、架橋部材5のうち接続方向D1の他端側は、同方向の中心と略同一の幅となっている。その結果、隣接する2つの架橋部材5の隙間は、例えば図3に示すように、接続方向D1における中心の隙間を中心隙間G1とし、同方向の端部における隙間を端部隙間G2として、 $G1 < G2$ の関係となっている。これにより、封止樹脂6のうち隣接する2つの架橋部材5の隙間を充填する部分における応力が緩和され、クラック発生が抑制される。この詳細については後述する。

20

30

【0035】

第2半導体素子1Bに接続された架橋部材5は、図2に示すように、接続方向D1の他端側がリードフレーム2側に向かって折り曲げられると共に、接合材3を介して被接続部22に接合されている。第1半導体素子1Aに接続された架橋部材5は、上記した架橋部材5と同様の形状であると共に、半導体素子1A、1Bと同様にy方向において逆向きの配置とされ、折り曲げられた他端側が接合材3を介して第2の実装部21Bに接合されている。架橋部材5は、半導体素子1およびリードフレーム2の一部との接続部分以外の部分が、封止樹脂6以外の部材とは接触しない、いわば中空の状態となっている。

【0036】

封止樹脂6は、例えば、エポキシ樹脂等といった電気絶縁性の樹脂材料と、当該樹脂材料よりも熱伝導率が大きいフィラーとを有してなる。フィラーとしては、例えば、アルミナ等の無機物粒子が採用されうる。封止樹脂6は、例えば、金型を用いた射出成型等の方法により形成される。封止樹脂6は、半導体素子1、リードフレーム2の一部、接合材3、ワイヤ4および架橋部材5を覆っている。封止樹脂6は、例えば、上面6aおよび下面6bがxy平面に沿った平坦面とされる。封止樹脂6の上面6aにおいては、半導体パッケージP1の他の部材が露出しない状態となっており、上面6aにおける電気絶縁性が確保されている。封止樹脂6は、高い放熱性を実現する観点から、熱伝導率が $3W/m \cdot K$ 以上とされることが好ましいが、これに限定されない。以下、説明の便宜上、例えば図1に示すように、封止樹脂6のうち隣接する2つの架橋部材5の隙間を充填する部分を「第1充填部61」と称する。

40

50

【 0 0 3 7 】

以上が、本実施形態の半導体パッケージ P 1 の基本的な構成である。

【 0 0 3 8 】

〔回路構成例〕

半導体パッケージ P 1 は、例えば、本実施形態では、図 4 に示す回路、すなわち半導体素子 1 A、1 B がリードフレーム 2 を介して直列接続された回路を構成している。図 4 における「D 1」、「S 1」、「G 1」は、それぞれ、第 1 半導体素子 1 A の第 1 電極 1 1、第 2 電極 1 2、第 3 電極 1 3 に接続された端子に相当する。図 3 における「D 2」、「S 2」、「G 2」は、それぞれ、第 2 半導体素子 1 B の第 1 電極 1 1、第 2 電極 1 2、第 3 電極 1 3 に接続された端子に相当する。

10

【 0 0 3 9 】

半導体パッケージ P 1 は、第 1 半導体素子 1 A と第 2 半導体素子 1 B とが直列接続され、これらの結線部分に相当する第 2 の実装部 2 1 B の端子部 2 3 が出力端子となる、ハーフブリッジ回路を構成している。半導体パッケージ P 1 は、例えば、第 1 の実装部 2 1 A の端子部 2 3 (D 1) が図示しない外部電源に接続され、被接続部 2 2 の端子部 2 3 (S 2) が基準電位 (GND) に接続される。例えば、第 1 半導体素子 1 A がハイサイド、第 2 半導体素子 1 B がローサイドである。半導体素子 1 A、1 B は、例えば、いずれも N チャンネル型のトランジスタとされ、一面 1 a の第 1 電極 1 1 がドレイン電極、他面 1 b の第 2 電極 1 2、第 3 電極 1 3 がそれぞれソース電極、ゲート電極となっている。半導体素子 1 A、1 B は、ソース電極の第 2 電極 1 2 が形成された他面 1 b を、放熱部材として機能

20

【 0 0 4 0 】

つまり、第 1 の実装部 2 1 A の端子部 2 3 が D 1 端子、電源端子、第 1 半導体素子 1 A の第 3 電極 1 3 に接続された端子部 2 4 が G 1 端子、延設部 2 1 2 から突出する端子部 2 3 が S 1 端子となっている。また、素子搭載部 2 1 1 の端子部 2 3 が D 2 端子、出力端子、第 2 半導体素子 1 B の第 3 電極 1 3 に接続された端子部 2 4 が G 2 端子、被接続部 2 2 の端子部 2 3 が S 2 端子となっている。

【 0 0 4 1 】

〔封止樹脂のクラック抑制〕

次に、隣接する 2 つの架橋部材 5 が、端部隙間 G 2 > 中心隙間 G 1 となる形状および配置とされることによる効果について、図 5 に示す比較例の半導体パッケージ 1 0 0 と対比して説明する。

30

【 0 0 4 2 】

まず、比較例の半導体パッケージ 1 0 0 について説明する。

【 0 0 4 3 】

比較例の半導体パッケージ 1 0 0 は、2 つの半導体素子 1 と、対をなす実装部 7 1 および被接続部 7 2 を二対有したリードフレーム 7 と、架橋部材 8 と、これらを封止する封止樹脂 6 とを有してなる。リードフレーム 7 は、実装部 7 1 および被接続部 7 2 から封止樹脂 6 のうちパッケージ外郭をなす辺に延設された第 1 端子 7 3 と、実装部 7 1、被接続部 7 2 および第 1 端子 7 3 から独立した第 2 端子 7 4 とをさらに有する。比較例の半導体パッケージ 1 0 0 は、x 方向左側では y 方向上側から順に被接続部 7 2、実装部 7 1 が配置され、x 方向右側では y 方向上側から順に実装部 7 1、被接続部 7 2、が配置されている。比較例の半導体パッケージ 1 0 0 は、半導体素子 1 C、1 D がそれぞれの第 2 電極 1 2 に架橋部材 8 が接続され、自身が搭載された実装部 7 1 と対をなす被接続部 7 2 に架橋部材 8 を介して電氣的に接続されている。比較例の半導体パッケージ 1 0 0 は、2 つの実装部 7 1 および被接続部 7 2 が互いに隙間を隔てて配置されており、半導体素子 1 C、1 D が電氣的に独立した構成の 2 i n 1 構造である。

40

【 0 0 4 4 】

半導体素子 1 C、1 D は、図 5 に示すように、他面 1 b のうち y 方向における端部近傍

50

かつx方向における中心に第3電極13が形成され、第3電極13が架橋部材8から露出している。第3電極13は、ワイヤ4が接続され、第2端子74と電氣的に接続されている。架橋部材8は、半導体素子1よりも平面サイズが大きく、直下に位置する半導体素子1のうち第3電極13を含む所定の領域を除く全領域を覆っており、半導体素子1の放熱性を向上させる。架橋部材8は、第3電極13の近傍に位置する一端が第3電極13の真上を避けるように二股に枝分かれした形状となっている。半導体素子1C、1Dに接続された2つの隣接する架橋部材8は、これらのなす隙間G0が略一定となる配置になっている。なお、隙間G0は、例えば、隣接する架橋部材8間の絶縁性確保およびパッケージ全体の小型化の両立の観点から、最小で0.4mm程度とされる。

【0045】

10

本発明者らの鋭意検討の結果、比較例の半導体パッケージ100は、半導体素子1の駆動制御の繰り返しによる冷熱サイクルにおいて、封止樹脂6のうち2つの隣接する架橋部材8の隙間を充填する第1充填部61にクラックが生じることが判明した。

【0046】

具体的には、比較例の半導体パッケージ100は、第1充填部61の幅が全体的に狭く、かつその端部が封止樹脂6の外郭近傍に位置している。また、比較例の半導体パッケージ100は、冷熱サイクルにより熱変形が生じ、この熱変形に伴う応力が第1充填部61に集中してしまう。その結果、比較例の半導体パッケージ100は、半導体素子1よりも平面サイズが大きい架橋部材8を用いることで放熱性を向上できるが、第1充填部61の端部を起点とした封止樹脂6のクラックが生じてしまうおそれがあり、信頼性確保が不十分となりうる。

20

【0047】

これに対して、本実施形態の半導体パッケージP1は、隣接する2つの架橋部材5がそれぞれ接続方向D1の一端が他の架橋部材5から遠ざかるように幅が狭くなっており、端部隙間G2が中心隙間G1よりも幅が広がっている。これにより、第1充填部61は、冷熱サイクルに伴う熱応力が集中しやすいパッケージ外郭近傍における幅がパッケージ中心近傍の幅よりも広く、熱応力が緩和される。その結果、半導体パッケージP1は、複数の幅広の架橋部材5を用いることで複数の半導体素子1に起因する熱を効率良く外部に逃がすことができると共に、封止樹脂6の第1充填部61への応力が緩和され、クラック発生が抑制される。なお、例えば、端部隙間G2は、少なくとも中心隙間G1よりも大きければよいが、中心隙間G1が0.4mmである場合には、0.4mmよりも大きくされ、好ましくは2倍の0.8mm以上とされるが、これに限定されない。

30

【0048】

本実施形態の半導体パッケージP1は、2つの半導体素子1それぞれに幅広の架橋部材5が接続され、これらが封止樹脂6に覆われ、隣接する架橋部材5のなす隙間がパッケージ中心近傍の中心隙間G1よりもパッケージ外郭近傍の端部隙間G2のほうが大きい。これにより、半導体素子1の駆動による熱を平面サイズが半導体素子1よりも大きい架橋部材5により広範囲に放出できると共に、第1充填部61の端部の幅が中心部位よりも広く、端部の応力が緩和される。そのため、半導体パッケージP1は、放熱性確保およびクラック抑制を両立することができる。

40

【0049】

(第1実施形態の変形例)

2つの架橋部材5は、例えば図6に示すように、上面視にて、自身が接続される半導体素子1の第3電極13よりも接続方向D1の中心側に位置する部位に、封止樹脂6の応力を緩和するための面取り部51が形成された形状であってもよい。具体的には、2つの架橋部材5は、それぞれ、半導体パッケージ中心近傍から端部に向かうにつれて徐々に他方の架橋部材5から遠ざかる切り欠き部位とされた面取り部51が形成されている。これにより、第1充填部61は、面取り部51における隙間を面取り幅G3として、パッケージ端部からパッケージ中心に向かう方向における幅の変化が $G2 > G3 > G1$ とより緩やかとなり、冷熱サイクルによる熱応力がさらに緩和される。なお、面取り部51の傾斜や外

50

形については、図 6 に示す例に限定されるものではなく、適宜変更されうる。

【 0 0 5 0 】

本変形例によっても、上記第 1 実施形態と同様の効果が得られる半導体パッケージ P 1 となる。また、架橋部材 5 が面取り部 5 1 を有することにより、封止樹脂 6 の第 1 充填部 6 1 にかかる熱応力がさらに緩和され、封止樹脂 6 のクラック発生をより抑制できる効果も得られる。

【 0 0 5 1 】

(第 2 実施形態)

第 2 実施形態の半導体パッケージ P 2 について、図面を参照して説明する。

【 0 0 5 2 】

以下、説明の便宜上、例えば図 7 に示すように、封止樹脂 6 のうち隣接する実装部 2 1 または被接続部 2 2 の隙間を充填する部分を「第 2 充填部 6 2」と称する。

【 0 0 5 3 】

本実施形態の半導体パッケージ P 2 は、例えば図 7 や図 8 に示すように、封止樹脂 6 のうち第 2 充填部 6 2 が、第 1 充填部 6 1 のうち中心隙間 G 1 の一部とは位置がずれた構成となっている点で上記第 1 実施形態と相違する。本実施形態では、この相違点について主に説明する。

【 0 0 5 4 】

2 つの架橋部材 5 は、本実施形態では、接続方向 D 1 における中心部分を含む一部の領域が他方の架橋部材 5 に対して突き出した突出部 5 2 を有する。突出部 5 2 は、例えば、他方の架橋部材 5 と向き合う辺が y 方向に対して傾いている。突出部 5 2 の一部は、対向する架橋部材 5 の直下に位置する半導体素子 1 が搭載された実装部 2 1 上まで延設されている。言い換えると、突出部 5 2 は、上面視にて、一部が 2 つの実装部 2 1 の隙間を跨いでいる。なお、2 つの架橋部材 5 は、上記第 1 実施形態と同様に、略同一の形状および平面サイズとされる。

【 0 0 5 5 】

封止樹脂 6 は、本実施形態では、図 8 に示すように、第 1 充填部 6 1 の一部が第 2 充填部 6 2 とは位置をずらされた配置となっている。具体的には、例えば、第 2 充填部 6 2 がある一方向（図 8 の例では y 方向）に沿った配置であるのに対し、第 1 充填部 6 1 は、当該一方向とは異なる他の方向（図 8 の例では y 方向以外の方向）に沿った配置とされ、一部のみが第 2 充填部 6 2 上に位置している。これにより、封止樹脂 6 は、半導体素子 1 の駆動制御に伴う熱応力が第 2 充填部 6 2 にかかった場合であっても、第 1 充填部 6 1 の大部分が第 2 充填部 6 2 とオフセットされているため、当該熱応力が第 1 充填部 6 1 に伝わりづらい構成となる。したがって、封止樹脂 6 は、第 1 充填部 6 1 の大部分が第 2 充填部 6 2 上に位置している場合に比べて、第 1 充填部 6 1 の熱応力が緩和され、第 1 充填部 6 1 でのクラック発生がより抑制される。なお、第 1 充填部 6 1 のうち第 2 充填部 6 2 と位置がずらされる部位は、応力緩和の観点から、接続方向 D 1 における両端を含むことが好ましい。また、「第 1 充填部 6 1 と第 2 充填部 6 2 とがオフセットされている」とは、実装部 2 1 のうち半導体素子 1 が搭載される面に対する法線方向から見て、第 1 充填部 6 1 が第 2 充填部 6 2 と第 2 充填部 6 2 に対して交差する方向に位置がずらされていることをいう。例えば図 7 に示すように、第 1 充填部 6 1 は、上面視にて、一部が第 2 充填部 6 2 に対して交差する方向、すなわち y 方向と交差する方向において第 2 充填部 6 2 と位置がずらされている。

【 0 0 5 6 】

本実施形態によれば、上記第 1 実施形態と同様の効果が得られる半導体パッケージ P 2 となる。また、封止樹脂 6 の第 1 充填部 6 1 と第 2 充填部 6 2 とがオフセットされていることで、第 2 充填部 6 2 の熱応力が第 1 充填部 6 1 に伝わりづらくなり、封止樹脂 6 のクラック発生をより抑制できる効果も得られる。

【 0 0 5 7 】

(第 2 実施形態の変形例)

半導体パッケージ P 2 は、例えば図 9 に示すように、2つの架橋部材 5 の一方が他方よりも突出した構成とされることで、第 1 充填部 6 1 と第 2 充填部 6 2 とがオフセットされた構成であってもよい。例えば、2つの架橋部材 5 のうち第 1 半導体素子 1 A に直接接続されるものを「第 1 架橋部材 5 A」とし、他方を「第 2 架橋部材 5 B」として、半導体パッケージ P 2 は、第 1 架橋部材 5 A のみが突出部 5 2 を有する構成とされうる。また、第 1 架橋部材 5 A は、例えば、突出部 5 2 が上面視にて略台形状とされ、直下の第 1 半導体素子 1 A の第 3 電極 1 3 の近傍に切欠部 5 2 1 を有した構成とされる。一方、第 2 架橋部材 5 B は、例えば、突出部 5 2 を有しておらず、直下の第 2 半導体素子 1 B の第 3 電極 1 3 の近傍に第 1 架橋部材 5 A から遠ざかる切欠部 5 2 2 を有した構成とされる。これにより、封止樹脂 6 は、第 1 充填部 6 1 の大部分と第 2 充填部 6 2 との位置がずらされることに加えて、面取り部である切欠部 5 2 1、5 2 2 を有することにより、第 1 充填部 6 1 の応力が緩和される。

10

【 0 0 5 8 】

半導体パッケージ P 2 は、例えば図 1 0 に示すように、第 2 の実装部 2 1 B のうち x 方向にて第 1 の実装部 2 1 A と対向する部分の x 方向における幅が第 1 の実装部 2 1 A よりも大きく、第 1 充填部 6 1 と第 2 充填部 6 2 とがオフセットされた構成であってもよい。また、被接続部 2 2 は、x 方向における幅が、第 2 の実装部 2 1 B のうち x 方向において第 1 の実装部 2 1 A と対向する部分の同方向における幅と略同一とされる。この場合、2つの架橋部材 5 が突出部 5 2 を有し、略同一の形状および平面サイズであっても、上面視にて、第 2 充填部 6 2 の位置が第 1 充填部 6 1 に対して x 方向左側にずれるため、第 1 充填部 6 1 と第 2 充填部 6 2 とがオフセットされる。そのため、図 1 0 に示す変形例の半導体パッケージ p 2 は、図 9 に示す変形例と同様の効果が得られる構成となっている。

20

【 0 0 5 9 】

本変形例によっても、上記第 2 実施形態と同様の効果が得られる半導体パッケージ P 2 となる。また、2つの架橋部材 5 の一方が切欠部 5 2 1、他方が切欠部 5 2 2 を有することで、これらが面取り部として機能し、第 1 充填部 6 1 の応力をさらに緩和し、封止樹脂 6 のクラック発生をより抑制できる効果も得られる。

【 0 0 6 0 】

(第 3 実施形態)

第 3 実施形態の半導体パッケージ P 3 について、図面を参照して説明する。

30

【 0 0 6 1 】

本実施形態の半導体パッケージ P 3 は、例えば図 1 1 に示すように、リードフレーム 2 が 2 つの実装部 2 1 および 2 つの被接続部 2 2 を有し、二対の実装部 2 1 および被接続部 2 2 が y 方向において逆向きに配置された構成である点で上記第 1 実施形態と相違する。本実施形態では、この相違点について主に説明する。

【 0 0 6 2 】

リードフレーム 2 は、本実施形態では、第 1 の実装部 2 1 A が第 2 の実装部 2 1 B の一部に代わって、y 方向下側に離れて配置された被接続部 2 2 と対をなしている。第 2 の実装部 2 1 B は、本実施形態では、第 1 の実装部 2 1 A と y 方向において第 1 の実装部 2 1 A と対向する延設部 2 1 2 を有していない。リードフレーム 2 は、対をなす実装部 2 1 および被接続部 2 2 を 2 つ有してなり、二対の実装部 2 1 および被接続部 2 2 が x 方向において平行配置、かつ y 方向において逆方向を向く配置、すなわち点対称の配置とされている。

40

【 0 0 6 3 】

第 1 半導体素子 1 A は、本実施形態では、第 2 電極 1 2 に架橋部材 5 が接続されると共に、架橋部材 5 を介してリードフレーム 2 のうち第 1 の実装部 2 1 A と対をなす被接続部 2 2 に電氣的に接続されている。第 1 半導体素子 1 A は、第 2 半導体素子 1 B とは電氣的に接続されておらず、独立した回路部を構成している。本実施形態では、第 1 の実装部 2 1 A の第 1 の端子部 2 3、第 1 の実装部 2 1 A と対をなす被接続部 2 2、第 2 の端子部 2 4 がそれぞれ第 1 半導体素子 1 A のドレイン端子、ソース端子、ゲート端子となっている

50

【0064】

第2半導体素子1Bは、本実施形態では、第2の実装部21Bに搭載されると共に、架橋部材5を介して第2の実装部21Bよりもy方向上側に配置された被接続部22に電氣的に接続されている。第2の実装部21Bの第1の端子部23、第2の実装部21Bと対をなす被接続部22、第2の端子部24がそれぞれ第2半導体素子1Bのドレイン端子、ソース端子、ゲート端子となっている。

【0065】

つまり、半導体パッケージP3は、x方向左側の回路部におけるソース端子およびドレイン端子のy方向における配置と、x方向右側の回路部におけるソース端子およびドレイン端子のy方向における配置とが逆である交互配置となっている。この構成においても2つの架橋部材5が、接続方向D1の端部隙間G2のほうが中心隙間G1よりも幅が大きくなる形状とされることで、封止樹脂6の第1充填部61にかかる熱応力が緩和される。

【0066】

本実施形態によっても、上記第1実施形態と同様の効果が得られる半導体パッケージP3となる。

【0067】

(他の実施形態)

本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらの一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

【0068】

(1)上記各実施形態では、半導体パッケージが2つの半導体素子1が封止樹脂6で封止された2in1構造である場合を代表例として説明したが、これに限定されない。各実施形態において、半導体パッケージは、半導体素子1がN個(N≧3)のNin1構造であってもよく、この場合、隣接する架橋部材5のなす隙間が中心隙間G1よりも端部隙間G2のほうが大きい構成であれば、クラックの発生抑制の効果が得られる。

【0069】

(2)上記第2実施形態では、半導体パッケージP2は、例えば図12に示すように、2つの架橋部材5が異なる形状および平面サイズとされ、第1充填部61の全部が第2充填部62と位置をずらされた構成であってもよい。また、隣接する2つの架橋部材5は、一方が突出部52に切欠部522を有し、他方が突出部52に切欠部を有しない構成とされてもよい。

【0070】

(3)なお、上記各実施形態において、実施形態を構成する要素は、特に必須であると明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。また、上記各実施形態において、実施形態の構成要素の個数、数値、量、範囲等の数値が言及されている場合、特に必須であると明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではない。また、上記各実施形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に特定の形状、位置関係等に限定される場合等を除き、その形状、位置関係等に限定されるものではない。

【0071】

(本発明の特徴)

[請求項1]

半導体パッケージであって、

複数の半導体素子(1)と、

異なる前記半導体素子に接続される複数の板状の架橋部材(5)と、

異なる前記半導体素子が搭載される複数の実装部(21)を有するリードフレーム(2

10

20

30

40

50

)と、

前記リードフレームの一部、複数の前記半導体素子および前記架橋部材を覆う封止樹脂(6)と、を備え、

複数の前記架橋部材は、他の前記架橋部材とは距離を隔てて配置されると共に、前記半導体素子と、前記リードフレームのうち自身が接続された前記半導体素子が搭載された前記実装部とは異なる部位(21、22)と、を電氣的に接続しており、

複数の前記実装部は、他の前記実装部とは距離を隔てて配置されており、

前記架橋部材に沿った方向であって、前記半導体素子と前記異なる部位とを繋ぐ方向を接続方向(D1)とし、前記架橋部材と隣接する他の前記架橋部材との隙間のうち前記接続方向の中心における隙間を中心隙間(G1)とし、前記接続方向の端部における隙間を端部隙間(G2)として、前記端部隙間は、前記中心隙間よりも幅が広い、半導体パッケージ。

10

[請求項2]

複数の前記架橋部材は、自身の直下に位置する前記半導体素子よりも平面サイズが大きく、かつ当該半導体素子の外郭をなす四辺それぞれの少なくとも一部を覆うように配置されている、請求項1に記載の半導体パッケージ。

[請求項3]

前記封止樹脂のうち隣接する前記実装部の隙間を充填する部分を第1充填部(61)とし、隣接する前記架橋部材の隙間を充填する部分を第2充填部(62)として、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記第1充填部は、一部または全部が前記第2充填部とは前記第2充填部に対して交差する方向にオフセットされている、請求項1または2に記載の半導体パッケージ。

20

[請求項4]

前記架橋部材が接続される前記半導体素子は、前記架橋部材の接続面(1b)にゲート電極(13)を有し、

前記リードフレームは、前記ゲート電極と電氣的に接続されるゲート端子(24)を有し、

前記ゲート端子は、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記端部隙間の近傍であって、前記架橋部材とは重畳しない領域に配置されている、請求項1ないし3のいずれか1つに記載の半導体パッケージ。

30

【符号の説明】

【0072】

1・・・半導体素子、1b・・・接続面、13・・・ゲート電極(第3電極)

2・・・リードフレーム、21・・・実装部、24・・・ゲート端子、5・・・架橋部材

6・・・封止樹脂、61・・・第1充填部、62・・・第2充填部、D1・・・接続方向

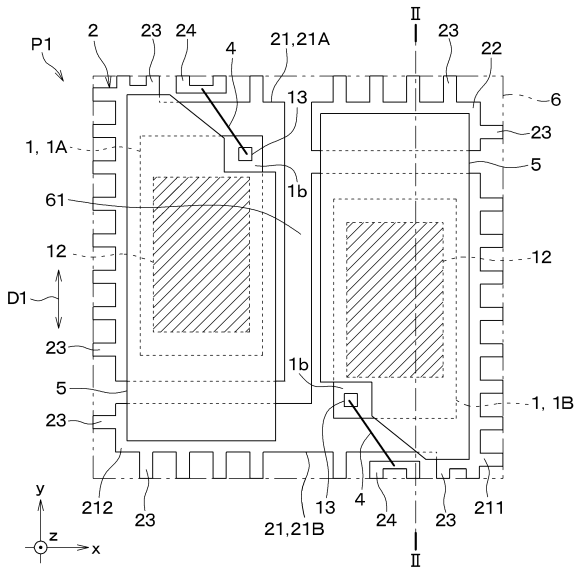
G1・・・中心隙間、G2・・・端部隙間

40

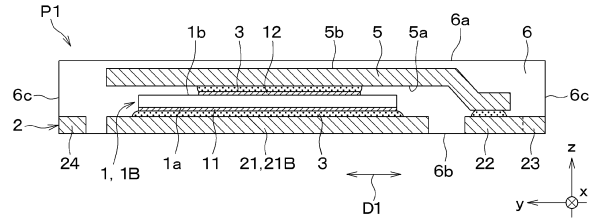
50

【図面】

【図 1】



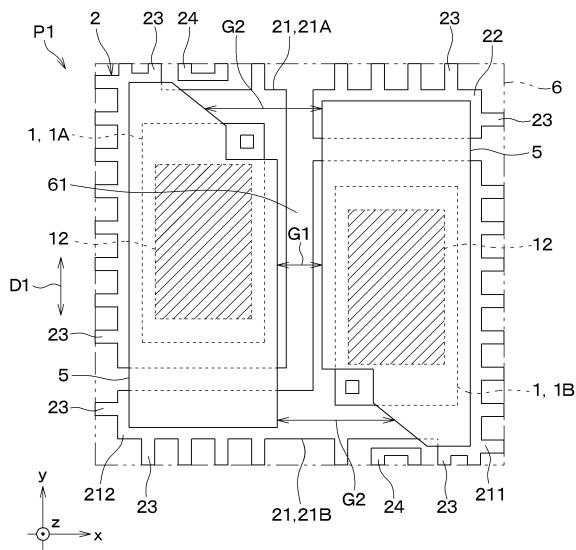
【図 2】



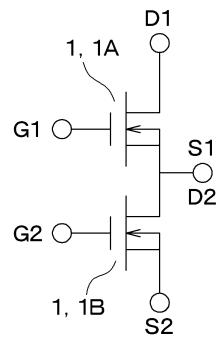
10

20

【図 3】



【図 4】

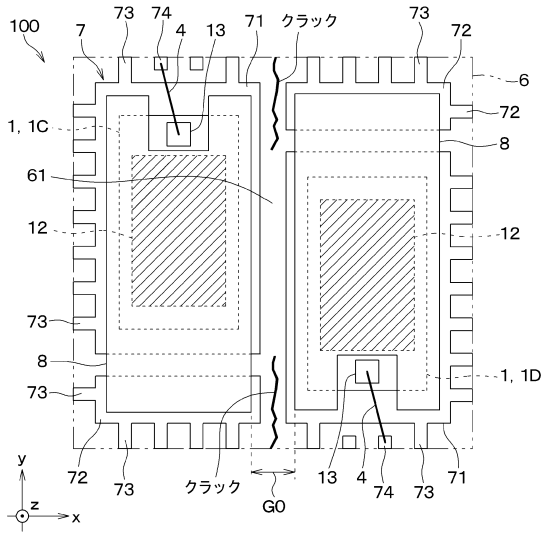


30

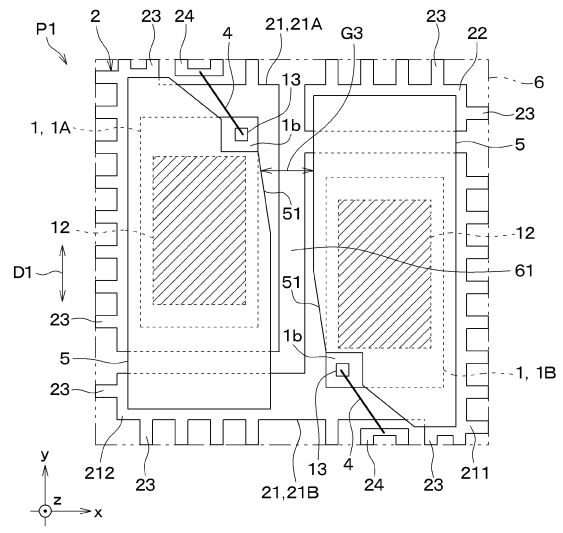
40

50

【図5】

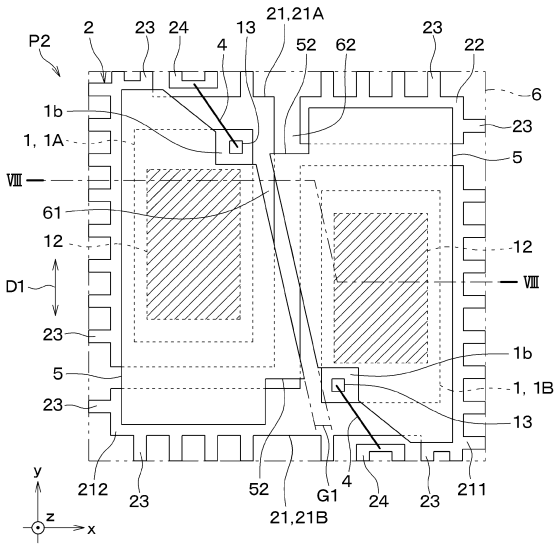


【図6】

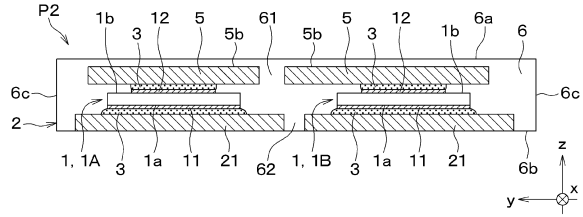


10

【図7】



【図8】



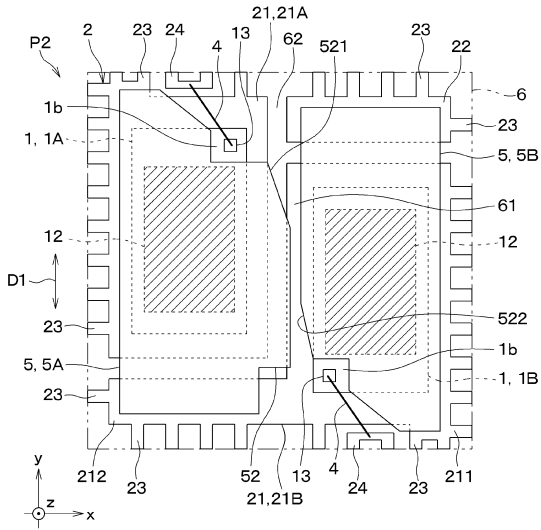
20

30

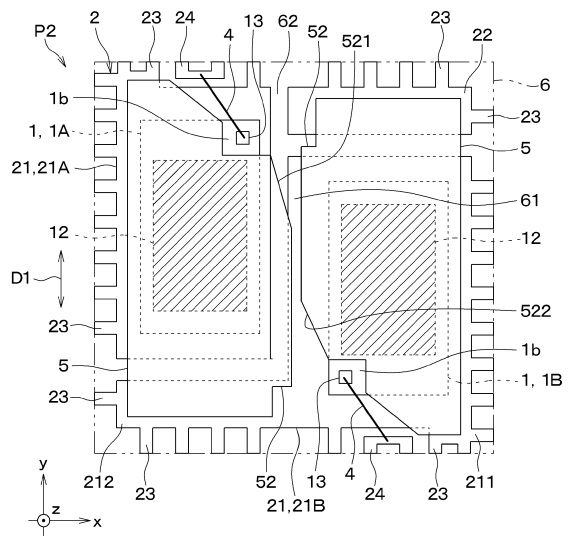
40

50

【 図 9 】

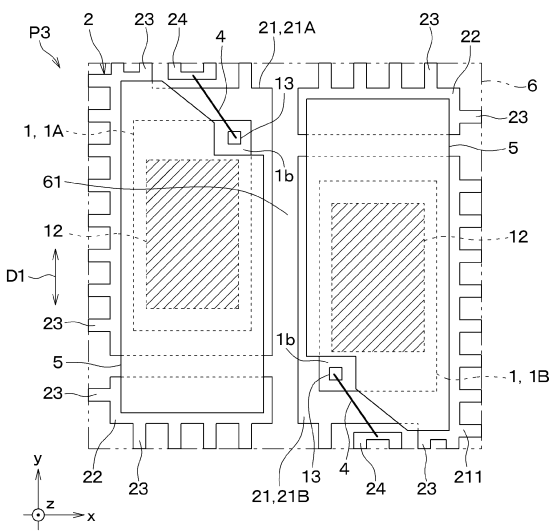


【 図 1 0 】

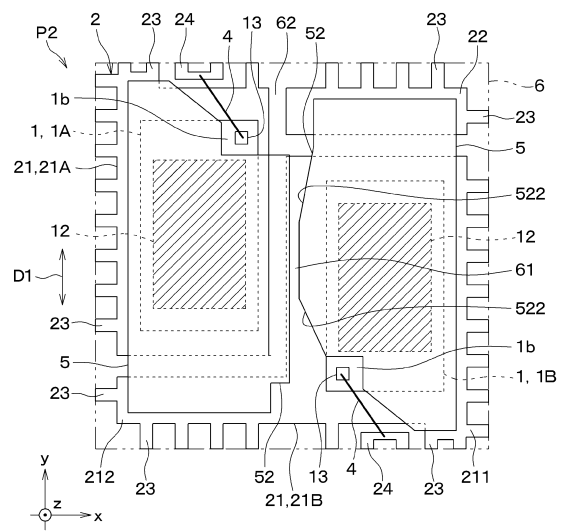


10

【 図 1 1 】



【 図 1 2 】



20

30

40

50