

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7537500号
(P7537500)

(45)発行日 令和6年8月21日(2024.8.21)

(24)登録日 令和6年8月13日(2024.8.13)

(51)国際特許分類	F I
H 0 1 G 4/30 (2006.01)	H 0 1 G 4/30 2 0 1 C
	H 0 1 G 4/30 2 0 1 F
	H 0 1 G 4/30 5 1 3

請求項の数 7 (全21頁)

(21)出願番号	特願2022-542624(P2022-542624)	(73)特許権者	000006231
(86)(22)出願日	令和3年7月28日(2021.7.28)		株式会社村田製作所
(86)国際出願番号	PCT/JP2021/027872		京都府長岡京市東神足1丁目10番1号
(87)国際公開番号	WO2022/034797	(74)代理人	100122770
(87)国際公開日	令和4年2月17日(2022.2.17)		弁理士 上田 和弘
審査請求日	令和4年12月12日(2022.12.12)	(72)発明者	日 高 青路
(31)優先権主張番号	特願2020-136462(P2020-136462)		京都府長岡京市東神足1丁目10番1号
(32)優先日	令和2年8月12日(2020.8.12)		株式会社村田製作所内
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	藤田 幸宏
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		審査官	鈴木 駿平

最終頁に続く

(54)【発明の名称】 多端子積層コンデンサ

(57)【特許請求の範囲】

【請求項1】

誘電体層を介して交互に積層された第1内部電極および第2内部電極と、

平面視において前記第1内部電極および前記第2内部電極の内側に配置され、前記第1内部電極と電氣的に接続されるとともに前記第2内部電極と絶縁され、前記第1内部電極および前記第2内部電極の積層方向に貫通する複数の第1ビアと、

平面視において前記第1内部電極および前記第2内部電極の内側に配置され、前記第2内部電極と電氣的に接続されるとともに前記第1内部電極と絶縁され、前記第1内部電極および前記第2内部電極の積層方向に貫通する複数の第2ビアと、

前記第1内部電極を貫通する前記第2ビアの周囲に形成され前記第2ビアと前記第1内部電極とを絶縁する第1絶縁部と、前記第1ビアとの間に延びるように形成された第1スリットと、

前記第2内部電極を貫通する前記第1ビアの周囲に形成され前記第1ビアと前記第2内部電極とを絶縁する第2絶縁部と、前記第2ビアとの間に延びるように形成された第2スリットと、

前記複数の第1ビアそれぞれに接続された複数の第1外部端子と、

前記複数の第2ビアそれぞれに接続された複数の第2外部端子と、を備え、

前記第1ビアは、前記第1スリットによって前記第1内部電極が複数の領域に分割された場合に、当該複数の領域を電氣的に接続するように配設され、

前記第2ビアは、前記第2スリットによって前記第2内部電極が複数の領域に分割され

10

20

た場合に、当該複数の領域を電氣的に接続するように配設され、
前記第 1 スリットは前記第 1 ピアに向けて狭くなるテーパ状に形成され、
前記第 2 スリットは前記第 2 ピアに向けて狭くなるテーパ状に形成されていることを特徴とする多端子積層コンデンサ。

【請求項 2】

誘電体層を介して交互に積層された第 1 内部電極および第 2 内部電極と、
平面視において前記第 1 内部電極および前記第 2 内部電極の内側に配置され、前記第 1 内部電極と電氣的に接続されるとともに前記第 2 内部電極と絶縁され、前記第 1 内部電極および前記第 2 内部電極の積層方向に貫通する複数の第 1 ピアと、

平面視において前記第 1 内部電極および前記第 2 内部電極の内側に配置され、前記第 2 内部電極と電氣的に接続されるとともに前記第 1 内部電極と絶縁され、前記第 1 内部電極および前記第 2 内部電極の積層方向に貫通する複数の第 2 ピアと、

前記第 1 内部電極を貫通する前記第 2 ピアの周囲に形成され前記第 2 ピアと前記第 1 内部電極とを絶縁する第 1 絶縁部と、前記第 1 ピアとの間に延びるように形成された第 1 スリットと、

前記第 2 内部電極を貫通する前記第 1 ピアの周囲に形成され前記第 1 ピアと前記第 2 内部電極とを絶縁する第 2 絶縁部と、前記第 2 ピアとの間に延びるように形成された第 2 スリットと、

前記複数の第 1 ピアそれぞれに接続された複数の第 1 外部端子と、

前記複数の第 2 ピアそれぞれに接続された複数の第 2 外部端子と、を備え、

前記第 1 ピアは、前記第 1 スリットによって前記第 1 内部電極が複数の領域に分割された場合に、当該複数の領域を電氣的に接続するように配設され、

前記第 2 ピアは、前記第 2 スリットによって前記第 2 内部電極が複数の領域に分割された場合に、当該複数の領域を電氣的に接続するように配設され、

前記第 1 内部電極を貫通する前記第 1 ピアの周囲には第 1 ランドパターンが形成されており、

前記第 2 内部電極を貫通する前記第 2 ピアの周囲には第 2 ランドパターンが形成されており、

前記第 1 スリットは、前記第 1 絶縁部と、前記第 1 ランドパターンとの間をつなぐように形成され、

前記第 2 スリットは、前記第 2 絶縁部と、前記第 2 ランドパターンとの間をつなぐように形成されていることを特徴とする多端子積層コンデンサ。

【請求項 3】

平面視において、前記第 1 外部端子と、前記第 2 外部端子とは、交互に、かつ、行列状に配置されていることを特徴とする請求項 1 又は 2 に記載の多端子積層コンデンサ。

【請求項 4】

平面視において、前記複数の第 1 外部端子は、直線状に整列され、

平面視において、前記複数の第 2 外部端子は、直線状に整列され、

直線状に整列された前記複数の第 1 外部端子と、直線状に整列された前記複数の第 2 外部端子とが、交互に、配置されていることを特徴とする請求項 1 又は 2 に記載の多端子積層コンデンサ。

【請求項 5】

前記第 1 スリット、及び、前記第 2 スリットは、格子状に形成されていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の多端子積層コンデンサ。

【請求項 6】

平面視において、前記複数の第 1 外部端子は、直線状に整列され、

平面視において、前記複数の第 2 外部端子は、直線状に整列され、

直線状に整列された前記複数の第 1 外部端子と、直線状に整列された前記複数の第 2 外部端子とが、交互に、かつ、千鳥状に半ピッチずれて配置されており、

前記第 1 スリットは、前記第 1 内部電極の輪郭に対して斜め方向に形成され、

前記第 2 スリットは、前記第 2 内部電極の輪郭に対して斜め方向に形成されていることを特徴とする請求項 1 又は 2 に記載の多端子積層コンデンサ。

【請求項 7】

平面視において、前記第 1 スリットと前記第 2 スリットとが重なるように形成されていることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の多端子積層コンデンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多端子積層コンデンサに関する。

【背景技術】

【0002】

従来から、コンデンサ（キャパシタ）の低 E S L（等価直列インダクタンス）化を図るため、様々な技術が提案されている。例えば、特許文献 1 には、キャパシタ本体と、積層誘電体層各層を間に挟んで対向、交代配置した第 1 内部電極及び第 2 内部電極と、上記本体の上下面の一面以上に形成した第 1 外部端子と第 2 外部端子と、上記本体の積層方向に形成し上記第 1 外部端子と上記第 2 外部端子に各々連結した第 1 導電性ビアホールと第 2 導電性ビアホールを含んで構成される積層型キャパシタアレイが開示されている。特に、この積層型キャパシタアレイでは、E S L を低減させるために、第 1 導電性ビアホール及び第 2 導電性ビアホールが、各々に連結された内部電極に流れる電流により誘導される磁界が相互相殺されるように配置（交互配置）されている。

【0003】

また、特許文献 2 には、低 E S L 化を図るため、内部電極と外部端子電極とをビアホール導体を介して接続し、ビアホール導体に対して電氣的に絶縁される内部電極に、ビアホール導体が貫通する部分に島状抜き部が形成された積層コンデンサが開示されている。この積層コンデンサでは、複数の島状抜き部を互いに連結するとともに、内部電極の各々の外側部分と島状抜き部とを連結するように抜き連結部が形成されている。すなわち、内部電極を互いに絶縁された複数の領域に分断（分割）するように抜き連結部が形成されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2006 - 135333 号公報

【文献】特開 2002 - 160467 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献 1 に記載された積層型キャパシタアレイでは、複数のビアが内部電極と導通接続されているため、例えば、高周波領域において、表皮効果による容量（実効値）の低下が生じ得るといった問題がある。

【0006】

また、特許文献 2 に記載された積層コンデンサでは、抜き連結部によって内部電極が複数の領域に分断（分割）されることにより、例えば、容量や E S R（等価直列抵抗）などの特性が悪化するおそれ、及び、素子の機械的強度が低下するおそれがある。特に、狭ピッチでビアを配置した場合にこれらの問題が顕著になるおそれがある。

【0007】

本発明は、上記問題点を解消する為になされたものであり、高周波領域において低 E S L を維持しつつ容量（実効値）の低下を抑制でき、かつ、素子の機械的強度を確保することが可能な多端子積層コンデンサを提供することを目的とする。

【課題を解決するための手段】

【0008】

10

20

30

40

50

本発明に係る多端子積層コンデンサは、誘電体層を介して交互に積層された第1内部電極および第2内部電極と、平面視において第1内部電極および第2内部電極の内側に配置され、第1内部電極と電氣的に接続されるとともに第2内部電極と絶縁され、第1内部電極および第2内部電極の積層方向に貫通する複数の第1ビアと、平面視において第1内部電極および第2内部電極の内側に配置され、第2内部電極と電氣的に接続されるとともに第1内部電極と絶縁され、第1内部電極および第2内部電極の積層方向に貫通する複数の第2ビアと、第1内部電極を貫通する第2ビアの周囲に形成され第2ビアと第1内部電極とを絶縁する第1絶縁部と第1ビアとの間に延びるように形成された第1スリットと、第2内部電極を貫通する第1ビアの周囲に形成され第1ビアと第2内部電極とを絶縁する第2絶縁部と第2ビアとの間に延びるように形成された第2スリットと、複数の第1ビアそれぞれに接続された複数の第1外部端子と、複数の第2ビアそれぞれに接続された複数の第2外部端子とを備え、第1ビアが、第1スリットによって第1内部電極が複数の領域に分割された場合に、当該複数の領域を電氣的に接続するように配設され、第2ビアが、第2スリットによって第2内部電極が複数の領域に分割された場合に、当該複数の領域を電氣的に接続するように配設されていることを特徴とする。

10

【0009】

本発明に係る積層コンデンサによれば、第1スリットによって第1内部電極が複数の領域に分割された場合に、当該複数の領域を電氣的に接続するように第1ビアが配設され、第2スリットによって第2内部電極が複数の領域に分割された場合に、当該複数の領域を電氣的に接続するように第2ビアが配設される。そのため、第1、第2内部電極が互いに絶縁された複数の領域に分断（分割）されることが回避される。そして、第1、第2外部端子に電圧が印加されたときに、第1、第2内部電極それぞれには第1、第2ビアとの導通接続を通して共通の電圧が印加される。そのため、内部電極が電氣的に分断（分割）された場合と比較して容量を大きくできる。また、多端子積層コンデンサが全体として2導体で構成されるため、高周波での不要な共振モードの発生を抑圧することができる。

20

【0010】

また、第1内部電極を貫通する第2ビアの周囲に形成され第2ビアと第1内部電極とを絶縁する第1絶縁部と、第1ビアとの間に延びるように第1スリットが形成され、第2内部電極を貫通する第1ビアの周囲に形成され第1ビアと第2内部電極とを絶縁する第2絶縁部と、第2ビアとの間に延びるように第2スリットが形成されている。そのため、第1、第2ビアをその中心と第1、第2スリットとを含む断面で見たときに、第1、第2ビアの軸方向に沿った導体表面の経路が短くなる。このことにより、第1、第2ビアの軸方向に沿ったインピーダンスが低減される。これにより、第1、第2ビアの軸方向で見た電圧降下が小さくなり、高周波領域における容量の低下が緩和される（すなわち、容量の周波数特性が平坦化される）。また、ESRとESLを低減する効果を得ることができる。

30

【0011】

さらに、複数の第1ビアが、平面視において第1内部電極および第2内部電極の内側に配置され、複数の第2ビアが、平面視において第1内部電極および第2内部電極の内側に配置される。すなわち、第1、第2内部電極の外縁部には第1、第2ビアが配置されない。そのため、第1、第2内部電極の外縁（外周）が第1、第2スリットによって分断されることがない。よって、素子の機械的強度を確保することができる。

40

【発明の効果】

【0012】

上記の結果、本発明によれば、高周波領域において低ESLを維持しつつ容量（実効値）の低下を抑制でき、かつ、素子の機械的強度を確保することが可能となる。

【図面の簡単な説明】

【0013】

【図1】第1実施形態に係る多端子積層コンデンサの構成を示す斜視図である。

【図2】図1のII-II線に沿った断面図である。

【図3】図1のIII-III線に沿った断面図である。

50

【図 4】第 1 実施形態に係る多端子積層コンデンサの等価回路を示す図である。

【図 5】第 1 実施形態に係る多端子積層コンデンサの内部構造を示す分解斜視図である。

【図 6】第 1 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【図 7】第 1 実施形態に係る多端子積層コンデンサ及び比較例の (a) インピーダンス特性、(b) E S R 特性を示す図である。

【図 8】第 1 実施形態に係る多端子積層コンデンサ及び比較例の (a) 容量特性、(b) E S L 特性を示す図である。

【図 9】第 2 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

10

【図 10】第 2 実施形態に係る多端子積層コンデンサ及び比較例の (a) インピーダンス特性、(b) E S R 特性を示す図である。

【図 11】第 2 実施形態に係る多端子積層コンデンサ及び比較例の (a) 容量特性、(b) E S L 特性を示す図である。

【図 12】第 3 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【図 13】第 4 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【図 14】第 5 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

20

【図 15】第 6 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【図 16】第 6 実施形態に係る多端子積層コンデンサの内部構造を示す分解斜視図である。

【図 17】第 6 実施形態に係る多端子積層コンデンサ及び比較例の (a) インピーダンス特性、(b) E S R 特性を示す図である。

【図 18】第 6 実施形態に係る多端子積層コンデンサ及び比較例の (a) 容量特性、(b) E S L 特性を示す図である。

【図 19】第 7 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【図 20】第 8 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

30

【図 21】第 9 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【図 22】第 10 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【図 23】第 11 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【図 24】第 12 実施形態に係る多端子積層コンデンサを構成する (a) 第 1 内部電極、(b) 第 2 内部電極の構成を示す平面図である。

【発明を実施するための形態】

40

【0014】

以下、図面を参照して本発明の好適な実施形態について詳細に説明する。なお、図中、同一又は相当部分には同一符号を用いることとする。また、各図において、同一要素には同一符号を付して重複する説明を省略する。

【0015】

(第 1 実施形態)

まず、図 1 ~ 図 6 を併せて用いて、第 1 実施形態に係る多端子積層コンデンサ 1 の構成について説明する。図 1 は、多端子積層コンデンサ 1 の構成を示す斜視図である。図 2 は、図 1 の I I - I I 線に沿った断面図である。図 3 は、図 1 の I I I - I I I 線に沿った断面図である。図 4 は、多端子積層コンデンサ 1 の等価回路を示す図である。ここで、第

50

1、第2外部端子41、42には微小なL（インダクタンス）とR（抵抗）が寄生するが、図4に示した等価回路では、これらの寄生のLとRは、ESLとESRに集約し、直接的な表示を省略した。図5は、多端子積層コンデンサ1の内部構造を示す分解斜視図である。図6は、多端子積層コンデンサ1を構成する（a）第1内部電極11、（b）第2内部電極12の構成を示す平面図である。

【0016】

多端子積層コンデンサ1は、例えば、直方体形状に形成された積層体10と、積層体10の天面（上面）に形成された9つの外部端子41、42、より具体的には、4つの第1外部端子41及び5つの第2外部端子42とを備えている。

【0017】

積層体10は、矩形に形成された複数の誘電体層（絶縁体層）13を介して、第1内部電極11と、第2内部電極12とが対向して交互に積層されることにより構成されている。誘電体層13は、例えば、BaTiO₃、CaTiO₃、SrTiO₃、CaZrO₃などを主成分とする誘電体セラミックから形成される。なお、これらの主成分にMn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの副成分が添加されていてもよい。

【0018】

第1内部電極11及び第2内部電極12は、例えば、矩形の薄膜状に形成されている。第1内部電極11及び第2内部電極12それぞれは、例えば、Ni、Cu、Ag、Pd、Ag-Pd合金、Auなどから形成される。

【0019】

積層体10には、平面視において、第1内部電極11および第2内部電極12の内側に（すなわち、外縁に接することなく）配置され、第1内部電極11と電氣的に接続（導通）されるとともに第2内部電極12と絶縁され、積層体10を、その積層方向（厚み方向）に貫通する複数（本実施形態では4つ）の第1ビア21が形成されている。

【0020】

同様に、積層体10には、平面視において、第1内部電極11および第2内部電極12の内側に（すなわち、外縁に接することなく）配置され、第2内部電極12と電氣的に接続（導通）されるとともに第1内部電極11と絶縁され、積層体10を、その積層方向（厚み方向）に貫通する複数（本実施形態では5つ）の第2ビア22が形成されている。

【0021】

複数（4つ）の第1ビア21それぞれの端部には、複数（4つ）の第1外部端子41が接続されている。同様に、複数（5つ）の第2ビア22それぞれの端部には、複数（5つ）の第2外部端子42が接続されている。第1外部端子41及び第2外部端子42は、例えば、銀を主成分とする導電性材料から形成されている。

【0022】

本実施形態では、平面視において、第1外部端子41（第1ビア21）と、第2外部端子42（第2ビア22）とが、交互に、かつ、行列状（マトリクス状）に配置される構成とした。

【0023】

第1内部電極11には、第1内部電極11を貫通する第2ビア22の周囲に形成され、第2ビア22と第1内部電極11とを絶縁する環状の第1絶縁部（開口部）111が形成されている。また、第1絶縁部111と、第1ビア21との間に延びるように直線状の第1スリット（隙間）31が形成されている。

【0024】

同様に、第2内部電極12には、第2内部電極12を貫通する第1ビア21の周囲に形成され、第1ビア21と第2内部電極12とを絶縁する環状の第2絶縁部（開口部）121が形成されている。また、第2絶縁部121と、第2ビア22との間に延びるように直線状の第2スリット（隙間）32が形成されている。

【0025】

10

20

30

40

50

本実施形態では、第1スリット31、及び、第2スリット32を、3行3列の格子状（碁盤の目状）に形成した。なお、第1、第2スリット31、32の形状は3行3列に限られることなく、要件等に応じて任意に設定することができる（以下同様）。また、本実施形態では、平面視において、第1スリット31と第2スリット32とが重なる（一致する）ように形成した。

【0026】

ここで、第1ビア21は、第1スリット31によって第1内部電極11が複数の領域（本実施形態では5つの領域）に分割された場合に、当該複数の領域を電氣的に接続（導通）するように配設される。そのため、第1内部電極11は、電位が共通する単一の内部電極となる。同様に、第2ビア22は、第2スリット32によって第2内部電極12が複数の領域（本実施形態では5つの領域）に分割された場合に、当該複数の領域を電氣的に接続（導通）するように配設される。そのため、第2内部電極12は、電位が共通する単一の内部電極となる。

10

【0027】

上述したように構成されることにより、本実施形態によれば、第1スリット31によって第1内部電極11が複数（5つ）の領域に分割された場合に、当該複数の領域を電氣的に接続（導通）するように第1ビア21が配設され、第2スリット32によって第2内部電極12が複数（5つ）の領域に分割された場合に、当該複数の領域を電氣的に接続（導通）するように第2ビア22が配設される。そのため、第1、第2内部電極11、12が互いに絶縁された複数の領域に分断（分割）されることが回避される。そして、第1、第2外部端子41、42に電圧が印加されたときに、第1、第2内部電極11、12それぞれには、第1、第2ビア21、22との導通接続を通して共通の電圧が印加される。そのため、内部電極が電氣的に分断（分割）された場合と比較して容量を大きくできる。また、多端子積層コンデンサ1が全体として2導体で構成されるため、高周波での不要な共振モードの発生を抑圧することができる。

20

【0028】

また、本実施形態によれば、第2ビア22と第1内部電極11とを絶縁する第1絶縁部111と、第1ビア21との間に延びるように第1スリット31が形成され、第1ビア21と第2内部電極12とを絶縁する第2絶縁部121と、第2ビア22との間に延びるように第2スリット32が形成される。そのため、第1、第2ビア21、22をその中心と第1、第2スリット31、32とを含む断面で見るときに、第1、第2ビア21、22の軸方向に沿った導体表面の経路が短くなる。このことにより、第1、第2ビア21、22の軸方向に沿ったインピーダンスが低減される。これにより、第1、第2ビア21、22の軸方向で見た電圧降下が小さくなり、高周波領域における容量の低下が緩和される（すなわち、容量の周波数特性が平坦化される）。また、ESRとESLを低減する効果を得ることができる。

30

【0029】

さらに、本実施形態によれば、複数の第1ビア21、及び、複数の第2ビア22が、平面視において第1内部電極11および第2内部電極12の内側に（すなわち外縁に接することなく）配置される。すなわち、第1、第2内部電極11、12の外縁部には第1、第2ビア21、22が配置されない。そのため、第1、第2内部電極11、12の外縁（外周）が第1、第2スリット31、32によって分断されることがない。よって、素子の機械的強度を確保することができ、素子の平坦性を確保できる。

40

【0030】

上記の結果、本実施形態によれば、高周波領域において低ESLを維持しつつ容量（実効値）の低下を抑制でき、かつ、素子の機械的強度を確保することが可能となる。

【0031】

ここで、本実施形態に係る多端子積層コンデンサ1及び比較例の（a）インピーダンス特性、及び、（b）ESR特性を図7に示す。なお、比較例としては、第1スリット31及び第2スリット32を備えていないものを用いた（以下、同様）。図7（a）は、多端

50

子積層コンデンサ 1 及び比較例のインピーダンス特性（シミュレーション結果）を示し、図 7（b）は、多端子積層コンデンサ 1 及び比較例の ESR 特性（シミュレーション結果）を示す。図 7（a）のグラフの横軸は周波数（Hz）であり、縦軸はインピーダンス（ Ω ）である。また、（b）のグラフの横軸は周波数（Hz）であり、縦軸は ESR（ Ω ）である。

【0032】

図 7（a）に示されるように、多端子積層コンデンサ 1 によれば、比較例と比較して、インピーダンス（特に、100MHz 付近のインピーダンス）が低下することが確認された。また、図 7（b）に示されるように、多端子積層コンデンサ 1 によれば、比較例と比較して、ESR が低下することが確認された。

10

【0033】

次に、多端子積層コンデンサ 1 及び比較例の（a）容量特性、及び、（b）ESL 特性を図 8 に示す。図 8（a）は、多端子積層コンデンサ 1 及び比較例の容量特性（シミュレーション結果）を示し、図 8（b）は、多端子積層コンデンサ 1 及び比較例の ESL 特性（シミュレーション結果）を示す。図 8（a）のグラフの横軸は周波数（Hz）であり、縦軸はキャパシタンス（F）である。また、（b）のグラフの横軸は周波数（Hz）であり、縦軸は ESL（H）である。図 8（a）に示されるように、比較例では、高周波領域（特に、10MHz 以上の領域）において容量の低下が見られたが、多端子積層コンデンサ 1 によれば、高周波領域（特に、10MHz 以上の領域）においても容量が低下しないことが確認された。また、図 8（b）に示されるように、多端子積層コンデンサ 1 によれば、ESL を低く維持できることが確認された。

20

【0034】

（第 2 実施形態）

上述した第 1 実施形態に係る多端子積層コンデンサ 1 では、第 1 スリット 31、及び、第 2 スリット 32 を、格子状に形成したが、図 9 に示されるように、第 1 スリット 31 B、及び、第 2 スリット 32 B を第 1 内部電極 11 B、及び、第 2 内部電極 12 B の輪郭と平行に延びる 3 本の直線状に形成してもよい。図 9 は、第 2 実施形態に係る多端子積層コンデンサ 1 B を構成する（a）第 1 内部電極 11 B、（b）第 2 内部電極 12 B の構成を示す平面図である。

【0035】

なお、本実施形態においても、平面視において、第 1 スリット 31 B と第 2 スリット 32 B とが、重なる（一致する）ように形成した。この場合、第 1、第 2 内部電極 11 B、12 B は、電気的に分断（分割）された領域を有しない。その他の構成は、上述した第 1 実施形態に係る多端子積層コンデンサ 1 と同等又は同様であるので、ここでは詳細な説明を省略する。

30

【0036】

ここで、本実施形態に係る多端子積層コンデンサ 1 B 及び比較例の（a）インピーダンス特性、及び、（b）ESR 特性を図 10 に示す。図 10（a）は、多端子積層コンデンサ 1 B 及び比較例のインピーダンス特性（シミュレーション結果）を示し、図 10（b）は、多端子積層コンデンサ 1 B 及び比較例の ESR 特性（シミュレーション結果）を示す。図 10（a）のグラフの横軸は周波数（Hz）であり、縦軸はインピーダンス（ Ω ）である。また、（b）のグラフの横軸は周波数（Hz）であり、縦軸は ESR（ Ω ）である。

40

【0037】

図 10（a）に示されるように、多端子積層コンデンサ 1 B によれば、比較例と比較して、インピーダンス（特に、100MHz 付近のインピーダンス）が低下することが確認された。また、図 10（b）に示されるように、多端子積層コンデンサ 1 B によれば、比較例と比較して、ESR が低下することが確認された。すなわち、第 2 実施形態に係る多端子積層コンデンサ 1 B によっても、上述した第 1 実施形態に係る多端子積層コンデンサ 1 と同等の効果を奏することができることが確認された。

【0038】

50

次に、多端子積層コンデンサ 1 B 及び比較例の (a) 容量特性、及び、(b) E S L 特性を図 1 1 に示す。図 1 1 (a) は、多端子積層コンデンサ 1 B 及び比較例の容量特性 (シミュレーション結果) を示し、図 1 1 (b) は、多端子積層コンデンサ 1 B 及び比較例の E S L 特性 (シミュレーション結果) を示す。図 1 1 (a) のグラフの横軸は周波数 (H z) であり、縦軸はキャパシタンス (F) である。また、(b) のグラフの横軸は周波数 (H z) であり、縦軸は E S L (H) である。

【 0 0 3 9 】

図 1 1 (a) に示されるように、比較例では、高周波領域 (特に、1 0 M H z 以上の領域) において容量の低下が見られたが、多端子積層コンデンサ 1 B によれば、高周波領域 (特に、1 0 M H z 以上の領域) においても容量が低下しないことが確認された。また、
10
図 1 1 (b) に示されるように、多端子積層コンデンサ 1 B によれば、E S L を低く維持できることが確認された。すなわち、第 2 実施形態に係る多端子積層コンデンサ 1 B によっても、上述した第 1 実施形態に係る多端子積層コンデンサ 1 と同等の効果を奏することができることが確認された。

【 0 0 4 0 】

(第 3 実施形態)

上述した第 2 実施形態に係る多端子積層コンデンサ 1 B では、第 1 スリット 3 1 B、及び、第 2 スリット 3 2 B を、3 本の直線状に、かつ、双方が重なり合うように形成したが、
20
図 1 2 に示されるように、第 2 スリット 3 2 C が延びる方向を、第 1 スリット 3 1 B が延びる方向に対して 9 0 ° 回転させた構成としてもよい。図 1 2 は、第 3 実施形態に係る多端子積層コンデンサ 1 C を構成する (a) 第 1 内部電極 1 1 B、(b) 第 2 内部電極 1 2 C の構成を示す平面図である。

【 0 0 4 1 】

すなわち、平面視において、第 1 スリット 3 1 B と第 2 スリット 3 2 C とは、直行するように構成される。よって、本実施形態では、平面視において、第 1 スリット 3 1 B と第 2 スリット 3 2 C とは、重なり合わない (すなわち一致しない) 。また、この場合、第 1、第 2 内部電極 1 1 B、1 2 C は、電氣的に分断 (分割) された領域を有しない。その他の構成は、上述した第 2 実施形態に係る多端子積層コンデンサ 1 B と同等又は同様であるので、ここでは詳細な説明を省略する。

【 0 0 4 2 】

本実施形態によれば、平面視において、第 1 スリット 3 1 B と第 2 スリット 3 2 C とが重なり合わない (すなわち一致しない) ため、第 1 スリット 3 1 B 及び第 2 スリット 3 2 C を出入りする磁界が直線的には分布しなくなる (すなわち、最適条件からは外れる) が、
30
上述した第 2 実施形態に係る多端子積層コンデンサ 1 B とほぼ同等の効果を奏することができる。

【 0 0 4 3 】

(第 4 実施形態)

上述した第 1 実施形態に係る多端子積層コンデンサ 1 では、第 1 スリット 3 1 及び第 2 スリット 3 2 の幅を一定にしたが、
40
図 1 3 に示されるように、第 1 スリット 3 1 D は第 1 ピア 2 1 に向けて狭くなるテーパ状に形成してもよい。同様に、第 2 スリット 3 2 D は第 2 ピア 2 2 に向けて狭くなるテーパ状に形成してもよい。図 1 3 は、第 4 実施形態に係る多端子積層コンデンサ 1 D を構成する (a) 第 1 内部電極 1 1 D、(b) 第 2 内部電極 1 2 D の構成を示す平面図である。その他の構成は、上述した第 1 実施形態に係る多端子積層コンデンサ 1 と同等又は同様であるので、ここでは詳細な説明を省略する。

【 0 0 4 4 】

本実施形態によれば、第 1、第 2 スリット 3 1 D、3 2 D をテーパ状に形成することで、第 1、第 2 内部電極 1 1 D、1 2 D と第 1、第 2 ピア 2 1、2 2 との導通接続を確実に達成でき、位置ずれなど (ばらつき) の影響を軽減することができる。また、製造工程において素子が焼成されると素子が相似収縮するが、第 1、第 2 スリット 3 1 D、3 2 D をテーパ状に形成することで、
50
焼成後も第 1、第 2 スリット 3 1 D、3 2 D の形状を良好に

確保（維持）することができる。

【0045】

（第5実施形態）

上述した第1実施形態に係る多端子積層コンデンサ1に対して、第1、第2ビア21、22と第1、第2スリット31、32との接続部にランドパターンを設ける構成としてもよい。

【0046】

より具体的には、図14に示されるように、第1内部電極11Eの第1ビア21との接続部は環状に形成される。すなわち、第1内部電極11Eを貫通する第1ビア21の周囲には環状の第1ランドパターン112Eが形成される。同様に、第2内部電極12Eの第2ビア22との接続部は環状に形成される。すなわち、第2内部電極12Eを貫通する第2ビア22の周囲には環状の第2ランドパターン122Eが形成される。なお、図14は、第5実施形態に係る多端子積層コンデンサ1Eを構成する(a)第1内部電極11E、(b)第2内部電極12Eの構成を示す平面図である。

10

【0047】

そして、第1スリット31Eは、第1絶縁部111と、第1ランドパターン112E（第1ビア21）との間をつなぐように形成される。同様に、第2スリット32Eは、第2絶縁部121と、第2ランドパターン122E（第2ビア22）との間をつなぐように形成される。なお、第1、第2ランドパターン112E、122Eの径は、第1、第2スリット31E、32Eの幅よりも大きく、かつ、第1、第2ビア21、22の直径よりも大きい。その他の構成は、上述した第1実施形態に係る多端子積層コンデンサ1と同等又は同様であるので、ここでは詳細な説明を省略する。

20

【0048】

本実施形態によれば、第1、第2ランドパターン112E、122Eを設けることで、第1、第2内部電極11E、12Eと第1、第2ビア21、22との導通接続を確実に達成することができ、位置ずれなど（ばらつき）の影響を軽減することができる。

【0049】

（第6実施形態）

上述した第2実施形態に係る多端子積層コンデンサ1Bでは、第1外部端子41（第1ビア21）と第2外部端子42（第2ビア22）とを交互に配置する構成としたが、図15及び図16に示されるように、平面視において、複数（本実施形態では3つ）の第1外部端子41（第1ビア21）を、直線状に整列（すなわち、同一極性で整列）するとともに、複数（本実施形態では3つ）の第2外部端子42（第2ビア22）を、直線状に整列（すなわち、同一極性で整列）する構成としてもよい。なお、図15は、第6実施形態に係る多端子積層コンデンサ1Fを構成する(a)第1内部電極11F、(b)第2内部電極12Fの構成を示す平面図である。また、図16は、多端子積層コンデンサ1Fの内部構造を示す分解斜視図である。

30

【0050】

この場合、直線状に整列された複数（3つ）の第1外部端子41（第1ビア21）と、直線状に整列された複数（3つ）の第2外部端子42（第2ビア22）とが、交互に配置される（9端子）。その他の構成は、上述した第1実施形態に係る多端子積層コンデンサ1と同等又は同様であるので、ここでは詳細な説明を省略する。

40

【0051】

上述したように第1外部端子41（第1ビア21）及び第2外部端子42（第2ビア22）を配置することにより（すなわち、第1、第2外部端子41、42を同一極性で整列することにより）、そして、実装基板のランドパターンを第1、第2外部端子41、42の配置に合わせて設計することにより、例えば、マイクロストリップラインやコプレーナ線路などの直線状線路への実装が容易(可能)となる。特に、第1、第2外部端子41、42を3列で構成した場合はグランド・シグナル・グランド(GSG)の並びとなり、貫通型コンデンサを連結してワンチップ化した構成となる。これにより、実装時の取り扱いが

50

容易となる。

【 0 0 5 2 】

ここで、本実施形態に係る多端子積層コンデンサ 1 F 及び比較例の (a) インピーダンス特性、及び、(b) E S R 特性を図 1 7 に示す。図 1 7 (a) は、多端子積層コンデンサ 1 F 及び比較例のインピーダンス特性 (シミュレーション結果) を示し、図 1 7 (b) は、多端子積層コンデンサ 1 F 及び比較例の E S R 特性 (シミュレーション結果) を示す。図 1 7 (a) のグラフの横軸は周波数 (H z) であり、縦軸はインピーダンス () である。また、(b) のグラフの横軸は周波数 (H z) であり、縦軸は E S R () である。

【 0 0 5 3 】

図 1 7 (a) に示されるように、多端子積層コンデンサ 1 F によれば、比較例と比較して、インピーダンス (特に、1 0 0 M H z 以下のインピーダンス) が低下することが確認された。また、図 1 7 (b) に示されるように、多端子積層コンデンサ 1 F によれば、比較例と比較して、E S R が低下することが確認された。すなわち、第 6 実施形態に係る多端子積層コンデンサ 1 F によっても、上述した第 2 実施形態に係る多端子積層コンデンサ 1 B と同等の効果を奏することができることが確認された。

10

【 0 0 5 4 】

次に、多端子積層コンデンサ 1 F 及び比較例の (a) 容量特性、及び、(b) E S L 特性を図 1 8 に示す。図 1 8 (a) は、多端子積層コンデンサ 1 F 及び比較例の容量特性 (シミュレーション結果) を示し、図 1 8 (b) は、多端子積層コンデンサ 1 F 及び比較例の E S L 特性 (シミュレーション結果) を示す。図 1 8 (a) のグラフの横軸は周波数 (H z) であり、縦軸はキャパシタンス (F) である。また、(b) のグラフの横軸は周波数 (H z) であり、縦軸は E S L (H) である。

20

【 0 0 5 5 】

図 1 8 (a) に示されるように、比較例では、高周波領域 (特に、1 0 M H z 以上の領域) において容量の低下が見られたが、多端子積層コンデンサ 1 F によれば、高周波領域 (特に、1 0 M H z 以上の領域) においても容量が低下しないことが確認された。また、図 1 8 (b) に示されるように、多端子積層コンデンサ 1 F によれば、比較例よりも若干高くなるものの、E S L を比較的 low に維持できることが確認された。すなわち、第 6 実施形態に係る多端子積層コンデンサ 1 F によっても、上述した第 2 実施形態に係る多端子積層コンデンサ 1 B とほぼ同等の効果を奏することができることが確認された。

30

【 0 0 5 6 】

(第 7 実施形態)

上述した第 6 実施形態に係る多端子積層コンデンサ 1 F に対して、図 1 9 に示されるように、平面視において、複数 (本実施形態では 2 つ) の第 1 外部端子 4 1 (第 1 ピア 2 1) が直線状に整列 (すなわち、同一極性で整列) され、複数 (本実施形態では 3 つ) の第 2 外部端子 4 2 (第 2 ピア 2 2) が直線状に整列 (すなわち、同一極性で整列) され、直線状に整列された複数 (2 つ) の第 1 外部端子 4 1 (第 1 ピア 2 1) と、直線状に整列された複数 (3 つ) の第 2 外部端子 4 2 (第 2 ピア 2 2) とが、交互に、かつ、千鳥状に (すなわち半ピッチ、オフセットされて) 配置される構成としてもよい (7 端子) 。

【 0 0 5 7 】

さらに、本実施形態では、第 1 スリット 3 1 G を、第 1 内部電極 1 1 G の輪郭に対して斜め方向に形成し、第 2 スリット 3 2 G を、第 2 内部電極 1 2 G の輪郭に対して斜め方向に形成した。なお、図 1 9 は、第 7 実施形態に係る多端子積層コンデンサ 1 G を構成する (a) 第 1 内部電極 1 1 G、(b) 第 2 内部電極 1 2 G の構成を示す平面図である。その他の構成は、上述した (第 1 実施形態に係る) 多端子積層コンデンサ 1 と同等又は同様であるので、ここでは詳細な説明を省略する。

40

【 0 0 5 8 】

上述したように第 1 外部端子 4 1 (第 1 ピア 2 1) 及び第 2 外部端子 4 2 (第 2 ピア 2 2) を配置することにより (すなわち、第 1、第 2 外部端子 4 1、4 2 を同一極性で整列することにより)、そして、実装基板のランドパターンを第 1、第 2 外部端子 4 1、4 2

50

の配置に合わせて設計することにより、例えば、マイクロストリップラインやコプレーナ線路などの直線状線路への実装が容易(可能)となる。特に、第1、第2外部端子41、42を3列で構成した場合はグランド・シグナル・グランド(GSG)の並びとなり、貫通型コンデンサを連結してワンチップ化した構成となる。これにより、実装時の取り扱いが容易となる。

【0059】

本実施形態に係る多端子積層コンデンサ1Gよっても、上述した第6実施形態に係る多端子積層コンデンサ1Fと同等の効果を奏することができる。

【0060】

(第8実施形態)

上述した第7実施形態に係る多端子積層コンデンサ1Gに対して、図20に示されるように、第2内部電極12Hのスリット32Hの形状を左右対称(左右反転)にしてもよい。図20は、第8実施形態に係る多端子積層コンデンサ1Hを構成する(a)第1内部電極11G、(b)第2内部電極12Hの構成を示す平面図である。

【0061】

本実施形態では、平面視において、第1スリット31Gと第2スリット32Hとは、重なり合わない(すなわち、一致しない)。その他の構成は、上述した第7実施形態に係る多端子積層コンデンサ1Gと同等又は同様であるので、ここでは詳細な説明を省略する。

【0062】

上述したように第1外部端子41(第1ビア21)及び第2外部端子42(第2ビア22)を配置することにより(すなわち、第1、第2外部端子41、42を同一極性で整列することにより)、そして、実装基板のランドパターンを第1、第2外部端子41、42の配置に合わせて設計することにより、例えば、マイクロストリップラインやコプレーナ線路などの直線状線路への実装が容易(可能)となる。特に、第1、第2外部端子41、42を3列で構成した場合はグランド・シグナル・グランド(GSG)の並びとなり、貫通型コンデンサを連結してワンチップ化した構成となる。これにより、実装時の取り扱いが容易となる。

【0063】

本実施形態によれば、第1、第2ビア21、22と第1、第2内部電極11G、12Hの表面経路が長くなり、第1、第2スリット31G、32Hを通る電流経路が最短でなくなる。これにより、電流経路のインピーダンスやESRが大きくなり、多端子積層コンデンサ1H全体としてのジュール損失も大きくなる。ところで、コンデンサ(キャパシタ)を電源回路のデカップリング用途として利用する場合に、ESRを積極的に大きくしてノイズを抑制する設計手法もあるため、このような場合に本実施形態は有効となる。

【0064】

(第9実施形態)

上述した第7実施形態に係る多端子積層コンデンサ1Gでは、直線状に整列された複数(2つ)の第1外部端子41(第1ビア21)と、直線状に整列された複数(3つ)の第2外部端子42(第2ビア22)とが、交互に、かつ、千鳥状に(すなわち半ピッチずれて)配置される構成としたが、図21に示されるように、直線状に整列された複数(3つ)の第1外部端子41(第1ビア21)と、直線状に整列された複数(2つ)の第2外部端子42(第2ビア22)とが、交互に、かつ、千鳥状に(すなわち半ピッチずれて)配置される構成としてもよい(8端子)。

【0065】

さらに、本実施形態では、第1スリット31Jを、第1内部電極11Jの輪郭に対して斜め方向(yの字状)に形成し、第2スリット32Jを、第2内部電極12Jの輪郭に対して斜め方向(yの字状)に形成した。なお、図21は、第9実施形態に係る多端子積層コンデンサ1Jを構成する(a)第1内部電極11J、(b)第2内部電極12Jの構成を示す平面図である。その他の構成は、上述した第7実施形態に係る多端子積層コンデンサ1Gと同等又は同様であるので、ここでは詳細な説明を省略する。

10

20

30

40

50

【 0 0 6 6 】

上述したように第 1 外部端子 4 1 (第 1 ピア 2 1) 及び第 2 外部端子 4 2 (第 2 ピア 2 2) を配置することにより、(すなわち、第 1、第 2 外部端子 4 1、4 2 を同一極性で整列することにより)、そして、実装基板のランドパターンを第 1、第 2 外部端子 4 1、4 2 の配置に合わせて設計することにより、例えば、マイクロストリップラインやコプレーナ線路などの直線状線路への実装が容易(可能)となる。特に、第 1、第 2 外部端子 4 1、4 2 を 3 列で構成した場合はグランド・シグナル・グランド(G S G)の並びとなり、貫通型コンデンサを連結してワンチップ化した構成となる。これにより、実装時の取り扱いが容易となる。

【 0 0 6 7 】

本実施形態に係る多端子積層コンデンサ 1 J によっても、上述した第 7 実施形態に係る多端子積層コンデンサ 1 G と同等の効果を奏することができる。

【 0 0 6 8 】

(第 1 0 実施形態)

上述した第 6 実施形態に係る多端子積層コンデンサ 1 F では、直線状に整列された複数(3つ)の第 1 外部端子 4 1 (第 1 ピア 2 1) と、直線状に整列された複数(3つ)の第 2 外部端子 4 2 (第 2 ピア 2 2) とを、交互に配置する構成(3 × 3 (3 行 3 列) = 9 端子の構成)としたが、図 2 2 に示されるように、例えば、直線状に整列された複数(5つ)の第 1 外部端子 4 1 (第 1 ピア 2 1) と、直線状に整列された複数(5つ)の第 2 外部端子 4 2 (第 2 ピア 2 2) とを、交互に配置する構成(5 × 5 (5 行 5 列) = 2 5 端子の構成)としてもよい。なお、図 2 2 は、第 1 0 実施形態に係る多端子積層コンデンサ 1 K を構成する(a)第 1 内部電極 1 1 K、(b)第 2 内部電極 1 2 K の構成を示す平面図である。その他の構成は、上述した第 6 実施形態に係る多端子積層コンデンサ 1 F と同等又は同様であるので、ここでは詳細な説明を省略する。

【 0 0 6 9 】

本実施形態に係る多端子積層コンデンサ 1 K によれば、第 1、第 2 内部電極 1 1 K、1 2 K の面積が増大する。これにより、多端子積層コンデンサ 1 K の容量が全体として増加する。

【 0 0 7 0 】

(第 1 1 実施形態)

上述した第 6 実施形態に係る多端子積層コンデンサ 1 F では、第 1 スリット 3 1 F 及び第 2 スリット 3 2 F の幅を一定にしたが、図 2 3 に示されるように、第 1 スリット 3 1 L は第 1 ピア 2 1 に向けて狭くなるテーパ状に形成してもよい。同様に、第 2 スリット 3 2 L は第 2 ピア 2 2 に向けて狭くなるテーパ状に形成してもよい。図 2 3 は、第 1 1 実施形態に係る多端子積層コンデンサ 1 L を構成する(a)第 1 内部電極 1 1 L、(b)第 2 内部電極 1 2 L の構成を示す平面図である。その他の構成は、上述した第 6 実施形態に係る多端子積層コンデンサ 1 F と同等又は同様であるので、ここでは詳細な説明を省略する。

【 0 0 7 1 】

本実施形態によれば、第 1、第 2 スリット 3 1 L、3 2 L をテーパ状に形成することで、第 1、第 2 内部電極 1 1 L、1 2 L と第 1、第 2 ピア 2 1、2 2 との導通接続を確実に達成でき、位置ずれなど(ばらつき)の影響を軽減することができる。また、製造工程において素子が焼成されると素子が相似収縮するが、第 1、第 2 スリット 3 1 L、3 2 L をテーパ状に形成することで、焼成後も第 1、第 2 スリット 3 1 L、3 2 L の形状を良好に確保(維持)することができる。

【 0 0 7 2 】

(第 1 2 実施形態)

上述した第 6 実施形態に係る多端子積層コンデンサ 1 F に対して、第 1、第 2 ピア 2 1、2 2 と第 1、第 2 スリット 3 1 F、3 2 F との接続部にランドパターンを設ける構成としてもよい。

【 0 0 7 3 】

10

20

30

40

50

より具体的には、図 2 4 に示されるように、第 1 内部電極 1 1 M の第 1 ビア 2 1 との接続部は環状に形成される。すなわち、第 1 内部電極 1 1 M を貫通する第 1 ビア 2 1 の周囲には環状の第 1 ランドパターン 1 1 2 M が形成される。同様に、第 2 内部電極 1 2 M の第 2 ビア 2 2 との接続部は環状に形成される。すなわち、第 2 内部電極 1 2 M を貫通する第 2 ビア 2 2 の周囲には環状の第 2 ランドパターン 1 2 2 M が形成される。なお、図 2 4 は、第 1 2 実施形態に係る多端子積層コンデンサ 1 M を構成する (a) 第 1 内部電極 1 1 M 、 (b) 第 2 内部電極 1 2 M の構成を示す平面図である。

【 0 0 7 4 】

そして、第 1 スリット 3 1 M は、第 1 絶縁部 1 1 1 と、第 1 ランドパターン 1 1 2 M (第 1 ビア 2 1) との間をつなぐように形成される。同様に、第 2 スリット 3 2 M は、第 2 絶縁部 1 2 1 と、第 2 ランドパターン 1 2 2 M (第 2 ビア 2 2) との間をつなぐように形成される。その他の構成は、上述した第 6 実施形態に係る多端子積層コンデンサ 1 F と同等又は同様であるので、ここでは詳細な説明を省略する。

10

【 0 0 7 5 】

本実施形態によれば、第 1、第 2 ランドパターン 1 1 2 M、1 2 2 M を設けることで、第 1、第 2 内部電極 1 1 M、1 2 M と第 1、第 2 ビア 2 1、2 2 との導通接続を確実に達成することができ、位置ずれなど (ばらつき) の影響を軽減することができる。

【 0 0 7 6 】

以上、本発明の実施の形態について説明したが、本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、上述した第 1、第 2 ビア 2 1、2 2、並びに、第 1、第 2 外部端子 4 1、4 2 の数や配置 (配列)、及び、第 1、第 2 スリット 3 1、3 2 の形状や配置等は例示であり、要件等に応じて任意に設定することができる。

20

【 符号の説明 】

【 0 0 7 7 】

1, 1 B, 1 C, 1 D, 1 E, 1 F, 1 G, 1 H, 1 J, 1 K, 1 L, 1 M 多端子積層コンデンサ

1 0 積層体

1 3 誘電体層

1 1, 1 1 B, 1 1 D, 1 1 E, 1 1 F, 1 1 G, 1 1 J, 1 1 K, 1 1 L, 1 1 M

第 1 内部電極

30

1 2, 1 2 B, 1 2 C, 1 2 D, 1 2 E, 1 2 F, 1 2 G, 1 2 H, 1 2 J, 1 2 K,

1 2 L, 1 2 M 第 2 内部電極

1 1 1 第 1 絶縁部

1 2 1 第 2 絶縁部

1 1 2 E, 1 1 2 M 第 1 ランドパターン

1 2 2 E, 1 2 2 M 第 2 ランドパターン

2 1 第 1 ビア

2 2 第 2 ビア

3 1, 3 1 B, 3 1 D, 3 1 E, 3 1 G, 3 1 J, 3 1 K, 3 1 L, 3 1 M 第 1 スリ

ット

40

3 2, 3 2 B, 3 2 C, 3 2 D, 3 2 E, 3 2 G, 3 2 H, 3 2 J, 3 2 K, 3 2 L,

3 2 M 第 2 スリット

4 1 第 1 外部端子

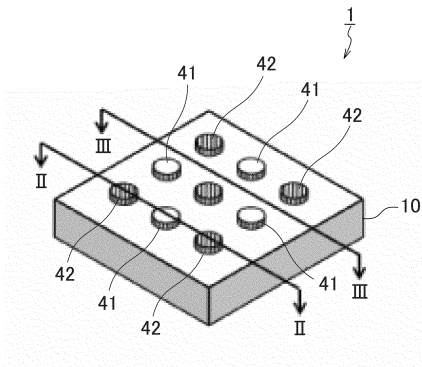
4 2 第 2 外部端子

50

【図面】

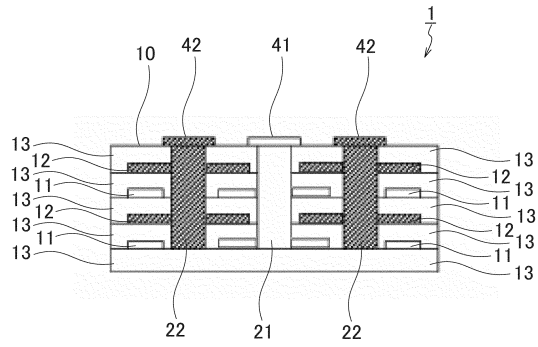
【図 1】

図1



【図 2】

図2

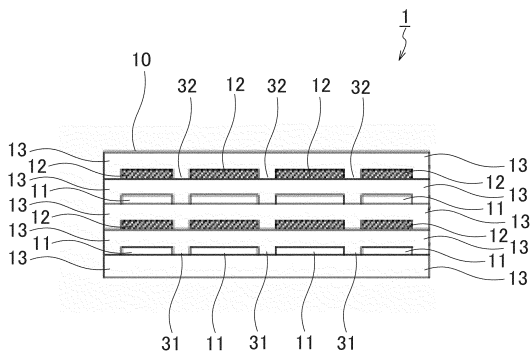


10

20

【図 3】

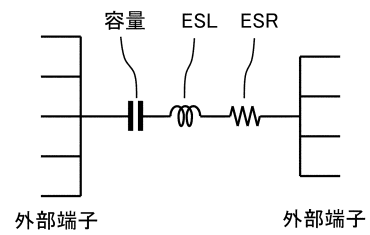
図3



【図 4】

図4

多端子積層コンデンサ1の等価回路



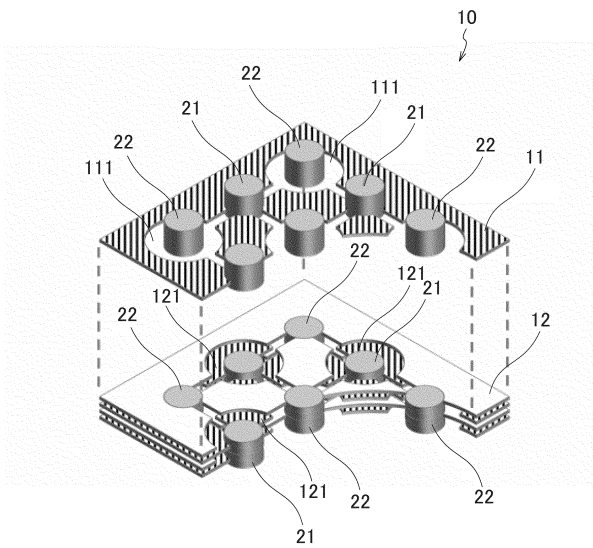
30

40

50

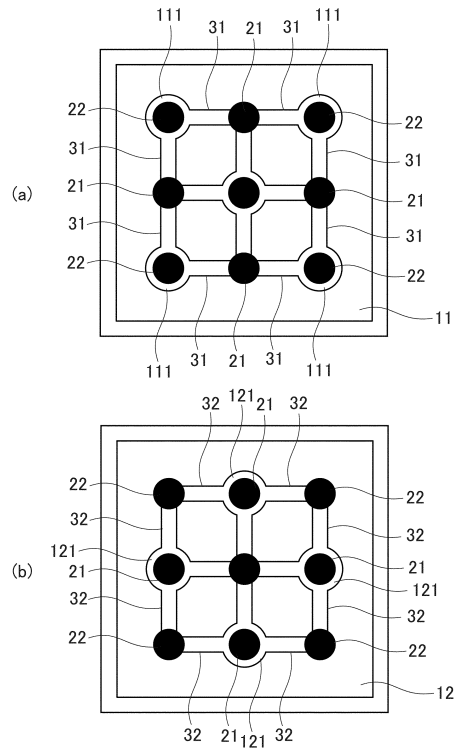
【 図 5 】

図5



【 図 6 】

図6

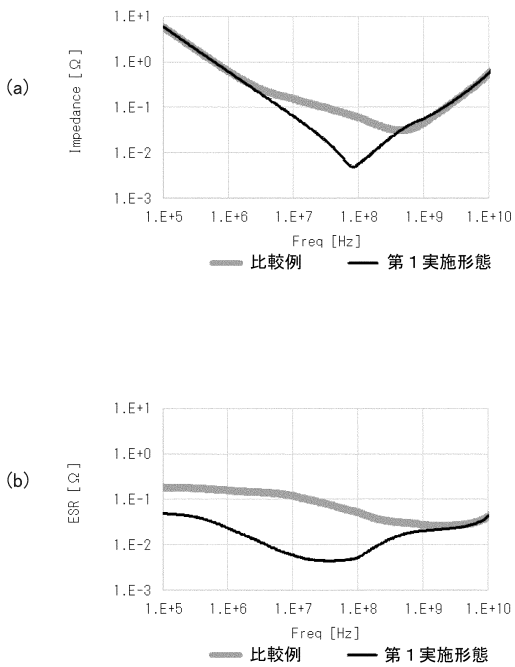


10

20

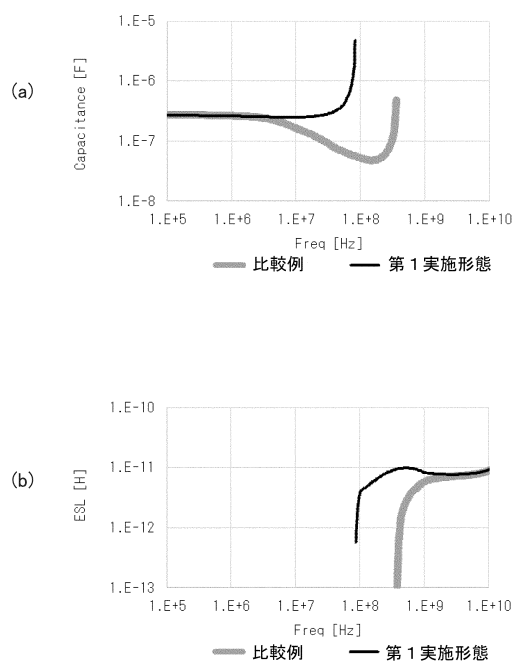
【 図 7 】

図7



【 図 8 】

図8



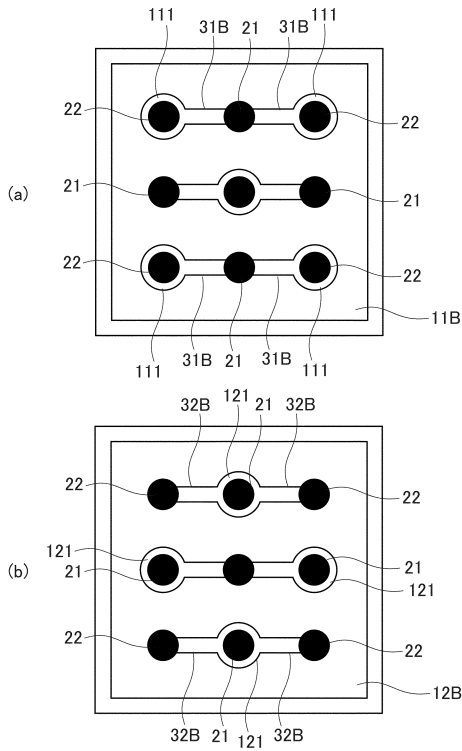
30

40

50

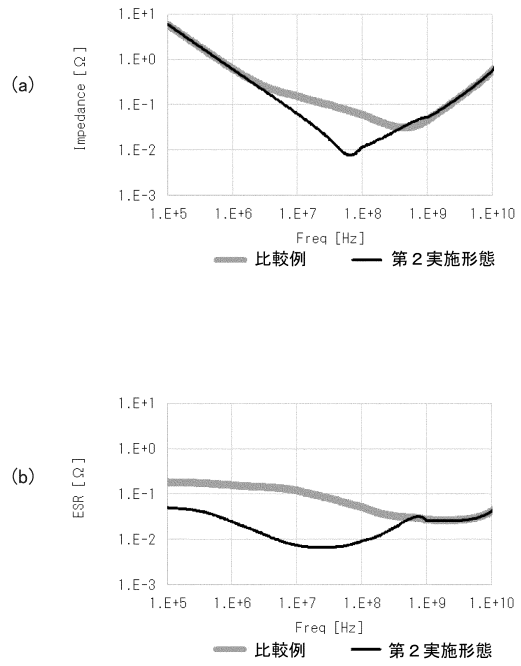
【図9】

図9



【図10】

図10

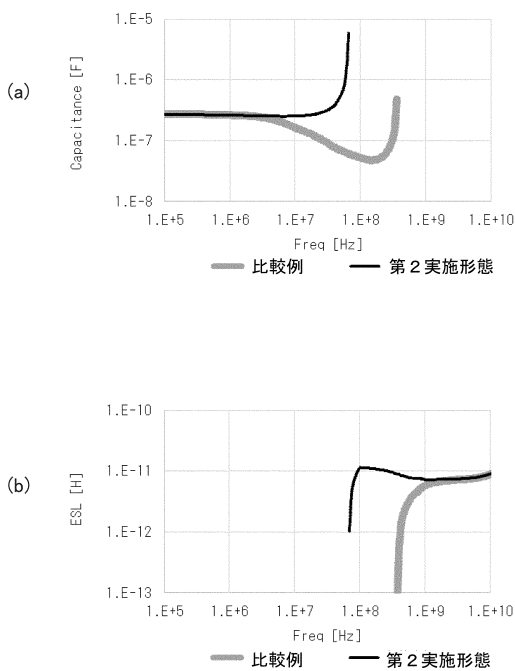


10

20

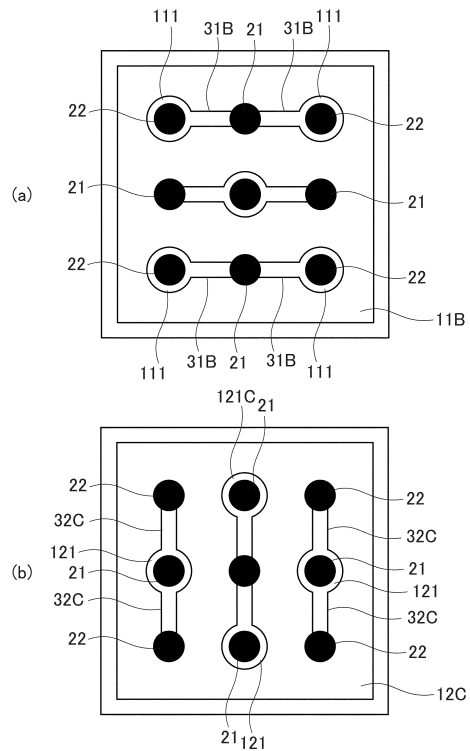
【図11】

図11



【図12】

図12



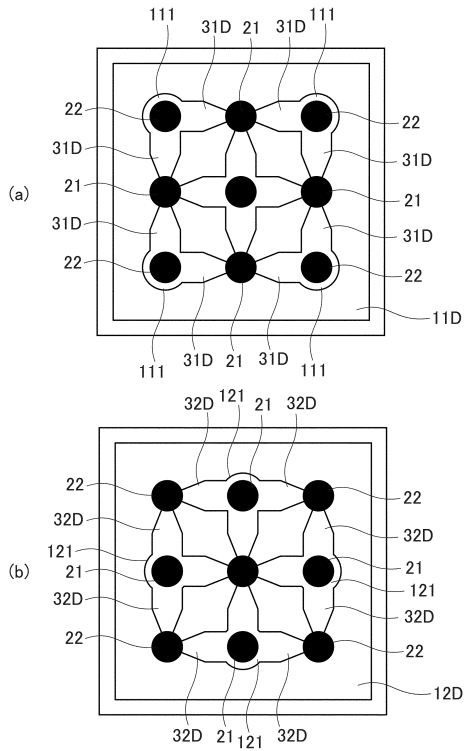
30

40

50

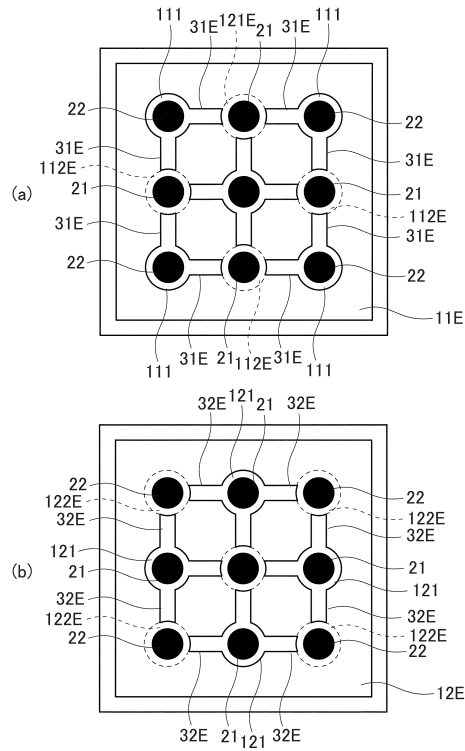
【 図 1 3 】

図13



【 図 1 4 】

図14

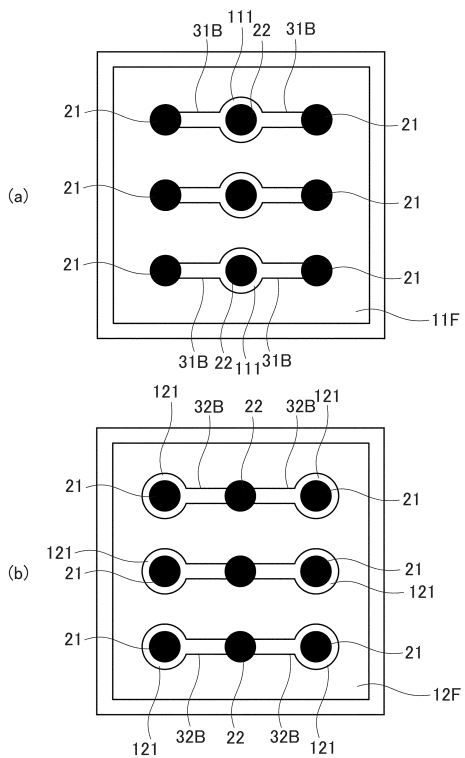


10

20

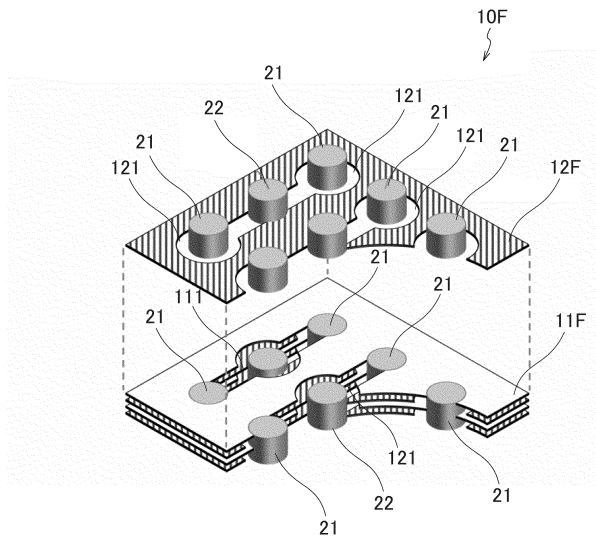
【 図 1 5 】

図15



【 図 1 6 】

図16



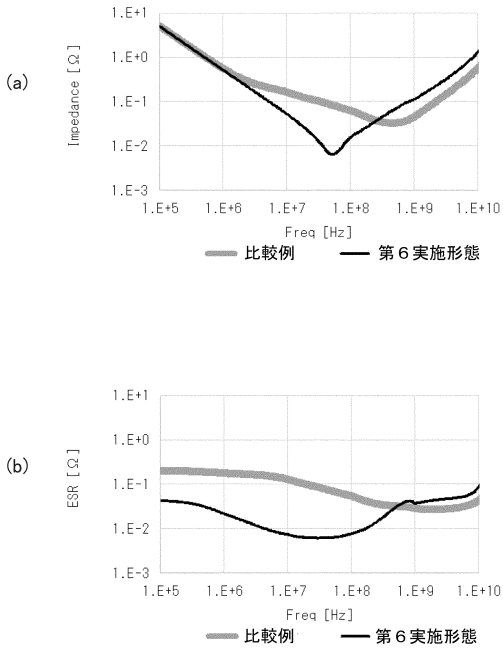
30

40

50

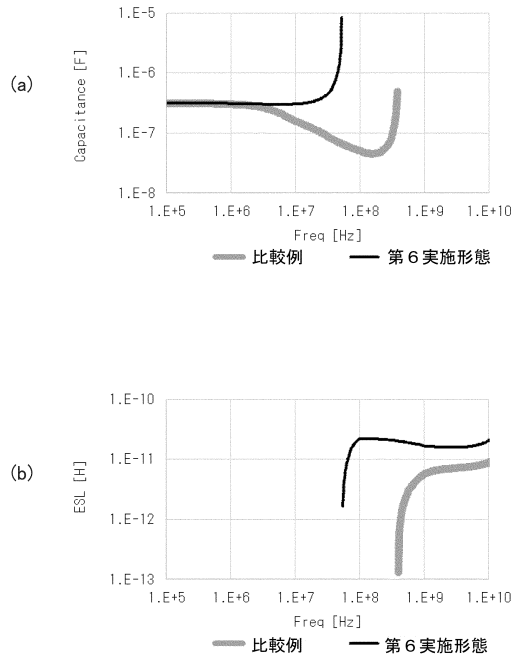
【図 17】

図17



【図 18】

図18

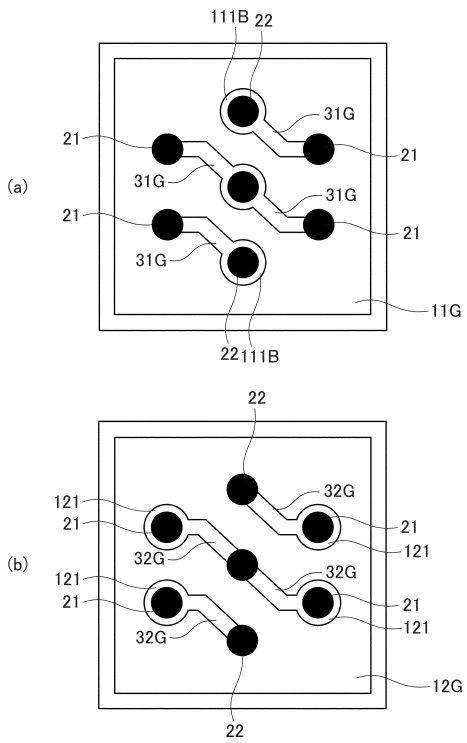


10

20

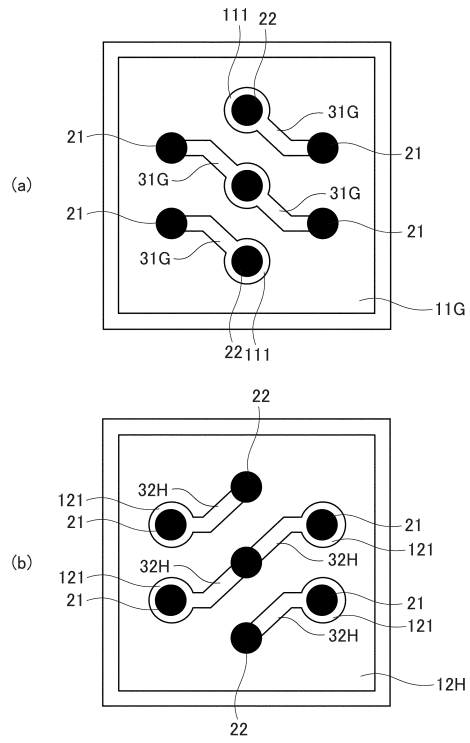
【図 19】

図19



【図 20】

図20



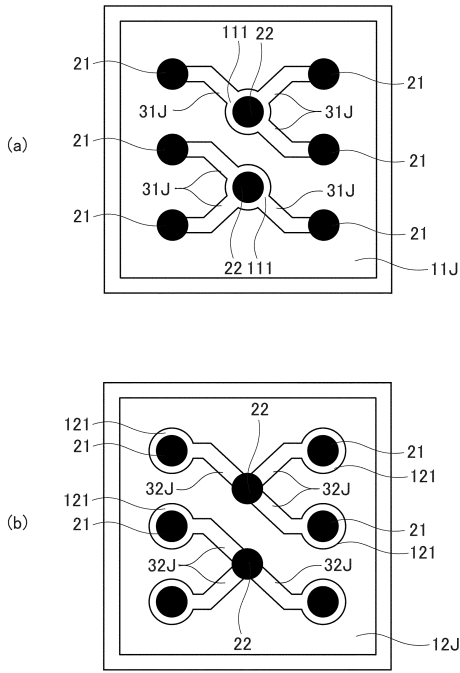
30

40

50

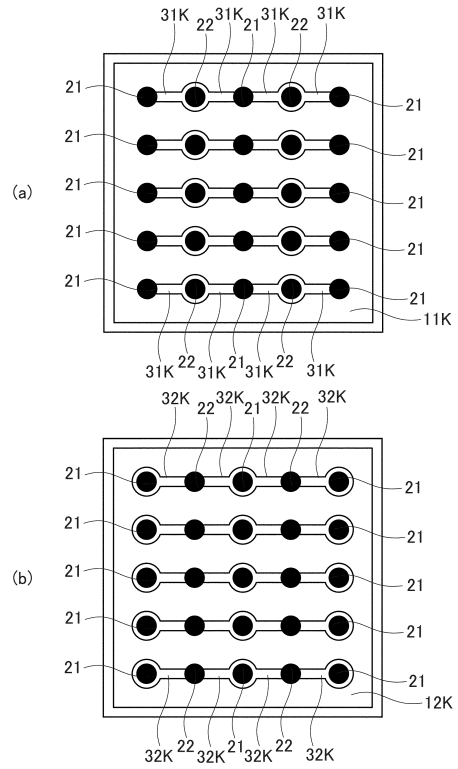
【 図 2 1 】

図21



【 図 2 2 】

図22

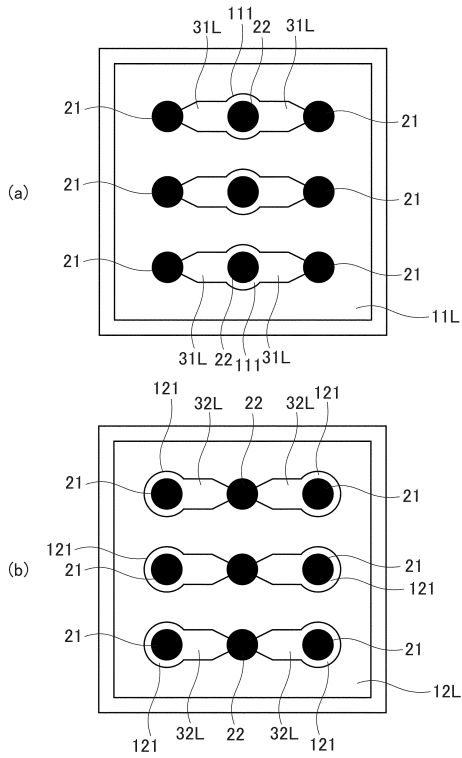


10

20

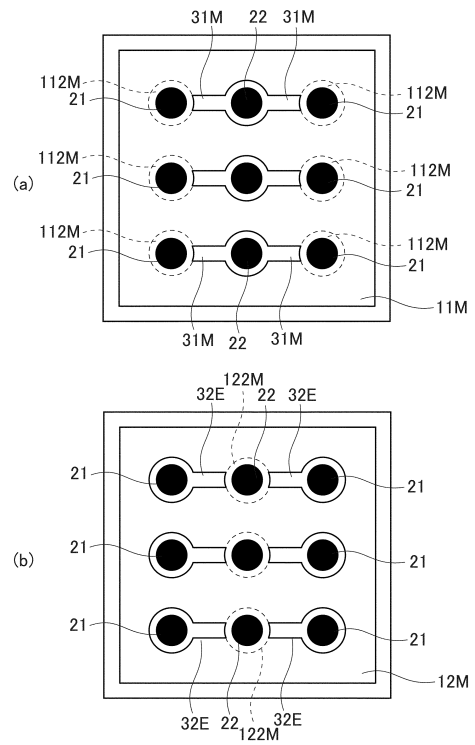
【 図 2 3 】

図23



【 図 2 4 】

図24



30

40

50

フロントページの続き

- (56)参考文献 特開2003-059755(JP,A)
特開2006-135333(JP,A)
特開2001-148325(JP,A)
特開2002-160467(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H01G 4/30
H01G 4/38