

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-27205

(P2010-27205A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.		F I		テーマコード (参考)
G 1 1 C 11/407 (2006.01)		G 1 1 C 11/34	3 5 4 D	5 B 0 1 5
G 1 1 C 11/401 (2006.01)		G 1 1 C 11/34	3 7 1 K	5 M 0 2 4
G 1 1 C 11/417 (2006.01)		G 1 1 C 11/34	3 0 5	
G 1 1 C 11/41 (2006.01)		G 1 1 C 11/34	3 4 5	

審査請求 有 請求項の数 3 O L (全 13 頁)

(21) 出願番号	特願2009-252416 (P2009-252416)	(71) 出願人	591024111
(22) 出願日	平成21年11月2日 (2009.11.2)		株式会社ハイニックスセミコンダクター
(62) 分割の表示	特願平11-348837の分割		HYNIX SEMICONDUCTOR
原出願日	平成11年12月8日 (1999.12.8)		I N C.
(31) 優先権主張番号	53909/1998		大韓民国京畿道利川市夫鉢邑牙美里山13
(32) 優先日	平成10年12月9日 (1998.12.9)		6-1
(33) 優先権主張国	韓国 (KR)		San 136-1, Ami-Ri, Bu
			bal-Eup, Ichon-Shi, K
			youngki-Do, Korea
		(74) 代理人	100065215
			弁理士 三枝 英二
		(74) 代理人	100114616
			弁理士 眞下 晋一
		(74) 代理人	100124028
			弁理士 松本 公雄

最終頁に続く

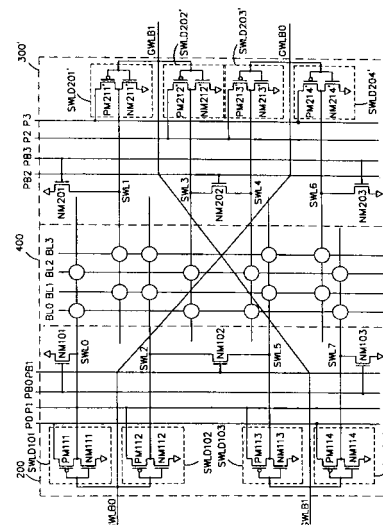
(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】サブワードラインを接地端子に連結するためのNMOSTランジスタの個数を減らしてレイアウトを単純化させ、半導体メモリのサイズを縮小し得る半導体メモリを提供する。

【解決手段】グローバルワードラインイネーブル信号の反転信号GWL B 0 , GWL B 1 が入力端子に連結され、プリデコーディング信号P 0 ~ P 3 が電源端子に連結され、出力端子が第1 ~ 第8サブワードラインSWL 0 ~ SWL 7にそれぞれ連結される第1 ~ 第4サブワードライン駆動器SWLD 1 0 1 ~ SWLD 1 0 4、SWLD 2 0 1 ~ SWLD 2 0 4'と、同一のプリデコーディング信号が入力される隣接したサブワードライン駆動器の出力端子に連結されたサブワードライン間に連結され、プリデコーディング信号により制御される複数のトランジスタNM 1 0 1 ~ NM 1 0 3 , NM 2 0 1 ~ NM 2 0 3と、から第1 , 第2サブワードライン駆動部2 0 0 , 3 0 0'が構成される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

ワードライン信号及びローデコーディング信号によって特定のサブワードラインを駆動する信号を出力する複数のサブワードライン駆動器を持つ、第 1 サブワードライン駆動部及び第 2 サブワードライン駆動部と、

前記第 1 及び第 2 サブワードライン駆動部の出力信号によって特定のメモリセルを選択して、ビットラインを介してデータを格納または出力するメモリセルアレイが一つの単位で交番して配列されているサブワードライン駆動回路とを備えた半導体メモリにおいて、

前記第 1 及び第 2 サブワードライン駆動部は、ローデコーダーによるワードライン信号を入力端子に連結して、前記ローデコーダーによるデコーディング信号を電源端子に連結し、サブワードラインに出力端子を連結するインバータで構成された複数のサブワードライン駆動器で構成され、

前記サブワードライン駆動器は、同一のデコーディング信号が入力され、他のグローバルワードラインイネーブル信号が入力される隣接した前記ワードラインドライバの出力端のサブワードラインとの間に、前記サブワードライン駆動器に入力されるデコーディング信号の反転信号によって制御されるトランジスタを含み、

前記他のグローバルワードラインイネーブル信号のラインは、前記メモリセルアレイで互いに交差して配列されることを特徴とするサブワードライン駆動回路を備えた半導体メモリ。

【請求項 2】

第 1 グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした複数のプリデコーディング信号または接地電位を複数のサブワードラインにそれぞれ提供するサブワードライン駆動器を含む上部サブワードライン駆動器グループと、

第 2 グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした複数のプリデコーディング信号または接地電位を複数のサブワードラインにそれぞれ提供するサブワードライン駆動器を含む下部サブワードライン駆動器グループとを含む第 1 サブワードライン駆動部と、

前記第 2 グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした複数のプリデコーディング信号または接地電位を複数のサブワードラインにそれぞれ提供するサブワードライン駆動器を含む上部サブワードライン駆動器グループと、

前記第 1 グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした複数のプリデコーディング信号または接地電位を複数のサブワードラインにそれぞれ提供するサブワードライン駆動器を含む下部サブワードライン駆動器グループとを含む第 2 サブワードライン駆動部と、

を含み、

前記第 1 及び第 2 サブワードライン駆動部それぞれの上部サブワードライン駆動器グループと、下部サブワードライン駆動器グループに含まれたサブワードライン駆動器の中で、同一のデコーディング信号が入力され、互いに異なるグローバルワードラインイネーブル信号が印加される隣接したワードライン駆動器の出力端の間に連結されるトランジスタを含み、それぞれのトランジスタはそれぞれ連結されているサブワードライン駆動器に印加されるプリデコーディング信号の反転信号によって制御されることを特徴とするサブワードライン駆動回路とを備えることを特徴とする半導体メモリ。

【請求項 3】

第 1 グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした第 1 プリデコーディング信号または接地電位を第 1 サブワードラインに提供する第 1 サブワードライン駆動器と、

前記第 1 グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした第 2 プリデコーディング信号または接地電位を第 3 サブワードライン

に提供する第 2 サブワードライン駆動器と、

第 2 グローバルワードラインイネーブル信号にตอบสนองして、ローアドレス信号をプリデコーディングした前記第 1 プリデコーディング信号または接地電位を第 6 サブワードラインに提供する第 3 サブワードライン駆動器と、

前記第 2 グローバルワードラインイネーブル信号にตอบสนองして、ローアドレス信号をプリデコーディングした前記第 2 プリデコーディング信号または接地電位を第 8 サブワードラインに提供する第 4 サブワードライン駆動器とを含む第 1 サブワードライン駆動部と、

前記第 2 グローバルワードラインイネーブル信号にตอบสนองして、ローアドレス信号をプリデコーディングした第 4 プリデコーディング信号または接地電位を第 2 サブワードラインに提供する第 1 サブワードライン駆動器と、

10

前記第 2 グローバルワードラインイネーブル信号にตอบสนองして、ローアドレス信号をプリデコーディングした第 3 プリデコーディング信号または接地電位を第 4 サブワードラインに提供する第 2 サブワードライン駆動器と、

前記第 1 グローバルワードラインイネーブル信号にตอบสนองして、ローアドレス信号をプリデコーディングした第 4 プリデコーディング信号または接地電位を第 5 サブワードラインに提供する第 3 サブワードライン駆動器と、

前記第 1 グローバルワードラインイネーブル信号にตอบสนองして、ローアドレス信号をプリデコーディングした第 3 プリデコーディング信号または接地電位を第 7 サブワードラインに提供する第 4 サブワードライン駆動器とを含む第 2 サブワードライン駆動部と、

前記第 1 サブワードライン及び接地電位の間に提供され、反転された第 1 プリデコーディング信号に応じて動作する第 1 スイッチング素子と、

20

前記第 3 及び第 4 サブワードラインの間に提供され、反転された第 2 プリデコーディング信号に応じて動作する第 2 スイッチング素子と、

前記第 8 サブワードラインに提供され、前記反転された第 1 プリデコーディング信号に応じて動作する第 3 スイッチング素子と、

前記第 2 サブワードライン及び接地電位の間に提供され、反転された第 4 プリデコーディング信号に応じて動作する第 4 スイッチング素子と、

前記第 4 及び第 5 サブワードラインの間に提供され、反転された第 3 プリデコーディング信号に応じて動作する第 5 スイッチング素子と、

前記第 7 サブワードラインに提供され、前記反転された第 4 プリデコーディング信号に応じて動作する第 6 スイッチング素子とを含む半導体メモリ。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリに係るもので、詳しくは、レイアウトを単純化させ、サイズを縮小し得る半導体メモリに関するものである。

【背景技術】

【0002】

一般に、半導体メモリにおいては、入力されるアドレス信号をデコーディングするデコードと、該デコードの出力信号により特定のメモリセルにデータを格納し、または、格納されたデータをビットラインを通して出力するようにサブワードラインを駆動するサブワードライン駆動回路と、を包含して構成される。このようなサブワードライン駆動回路を包含した半導体メモリを、図面を用いて説明する。尚、本明細書では、8本のサブワードラインを包含する半導体メモリを例に挙げて説明する。

40

【0003】

即ち、従来の半導体メモリは、図 4 に示したように、上位 (high significant) のローアドレス信号がプリデコーディングされて生成された上位プリデコーディング信号 P4 ~ Px を外部から入力し、第 1, 第 2 グローバルワードラインイネーブル信号の反転信号 G W L B 0, G W L B 1 を出力するローデコード 10 と、前記反転された第 1, 第 2 グローバルワードラインイネーブル信号 G W L B 0, G W L B 1、並びに下位 (lowsignificant

50

）のローアドレス信号がプリデコーディングされて生成された第 1，第 2 下位プリデコーディング信号 P 0，P 1 及びそれらが反転された第 1，第 2 下位プリデコーディング信号 P B 0，P B 1 を外部から入力し、第 1，第 2 下位プリデコーディング信号 P 0，P 1 の電圧または接地電圧を所定のサブワードラインに選択的に出力する第 1 サブワードライン駆動部 2 0 と、前記第 1，第 2 グローバルワードラインイネーブル信号の反転信号 G W L B 0，G W L B 1 並びに下位 (low significant) のローアドレス信号がプリデコーディングされて生成された第 3，第 4 下位プリデコーディング信号 P 2，P 3 及びそれらが反転された第 3，第 4 下位プリデコーディング信号 P B 2，P B 3 を外部から入力し、第 3，第 4 下位プリデコーディング信号 P 2，P 3 の電圧または接地電圧を所定のサブワードラインに選択的に出力する第 2 サブワードライン駆動部 3 0 と、それら第 1，第 2 サブワードライン駆動部 2 0，3 0 から出力される信号の電圧により所定のサブワードラインがイネーブルされ、各ビットラインを介してデータを格納し、または格納されたデータを出力する複数のメモリセルからなるメモリセルアレイ 4 0 と、を包含して構成されていた。

10

【 0 0 0 4 】

半導体メモリは、前記第 1，第 2 サブワードライン駆動部 2 0，3 0 及びメモリセルアレイ 4 0 が 1 つの単位として構成され、必要に応じて複数の単位が連結されて構成される。

【 0 0 0 5 】

このような第 1，第 2 サブワードライン駆動部 2 0，3 0 及びメモリセルアレイ 4 0 を、図 5 に基づいて説明する。第 1 サブワードライン駆動部 2 0 は、第 1，第 2 グローバルワードラインイネーブル信号の反転信号 G W L B 0，G W L B 1 及び反転された第 1，第 2 下位プリデコーディング信号 P B 0，P B 1 により、第 1，第 2 下位プリデコーディング信号 P 0，P 1 の電圧または接地電圧を各サブワードライン S W L 0，S W L 2，S W L 4，S W L 6 に選択的に出力する第 1～第 4 サブワードライン駆動器 S W L D 1 1～S W L D 1 4 を包含して構成される。

20

【 0 0 0 6 】

前記第 1 サブワードライン駆動器 S W L D 1 1 は、第 1 グローバルワードラインイネーブル信号の反転信号 G W L B 0 がゲート端子に印加され、第 1 下位プリデコーディング信号 P 0 がソース端子に印加される第 1 P M O S トランジスタ P M 1 1 と、該第 1 P M O S トランジスタ P M 1 1 のゲート端子及びドレイン端子にゲート端子及びドレイン端子がそれぞれ連結され、ソース端子は接地された第 1 N M O S トランジスタ N M 1 1 - 1 と、ゲート端子に第 1 下位プリデコーディング信号の反転信号 P B 0 が印加され、ドレイン端子がサブワードライン S W L 0 に連結され、ソース端子が接地された第 2 N M O S トランジスタ N M 1 1 - 2 と、を包含して構成される。ここで、第 1 P M O S トランジスタ P M 1 1 及び第 1 N M O S トランジスタ N M 1 1 - 1 はインバータを構成し、それらの互いに連結されたドレイン端子はサブワードライン S W L 0 に連結される。

30

【 0 0 0 7 】

前記各第 2～第 4 サブワードライン駆動器 S W L D 1 2～S W L D 1 4 も前記第 1 サブワードライン駆動器 S W L D 1 1 と同様に構成され、第 1 グローバルワードラインイネーブル信号の反転信号 G W L B 0 または第 2 グローバルワードラインイネーブル信号の反転信号 G W L B 1、並びに第 1 下位プリデコーディング信号 P 0 及びその反転信号 P B 0 または第 2 下位プリデコーディング信号 P 1 及びその反転信号 P B 1 によりそれぞれ制御されて、第 1，第 2 下位プリデコーディング信号 P 0，P 1 の電圧または接地電圧をサブワードライン S W L 2，S W L 4，S W L 6 にそれぞれ選択的に出力する。

40

【 0 0 0 8 】

前記第 2 サブワードライン駆動部 3 0 は、前記第 1 サブワードライン駆動部 2 0 と同様に構成される。ここで、第 1～第 4 サブワードライン駆動器 S W L D 2 1～S W L D 2 4 は、前記第 1 サブワードライン駆動部 2 0 の第 1～第 4 サブワードライン駆動器 S W L D 1 1～S W L D 1 4 と同様に構成され、第 1，第 2 グローバルワードラインイネーブル信

50

号の反転信号 G W L B 0 , G W L B 1 並びに第 3 , 第 4 下位プリデコーディング信号 P 2 , P 3 及びそれらの反転信号 P B 2 , P B 3 によりそれぞれ制御されて、第 3 , 第 4 下位プリデコーディング信号 P 2 , P 3 の電圧または接地電圧をサブワードライン S W L 1 , S W L 3 , S W L 5 , S W L 7 に選択的に出力する。

【 0 0 0 9 】

前記メモリセルアレイ 4 0 は、前記第 1 , 第 2 サブワードライン駆動部 2 0 , 3 0 の各サブワードライン駆動器 S W L D 1 1 ~ S W L D 1 4 , S W L D 2 1 ~ S W L D 2 4 にそれぞれ連結されたサブワードライン S W L 0 ~ S W L 7 とビットライン B L 0 ~ B L 3 との交点にメモリセルがそれぞれ連結されて構成される。

【 0 0 1 0 】

ここで、前記サブワードライン駆動器の数は、メモリセルの個数、即ち、サブワードラインの本数の増加に伴って増加される。このように構成された従来の半導体メモリの動作について説明すると、次のようである。

【 0 0 1 1 】

先ず、上位プリデコーディング信号 P 4 ~ P x がローデコーダ 1 0 に入力されると、該ローデコーダ 1 0 はデコーディングを行って、第 1 , 第 2 グローバルワードラインイネーブル信号の反転信号 G W L B 0 , G W L B 1 を出力する。

【 0 0 1 2 】

一方、第 1 ~ 第 4 下位プリデコーディング信号 P 0 ~ P 3 及びそれらの反転信号 P B 0 ~ P B 3 は、第 1 , 第 2 サブワードライン駆動部 2 0 , 3 0 に印加される。

【 0 0 1 3 】

例えば、サブワードライン S W L 0 を活性化させるときには、ローデコーダ 1 0 から出力された第 1 グローバルワードラインイネーブル信号の反転信号 G W L B 0 がローレベルとなり、第 1 プリデコーディング信号 P 0 がハイレベルになって、第 1 サブワードライン駆動部 2 0 の第 1 サブワードライン駆動器 S W L D 1 1 からサブワードライン S W L 0 にハイレベルの第 1 プリデコーディング信号 P 0 が出力され、サブワードライン S W L 0 に連結されたメモリセルアレイ 4 0 のメモリセルに対して、ビットライン B L 0 またはビットライン B L 2 を経由してデータをリードまたはライトする動作が可能になる。

【 0 0 1 4 】

その他の第 2 ~ 第 4 下位プリデコーディング信号 P 1 ~ P 3 の反転信号 P B 1 ~ P B 3 は全部ハイレベルであるため、サブワードライン駆動器 S W L D 1 2 , S W L D 2 1 , S W L D 2 2 の各第 2 N M O S トランジスタ N M 1 2 - 2 , N M 2 1 - 2 , N M 2 2 - 2 がターンオンされて、サブワードライン S W L 1 ~ S W L 3 は接地端子に連結され、各サブワードライン S W L 1 ~ S W L 3 に連結されたメモリセルアレイ 4 0 の各メモリセルに格納されたデータは維持される。

【 0 0 1 5 】

また、第 2 グローバルワードラインイネーブル信号の反転信号 G W L B 1 はハイレベルであるため、第 1 ~ 第 4 下位プリデコーディング信号 P 0 ~ P 3 に拘わらず、サブワードライン S W L 4 ~ S W L 7 に連結された各サブワードライン駆動器 S W L D 1 3 , S W L D 1 4 , S W L D 2 3 , S W L D 2 4 の各 N M O S トランジスタ N M 1 3 - 1 , N M 1 4 - 1 , N M 2 3 - 1 , N M 2 4 - 1 により、サブワードライン S W L 4 ~ S W L 7 は接地端子に連結されるので、それらサブワードライン S W L 4 ~ S W L 7 に連結されたメモリセルアレイ 4 0 の各メモリセルに格納されたデータは維持される。

【 0 0 1 6 】

このように、前記第 1 , 第 2 グローバルワードラインイネーブル信号の反転信号 G W L B 0 , G W L B 1 及び第 1 ~ 第 4 下位プリデコーディング信号 P 0 ~ P 3 の論理レベルを選択して印加させると、所望のサブワードラインを選択してイネーブルさせることができるので、メモリセルアレイ 4 0 のうちの所望のメモリセルを選択してデータをリードまたはリードすることができる。

【 発明の概要 】

10

20

30

40

50

【発明が解決しようとする課題】

【0017】

然るに、このような従来の半導体メモリにおいては、各サブワードライン駆動部20, 30が、サブワードラインSWL0~SWL7を接地端子に連結するためのNMOSTランジスタNM11-2, ..., NM24-2を各サブワードラインSWL0~SWL7毎に備えているため、レイアウトが複雑になって半導体メモリのサイズが大きくなるという不都合な点があった。

【0018】

本発明は、このような従来の課題に鑑みてなされたもので、サブワードラインを接地端子に連結するためのNMOSTランジスタの数を減らしてレイアウトを単純化し、半導体メモリのサイズを縮小し得る半導体メモリを提供することを目的とする。

10

【課題を解決するための手段】

【0019】

このような目的を達成するため、本発明の請求項1に係る半導体メモリは、ワードライン信号及びローデコーディング信号によって特定のサブワードラインを駆動する信号を出力する複数のサブワードライン駆動器を持つ、第1サブワードライン駆動部及び第2サブワードライン駆動部と、前記第1及び第2サブワードライン駆動部の出力信号によって特定のメモリセルを選択して、ビットラインを介してデータを格納または出力するメモリセルアレイが一つの単位で交番して配列されているサブワードライン駆動回路とを備えた半導体メモリにおいて、前記第1及び第2サブワードライン駆動部は、ローデコーダーによるワードライン信号を入力端子に連結して、前記ローデコーダーによるデコーディング信号を電源端子に連結し、サブワードラインに出力端子を連結するインバータで構成された複数のサブワードライン駆動器で構成され、前記サブワードライン駆動器は、同一のデコーディング信号が入力され、他のグローバルワードラインイネーブル信号が入力される隣接した前記ワードラインドライバの出力端のサブワードラインとの間に、前記サブワードライン駆動器に入力されるデコーディング信号の反転信号によって制御されるトランジスタを含み、前記他のグローバルワードラインイネーブル信号のラインは、前記メモリセルアレイで互いに交差して配列されることを特徴とするサブワードライン駆動回路を備えて構成される。

20

【0020】

30

また、本発明の請求項2に係る半導体メモリは、第1グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした複数のプリデコーディング信号または接地電位を複数のサブワードラインにそれぞれ提供するサブワードライン駆動器を含む上部サブワードライン駆動器グループと、第2グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした複数のプリデコーディング信号または接地電位を複数のサブワードラインにそれぞれ提供するサブワードライン駆動器を含む下部サブワードライン駆動器グループとを含む第1サブワードライン駆動部と、前記第2グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした複数のプリデコーディング信号または接地電位を複数のサブワードラインにそれぞれ提供するサブワードライン駆動器を含む上部サブワードライン駆動器グループと、前記第1グローバルワードラインイネーブル信号に応答して、ローアドレス信号をプリデコーディングした複数のプリデコーディング信号または接地電位を複数のサブワードラインにそれぞれ提供するサブワードライン駆動器を含む下部サブワードライン駆動器グループとを含む第2サブワードライン駆動部と、を含み、前記第1及び第2サブワードライン駆動部それぞれの上部サブワードライン駆動器グループと、下部サブワードライン駆動器グループに含まれたサブワードライン駆動器の中で、同一のデコーディング信号が入力され、互いに異なるグローバルワードラインイネーブル信号が印加される隣接したワードライン駆動器の出力端の間に連結されるトランジスタを含み、それぞれのトランジスタはそれぞれ連結されているサブワードライン駆動器に印加されるプリデコーディング信号の反転信号によって制御されることを特徴とするサブワードライン駆動回路とを備

40

50

えて構成される。

【 0 0 2 1 】

また、本発明の請求項 3 に係る半導体メモリは、第 1 グローバルワードラインイネーブル信号に 응답して、ローアドレス信号をプリデコーディングした第 1 プリデコーディング信号または接地電位を第 1 サブワードラインに提供する第 1 サブワードライン駆動器と、前記第 1 グローバルワードラインイネーブル信号に 응답して、ローアドレス信号をプリデコーディングした第 2 プリデコーディング信号または接地電位を第 3 サブワードラインに提供する第 2 サブワードライン駆動器と、第 2 グローバルワードラインイネーブル信号に 응답して、ローアドレス信号をプリデコーディングした前記第 1 プリデコーディング信号または接地電位を第 6 サブワードラインに提供する第 3 サブワードライン駆動器と、前記第 2 グローバルワードラインイネーブル信号に 응답して、ローアドレス信号をプリデコーディングした前記第 2 プリデコーディング信号または接地電位を第 8 サブワードラインに提供する第 4 サブワードライン駆動器とを含む第 1 サブワードライン駆動部と、前記第 2 グローバルワードラインイネーブル信号に 응답して、ローアドレス信号をプリデコーディングした第 4 プリデコーディング信号または接地電位を第 2 サブワードラインに提供する第 1 サブワードライン駆動器と、前記第 2 グローバルワードラインイネーブル信号に 응답して、ローアドレス信号をプリデコーディングした第 3 プリデコーディング信号または接地電位を第 4 サブワードラインに提供する第 2 サブワードライン駆動器と、前記第 1 グローバルワードラインイネーブル信号に 응답して、ローアドレス信号をプリデコーディングした第 4 プリデコーディング信号または接地電位を第 5 サブワードラインに提供する第 3 サブワードライン駆動器と、前記第 1 グローバルワードラインイネーブル信号に 응답して、ローアドレス信号をプリデコーディングした第 3 プリデコーディング信号または接地電位を第 7 サブワードラインに提供する第 4 サブワードライン駆動器とを含む第 2 サブワードライン駆動部と、前記第 1 サブワードライン及び接地電位の間に提供され、反転された第 1 プリデコーディング信号に応じて動作する第 1 スイッチング素子と、前記第 3 及び第 4 サブワードラインの間に提供され、反転された第 2 プリデコーディング信号に応じて動作する第 2 スイッチング素子と、前記第 8 サブワードライン及び接地電位の間に提供され、前記反転された第 1 プリデコーディング信号に応じて動作する第 3 スイッチング素子と、前記第 2 サブワードライン及び接地電位の間に提供され、反転された第 4 プリデコーディング信号に応じて動作する第 4 スイッチング素子と、前記第 4 及び第 5 サブワードラインの間に提供され、反転された第 3 プリデコーディング信号に応じて動作する第 5 スイッチング素子と、前記第 7 サブワードライン及び接地電位の間に提供され、前記反転された第 4 プリデコーディング信号に応じて動作する第 6 スイッチング素子とを含む。

【発明の効果】

【 0 0 2 2 】

本発明に係る半導体メモリは、サブワードラインを接地端子に連結する N M O S トランジスタの個数を従来の構成における N M O S トランジスタの個数より削減できるため、半導体メモリの面積を縮小し、集積度を向上し得るという効果がある。

【図面の簡単な説明】

【 0 0 2 3 】

【図 1】本発明に係る半導体メモリを示したブロック図である。

【図 2】図 1 の第 1 , 第 2 サブワードライン駆動部 2 0 0 , 3 0 0 及びメモリセルアレイ 4 0 0 の第 1 実施形態を示した回路図である。

【図 3】図 1 の第 1 , 第 2 サブワードライン駆動部 2 0 0 , 3 0 0 及びメモリセルアレイ 4 0 0 の第 2 実施形態を示した回路図である。

【図 4】従来の半導体メモリを示したブロック図である。

【図 5】図 4 の第 1 , 第 2 サブワードライン駆動部 2 0 , 3 0 及びメモリセルアレイ 4 0 を示した回路図である。

【発明を実施するための形態】

【 0 0 2 4 】

以下、本発明の実施の形態に対し、図面を用いて説明する。本発明に係る半導体メモリの第1実施形態は、図1に示したように、上位 (high significant) のロー (row) アドレス信号がプリデコーディングされた上位プリデコーディング信号 P4 ~ Px を外部から入力して、相補なワードラインイネーブル信号としてのグローバルワードラインイネーブル信号の反転信号 G W L B 0 , G W L B 1 を出力するローデコーダ 100 と、前記第1, 第2グローバルワードラインイネーブル信号の反転信号 G W L B 0 , G W L B 1 並びに外部から入力された下位 (low significant) のローアドレス信号がプリデコーディングされたデコーディング信号である第1, 第2下位プリデコーディング信号 P0, P1 及びその反転信号 P B 0 , P B 1 により、第1, 第2下位プリデコーディング信号 P0, P1 の電圧または接地電圧を第1, 第3, 第6, 第8サブワードライン S W L 0 , S W L 2 , S W L 5 , S W L 7 に選択的に出力する第1サブワードライン駆動部 200 と、前記第1, 第2グローバルワードラインイネーブル信号の反転信号 G W L B 0 , G W L B 1 並びに外部から入力された下位のローアドレス信号がプリデコーディングされたデコーディング信号である第3, 第4下位プリデコーディング信号 P2, P3 及びその反転信号 P B 2 , P B 3 により、第3, 第4下位プリデコーディング信号 P2, P3 の電圧または接地電圧を第2, 第4, 第5, 第7サブワードライン S W L 1 , S W L 3 , S W L 4 , S W L 6 に選択的に出力する第2サブワードライン駆動部 300 と、複数のメモリセルを有し、第1, 第2サブワードライン駆動部 200 , 300 により所定のサブワードラインが活性化され、活性化されたサブワードラインに接続するメモリセルに対してデータを格納し、または該格納されたデータを出力するメモリセルアレイ 400 と、を包含して構成されている。

【0025】

ここで、前記第1, 第2サブワードライン駆動部 200 , 300 及びメモリセルアレイ 400 は1つの単位とされ、メモリセルアレイ 400 の両側に2つのサブワードライン駆動部 200 , 300 がそれぞれ配置されて構成されており、必要に応じて複数の単位が連結されて半導体メモリが構成される。

【0026】

このような第1, 第2サブワードライン駆動部 200 , 300 及びメモリセルアレイ 400 を、図2を用いて説明する。第1サブワードライン駆動部 200 は、反転された第1, 第2グローバルワードラインイネーブル信号 G W L B 0 , G W L B 1 により第1, 第2下位プリデコーディング信号 P0, P1 の電圧または接地電圧を第1, 第3, 第6, 第8サブワードライン S W L 0 , S W L 2 , S W L 5 , S W L 7 に選択的に出力する第1 ~ 第4サブワードライン駆動器 S W L D 101 ~ S W L D 104 と、反転された第1下位プリデコーディング信号 P B 0 または第2下位プリデコーディング信号 P B 1 がゲート端子に印加され、サブワードラインに連結される第1 ~ 第3 N M O S トランジスタ N M 101 , N M 102 , N M 103 と、を包含して構成されている。

【0027】

具体的には、第1 N M O S トランジスタ N M 101 は、ソース端子は接地され、ドレイン端子は第1サブワードライン S W L 0 に連結され、ゲート端子には第1下位プリデコーディング信号の反転信号 P B 0 が印加されるように構成され、第2 N M O S トランジスタ N M 102 のドレイン端子及びソース端子は第3, 第6サブワードライン S W L 2 , S W L 5 にそれぞれ連結され、ゲート端子には第2下位プリデコーディング信号の反転信号 P B 1 が印加されるように構成され、第3 N M O S トランジスタ N M 103 は、ソース端子は接地され、ドレイン端子は第8サブワードライン S W L 7 に連結され、ゲート端子には第1下位プリデコーディング信号の反転信号 P B 0 が印加されるように構成される。

【0028】

ここで、第1 N M O S トランジスタ N M 101 及び第3 N M O S トランジスタ N M 103 の各ソース端子がそれぞれ接地端子に連結されるのは、メモリセルアレイ 400 の両端部のメモリセルに接続される第1, 第8サブワードライン S W L 0 , S W L 7 にそれぞれ連結するからである。尚、第1サブワードライン駆動部 200 内のサブワードライン駆動

器及びNMOSトランジスタは、必要に応じて個数を増加して連結することができる。

【0029】

前記第1サブワードライン駆動器SWLD101は、反転された第1グローバルワードラインイネーブル信号GWL B0がゲート端子に印加され、ドレイン端子は第1サブワードラインSWL0に連結され、ソース端子に第1下位プリデコーディング信号P0が印加されるPMOSトランジスタPM111と、該PMOSトランジスタPM111のゲート端子にゲート端子が連結され、ドレイン端子が前記PMOSトランジスタPM111のドレイン端子に連結されて第1サブワードラインSWL0に連結され、ソース端子が接地されたNMOSトランジスタNM111と、から構成されて、インバータの役割を行う。PMOSトランジスタPM111及びNMOSトランジスタNM111のゲート端子の接続点が入力端子となり、ドレイン端子の接続点が出力端子となり、PMOSトランジスタPM111のソース端子が電源端子となる。

10

【0030】

前記第2～第4サブワードライン駆動器SWLD102～SWLD104も前記第1サブワードライン駆動器SWLD101と同様に構成され、第1グローバルワードラインイネーブル信号の反転信号GWL B0, GWL B1により前記第1, 第2下位プリデコーディング信号P0, P1の電圧または接地電圧を第3, 第6, 第8サブワードラインSWL2, SWL5, SWL7にそれぞれ選択的に出力する。

【0031】

前記第2サブワードライン駆動部300は、前記第1サブワードライン駆動部200と同様に、第1～第4サブワードライン駆動器SWLD201～SWLD204及び第1～第3NMOSトランジスタNM201～NM203を備えて構成され、第1, 第2グローバルワードラインイネーブル信号の反転信号GWL B0, GWL B1により、第3, 第4下位プリデコーディング信号P2, P3の電圧または接地電圧を第2, 第4, 第5, 第7サブワードラインSWL1, SWL3, SWL4, SWL6に選択的に出力する。第1～第3NMOSトランジスタNM201～NM203も、前記第1～第3NMOSトランジスタNM201～NM203と同様に構成され、第3下位プリデコーディング信号の反転信号PB2または第4下位プリデコーディング信号の反転信号PB3がゲート端子に印加されて、サブワードラインに連結される。

20

【0032】

このように構成された本発明に係る半導体メモリの第1実施形態の動作を説明する。具体的には、第1サブワードラインSWL0を活性化する場合について説明する。

30

【0033】

先ず、上位のローアドレス信号がプリデコーディングされて生成された複数の上位プリデコーディング信号P4～Pxがローデコーダ100に入力されると、該ローデコーダ100はデコーディングを行って第1, 第2グローバルワードラインイネーブル信号の反転信号GWL B0, GWL B1を出力する。

【0034】

一方、下位のローアドレス信号がプリデコーディングされた第1～第4下位プリデコーディング信号P0～P3は第1, 第2サブワードライン駆動部200, 300に印加される。

40

【0035】

このとき、前記ローデコーダ100から出力された第1グローバルワードラインイネーブル信号の反転信号GWL B0はローレベルになり、前記第1プリデコーディング信号P0はハイレベルになるので、PMOSトランジスタPM111はターンオンし、第1プリデコーディング信号の反転信号PB0はローレベルになるため、第1NMOSトランジスタNM101はターンオフされて第1サブワードラインSWL0が活性化され、第1サブワードラインSWL0に連結されたメモリセルアレイ400のメモリセルにデータをリードまたはライトする動作が可能になる。

【0036】

50

一方、第2グローバルワードラインイネーブル信号の反転信号GWL B 1はハイレベルであるので、第1,第2サブワードライン駆動部200,300の第3,第4サブワードライン駆動器SWLD 103,SWLD 104,SWLD 203,SWLD 204の各NMOSTランジスタNM 113,NM 114,NM 213,NM 214がターンオンされて、第5~第8サブワードラインSWL 4~SWL 7が接地端子に連結されて非活性化されるため、それら第5~第8サブワードラインSWL 4~SWL 7に連結されたメモリセルアレイ400の各メモリセルに格納されたデータは維持される。

【0037】

さらに、第3プリデコーディング信号の反転信号PB 2はハイレベルであるため、第2サブワードライン駆動部300の第2NMOSTランジスタNM 202がターンオンされて、第4サブワードラインSWL 3は、ターンオンされたNMOSTランジスタNM 213を介して接地端子に連結された第5サブワードラインSWL 4に連結され、第4サブワードラインSWL 3は非活性化されて、ローレベルとなる。

10

【0038】

また、第2プリデコーディング信号の反転信号PB 1がハイレベルであるため、前記第1サブワードライン駆動部200の第2NMOSTランジスタNM 102がターンオンされて、第3サブワードラインSWL 2は、ターンオンされたNMOSTランジスタNM 113を介して接地端子に連結された第6サブワードラインSWL 5に連結され、第3サブワードラインSWL 2も非活性化される。

【0039】

20

さらに、第4プリデコーディング信号の反転信号PB 3がハイレベルであるため、前記第2サブワードライン駆動部300の第1NMOSTランジスタNM 201がターンオンされて、第2サブワードラインSWL 1を接地端子に連結するので、第2サブワードラインSWL 1も非活性化される。

【0040】

これにより、第2~第4サブワードラインSWL 1~SWL 3に連結された各メモリセルのデータが維持される。同様にして、第1,第2グローバルワードラインイネーブル信号の反転信号GWL B 0,GWL B 1並びに第1~第4下位プリデコーディング信号P 0~P 3及びそれらの反転信号PB 0~PB 3の論理レベルを選択して印加すれば、第1~第8サブワードラインSWL 0~SWL 7のうちの所望のサブワードラインを選択して活性化させることができるので、メモリセルアレイ400の所望のメモリセルを選択してデータをリードまたはライト動作することができる。

30

【0041】

また、本発明に係る半導体メモリの第2実施形態は、図3に示したように、1つの単位にて構成される第1,第2サブワードライン駆動部200,300'及びメモリセルアレイ400は前記第1実施形態とほぼ同様に構成するが、第1,第2グローバルワードラインイネーブル信号の反転信号GWL B 0,GWL B 1が第1サブワードライン駆動部200をそれぞれ経由してメモリセルアレイ400で交差して第2サブワードライン駆動部300'に印加されるように構成されている。

【0042】

40

第2サブワードライン駆動部300'の第1,第2サブワードライン駆動器SWLD 201',SWLD 202'は第2グローバルワードラインイネーブル信号の反転信号GWL B 1により駆動され、第3,第4サブワードライン駆動器SWLD 203',SWLD 204'は第1グローバルワードラインイネーブル信号の反転信号GWL B 0により駆動されるが、その動作は前記第1実施形態の動作と同様に行われる。

【符号の説明】

【0043】

100:ローデコーダ

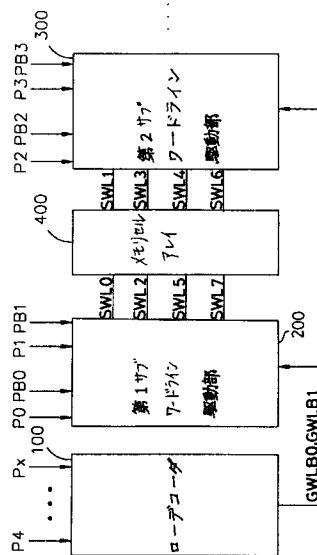
200:第1サブワードライン駆動部

300,300':第2サブワードライン駆動部

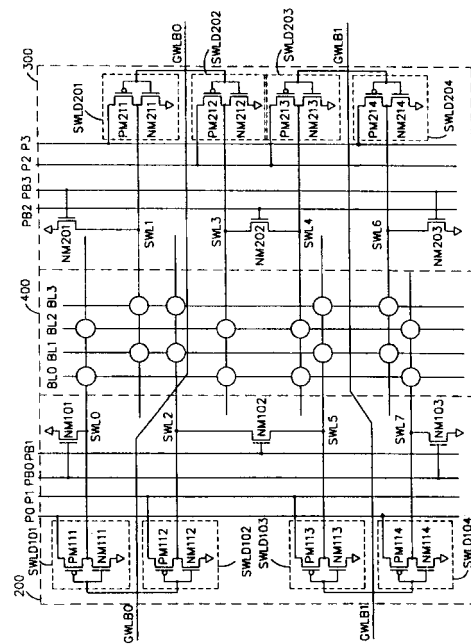
50

400 : メモリセルアレイ
 SWLD101 ~ SWLD104, SWLD201 ~ SWLD204, SWLD201' ~ SWLD204' : 第1 ~ 第4サブワードライン駆動器
 NM101 ~ NM103, NM111 ~ NM114, NM201 ~ NM203, NM211 ~ NM214, NM211' ~ NM214' : NMOSトランジスタ
 PM111 ~ PM114, PM211 ~ PM214, PM211' ~ PM214' : PMOSトランジスタ

【図1】



【図2】



フロントページの続き

(72)発明者 ジャエ - ホン ジェオン

大韓民国、ソウル、クワンジン - ク、ジュンコク 3 - ドン、5 4 4 - 6

Fターム(参考) 5B015 JJ37 KA24 PP01

5M024 AA54 BB08 CC39 CC40 LL01 PP01 PP03