

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5291865号  
(P5291865)

(45) 発行日 平成25年9月18日(2013.9.18)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl.

F I

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/30 J

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/36

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/20 6 2 1 K

H 0 1 L 51/50 (2006.01)

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 4 1 D

請求項の数 6 (全 32 頁) 最終頁に続く

(21) 出願番号 特願2006-121515 (P2006-121515)  
 (22) 出願日 平成18年4月26日(2006.4.26)  
 (65) 公開番号 特開2006-337992 (P2006-337992A)  
 (43) 公開日 平成18年12月14日(2006.12.14)  
 審査請求日 平成21年4月7日(2009.4.7)  
 (31) 優先権主張番号 特願2005-133825 (P2005-133825)  
 (32) 優先日 平成17年5月2日(2005.5.2)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 木村 肇  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 森口 忠紀

最終頁に続く

(54) 【発明の名称】 表示装置、表示モジュールおよび電子機器

(57) 【特許請求の範囲】

【請求項1】

ガラス基板と、表示領域と、ゲートドライバと、ソースドライバと、第1の回路と、を有する表示装置であって、

前記表示領域と、前記ゲートドライバと、前記ソースドライバとは、前記ガラス基板上に設けられ、

前記表示領域は、第1の領域と第2の領域とを有し、

ゲートドライバは、前記第1の領域と電氣的に接続され、

前記ゲートドライバは、前記第2の領域と電氣的に接続され、

ソースドライバは、前記第1の領域と電氣的に接続され、

前記ソースドライバは、前記第2の領域と電氣的に接続され、

前記第1の領域の階調方法は、デジタル階調法のみであり、

前記第2の領域の階調方法は、アナログ階調法のみであり、

前記第1の領域と前記第2の領域とは、同時に表示動作が行われ、

前記第1の領域は第1の画素を有し、

前記第2の領域は第2の画素を有し、

前記第1の画素は、第1のTFTと第1の表示素子とを有し、

前記第2の画素は、第2のTFTと第2の表示素子とを有し、

前記第1の回路は、アナログの映像信号とデジタルの映像信号とを前記ソースドライバに供給することができる機能を有し、

前記第 1 の回路は、第 2 の回路を有し、  
前記第 2 の回路は、前記アナログの映像信号を前記デジタルの映像信号に変換すること  
ができる機能を有することを特徴とする表示装置。

【請求項 2】

請求項 1 において、  
前記第 2 の画素は、容量素子を有することを特徴とする表示装置。

【請求項 3】

請求項 2 において、  
前記容量素子は、半導体層、絶縁層、および、導電層を有することを特徴とする表示装  
置。

10

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、  
前記第 1 の表示素子は第 1 の発光素子を有し、  
前記第 2 の表示素子は第 2 の発光素子を有することを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項に記載の表示装置と、ハウジング又は F P C とを  
有する表示モジュール。

【請求項 6】

請求項 5 に記載の表示モジュールと、筐体、バッテリー、又はスピーカとを有する電子機  
器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置の駆動方法に関する。

【背景技術】

【0002】

近年、画素を発光ダイオード (LED) などの発光素子で形成した、いわゆる自発光型  
の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子と  
しては、有機発光ダイオード (OLED (Organic Light Emitting  
Diode))、有機 EL 素子、エレクトロルミネッセンス (Electro Lum  
inescence: EL) 素子などとも言う) が注目を集めており、EL ディスプレイ  
(例えば、有機 EL ディスプレイなど) に用いられるようになってきている。OLED な  
どの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バ  
ックライトが不要で応答速度が速い等の利点がある。また発光素子の輝度は、そこを流れる  
電流値によって制御される。

30

【0003】

このような表示装置の発光階調を制御する駆動方式として、デジタル階調方式とアナログ  
階調方式とがある。デジタル階調方式はデジタル制御で発光素子をオンオフさせ、階調を  
表現している。一方、アナログ階調方式には、発光素子の発光強度をアナログ制御する方  
式と発光素子の発光時間をアナログ制御する方式がある。

40

【0004】

デジタル階調方式の場合、発光・非発光の 2 状態しかないため、このままでは、2 階調  
しか表現できない。そこで、別の手法を組み合わせ、多階調化を図ることが行われてい  
る。多階調化のための手法としては、時間階調法を用いられることが多い (特許文献 1 ~  
特許文献 2 参照)。

【0005】

デジタル制御で画素の表示状態を制御して、時間階調を組み合わせ、階調を表現するデ  
ィスプレイとしては、デジタル階調方式を用いた有機 EL ディスプレイの他にも、いくつ  
か存在する。例としては、プラズマディスプレイなどがある。

【0006】

50

時間階調法とは、発光している期間の長さや、発光した回数を制御して、階調を表現する方法である。つまり、1フレーム期間を複数のサブフレーム期間に分割し、各サブフレームに、発光回数や発光時間などの重み付けを行い、重み付けの総量（発光回数の総和や、発光時間の総和）を階調ごとに差を付けることによって、階調を表現している。

【特許文献1】特許公開番号2001-324958号公報

【特許文献2】特許公開番号2001-343933号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

このように、アナログ階調方式とデジタル階調方式とがあるが、双方とも、長所と短所があり、両方の長所を兼ね備えたような方式がなかった。そのため、どちらかの方式に限定せざるを得なかった。

【0008】

例えば、アナログ階調方式の場合、階調がなめらかに表示される一方、ノイズも一緒に表示されてしまったり、コントラストが低下してしまったりしていた。

【0009】

本発明はこのような問題点に鑑み、アナログ階調方式とデジタル階調方式の両方の長所を持ち、コントラストが高い、綺麗な表示をできるような表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、複数の表示モードで表示できるような手段を有する表示装置を提供する。つまり、ソースドライバには、アナログ信号とデジタル信号とが切り替えて入力される。そして、アナログ信号とデジタル信号とを切り替えて出力する手段を有している。このような手段を用いて、アナログ階調方式とデジタル階調方式の両方の長所もつように出来ることにより、上記目的を達成するものである。

【0011】

本発明の表示装置は、複数の画素がマトリクス状に配置された表示装置であって、前記表示装置は、ソースドライバとゲートドライバと、少なくとも2つの表示モードを有し、第1の表示モードにおいて、前記ソースドライバにアナログ信号が供給され、第2の表示モードにおいて、前記ソースドライバにデジタル信号が供給されることを特徴としている。

【0012】

また、本発明は、複数の画素がマトリクス状に配置された表示装置であって、前記表示装置は、ソースドライバとゲートドライバと、少なくとも2つの表示モードを有し、第1の表示モードにおいて、前記ソースドライバにアナログ信号が供給され、前記ソースドライバから前記画素にアナログ信号が供給され、第2の表示モードにおいて、前記ソースドライバにデジタル信号が供給され、前記ソースドライバから前記画素にデジタル信号が供給されることを特徴としている。

【0013】

また、本発明は、上記構成の表示装置において表示モード別のビデオ信号生成回路を有し、前記ソースドライバに供給されるアナログ信号及びデジタル信号は前記表示モード別のビデオ信号生成回路から出力されることを特徴としている。

【0014】

また、本発明は、上記構成の表示装置において2値化回路を含む表示モード別のビデオ信号生成回路を有し、前記表示モード別のビデオ信号生成回路に入力されるビデオ信号は、アナログ信号であり、前記ビデオ信号のうち第2の表示モードに使用される信号が前記2値化回路を用いてデジタル信号に変換されることを特徴としている。また、前記表示装置は、多値化回路を含む表示モード別のビデオ信号生成回路を有し、前記表示モード別のビデオ信号生成回路に入力されるビデオ信号は、アナログ信号であり、前記ビデオ信号の

10

20

30

40

50

うち第2の表示モードに使用される信号が前記多値化回路を用いてデジタル信号に変換されることを特徴としても良い。また、前記表示装置はデジタルアナログ変換回路を含む表示モード別のビデオ信号生成回路を有し、前記表示モード別のビデオ信号生成回路に入力されるビデオ信号は、デジタル信号であり、前記ビデオ信号のうち第1の表示モードに使用される信号がデジタルアナログ変換回路を用いてアナログ信号に変換されることを特徴としても良い。

【0015】

なお、本発明において、表示モードは階調数によって区別し、例えば第1の表示モードと第2の表示モードとでは階調数が異なる。

【0016】

本発明においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R(赤)G(緑)B(青)の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW(Wは白)がある。

【0017】

なお、本明細書において、画素がマトリクスに配置されているとは、縦縞と横縞を組み合わせたいわゆる格子状に配置されている場合はもちろんのこと、三色の色要素(例えばRGB)でフルカラー表示を行う場合に、1つの画像の最小要素を表す三つの色要素の画素がいわゆるデルタ配置されている場合も含むものとする。また、ベイヤー配置されている場合も含む。また、色要素毎に色の発光領域が異なってもよい。

【0018】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板、プラスチック基板、紙基板、セロファン基板、石材基板などに配置することが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。

【0019】

なお、上述したように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、回路の全てがガラス基板上に形成されていてもよいし、プラスチック基板や単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが形成されていることにより、部品数を減らしてコストを低減したり、回路部品との接続数を減らすことにより、信頼性を向上させたりすることができる。あるいは、回路の一部をある基板に形成し、回路の別の一部を別の基板に形成してもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板等の上に形成したICチップをCOG(Chip On Glass)により接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品数を減らしてコストを低減したり、回路部品との接続点数を減らすことにより信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなるため、そのような部分は同じ基板に形成しないようにすれば、消費電力の向上を防ぐことができる。

【0020】

なお、明細書に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特に限定されない。例えば、トランジスタでもよいし、ダイオード（PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、それらを組み合わせた論理回路でもよい。スイッチとしてトランジスタを用いる場合、そのトランジスタは単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているものなどがある。また、スイッチとして動作させるトランジスタのソース電極の電位が、低電位側電源（ $V_{ss}$ 、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、反対にソース電極の電位が、高電位側電源（ $V_{dd}$ など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくすることができるため、スイッチとして動作しやすいからである。なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、様々な入力電圧に対し出力電圧を制御しやすいため、適切な動作を行うことができる。

10

#### 【0021】

なお、本発明において接続されているとは、電氣的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が配置されていてもよい。もちろん、間に他の素子を介さずに配置されていてもよく、電氣的に接続されているとは直接的に接続されている場合を含むものとする。

20

#### 【0022】

なお、本発明において、ある物の上に形成されている、あるいは～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上に（もしくは層A上に）層Bが形成されているという場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に別の層（例えば層Cや層Dなど）が形成されており、その上に層Bが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って、例えば層Aの上方に層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に別の層（例えば層Cや層Dなど）が形成されおり、その上に層Bが形成されている場合とを含むものとする。なお、～の下、もしくは～の下方にの場合についても、同様に直接接している場合と、接していない場合とを含むものとする。

30

#### 【発明の効果】

#### 【0023】

本発明では、アナログ階調方式とデジタル階調方式とを切り替えて表示することが可能となる。したがって、コントラストなどの表示品位が向上し、消費電力が低減することが出来るようになる。

40

#### 【発明を実施するための最良の形態】

#### 【0024】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

#### 【0025】

#### （実施の形態1）

50

図 1 に、全体の構成図を示す。画素配列 1 0 1 を駆動するために、ソースドライバ 1 0 2、ゲートドライバ 1 0 3 が配置されている。ソースドライバ 1 0 2 には、ビデオ信号が入力される。なお、ソースドライバ 1 0 2、ゲートドライバ 1 0 3 は、各々複数個配置されていてもよい。

【 0 0 2 6 】

なお、ソースドライバやその一部は、画素配列 1 0 1 と同一基板上に存在せず、例えば、外付けの IC チップを用いて構成されることもある。

【 0 0 2 7 】

なお、すでに述べたように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、図 1 で示したような回路が、全てガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、S O I 基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、図 1 などにおける回路の一部が、ある基板に形成されており、図 1 などにおける回路の別の一部が、別の基板に形成されていてもよい。つまり、図 1 などにおける回路の全てが同じ基板上に形成されていなくてもよい。例えば、図 1 などにおいて、画素配列 1 0 1 とゲートドライバ 1 0 3 とは、ガラス基板上に T F T を用いて形成し、ソースドライバ 1 0 2 (もしくはその一部) は、単結晶基板上に形成し、その IC チップを C O G ( C h i p O n G l a s s ) で接続してガラス基板上に配置してもよい。あるいは、その IC チップを T A B ( T a p e A u t o B o n d i n g ) やプリント基板を用いてガラス基板と接続してもよい。

【 0 0 2 8 】

ソースドライバ 1 0 2 に入力されるビデオ信号は、表示モード別のビデオ信号生成回路 1 0 6 において、各表示モードに合わせて生成される。表示モード別のビデオ信号生成回路 1 0 6 は、コントローラ ( コントロール回路 ) 1 0 7 を用いて制御される。また、表示モード別のビデオ信号生成回路 1 0 6 には、オリジナルのビデオ信号が入力される。そして、オリジナルのビデオ信号を用いて、表示モード別のビデオ信号生成回路 1 0 6 において、各表示モードに応じたビデオ信号が生成され、ソースドライバ 1 0 2 の方に出力される。

【 0 0 2 9 】

表示モードとしては、大きく分けて、アナログモードとデジタルモードとがある。アナログモードは、画素に入力するビデオ信号がアナログ値となる。一方、デジタルモードでは、画素に入力するビデオ信号がデジタル値となる。

【 0 0 3 0 】

次に、回路の詳細を述べる。図 2 に、ソースドライバ 1 0 2 等の構成について示す。シフトレジスタ 2 3 1 は、順次選択していくような信号 ( いわゆるサンプリングパルス ) を出力する回路である。よって、同様な機能を果たす回路であれば、シフトレジスタに限定されない。例えば、デコーダ回路でもよい。

【 0 0 3 1 】

シフトレジスタが出力するサンプリングパルスは、アナログスイッチ 2 0 1 ~ 2 0 3 に入力される。そして、ビデオ信号線 2 2 1 にビデオ信号が順次入力され、サンプリングパルスに応じて、順次アナログスイッチ 2 0 1 ~ 2 0 3 がオンし、画素配列 1 0 1 にビデオ信号が入力されていく。画素配列 1 0 1 は、画素 2 1 1 がマトリクス状に配置されている。

【 0 0 3 2 】

なお、図 2 では、画素 2 1 1 が 2 行 3 列分配置されている場合について示したが、これに限定されない。任意の数だけ配置することが可能となる。

【 0 0 3 3 】

1 画素分の画素 2 2 0 の例を図 1 5 に示す。ゲート信号線 4 0 1 を用いて、選択用トランジスタ 4 0 4 を制御する。選択用トランジスタ 4 0 4 がオンすると、ソース信号線 4 0 2 から、保持容量 4 0 5 にビデオ信号が入力される。すると、ビデオ信号に応じて、駆動ト

ランジスタ 406 がオンオフし、電源線 403 から発光素子 407 を通って、対向電極 408 へ電流が流れる。

【0034】

なお、画素構成は、図 15 に限定されない。例えば、駆動トランジスタのバラツキを補正するような構成でもよい。

【0035】

バラツキを補正する画素構成としては、大きく分けて、しきい値電圧のバラツキを補正するタイプと、ビデオ信号として電流を入力するタイプとがある。

【0036】

図 31 に、しきい値電圧のバラツキを補正する画素構成を示す。スイッチ 3107 をゲート信号線 3115 を用いて制御することにより、駆動トランジスタ 3101 のしきい値電圧を容量素子 3104 に保存する。また、ゲート信号線 3114 により制御されるスイッチ 3103 は、駆動トランジスタ 3101 のゲート電位を初期化する機能を果たす。そして、ソース信号線 3111 からスイッチ 3102 を通ってビデオ信号を入力する。なお、図 15 における選択用トランジスタ 404 は図 31 におけるスイッチ 3102 に、保持容量 405 は容量素子 3105 に、駆動トランジスタ 406 は駆動トランジスタ 3101 に相当する。また、ゲート信号線 401 はゲート信号線 3113 に、ソース信号線 402 はソース信号線 3111 に、電源線 403 は電源線 3116 に相当する。

【0037】

図 31 では、駆動トランジスタ 3101 のゲート電位を初期化するための配線 3112 が必要であったが、それを削除したものを図 32 に示す。駆動トランジスタ 3101 のゲートは、スイッチ 3203 を介して、駆動トランジスタ 3101 のドレインに接続されている。

【0038】

なお、しきい値電圧のバラツキを補正する画素構成には、さまざまなものがあり、図 31、図 32 の構成に限定されない。このように、しきい値電圧のバラツキを補正する画素構成を用いると、発光素子に流れる電流のバラツキを低減することができる。特に、アナログモードにおいて、輝度を均一にできる。よって、より好適である。

【0039】

次に、ビデオ信号として電流を入力するタイプの画素構成を図 33 に示す。ソース信号線 3330 にビデオ信号に応じた電流が供給される。すると、選択用スイッチ 3302 を介して駆動トランジスタ 3301 のドレインに、スイッチ 3304 を介して駆動トランジスタ 3301 のゲートにその電流が流れ、それに応じて、ゲート・ソース間電圧が発生する。そのゲート・ソース間電圧は、容量素子 3305 に保存され、その後、スイッチ 3306 を介して発光素子に電流が供給される。なお、選択用スイッチ 3302、スイッチ 3304 及びスイッチ 3306 のそれぞれは、ゲート信号線 3333、ゲート信号線 3334、ゲート信号線 3335 により制御されている。なお、3336 は電源線を示す。なお、図 33 では、信号電流を供給されるトランジスタと、発光素子に電流を供給するトランジスタとは同一であるが、異なっても良い。その場合を図 34 に示す。信号電流を供給されるトランジスタ 3401 と、発光素子に電流を供給するトランジスタ 3421 とは、別である。なお、図 34 中の 3411 はソース線、3413 と 3414 はゲート信号線、3402 は選択用スイッチ、3404 はスイッチ、3405 は容量素子、3416 は電源線を示す。

【0040】

なお、電流を入力してバラツキを補正する画素構成には、さまざまなものがあり、図 33、図 34 の構成に限定されない。このように、電流を入力してバラツキを補正する画素構成を用いると、発光素子に流れる電流のバラツキを低減することができる。特に、アナログモードにおいて、輝度を均一にできる。よって、より好適である。

【0041】

なお、画素に配置するのは、特定の発光素子に限定されない。画素に配置する表示素子の

10

20

30

40

50

例としては、EL素子（エレクトロルミネッセンス（Electro Luminescence：EL）；有機発光ダイオード（Organic Light Emitting Diode：OLED）、有機EL素子などとも言う）の他、無機EL素子又は有機物及び無機物を含むEL素子）や電子放出素子、液晶素子、電子インクなど電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。また、電子放出素子にカーボンナノチューブを利用することも可能ある。なお、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）、FEDの一種であるSED（Surface-conduction Electron-emitter Display）などが挙げられる。その他、液晶ディスプレイ（LCD）、プラズマディスプレイ（PDP）、電子ペーパーディスプレイ、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイなどに用いる、どのような表示素子でもよい。

10

#### 【0042】

なお、図15における保持容量405は、駆動トランジスタ406のゲート電位を保持する役目をしている。よって、駆動トランジスタ406のゲートと電源線403の間に接続されているが、これに限定されない。駆動トランジスタ406のゲート電位を保持できるように配置されていればよい。また、駆動トランジスタ406のゲート容量などを用いて、駆動トランジスタ406のゲート電位を保持できる場合は、保持容量405を省いても良い。

#### 【0043】

また、図1における表示モード別のビデオ信号生成回路106は、画素配列101と同じ基板上にあってよいし、ソースドライバ102と同じ基板上にあってよいし、FPC（フレキシブルプリントサーキット）の上にあってもよいし、PCB（プリントサーキットボード）の上にあってもよい。

20

#### 【0044】

また、表示モード別のビデオ信号生成回路106は、画素配列101を構成しているトランジスタと同様のトランジスタで形成されていてもよい。あるいは、別のトランジスタで形成されていてもよい。例えば、画素配列101は、薄膜トランジスタで構成され、表示モード別のビデオ信号生成回路106は、バルク基板上、もしくは、SOI基板上で形成されたMOSトランジスタやバイポーラトランジスタでもよい。

#### 【0045】

次に、表示モード別のビデオ信号生成回路106の詳細を図3に示す。コントローラ107より入力される信号に基づいて、表示モード制御回路301が、表示モードに応じた表示ができるように制御する。例えば、デジタルモードの場合は、スイッチ303、304をオンにする。そして、入力されたビデオ信号を2値化用回路302で処理して、ソースドライバ102の方へ出力する。その場合、スイッチ305はオフしている。一方、アナログモードの場合は、スイッチ305をオンにして、入ってきたビデオ信号をそのままソースドライバ102の方へ出力する。表示モード別のビデオ信号生成回路106に入力されるビデオ信号がアナログ値の場合、そのまま出力されるため、ソースドライバ102の方へも、アナログ値で出力される。

30

#### 【0046】

なお、図3では、表示モードがアナログモードとデジタルモードの場合について述べたが、これに限定されない。なお、離散値ではあるが、2値ではない、という表示モードを多値モードと呼ぶことにする。ビデオ信号と輝度との関係の例を図4に示す。

40

#### 【0047】

図4（A）は、アナログモードの場合を示す。ビデオ信号がアナログ的に変化して、それに応じて輝度もアナログ的に変化する。

#### 【0048】

図4（B）は、デジタルモードの場合を示す。ビデオ信号が2値であり、一方のとき発光し、他方のときは発光しない。

#### 【0049】

50



図4(C)は、多値モードの場合を示す。ビデオ信号は、離散値をとるが、2値ではない。なお、多値モードは、表示モード別のビデオ信号生成回路106より出力された多値のデジタル信号を使用して表示される。

#### 【0050】

そこで、多値モードの場合にも対応した表示モード別のビデオ信号生成回路106の詳細を図5に示す。コントローラ107より入力される信号に基づいて、表示モード制御回路501が、表示モードに応じた表示ができるように制御する。例えば、デジタルモードの場合は、スイッチ303、304をオンにする。そして、入力されたビデオ信号を2値化用回路302で処理して、ソースドライバ102の方へ出力する。その場合、スイッチ313、404、305はオフしている。一方、アナログモードの場合は、スイッチ305をオンにして、入ってきたビデオ信号をそのままソースドライバ102の方へ出力する。表示モード別のビデオ信号生成回路106に入力されるビデオ信号がアナログ値の場合、そのまま出力されるため、ソースドライバ102の方へも、アナログ値で出力される。多値モードの場合、スイッチ313、404をオンにする。そして、入力されたビデオ信号を多値化用回路312で処理して、ソースドライバ102の方へ出力する。その場合、スイッチ303、304、305はオフしている。

10

#### 【0051】

次に、2値化用回路302の詳細を図6に示す。図6(A)の回路図に示すように、オペアンプ601を用いて、コンパレータ(比較)回路を構成している。リファレンス電位 $V_{ref}$ よりも、入力電圧が大きい小さいかによって、HかLかどちらかの信号を出力し、2値化を行う。なお、オペアンプを用いてコンパレータ(比較)回路を構成したが、これに限定されない。チョッパインバータコンパレータ回路を用いても良いし、それ以外の回路を用いて、コンパレータ(比較)回路を構成してもよい。

20

#### 【0052】

図6(B)には、リファレンス電位 $V_{ref}$ を生成するための回路を示す。リファレンス電位 $V_{ref}$ の大きさは、電圧 $V_1$ と $V_2$ の間の電圧となり、抵抗 $R_1$ 、 $R_2$ によって分圧された値となる。2値化回路を動作させるときのみ、スイッチ602、603をオンすればよい。その結果、抵抗 $R_1$ 、 $R_2$ に電流が流れる期間を短くできるため、消費電力を低減できる。

#### 【0053】

なお、リファレンス電位 $V_{ref}$ を状況に応じて変化させたい場合は、図7に示すように、抵抗をたくさん接続し、どの接点から出力するかを切り替えるようにすればよい。

30

#### 【0054】

次に、多値化用回路312の詳細を図8に示す。入力信号は、判定回路811に入力される。また、判定回路811には、リファレンス電位に相当する電圧が2つ入力される。そして、判定回路811は、入力信号の電位が、2つのリファレンス電位の間にいる場合は、H信号を出力する。その結果、スイッチ821~824のいずれか1つがオンし、多値化された電圧を出力する。なお、多値化用回路312を動作させるときのみ、スイッチ801~804をオンすればよい。その結果、 $V_a$ と $V_b$ の間に電流が流れる期間を短くできるため、消費電力を低減できる。

40

#### 【0055】

図9に、判定回路811の詳細を示す。オペアンプ901、902を用いて、コンパレータ(比較)回路を構成している。オペアンプ901と902は、入力信号の電位 $V_{in}$ が、リファレンス電位 $V_x$ 以上でリファレンス電位 $V_y$ 以下であるとき、各々H信号を出力する。すると、AND回路903にその信号が入力される。そして、AND回路903への入力信号が両方ともH信号のとき、H信号を出力する。

#### 【0056】

なお、図9は、AND回路を用いて構成したが、これに限定されない。OR回路やNAND回路やNOR回路を用いても、同様の機能を果たすことが出来る。

#### 【0057】

50

このように、デジタルモードや多値モードで表示を行うと、しきい値処理が行われ、画像情報の標本化（サンプリング）が行われる。その結果、画像データにノイズが入っていたとしても、実際に表示するときには、そのノイズを除去して表示することが出来る。また、1階調分の輝度変化が大きくなるため、くっきりと見えるようになり、コントラストが向上する。

#### 【0058】

なお、図2、図3、図5などに示すスイッチ、例えば、アナログスイッチ201等は、電氣的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何でも良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものや、マルチゲート構造にしたもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ $V_{ss}$ 、 $V_{gnd}$ 、0Vなど）に近い状態で動作する場合はnチャネル型を、反対に、ソース端子の電位が、高電位側電源（ $V_{dd}$ など）に近い状態で動作する場合はpチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

#### 【0059】

スイッチの例を図14に示す。図14(A)は、模式的に記載したスイッチである。図14(B)は、AND回路を用いたスイッチである。制御線1502を使って、入力1501の信号を出力1503に伝えるかどうかを制御する。図14(B)の場合は、出力1503は、入力信号にかかわらず、L信号なる、というような制御は可能である。しかし、出力1503がフローティング状態になることはない。したがって、出力1503が、デジタル回路の入力に接続されている場合などに、図14(B)のスイッチを用いることが好適である。デジタル回路の場合、入力をフローティング状態にしても、出力はフローティング状態にならない。入力をフローティング状態にすると、出力が不安定になり、望ましくない。よって、デジタル回路の入力に接続されている場合などは、図14(B)のスイッチを用いることが好適である。

#### 【0060】

なお、図14(B)は、AND回路を用いて構成したが、これに限定されない。OR回路やNAND回路やNOR回路を用いても、同様の機能を果たすことが出来る。

#### 【0061】

一方、入力をフローティング状態にしたい場合は、図14(C)や図14(D)のスイッチを用いればよい。図14(C)は、トランсмисシヨンゲートもしくはアナログスイッチなどと呼ばれている回路である。図14(C)は、入力1511の電位を、ほぼそのまま出力1513に伝達する。よって、アナログ信号の伝達に好適である。図14(D)は、クロックインバータなどと呼ばれている回路である。図14(D)は、入力1521の信号を反転させて出力1523に伝達する。よって、デジタル信号の伝達に好適である。なお、制御線1512、1522により、それぞれ入力1511、1521の信号を出力1513、1523に伝えるかどうかを制御する。

#### 【0062】

以上のことから、アナログスイッチ201やスイッチ305やスイッチ602やスイッチ801などは、図14(C)のスイッチを用いることが好適である。スイッチ304などは、出力をフローティング状態にする必要があるので、図14(C)や図14(D)が好適である。ただし、スイッチ304への入力デジタル信号なので、図14(D)の方がより好適である。

#### 【0063】

(実施の形態 2)

実施の形態 1 では、表示モード別のビデオ信号生成回路 1 0 6 に入力されるビデオ信号がアナログ値の場合について述べた。つぎに、デジタル値が入力される場合について述べる。

【0 0 6 4】

図 2 4 に、全体の構成図を示す。ソースドライバ 1 0 2 に入力されるビデオ信号は、表示モード別のビデオ信号生成回路 2 3 0 6 において、各表示モードに合わせて生成される。表示モード別のビデオ信号生成回路 2 3 0 6 は、コントローラ 2 3 0 7 を用いて制御される。また、表示モード別のビデオ信号生成回路 2 3 0 6 には、オリジナルのデジタルのビデオ信号が入力される。そして、オリジナルのビデオ信号を用いて、表示モード別のビデオ信号生成回路 2 3 0 6 において、各表示モードに応じたビデオ信号が生成され、ソースドライバ 1 0 2 の方に出力される。

10

【0 0 6 5】

表示モードとしては、大きく分けて、アナログモードとデジタルモードとがある。アナログモードは、画素に入力するビデオ信号がアナログ値となる。一方、デジタルモードでは、画素に入力するビデオ信号がデジタル値となる。

【0 0 6 6】

次に、表示モード別のビデオ信号生成回路 2 3 0 6 の詳細を図 2 5 に示す。コントローラ 2 3 0 7 より入力される信号に基づいて、表示モード制御回路 2 4 0 1 が、表示モードに応じた表示ができるように制御する。例えば、デジタルモードの場合は、スイッチ 2 5 1 3 , 2 5 1 4 がオンして、最上位ビットのビデオ信号のみがソースドライバ 1 0 2 の方へ出力される。ただし、電位のレベルが合致しない場合がある。その場合は、電位のレベルを必要な大きさに変換する必要がある。そこで、そのようなことが必要な場合は、レベル変換回路 2 5 0 4 を配置する。一方、アナログモードの場合は、D A 変換回路 ( デジタルアナログ変換回路 ) 2 5 0 2 に入り、適切なアナログ値を、スイッチ 2 5 1 1 を介して、ソースドライバ 1 0 2 に出力する。

20

【0 0 6 7】

なお、図 2 5 では、表示モードがアナログモードとデジタルモードの場合について述べたが、これに限定されない。

【0 0 6 8】

そこで、多値モードの場合にも対応した表示モード別のビデオ信号生成回路 2 3 0 6 の詳細を図 2 6 に示す。コントローラ 2 3 0 7 より入力される信号に基づいて、表示モード制御回路 2 5 0 1 が、表示モードに応じた表示ができるように制御する。アナログモードとデジタルモードの場合は、図 2 5 と同様である。多値モードの場合、スイッチ 2 5 1 2 をオンにして D A 変換回路 2 5 0 3 に、上位ビットのビデオ信号のみ入力される。下位ビットは入力されない。したがって、滑らかな表示ではなく、サンプリングされたような表示となる。

30

【0 0 6 9】

なお、多値モードでは、下位ビットを用いずにサンプリングすればよいので、図 2 6 の構成に限定されない。例えば、図 2 7 に示すように、下位ビットデータ除去回路 2 7 0 2 を D A 変換回路 2 5 0 2 の入力部に配置してもよい。その結果、表示モード制御回路の信号に応じて、下位ビットの値を強制的に 0 ( もしくは L 信号 ) にする。したがって、滑らかな表示ではなく、サンプリングされたような表示となる。

40

【0 0 7 0】

そこで、下位ビットデータ除去回路 2 7 0 2 の例を図 2 8 に示す。A N D 回路を用いて、下位 3 ビット分のデータを強制的に 0 ( もしくは L 信号 ) にできる。

【0 0 7 1】

なお、図 2 8 では、A N D 回路を用いたが、これに限定されない。O R 回路や N A N D 回路や N O R 回路を用いても、同様の機能を果たすことが出来る。また、図 2 8 では、6 ビットのビデオ信号を入力し、その内の下位 3 ビット分のデータを強制的に 0 ( もしくは L

50

信号)にできるようにしたが、これに限定されない。適宜、変更してもよい。

【0072】

そこで、実際に動作させながら、何ビット分のデータを強制的に0(もしくはL信号)にするかをえるようにしてもよい。その場合の回路図2902を図29に示す。AND回路に入力される信号を別々にしたため、個別に制御できる。

【0073】

次に、図25～図27に記載したDA変換回路の詳細を図30に示す。デコーダ回路3021で、入力されたデジタル信号がいくつなのかを解読し、それに応じて、スイッチ3011～スイッチ3016のいずれかをオンし、アナログ電圧を出力する。そして、DA変換回路を動作させるときのみ、スイッチ3001、3002をオンすればよい。その結果、抵抗に電流が流れる期間を短くできるため、消費電力を低減できる。

10

【0074】

このように、デジタルモードや多値モードで表示を行うと、しきい値処理が行われ、画像情報の標本化(サンプリング)が行われる。その結果、画像データにノイズが入っていたとしても、実際に表示するときには、そのノイズを除去して表示することが出来る。また、1階調分の輝度変化が大きくなるため、くっきりと見えるようになり、コントラストが向上する。

【0075】

本実施の形態で述べた内容は、実施の形態1で述べた内容と自由に組み合わせることが出来る。

20

【0076】

(実施の形態3)

本実施の形態では、各表示モードを用いて表示した場合について述べる。

【0077】

まず、画面全体を全て同じ表示モードで表示する場合があげられる。つまり、画面全体がアナログモードの場合があげられる。この場合は、通常通りの表示を行うことが出来る。滑らかな階調を表示できるため、写真などを表示するのに好適である。

【0078】

次に、画面全体がデジタルモードの場合があげられる。この場合は、文字を主体として表示させるような場合、例えば、メールを読む場合や、電子ブックを読む場合などは、コントラストが向上し、視認性に優れるようになるので、好適である。

30

【0079】

次に、画面全体を多値モードの場合があげられる。この場合は、イラストやアニメーションやマンガなど、階調を表現したいが、写真等ほど細かく表現する必要がない場合、コントラストが向上し、視認性に優れるようになるので、好適である。

【0080】

次に、画面全体を複数の領域に分割し、各々の領域で、それに対応した表示モードで表示する場合があげられる。これは、図1から分かるように、表示モード別のビデオ信号生成回路106において、画素ごとに、表示モードに合わせたビデオ信号を生成できることにより、可能となっている。

40

【0081】

例えば、図10に示すように、画面を3つの領域に分ける。そして、上側領域1001をデジタルモードで表示し、例えば、時間やバッテリー情報や電波情報などを表示し、視認性をあげる。真ん中の領域1002は、アナログモードで通常通り表示する。滑らかな階調で写真などの画像を綺麗に表示できる。下側領域1003は、多値モードで表示し、簡単なアニメなどを表示する。

【0082】

図11では、上側領域1101は、多値モードで表示し、簡単なアニメなどを表示する。真ん中の領域1102は、デジタルモードで表示し、メールや電子ブックなどに適したようにする。そして、下側領域1103でも、多値モードで表示し、簡単なアニメなどを表

50

示する。このようにすることにより、全画面がデジタルモードの場合のような無愛想な画面ではなく、メインはデジタルモードで表示し、メールや電子ブックなどに適したようにしながら、簡単でカラフルなアイコンなども同時に表示できるため、かわいらしく、見栄えの良い画像を表示することが出来る。

【 0 0 8 3 】

図 1 2 では、中心領域 1 2 0 1 では、アナログモードで表示し、滑らかな階調で写真などの画像を綺麗に表示できる。周辺領域 1 2 0 2 は、デジタルモードで表示し、時間やバッテリー情報や電波情報などをアイコンで表示できる。

【 0 0 8 4 】

図 1 3 では、周辺領域 1 3 0 2 は、アナログモードで表示し、滑らかな階調で写真などの画像を綺麗に表示できる。中心領域 1 3 0 1 では、多値モードで表示する。多値モードで表示する部分は、滑らかな階調が階段状の階調に変換される。よって、例えば、人の顔の部分の多値モードで表示すると、その部分は、似顔絵やマンガで表示しているようになる。この機能を利用して、簡易的な写真シールのような表示を行うことが出来る。

10

【 0 0 8 5 】

なお、画面を分割する数や場所や形は、これに限定されない。また、各々の領域のどれに、どのような表示モードで表示させるかについても、これに限定されない。

【 0 0 8 6 】

なお、本実施の形態は、実施の形態 1、2 について詳細に述べたものである。よって、本実施の形態で述べた内容は、実施の形態 1 ~ 実施の形態 2 で述べた内容と自由に組み合わせることが出来る。

20

【 0 0 8 7 】

( 実施の形態 4 )

本実施の形態では、アナログモードにおける画素の駆動方法について述べる。

【 0 0 8 8 】

図 1 6 に、駆動トランジスタと発光素子とに加わる電圧と電流の関係を示す。図 1 6 ( A ) は、駆動トランジスタ 6 3 1 と発光素子 6 3 2 の回路を示す。配線 6 3 3 と配線 6 3 4 の間に、駆動トランジスタ 6 3 1 と発光素子 6 3 2 とが直列に接続されている。配線 6 3 3 の方が配線 6 3 4 よりも電位が高いため、駆動トランジスタ 6 3 1 から発光素子 6 3 2 の方へ電流が流れる。

30

【 0 0 8 9 】

図 1 5 における駆動トランジスタ 4 0 6 が、図 1 6 ( A ) における駆動トランジスタ 6 3 1 に相当し、図 1 5 における発光素子 4 0 7 が、図 1 6 ( A ) における発光素子 6 3 2 に相当する。

【 0 0 9 0 】

図 1 6 ( B ) に、駆動トランジスタ 6 3 1 のゲート・ソース間電圧 ( の絶対値 ) と、駆動トランジスタ 6 3 1 と発光素子 6 3 2 とに流れる電流の関係を示す。ゲート・ソース間電圧 ( の絶対値 ) を大きくしていくと、それに応じて、電流値も大きくなっていく。これは、駆動トランジスタ 6 3 1 が飽和領域で動作しているためである。飽和領域では、トランジスタのゲート・ソース電圧の 2 乗に比例して電流値が増えていく。さらにゲート・ソース間電圧 ( の絶対値 ) を大きくしていくと、発光素子 6 3 2 に加わる電圧が大きくなるため、ドレイン・ソース電圧が小さくなり、駆動トランジスタ 6 3 1 が線形領域で動作するようになる。すると、ドレイン・ソース電圧が小さくなるにしたがって、電流値の上昇率も小さくなっていく。そして、ある電流値以上の電流は流れなくなる。

40

【 0 0 9 1 】

アナログモードでは、アナログ階調方式を用いて階調を表現する。したがって、駆動トランジスタ 6 3 1 のゲート・ソース間電圧 ( の絶対値 ) をアナログ的に変化させることによって、駆動トランジスタ 6 3 1 と発光素子 6 3 2 とに流れる電流もアナログ的に変化するような状態で動作させることが望ましい。そのため、駆動トランジスタ 6 3 1 のゲート・ソース間電圧 ( の絶対値 ) は、しきい値電圧から、駆動トランジスタ 6 3 1 が飽和領域と

50

して動作するゲート・ソース間電圧にかけて変化させれば良い。なお、変化させる上限は、飽和領域にとどまらず線形領域にかけて変化させても良い。即ち、駆動トランジスタ 631 のゲート・ソース間電圧（の絶対値）は、ゲート・ソース間電圧（の絶対値）に対し電流値  $I_{EL}$  が変化する領域であれば良い。また、変化させる下限値は、駆動トランジスタ 631 がオフとなるゲート・ソース間電圧（の絶対値）であれば良い。

【0092】

例えば、電圧範囲 620 のように、電流が殆どながれないようなところから、飽和領域内で動作するような状態で、駆動トランジスタ 631 のゲート・ソース間電圧（の絶対値）を制御してもよい。電流が殆どながれないような状態とは、駆動トランジスタ 631 のゲート・ソース間電圧が、駆動トランジスタ 631 のしきい値電圧とほぼ等しい場合に相当する。

10

【0093】

あるいは、電圧範囲 621 のように、駆動トランジスタ 631 のゲート・ソース間電圧が、駆動トランジスタ 631 のしきい値電圧よりも確実に低い状態から、ゲート・ソース間電圧（の絶対値）を大きくしていった制御し、飽和領域内で動作するような状態で、駆動トランジスタ 631 のゲート・ソース間電圧（の絶対値）を制御してもよい。このように、黒状態のときの、駆動トランジスタ 631 のゲート・ソース間電圧を、駆動トランジスタ 631 のしきい値電圧よりも確実に低い電圧にすることにより、確実に黒状態にすることができる。例えば、駆動トランジスタ 631 の電流特性がばらついたとき、しきい値電圧もばらつく。よって、ある画素では黒状態になっていても、別の画素では、僅かに発光してしまうこともある。その結果、コントラストの低下を招いてしまう。そこで、それを防止するため、621 のような電圧範囲で動作させることは、好適である。

20

【0094】

なお、電圧範囲 620 や電圧範囲 621 では、駆動トランジスタ 631 のゲート・ソース間電圧（の絶対値）を大きくしても、飽和領域で動作するとしたが、これに限定されない。電圧範囲 622 や電圧範囲 623 のように、飽和領域だけでなく、線形領域も使って動作させてもよい。駆動トランジスタ 631 のゲート・ソース間電圧（の絶対値）をアナログ的に変化させることによって、駆動トランジスタ 631 と発光素子 632 とに流れる電流もアナログ的に変化するような範囲であれば、線形領域でも動作させてもよい。

【0095】

30

なお、駆動トランジスタ 631 を飽和領域で動作させた場合には、たとえ発光素子 632 が劣化しても発光素子に一定の電流量を供給することが可能である。また、線形領域の場合には、トランジスタの特性ばらつきの影響を受けずに駆動させることができる。

【0096】

次に、発光素子 632 からの光の色によって、最適化させた場合について述べる。発光素子 632 は、色によって、輝度が異なったり、必要な電流値が異なったりしている。そこで、色バランスを合わせる必要がある。そのためには、駆動トランジスタ 631 のゲート・ソース間電圧（の絶対値）を色ごとに異なるようにすることが望ましい。あるいは、駆動トランジスタ 631 の電流供給能力（たとえば、トランジスタのチャネル幅など）を色ごとに異なるようにすることが望ましい。あるいは、発光素子 632 の発光面積を色ごとに異なるようにすることが望ましい。あるいは、これらの幾つかを組み合わせることが望ましい。これにより、色バランスを合わせることも可能となる。

40

【0097】

なお、配線 633 の電位を色ごとに変えることも可能である。ただし、駆動トランジスタ 631 をオフにするときの電圧も色ごとに変わってしまうという欠点がある。よって、配線 633 の電位は、全ての色で同じにしてもよい。

【0098】

なお、駆動トランジスタ 631 は、Pチャネル型の場合について述べたが、これに限定されない。Nチャネル型にして、電流が流れる向きを逆にすることは、同業者であれば、容易に実現できる。また、Pチャネル型の場合、Nチャネル型の場合、各々について、電流

50

が流れる向きを逆にすることも、同業者であれば、容易に実現できる。その場合は、ゲート・ソース間電圧の大きさは、発光素子 632 の電圧電流特性の影響を受けることとなる。

#### 【0099】

なお、本実施の形態では、アナログモードの場合について述べたが、多値モードの場合にも、同様に適用できる。

#### 【0100】

なお、本実施の形態は、実施の形態 1 の画素について詳細に述べたものである。よって、本実施の形態で述べた内容は、実施の形態 1 ~ 実施の形態 3 で述べた内容と自由に組み合わせることが出来る。

#### (実施の形態 5)

本実施の形態では、デジタルモードにおける画素の駆動方法について述べる。

#### 【0101】

図 16 (B) の、駆動トランジスタ 631 のゲート・ソース間電圧 (の絶対値) と、駆動トランジスタ 631 と発光素子 632 とに流れる電流の関係を参照する。デジタルモードでは、オンとオフや、H と L のように、2 値で制御する。つまり、発光素子 632 に電流が流れるか、流れないかを制御する。まず、電流が流れない場合について考える。その場合は、駆動トランジスタ 631 のゲート・ソース間電圧 (の絶対値) は、電圧 624、電圧 625、電圧 626 に示すように、0 V 以上で、かつ、電流が流れない場合、つまり、駆動トランジスタ 631 のしきい値電圧以下であればよい。

#### 【0102】

次に、電流が流れる場合について考える。その場合は、駆動トランジスタ 631 のゲート・ソース間電圧 (の絶対値) は、電圧 627、電圧 628、電圧 629 に示すように、飽和領域内か、線形領域か、さらに電圧を大きくして、電流値が増えなくなっている領域などで動作させればよい。なお、図中では電圧 627 は、線形領域と飽和領域の境界に位置しているが、前述のように飽和領域内であれば良い。このように、駆動トランジスタ 631 より発光素子 632 に電流が供給できる電圧であれば特に限定されない。

#### 【0103】

例えば、飽和領域で動作させる場合は、発光素子 632 の電圧電流特性が劣化しても、そこを流れる電流値が変化しない、という利点がある。そのため、焼き付きの影響を受けにくい。ただし、駆動トランジスタ 631 の電流特性がばらつくと、そこを流れる電流もばらついてしまう。そのため、表示ムラを生じてしまう場合がある。

#### 【0104】

それに対して、線形領域で動作させると、駆動トランジスタ 631 の電流特性がばらついても、そこを流れる電流値は影響を受けにくい。そのため、表示ムラが生じにくい。また、駆動トランジスタ 631 のゲート・ソース間電圧 (の絶対値) が大きくなりすぎないことと、配線 633 と配線 634 との間の電圧を大きくしておく必要がないため、消費電力も小さくできる。

#### 【0105】

さらに、駆動トランジスタ 631 のゲート・ソース間電圧 (の絶対値) を大きくすると、駆動トランジスタ 631 の電流特性がばらついても、そこを流れる電流値は影響をほとんど受けなくなる。ただし、発光素子 632 の電圧電流特性が劣化すると、そこを流れる電流値が変化してしまう場合がある。そのため、焼き付きの影響を受けやすくなる。

#### 【0106】

このように、駆動トランジスタ 631 を飽和領域で動作させると、発光素子 632 の特性が変化しても、電流値が変化しない。よって、その場合、駆動トランジスタ 631 は、電流源として動作していると見なせる。したがって、このような駆動を定電流駆動と呼ぶことにする。

#### 【0107】

また、駆動トランジスタ 631 を線形領域で動作させると、駆動トランジスタ 631 の電

10

20

30

40

50

流特性がばらついていても、電流値が変化しない。よって、その場合、駆動トランジスタ 6 3 1 は、スイッチとして動作していると見なせる。よって、発光素子 6 3 2 には、配線 6 3 3 の電圧がそのまま加わっているように見なせる。したがって、このような駆動を定電圧駆動と呼ぶことにする。

【 0 1 0 8 】

デジタルモードにおいては、定電圧駆動を用いても良いし、定電流駆動を用いても良い。ただし、定電圧駆動を用いると、トランジスタのバラツキの影響を受けず、消費電力も小さくなるため、好適である。

【 0 1 0 9 】

次に、発光素子 6 3 2 の発光色によって、最適化させた場合について述べる。定電流駆動の場合は、アナログモードと同様である。

10

【 0 1 1 0 】

定電圧駆動の場合は、駆動トランジスタ 6 3 1 のゲート・ソース間電圧（の絶対値）や、駆動トランジスタ 6 3 1 の電流供給能力（たとえば、トランジスタ幅など）を色ごとに異なるようにしても、そこを流れる電流値は、あまり変わらない。なぜなら、スイッチとして動作しているからである。

【 0 1 1 1 】

そのため、発光素子 6 3 2 の発光面積を色ごとに異なるようにすることが望ましい。あるいは、配線 6 3 3 の電位を色ごとに変えることも可能である。あるいは、これらを組み合わせることが望ましい。これにより、色バランスを合わせることが可能となる。

20

【 0 1 1 2 】

なお、デジタルモードでカラー表示を行う場合は、R G B ごとに 2 値で表示するため、合計で 8 色を表示することが出来る。

【 0 1 1 3 】

なお、本実施の形態は、実施の形態 1 の画素などについて詳細に述べたものである。よって、本実施の形態で述べた内容は、実施の形態 1 ~ 実施の形態 4 で述べた内容と自由に組み合わせることが出来る。

（実施の形態 6）

次に、本発明の表示装置における画素のレイアウトについて述べる。例としては、図 1 5 に示した回路図について、そのレイアウト図を図 1 7 に示す。なお、回路図やレイアウト図は、図 1 5 や図 1 7 に限定されない。

30

【 0 1 1 4 】

選択用トランジスタ 4 0 4、駆動トランジスタ 4 0 6、発光素子 4 0 7 の電極が配置されている。選択用トランジスタ 4 0 4 のソースとドレインは各々、ソース信号線 4 0 2 と駆動トランジスタ 4 0 6 のゲートに接続されている。選択用トランジスタ 4 0 4 のゲートは、ゲート信号線 4 0 1 に接続されている。駆動トランジスタ 4 0 6 のソースとドレインは各々、電源線 4 0 3 と発光素子 4 0 7 の電極に接続されている。保持容量 4 0 5 は、駆動トランジスタ 4 0 6 のゲートと電源線 4 0 3 の間に接続されている。

【 0 1 1 5 】

ソース信号線 4 0 2、電源線 4 0 3 は、第 2 配線によって形成され、ゲート信号線 4 0 1 は、第 1 配線によって形成されている。

40

【 0 1 1 6 】

トップゲート構造の場合は、基板、半導体層、ゲート絶縁膜、第 1 配線、層間絶縁膜、第 2 配線、の順で膜が構成される。ボトムゲート構造の場合は、基板、第 1 配線、ゲート絶縁膜、半導体層、層間絶縁膜、第 2 配線、の順で膜が構成される。

【 0 1 1 7 】

なお、本実施の形態で述べた内容は、実施の形態 1 ~ 5 で述べた内容と自由に組み合わせて実施することができる。

【 0 1 1 8 】

（実施の形態 7）

50



本実施の形態では、実施の形態 1 から実施の形態 6 までで述べた表示装置を制御するハードウェアについて述べる。

【0119】

大まかな構成図を図 18 に示す。基板 2701 の上に、画素配列 2704 が配置されている。ソースドライバ 2706 やゲートドライバ 2705 が配置されている場合が多い。それ以外にも、電源回路やプリチャージ回路やタイミング生成回路などが配置されていることもある。また、ソースドライバ 2706 やゲートドライバ 2705 が配置されていない場合もある。その場合は、基板 2701 に配置されていないものは、IC に形成されることが多い。その IC は、基板 2701 の上に、COG (Chip On Glass) によって配置されている場合も多い。あるいは、周辺回路基板 2712 と基板 2701 とを接続する接続基板 2707 の上に、IC が配置される場合もある。

10

【0120】

周辺回路基板 2712 には、信号 2703 が入力される。そして、コントローラ 2708 が制御して、メモリ 2709 やメモリ 2710 などに信号が保存される。信号 2703 がアナログ信号の場合は、アナログ・デジタル変換を行った後、そして、メモリ 2709 やメモリ 2710 などに保存されることが多い。そして、コントローラ 2708 がメモリ 2709 やメモリ 2710 などに保存された信号を用いて、基板 2701 に信号を出力する。

【0121】

実施の形態 1 から実施の形態 5 までで述べた駆動方法を実現するために、コントローラ 2708 が、各種のパルス信号などを制御して、基板 2701 に信号を出力する。

20

【0122】

なお、本実施の形態で述べた内容は、実施の形態 1 ~ 6 で述べた内容と自由に組み合わせて実施することができる。

【0123】

(実施の形態 8)

本発明の表示装置、およびその駆動方法を用いた表示装置を表示部に有する携帯電話の構成例について図 19 を用いて説明する。

【0124】

表示パネル 5410 はハウジング 5400 に脱着自在に組み込まれる。ハウジング 5400 は表示パネル 5410 のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル 5410 を固定したハウジング 5400 はプリント基板 5401 に嵌入されモジュールとして組み立てられる。

30

【0125】

表示パネル 5410 は FPC 5411 を介してプリント基板 5401 に接続される。プリント基板 5401 には、スピーカ 5402、マイクロフォン 5403、送受信回路 5404、CPU 及びコントローラなどを含む信号処理回路 5405 が形成されている。このようなモジュールと、入力手段 5406、バッテリー 5407 を組み合わせ、筐体 5409 及び筐体 5412 を用いて収納する。なお、表示パネル 5410 の画素部は筐体 5412 に形成された開口窓から視認できよう配置する。

40

【0126】

表示パネル 5410 は、画素部と一部の周辺駆動回路 (複数の駆動回路のうち動作周波数の低い駆動回路) を基板上に TFT を用いて一体形成し、一部の周辺駆動回路 (複数の駆動回路のうち動作周波数の高い駆動回路) を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル 5410 に実装しても良い。あるいは、その IC チップを TAB (Tape Auto Bonding) やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成した IC チップを COG 等で実装した表示パネルの構成は図 20 (a) 及び (b) に一例を示してある。

【0127】

50

図20(a)では表示パネルの基板5300上に画素部5302とその周辺駆動回路(第1の走査線駆動回路5303、第2の走査線駆動回路5304)を一体形成し、信号線駆動回路5301をICチップ上に形成しCOG等で表示パネルに実装した構成としても良い。なお、基板上に一体形成した画素部5302及びその周辺駆動回路は封止基板5308と基板5300とをシール材5309を用いて貼り合わせるにより封止されている。また、FPC5305と表示パネルとの接続部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)5306及び5307がCOG(Chip On Glass)等で実装されていても良い。なお、ここではFPCしか図示していないが、このFPCにはプリント配線基板(PWB)が取り付けられていてもよい。

【0128】

10

このように、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図ることが可能である。さらに、第1の走査線駆動回路5303や第2の走査線駆動回路5304を画素部5302と一体形成することで、低コスト化が図れる。また、FPC5305と基板5300との接続部において機能回路(メモリやバッファ)が形成されたICチップを実装することで基板面積を有効利用することができる。

【0129】

さらに消費電力の低減を図るため、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG等で表示パネルに実装しても良い。例えば、図20(b)に示すように基板5310上には画素部5312を形成し、信号線駆動回路5311、第1の走査線駆動回路5313及び第2の走査線駆動回路5314をICチップ上に形成し、COG等で表示パネルに実装すれば良い。なお、図20(b)におけるFPC5315、ICチップ5316、ICチップ5317、封止基板5318、シール材5319はそれぞれ図20(a)におけるFPC5305、ICチップ5306、ICチップ5307、封止基板5308、シール材5309に相当する。

20

【0130】

このような構成とすることで、表示装置の低消費電力を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

30

【0131】

また、走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、1行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【0132】

そして、本発明の表示装置を用いることにより、コントラストの高い綺麗な画像で見ることが出来る。

【0133】

また、本実施例に示した構成は携帯電話の一例であって、本発明の表示装置はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

40

【0134】

(実施の形態9)

図21は表示パネル5701と、回路基板5702を組み合わせたELモジュールを示している。表示パネル5701は画素部5703、走査線駆動回路5704及び信号線駆動回路5705を有している。回路基板5702には、例えば、コントロール回路5706や信号分割回路5707などが形成されている。表示パネル5701と回路基板5702は接続配線5708によって接続されている。接続配線にはFPC等を用いることができる。

【0135】

コントロール回路5706が、実施の形態7における、コントローラ2708やメモリ

50

２７０９やメモリ２７１０などに相当する。主に、コントロール回路５７０６において、サブフレームの出現順序などを制御している。

【０１３６】

表示パネル５７０１は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にＴＦＴを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）などで表示パネル５７０１に実装するとよい。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏ　Ｂｏｎｄｉｎｇ）やプリント基板を用いて表示パネル５７０１に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したＩＣチップをＣＯＧ等で実装した構成は図２０（ａ）に一例を示してある。このような構成とすることで、表示装置の低消費電力を図り、例えば携帯電話機では一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

10

【０１３７】

また、走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、１行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【０１３８】

また、さらに消費電力の低減を図るため、ガラス基板上にＴＦＴを用いて画素部を形成し、全ての信号線駆動回路をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）表示パネルに実装してもよい。

20

【０１３９】

なお、基板上にＴＦＴを用いて画素部を形成し、全ての周辺駆動回路をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）で表示パネルに実装するとよい。なお、基板上に画素部を形成し、その基板上に信号線駆動回路を形成したＩＣチップをＣＯＧ等で実装した構成は図２０（ｂ）に一例を示してある。

【０１４０】

このＥＬモジュールによりＥＬテレビ受像機を完成させることができる。図２２は、ＥＬテレビ受像機の主要な構成を示すブロック図である。チューナ５８０１は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路５８０２と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路５８０３と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路５７０６により処理される。コントロール回路５７０６は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路５７０７を設け、入力デジタル信号をｍ個に分割して供給する構成としても良い。

30

【０１４１】

チューナ５８０１で受信した信号のうち、音声信号は音声信号増幅回路５８０４に送られ、その出力は音声信号処理回路５８０５を経てスピーカー５８０６に供給される。制御回路５８０７は受信局（受信周波数）や音量の制御情報を入力部５８０８から受け、チューナ５８０１や音声信号処理回路５８０５に信号を送出する。

40

【０１４２】

ＥＬモジュールを筐体に組みこんで、テレビ受像機を完成させることができる。ＥＬモジュールにより、表示部が形成される。また、スピーカー、ビデオ入力端子などが適宜備えられている。

【０１４３】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【０１４４】

このように、本発明の表示装置を用いることにより、コントラストの高い綺麗な画像で

50

見ることが出来る。

【 0 1 4 5 】

( 実施の形態 1 0 )

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的には Digital Versatile Disc (DVD)等の記録媒体を再生し、その画像を表示しうる発光装置を備えた装置)などが挙げられる。

10

【 0 1 4 6 】

図 2 3 ( A ) は発光装置であり、筐体 3 5 0 0 1、支持台 3 5 0 0 2、表示部 3 5 0 0 3、スピーカー部 3 5 0 0 4、ビデオ入力端子 3 5 0 0 5 等を含む。本発明の表示装置を表示部 3 5 0 0 3 に用いることができる。なお、発光装置は、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。本発明を表示部 3 5 0 0 3 に用いた発光装置は、コントラストの高い綺麗な画像で見ることが可能となる。

【 0 1 4 7 】

図 2 3 ( B ) はカメラであり、本体 3 5 1 0 1、表示部 3 5 1 0 2、受像部 3 5 1 0 3、操作キー 3 5 1 0 4、外部接続ポート 3 5 1 0 5、シャッター 3 5 1 0 6 等を含む。

20

【 0 1 4 8 】

本発明を表示部 3 5 1 0 2 に用いたカメラは、コントラストの高い綺麗な画像で見ることが可能となる。

【 0 1 4 9 】

図 2 3 ( C ) はコンピュータであり、本体 3 5 2 0 1、筐体 3 5 2 0 2、表示部 3 5 2 0 3、キーボード 3 5 2 0 4、外部接続ポート 3 5 2 0 5、ポインティングマウス 3 5 2 0 6 等を含む。本発明を表示部 3 5 2 0 3 に用いたコンピュータは、コントラストの高い綺麗な画像で見ることが可能となる。

【 0 1 5 0 】

図 2 3 ( D ) はモバイルコンピュータであり、本体 3 5 3 0 1、表示部 3 5 3 0 2、スイッチ 3 5 3 0 3、操作キー 3 5 3 0 4、赤外線ポート 3 5 3 0 5 等を含む。本発明を表示部 3 5 3 0 2 に用いたモバイルコンピュータは、コントラストの高い綺麗な画像で見ることが可能となる。

30

【 0 1 5 1 】

図 2 3 ( E ) は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体 3 5 4 0 1、筐体 3 5 4 0 2、表示部 A 3 5 4 0 3、表示部 B 3 5 4 0 4、記録媒体(DVD等)読み込み部 3 5 4 0 5、操作キー 3 5 4 0 6、スピーカー部 3 5 4 0 7 等を含む。表示部 A 3 5 4 0 3 は主として画像情報を表示し、表示部 B 3 5 4 0 4 は主として文字情報を表示することができる。本発明を表示部 A 3 5 4 0 3 や表示部 B 3 5 4 0 4 に用いた画像再生装置は、コントラストの高い綺麗な画像で見ることが可能となる。

40

【 0 1 5 2 】

図 2 3 ( F ) はゴーグル型ディスプレイであり、本体 3 5 5 0 1、表示部 3 5 5 0 2、アーム部 3 5 5 0 3 を含む。本発明を表示部 3 5 5 0 2 に用いたゴーグル型ディスプレイは、コントラストの高い綺麗な画像で見ることが可能となる。

【 0 1 5 3 】

図 2 3 ( G ) はビデオカメラであり、本体 3 5 6 0 1、表示部 3 5 6 0 2、筐体 3 5 6 0 3、外部接続ポート 3 5 6 0 4、リモコン受信部 3 5 6 0 5、受像部 3 5 6 0 6、バッテリー 3 5 6 0 7、音声入力部 3 5 6 0 8、操作キー 3 5 6 0 9、接眼部 3 5 6 1 0 等を含む。本発明を表示部 3 5 6 0 2 に用いたビデオカメラは、コントラストの高い綺麗な画像で見ることが可能となる。

50

## 【 0 1 5 4 】

図 2 3 ( H ) は携帯電話機であり、本体 3 5 7 0 1、筐体 3 5 7 0 2、表示部 3 5 7 0 3、音声入力部 3 5 7 0 4、音声出力部 3 5 7 0 5、操作キー 3 5 7 0 6、外部接続ポート 3 5 7 0 7、アンテナ 3 5 7 0 8 等を含む。本発明を表示部 3 5 7 0 3 に用いた携帯電話機は、コントラストの高い綺麗な画像で見ることが可能となる。

## 【 0 1 5 5 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態 1 ~ 9 に示したいずれの構成の表示装置を用いても良い。

## 【 図面の簡単な説明 】

10

## 【 0 1 5 6 】

【 図 1 】 本発明の表示装置の構成を説明する図。

【 図 2 】 本発明の表示装置の構成を説明する図。

【 図 3 】 本発明の表示装置の構成を説明する図。

【 図 4 】 本発明の表示装置の駆動方法を説明する図。

【 図 5 】 本発明の表示装置の構成を説明する図。

【 図 6 】 本発明の表示装置の構成を説明する図。

【 図 7 】 本発明の表示装置の構成を説明する図。

【 図 8 】 本発明の表示装置の構成を説明する図。

【 図 9 】 本発明の表示装置の構成を説明する図。

20

【 図 1 0 】 本発明の表示装置の表示状態を説明する図。

【 図 1 1 】 本発明の表示装置の表示状態を説明する図。

【 図 1 2 】 本発明の表示装置の表示状態を説明する図。

【 図 1 3 】 本発明の表示装置の表示状態を説明する図。

【 図 1 4 】 本発明の表示装置の構成を説明する図。

【 図 1 5 】 本発明の表示装置の構成を説明する図。

【 図 1 6 】 本発明の表示装置の構成を説明する図。

【 図 1 7 】 本発明の表示装置の構成を説明する図。

【 図 1 8 】 本発明の表示装置の構成を説明する図。

【 図 1 9 】 本発明が適用される電子機器を説明する図。

30

【 図 2 0 】 本発明の表示装置の構成を説明する図。

【 図 2 1 】 本発明の表示装置の構成を説明する図。

【 図 2 2 】 本発明の表示装置の構成を説明する図。

【 図 2 3 】 本発明が適用される電子機器を説明する図。

【 図 2 4 】 本発明の表示装置の構成を説明する図。

【 図 2 5 】 本発明の表示装置の構成を説明する図。

【 図 2 6 】 本発明の表示装置の構成を説明する図。

【 図 2 7 】 本発明の表示装置の構成を説明する図。

【 図 2 8 】 本発明の表示装置の構成を説明する図。

【 図 2 9 】 本発明の表示装置の構成を説明する図。

40

【 図 3 0 】 本発明の表示装置の構成を説明する図。

【 図 3 1 】 本発明の表示装置の構成を説明する図。

【 図 3 2 】 本発明の表示装置の構成を説明する図。

【 図 3 3 】 本発明の表示装置の構成を説明する図。

【 図 3 4 】 本発明の表示装置の構成を説明する図。

## 【 符号の説明 】

## 【 0 1 5 7 】

1 0 1 画素配列

1 0 2 ソースドライバ

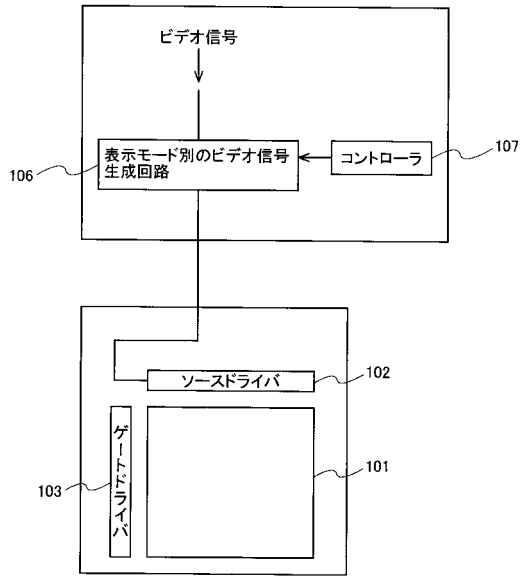
1 0 3 ゲートドライバ

50

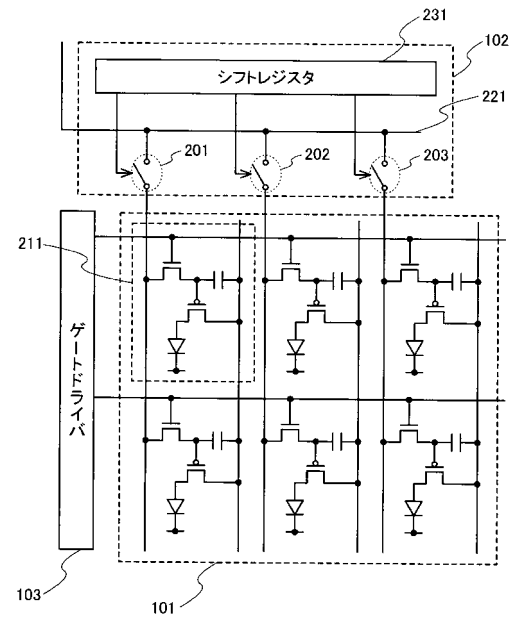
1 0 6	表示モード別のビデオ信号生成回路	
1 0 7	コントローラ	
2 0 1	アナログスイッチ	
2 1 1	画素	
2 2 0	画素	
2 2 1	ビデオ信号線	
2 3 1	シフトレジスタ	
3 0 1	表示モード制御回路	
3 0 2	2 値化用回路	
3 0 3	スイッチ	10
3 0 4	スイッチ	
3 0 5	スイッチ	
3 1 2	多値化用回路	
3 1 3	スイッチ	
4 0 1	ゲート信号線	
4 0 2	ソース信号線	
4 0 3	電源線	
4 0 4	選択用トランジスタ	
4 0 5	保持容量	
4 0 6	駆動トランジスタ	20
4 0 7	発光素子	
4 0 8	対向電極	
4 1 7	電極	
5 0 1	表示モード制御回路	
6 0 1	オペアンプ	
6 0 2	スイッチ	
6 2 0 ~ 6 2 3	電圧範囲	
6 2 4 ~ 6 2 9	電圧	
6 3 1	駆動トランジスタ	
6 3 2	発光素子	30
6 3 3	配線	
6 3 4	配線	
8 0 1	スイッチ	
8 1 1	判定回路	
8 2 1	スイッチ	
9 0 1	オペアンプ	
9 0 3	A N D 回路	
2 3 0 6	表示モード別のビデオ信号生成回路	
2 3 0 7	コントローラ	
2 4 0 1	表示モード制御回路	40
2 5 0 1	表示モード制御回路	
2 5 0 2	D A 変換回路	
2 5 0 3	D A 変換回路	
2 5 0 4	レベル変換回路	
2 5 1 1	スイッチ	
2 5 1 3	スイッチ	
2 7 0 1	基板	
2 7 0 2	下位ビットデータ除去回路	
2 7 0 3	信号	
2 7 0 4	画素配列	50

2 7 0 5	ゲートドライバ	
2 7 0 6	ソースドライバ	
2 7 0 7	接続基板	
2 7 0 8	コントローラ	
2 7 0 9	メモリ	
2 7 1 0	メモリ	
2 7 1 2	周辺回路基板	
2 9 0 2	回路図	
3 0 0 1	スイッチ	
3 0 1 1 ~ 3 0 1 6	スイッチ	10
3 0 2 1	デコーダ回路	
3 1 0 1	駆動トランジスタ	
3 1 0 2	スイッチ	
3 1 0 3	スイッチ	
3 1 0 4	容量素子	
3 1 0 5	容量素子	
3 1 0 7	スイッチ	
3 1 1 1	ソース信号線	
3 1 1 2	配線	
3 1 1 3	ゲート信号線	20
3 1 1 4	ゲート信号線	
3 1 1 5	ゲート信号線	
3 1 1 6	電源線	
3 2 0 3	スイッチ	
3 3 0 1	駆動トランジスタ	
3 3 0 2	選択用スイッチ	
3 3 0 4	スイッチ	
3 3 0 5	容量素子	
3 3 0 6	スイッチ	
3 3 3 0	ソース信号線	30
3 3 3 3	ゲート信号線	
3 3 3 4	ゲート信号線	
3 3 3 5	ゲート信号線	
3 4 0 1	トランジスタ	
3 4 2 1	トランジスタ	

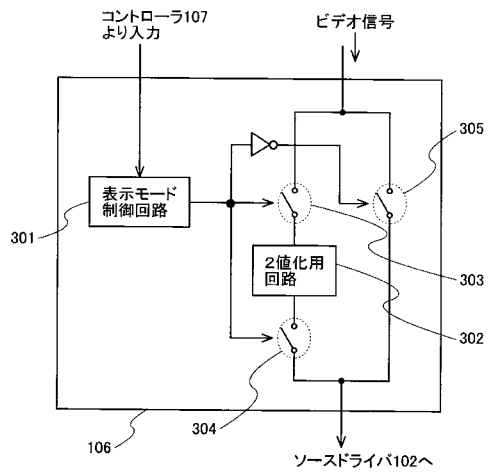
【図 1】



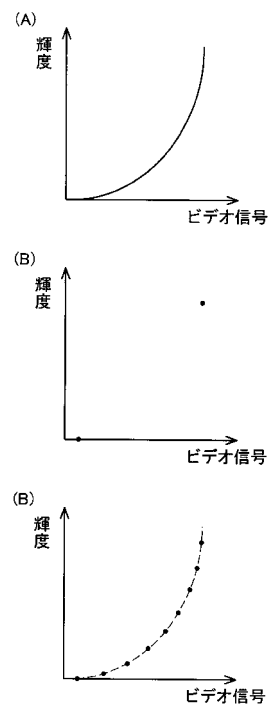
【図 2】



【図 3】

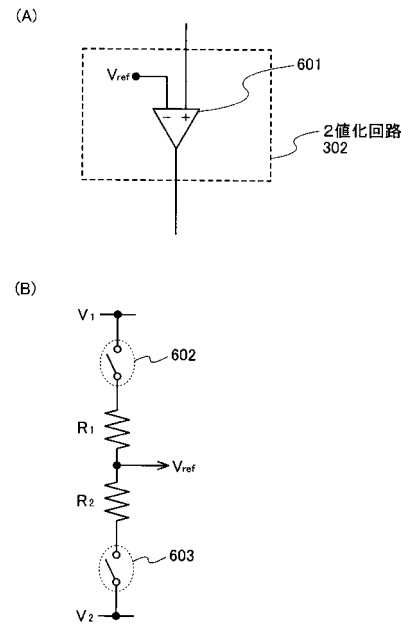


【図 4】

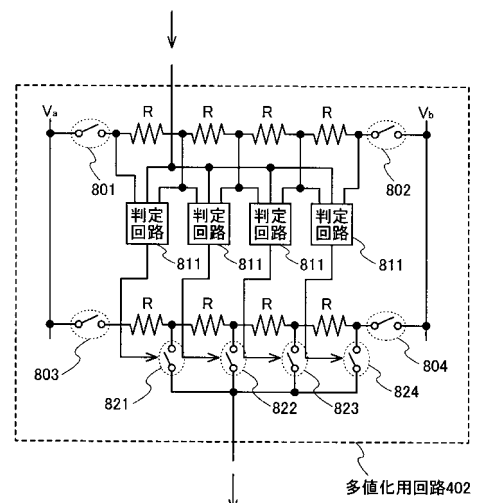




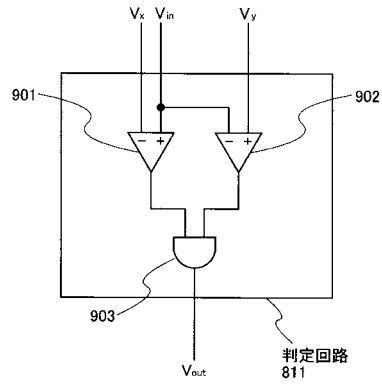
【 図 6 】



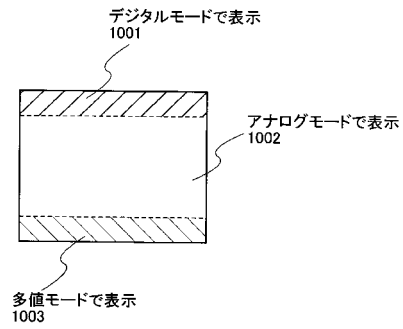
【 図 8 】



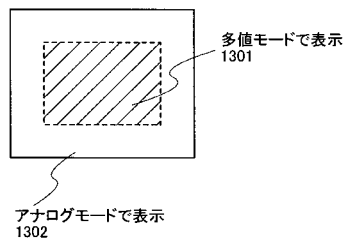
【図 9】



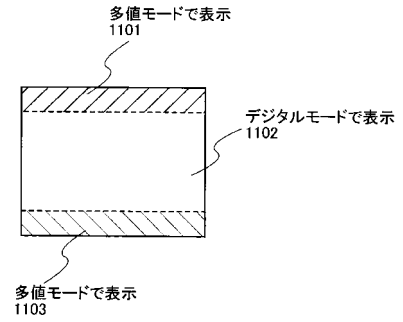
【図 10】



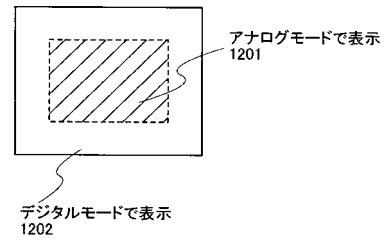
【図 13】



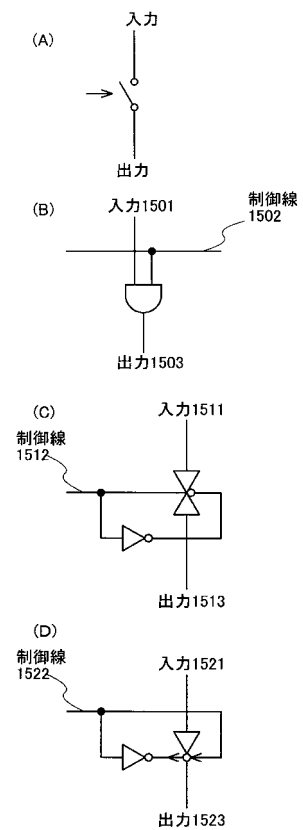
【図 11】



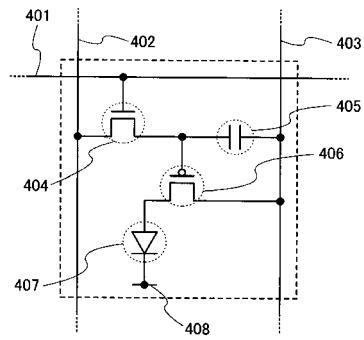
【図 12】



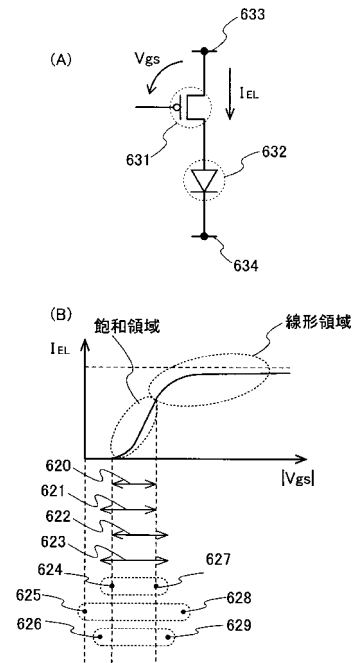
【図 14】



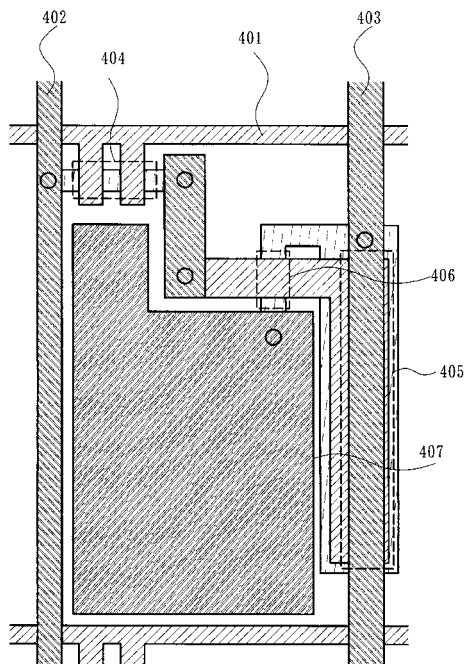
【図 15】



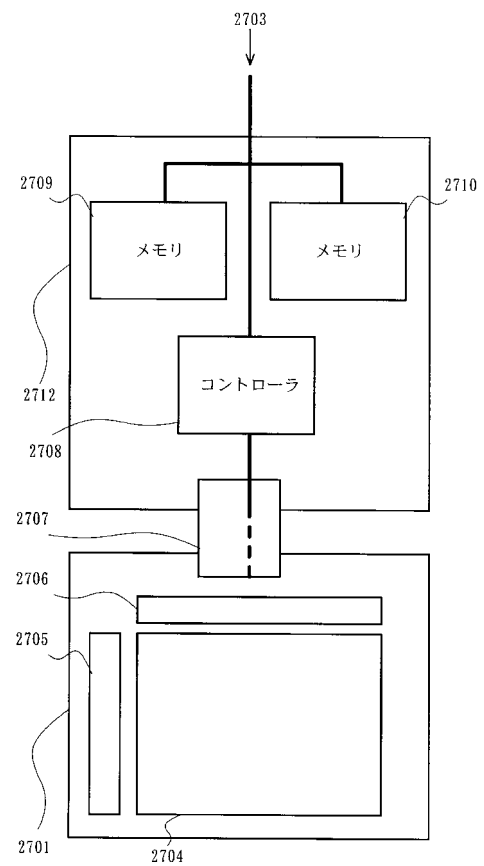
【図 16】



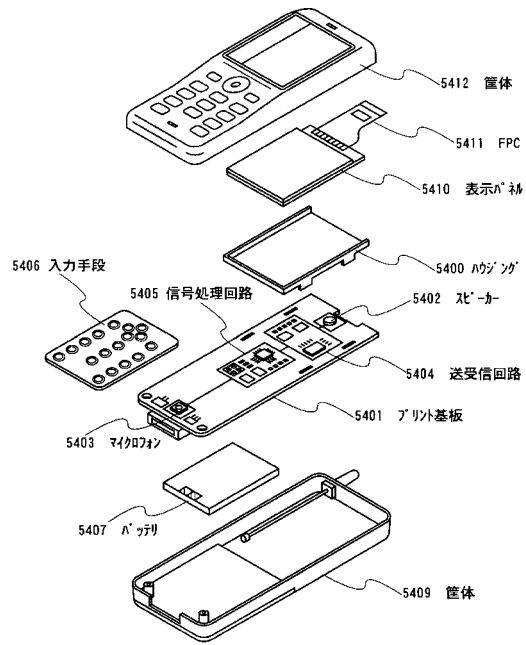
【図 17】



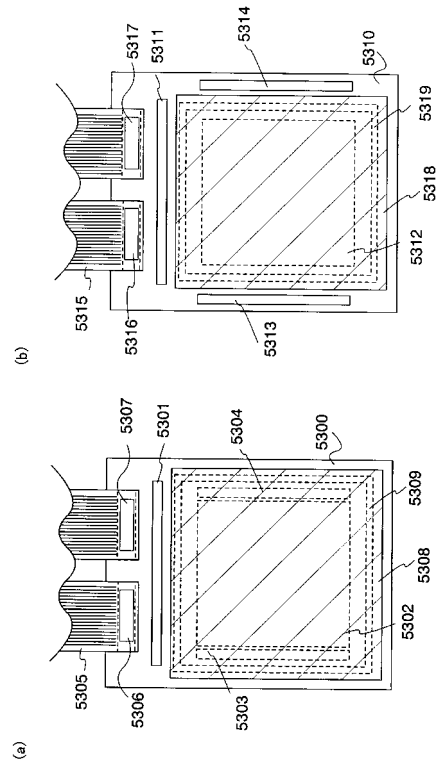
【図 18】



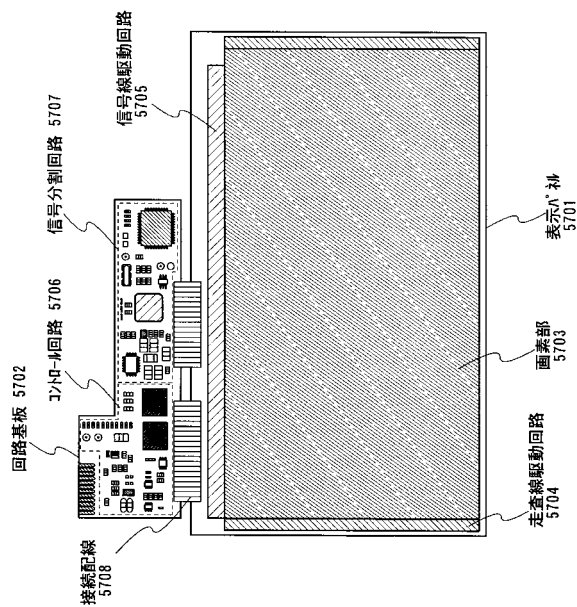
【図 19】



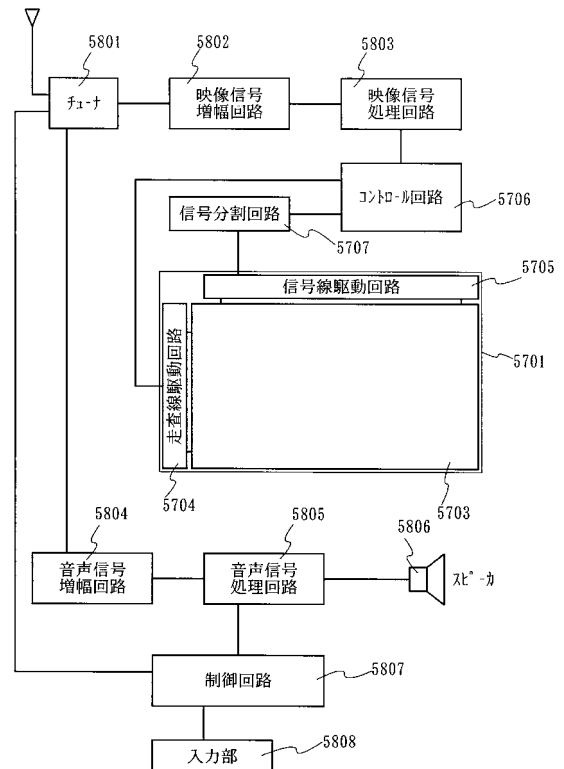
【図 20】



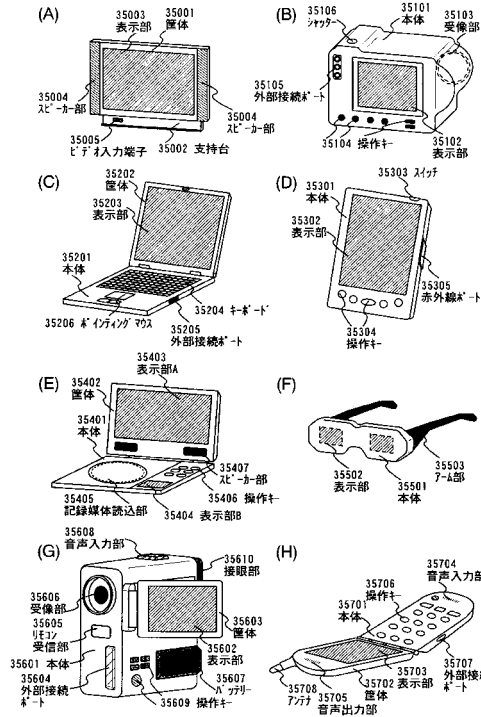
【図 21】



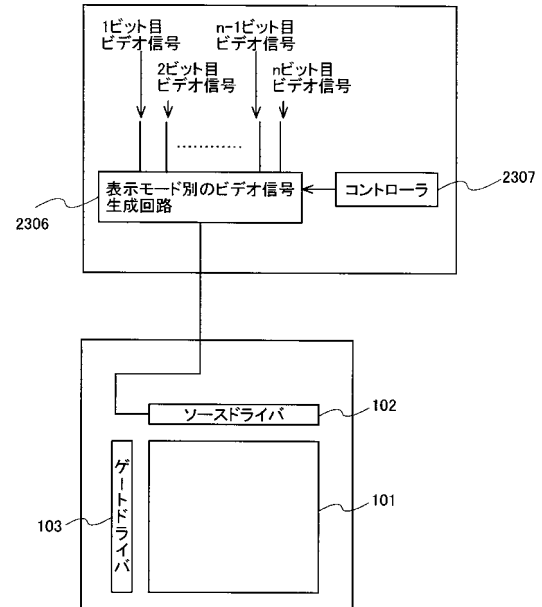
【図 22】



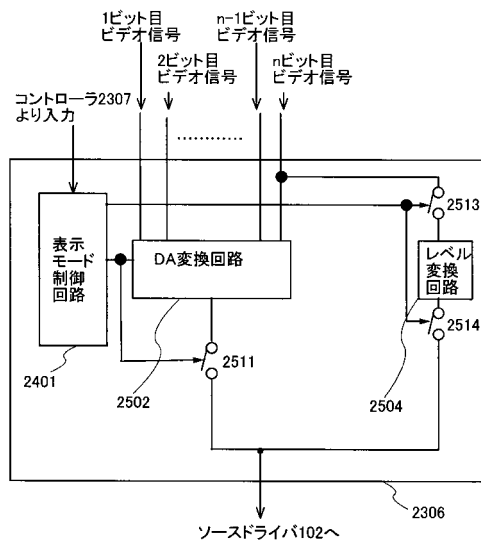
【図 23】



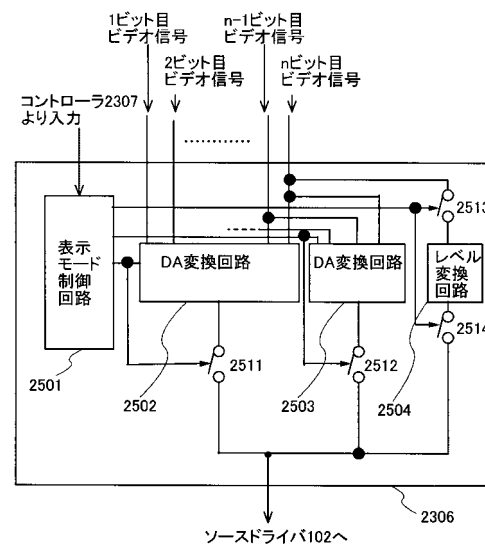
【図 24】



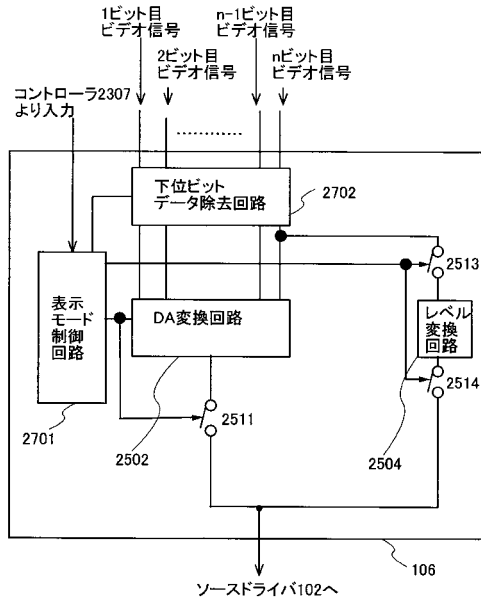
【図 25】



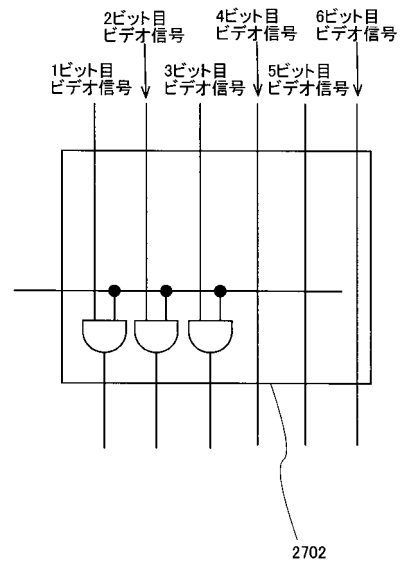
【図 26】



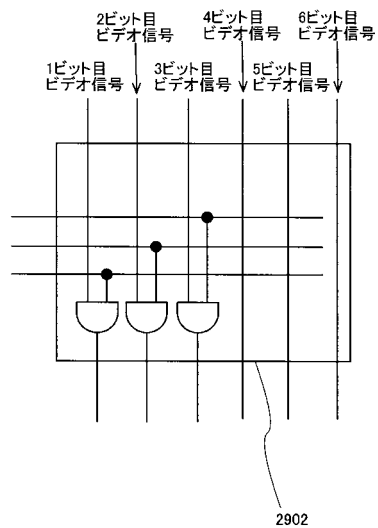
【図 27】



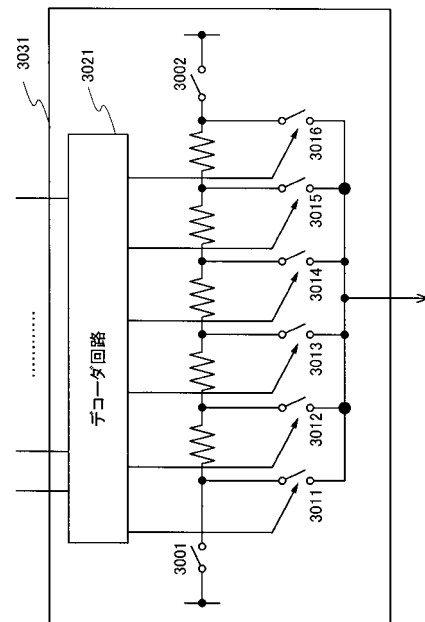
【図 28】



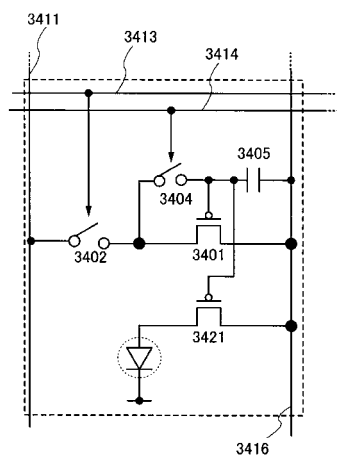
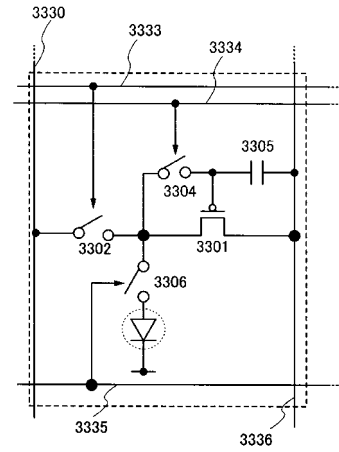
【図 29】



【図 30】



【 図 3 3 】



## フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 4 1 E  
G 0 9 G 3/20 6 5 0 B  
G 0 9 G 3/20 6 6 0 P  
G 0 9 G 3/20 6 6 0 U  
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 0 5 - 0 4 3 4 6 0 ( J P , A )  
特開 2 0 0 4 - 0 7 7 7 4 2 ( J P , A )  
特表 2 0 0 5 - 5 1 0 7 6 8 ( J P , A )  
特開 2 0 0 4 - 2 1 2 9 2 4 ( J P , A )  
特開 2 0 0 4 - 0 7 0 0 7 4 ( J P , A )  
特開 2 0 0 2 - 0 9 1 3 9 6 ( J P , A )  
特開 2 0 0 4 - 1 6 3 7 7 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 9 G 5 / 0 0 - 5 / 4 2  
G 0 2 F 1 / 1 3 3