(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-165488
(P2006-165488A)
(43)公開日　平成18年6月22日(2006.6.22)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/786	(2006.01)	H01L	29/78	616U	2H092
G02F 1/1368	(2006.01)	G02F	1/1368		4M104
G09F 9/30	(2006.01)	G09F	9/30	338	5C094
H01L 21/28	(2006.01)	H01L	21/28	301R	5F033
H01L 21/336	(2006.01)	H01L	29/78	616K	5F110

審査請求 未請求　請求項の数 28　ＯＬ　（全 25 頁）　最終頁に続く

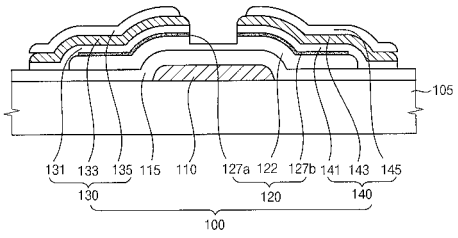
(21)出願番号　特願2005-56851(P2005-56851)
(22)出願日　平成17年3月2日(2005.3.2)
(31)優先権主張番号　2004-103221
(32)優先日　平成16年12月8日(2004.12.8)
(33)優先権主張国　韓国(KR)

(71)出願人　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道水原市靈通区梅灘洞４１６
４１６，Ｍａｅｔａｎ－ｄｏｎｇ，Ｙｅｏｎｇｔｏｎｇ－ｇｕ，Ｓｕｗｏｎ－ｓｉ　Ｇｙｅｏｎｇｇｉ－ｄｏ，Ｒｅｐｕｂｌｉｃ　ｏｆ　Ｋｏｒｅａ
(74)代理人　100094145
弁理士　小野　由己男
(74)代理人　100106367
弁理士　稲積　朋子

最終頁に続く

(54)【発明の名称】薄膜トランジスタ、その製造方法、これを有する表示装置、及び表示装置の製造方法

(57)【要約】　（修正有）
【課題】特性が向上した薄膜トランジスタの製造方法、これを有する表示装置、及び表示装置の製造方法を提供する。
【解決手段】薄膜トランジスタ１００は、基板１０５上にゲート電極１１０、ゲート絶縁膜１１５、半導体パターン１２２及び半導体パターン上に相互離隔する第１及び第２導電性接合パターン１２７ａ，１２７ｂ、第１バリヤーパターン１３１，１４１、ソース，ドレインパターン１３３，１４３、及び第１，第２キャッピングパターン１３５，１４５が形成されたソース，ドレイン電極１３０，１４０を含む。第１及び第２導電性接合パターン１２７ａ，１２７ｂが垂直なプロファイルを有するように形成する。
【選択図】　図３



【特許請求の範囲】
【請求項１】
基板上に形成されたゲート電極と、
前記ゲート電極を絶縁するために、前記基板上に形成されたゲート絶縁膜と、
前記ゲート電極とオーバーラップされるように前記ゲート絶縁膜上に形成される半導体パターン、及び前記半導体パターン上に相互離隔する第１及び第２導電性接合パターンを含むチャンネルパターンと、
前記第１導電性接合パターン上に第１バリヤーパターン、ソースパターン、及び第１キャッピングパターンが形成されたソース電極と、
前記第２導電性接合パターン上に第２バリヤーパターン、ドレインパターン、及び第２キャッピングパターンが形成されたドレイン電極と、を含む薄膜トランジスタ。
【請求項２】
前記第１及び第２バリヤーパターンは、チタニウム、タンタル、タングステン、及びクロムからなる群から選択されたいずれか一つの金属を含むことを特徴とする請求項１記載の薄膜トランジスタ。
【請求項３】
前記ソースパターン及び前記ドレインパターンは、アルミニウム及びアルミニウム合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする請求項１記載の薄膜トランジスタ。
【請求項４】
前記第１及び第２キャッピングパターンは、モリブデン及びモリブデン合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする請求項１記載の薄膜トランジスタ。
【請求項５】
前記モリブデン合金は、モリブデン－ニオブ合金であることを特徴とする請求項４記載の薄膜トランジスタ。
【請求項６】
前記第１及び第２キャッピングパターン、前記ソースパターン、及びドレインパターンは傾斜するプロファイルを有することを特徴とする請求項１記載の薄膜トランジスタ。
【請求項７】
前記第１及び第２バリヤーパターン及び前記第１及び第２導電性接合パターンは、実質的に垂直なプロファイルを有することを特徴とする請求項１記載の薄膜トランジスタ。
【請求項８】
前記半導体パターンの前記ゲート電極に対応する部位にリセスが形成されることを特徴とする請求項１記載の薄膜トランジスタ。
【請求項９】
前記第１及び第２導電性接合パターンは、前記リセスの両方にそれぞれ配置されることを特徴とする請求項８記載の薄膜トランジスタ。
【請求項１０】
基板上にゲート電極を形成する段階と、
前記基板上にゲート絶縁膜を形成する段階と、
前記ゲート絶縁膜上に前記ゲート電極とオーバーラップされるように半導体層、導電性接合層を形成する段階と、
前記導電性接合層を含む基板上に、バイヤー層、導電性薄膜層、及びキャッピング層を全面に塗布する段階と、
前記キャッピング層及び前記導電性薄膜層を部分的にエッチングして、前記ゲート電極上で相互離隔する第１及び第２キャッピングパターン、ソースパターン、及びドレインパターンを形成する段階と、
前記バリヤー層、前記導電性接合層を部分的にエッチングして、前記ゲート電極上で相互離隔する第１及び第２バリヤーパターン及び第１及び第２導電性接合パターンを形成す

る段階と、を含む薄膜トランジスタの製造方法。
【請求項１１】
前記第１バリヤーパターン及び前記第２バリヤーパターンは、チタニウム、タンタル、タングステン、及びクロムからなる群から選択されたいずれか一つの金属で形成されたことを特徴とする請求項１０記載の薄膜トランジスタの製造方法。
【請求項１２】
前記ソースパターン及び前記ドレインパターンは、アルミニウム及びアルミニウム合金からなる群から選択されたいずれか一つの金属で形成されたことを特徴とする請求項１０記載の薄膜トランジスタの製造方法。
【請求項１３】
前記第１キャッピングパターン及び前記第２キャッピングパターンは、モリブデン及びモリブデン合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする請求項１０記載の薄膜トランジスタの製造方法。
【請求項１４】
前記モリブデン合金は、モリブデン－ニオブ合金であることを特徴とする請求項１３記載の薄膜トランジスタの製造方法。
【請求項１５】
前記第１及び第２バリヤーパターン及び第１及び第２導電性接合パターンを形成する段階は、前記半導体パターンの前記ゲート電極に対応する部位にリセスを形成する段階を更に含むことを特徴とする請求項１０記載の薄膜トランジスタの製造方法。
【請求項１６】
前記第１及び第２導電性接合パターンは、前記リセスの両方にそれぞれ配置されることを特徴とする請求項１５記載の薄膜トランジスタの製造方法。
【請求項１７】
前記第１及び第２キャッピングパターン、ソースパターン、及びドレインパターンを形成する段階は、
前記キャッピング層を部分的にエッチングして、前記第１及び第２キャッピングパターンを形成する段階と、
前記導電性薄膜層を部分的にエッチングして、前記ソースパターン及びドレインパターンを形成する段階と、を含むことを特徴とする請求項１０記載の薄膜トランジスタの製造方法。
【請求項１８】
前記第１及び第２キャッピングパターン、前記ソースパターン、及びドレインパターンは、ウェットエッチングにより形成されることを特徴とする請求項１０記載の薄膜トランジスタの製造方法。
【請求項１９】
前記第１及び第２キャッピングパターン、前記ソースパターン、及びドレインパターンは、同一エッチング液のウェットエッチングにより形成されることを特徴とする請求項１８記載の薄膜トランジスタの製造方法。
【請求項２０】
前記第１及び第２バリヤーパターン、前記第１及び第２導電性接合パターン、及び前記半導体パターンは、ドライエッチングにより形成されることを特徴とする請求項１０記載の薄膜トランジスタの製造方法。
【請求項２１】
前記ドライエッチング工程は、塩素又はフッ素を含むエッチングガスを用いることを特徴とする請求項２０記載の薄膜トランジスタの製造方法。
【請求項２２】
前記ドライエッチング工程中に形成された金属酸化物を除去する段階を更に含むことを特徴とする請求項２１記載の薄膜トランジスタの製造方法。
【請求項２３】

前記金属酸化物は、前記塩素又はフッ素を含むエッチングガスとの反応によって除去されることを特徴とする請求項２２記載の薄膜トランジスタの製造方法。
【請求項２４】
第１基板上に形成されたゲート電極、前記ゲート電極を絶縁するために前記第１基板上に形成されたゲート絶縁膜、前記ゲート電極とオーバーラップされるように前記ゲート絶縁膜上に形成される半導体パターン及び前記半導体パターン上に相互離隔する第１及び第２導電性接合パターンを含むチャンネルパターン、前記第１導電性接合パターン上に第１バリヤーパターン、ソースパターン及び第１キャッピングパターンが形成されたソース電極、及び前記第２導電性接合パターン上に第２バリヤーパターン、ドレインパターン及び第２バリヤーパターンが連続的に形成されたドレイン電極を含む薄膜トランジスタと、前記ドレイン電極と電気的に連結された画素電極と、を含む第１表示基板と、
前記第１基板と向かい合うように配置された第２基板、前記第２基板上に形成され、前記画素電極と対向する共通電極を有する第２表示基板と、
前記第１表示基板及び前記第２表示基板の間に介在された液晶層と、を含む表示装置。
【請求項２５】
前記第１バリヤーパターン及び前記第２バリヤーパターンは、チタニウム、タンタル、タングステン、及びクロムからなる群から選択されたいずれか一つの金属を含むことを特徴とする請求項２４記載の表示装置。
【請求項２６】
前記ソースパターン及び前記ドレインパターンは、アルミニウム及びアルミニウム合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする請求項２４記載の表示装置。
【請求項２７】
前記第１キャッピングパターン及び前記第２キャッピングパターンは、モリブデン及びモリブデン合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする請求項２４記載の表示装置。
【請求項２８】
第１基板上にゲート電極及びゲート絶縁膜を順次に形成する段階と、
前記ゲート絶縁膜上に半導体層、導電性接合層、バリヤー層、導電性薄膜層、及びキャッピング層を順次に形成する段階と、
前記キャッピング層及び前記導電性薄膜層を部分的にエッチングして、前記ゲート電極上で相互離隔する第１及び第２キャッピングパターン、ソースパターン、及びドレインパターンを形成する段階と、
前記バリヤー層、前記導電性接合層を部分的にエッチングして、前記ゲート電極上で相互離隔する第１及び第２バリヤーパターン及び第１及び第２導電性接合パターンを形成する段階と、
前記ドレイン電極と連結される画素電極を形成する段階と、
前記第１基板に対応する第２基板上に前記画素電極と対向する共通電極を形成する段階と、
前記第１基板及び前記第２基板の間に液晶層を形成する段階と、を含む表示装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、薄膜トランジスタ、その製造方法、これを有する表示装置、及び表示装置の製造方法に関する。より詳細には、本発明は、表示装置のアレイ基板上に形成される薄膜トランジスタ、その製造方法、これを有する表示装置、及び表示装置の製造方法に関する。
【背景技術】
【０００２】

一般に、液晶表示装置は、スイッチング素子である薄膜トランジスタ、薄膜トランジスタに連結され画素電圧が印加される画素電極を有するアレイ基板、アレイ基板と対応して共通電極が形成されたカラーフィルター基板を有する。

【０００３】

薄膜トランジスタは、ゲート電極を有するゲートライン、ゲートラインを絶縁させるゲート絶縁膜、ゲート絶縁膜上に形成されたチャンネルパターン、及びゲート絶縁膜上に形成されソース電極が形成されたデータライン及びドレイン電極を含む。

【０００４】

一方、液晶表示装置の大型化によって、薄膜トランジスタに信号を印加するゲートライン及びデータライン等のような信号配線の長さが長くなって、ゲートライン及びデータラインに印加された信号が遅延、歪曲、又は変調されるという問題が発生した。従って、信号配線は、低い比抵抗（ｒｅｓｉｓｔｉｖｉｔｙ）を有する金属を含み、信号配線としては純粋アルミニウム（Ａｌ）又はアルミニウム合金を含む。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかし、純粋アルミニウムは、外部から加わった熱によってヒロック（ｈｉｌｏｃｋ）が発生されるという問題点を有する。ヒロックは、約１８０℃以上の高温状態でアルミニウム原子相互間に、圧縮応力によってアルミニウム金属表面に凸凹が発生することを意味する。データラインにアルミニウムが含まれる場合、アルミニウムは、データラインの下部に配置される導電性接合層、例えば、n^+ドーピングアモルファスシリコン層と接触される場合、コンタクト抵抗が増加し、高温状態でアルミニウムが導電性接合層に拡散されるスパイキング等が発生される。

【０００６】

又、導電性接合層を部分的にエッチングしてチャンネル層を形成する時、導電性接合パターンがソース電極、ドレイン電極、又はデータラインの外部に突出され表示装置に残像が発生される。

【０００７】

従って、本発明の目的は、従来技術による一つ又はその以上の問題点及び制限を実質的に除去することにある。

本発明は、金属配線におけるヒロック減少を抑制することができる薄膜トランジスタ、薄膜トランジスタの製造方法、薄膜トランジスタを含む表示装置及びその表示装置の製造方法を提供することである。

【課題を解決するための手段】

【０００８】

このような本願第１発明を具現するために、本発明による薄膜トランジスタは、基板上に形成されたゲート電極、前記ゲート電極を絶縁するために、前記基板上に形成されたゲート絶縁膜、前記ゲート電極とオーバーラップされるように前記ゲート絶縁膜上に形成される半導体パターン、及び前記半導体パターン上に相互離隔する第１及び第２導電性接合パターンを含むチャンネルパターン、前記第１導電性接合パターン上に第１バリヤーパターン、ソースパターン、及び第１キャッピングパターンが形成されたソース電極、前記第２導電性接合パターン上に第２バリヤーパターン、ドレインパターン、及び第２キャッピングパターンが形成されたドレイン電極を含む。

【０００９】

本願第２発明は、第１発明において、前記第１及び第２バリヤーパターンは、チタニウム、タンタル、タングステン、及びクロムからなる群から選択されたいずれか一つの金属を含むことを特徴とする薄膜トランジスタを提供する。

【００１０】

本願第３発明は、第１発明において、前記ソースパターン及び前記ドレインパターンは、アルミニウム及びアルミニウム合金からなる群から選択されたいずれか一つの金属を含

むことを特徴とする薄膜トランジスタを提供する。
【００１１】
本願第４発明は、第１発明において、前記第１及び第２キャッピングパターンは、モリブデン及びモリブデン合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする薄膜トランジスタを提供する。
【００１２】
本願第５発明は、第４発明において、前記モリブデン合金は、モリブデン－ニオブ合金であることを特徴とする薄膜トランジスタを提供する。
本願第６発明は、第１発明において、前記第１及び第２キャッピングパターン、前記ソースパターン、及びドレインパターンは傾斜するプロファイルを有することを特徴とする薄膜トランジスタを提供する。
【００１３】
本願第７発明は、第１発明において、前記第１及び第２バリヤーパターン及び前記第１及び第２導電性接合パターンは、実質的に垂直なプロファイルを有することを特徴とする薄膜トランジスタを提供する。
【００１４】
本願第８発明は、第１発明において、前記半導体パターンの前記ゲート電極に対応する部位にリセスが形成されることを特徴とする薄膜トランジスタを提供する。
本願第９発明は、第８発明において、前記第１及び第２導電性接合パターンは、前記リセスの両方にそれぞれ配置されることを特徴とする薄膜トランジスタを提供する。
本願第１０発明の目的を具現するために、本発明による薄膜トランジスタの製造方法は、基板上にゲート電極を形成する段階、前記基板上にゲート絶縁膜を形成する段階、前記ゲート絶縁膜上に前記ゲート電極とオーバーラップされるように半導体層、導電性接合層を形成する段階、前記導電性接合層を含む基板上に、バイヤー層、導電性薄膜層、及びキャッピング層を全面に塗布する段階、前記キャッピング層及び前記導電性薄膜層を部分的にエッチングして、前記ゲート電極上で相互離隔する第１及び第２キャッピングパターン、ソースパターン、及びドレインパターンを形成する段階、及び前記バリヤー層、前記導電性接合層を部分的にエッチングして、前記ゲート電極上で相互離隔する第１及び第２バリヤーパターン及び第１及び第２導電性接合パターンを形成する段階を含む。
【００１５】
本願第１１発明は、第１０発明において、前記第１バリヤーパターン及び前記第２バリヤーパターンは、チタニウム、タンタル、タングステン、及びクロムからなる群から選択されたいずれか一つの金属で形成されたことを特徴とする薄膜トランジスタの製造方法を提供する。
【００１６】
本願第１２発明は、第１０発明において、前記ソースパターン及び前記ドレインパターンは、アルミニウム及びアルミニウム合金からなる群から選択されたいずれか一つの金属で形成されたことを特徴とする薄膜トランジスタの製造方法を提供する。
【００１７】
本願第１３発明は、第１０発明において、前記第１キャッピングパターン及び前記第２キャッピングパターンは、モリブデン及びモリブデン合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする薄膜トランジスタの製造方法を提供する。
【００１８】
本願第１４発明は、第１３発明において、前記モリブデン合金は、モリブデン－ニオブ合金であることを特徴とする薄膜トランジスタの製造方法を提供する。
本願第１５発明は、第１０発明において、前記第１及び第２バリヤーパターン及び第１及び第２導電性接合パターンを形成する段階は、前記半導体パターンの前記ゲート電極に対応する部位にリセスを形成する段階を更に含むことを特徴とする薄膜トランジスタの製造方法を提供する。
【００１９】

本願第１６発明は、第１５発明において、前記第１及び第２導電性接合パターンは、前記リセスの両方にそれぞれ配置されることを特徴とする薄膜トランジスタの製造方法を提供する。

【００２０】

本願第１７発明は、第１０発明において、前記第１及び第２キャッピングパターン、ソースパターン、及びドレインパターンを形成する段階は、

前記キャッピング層を部分的にエッチングして、前記第１及び第２キャッピングパターンを形成する段階と、

前記導電性薄膜層を部分的にエッチングして、前記ソースパターン及びドレインパターンを形成する段階と、を含むことを特徴とする薄膜トランジスタの製造方法を提供する。

【００２１】

本願第１８発明は、第１０発明において、前記第１及び第２キャッピングパターン、前記ソースパターン、及びドレインパターンは、ウェットエッチングにより形成されることを特徴とする薄膜トランジスタの製造方法を提供する。

【００２２】

本願第１９発明は、第１８発明において、前記第１及び第２キャッピングパターン、前記ソースパターン、及びドレインパターンは、同一エッチング液のウェットエッチングにより形成されることを特徴とする薄膜トランジスタの製造方法を提供する。

【００２３】

本願第２０発明は、第１０発明において、前記第１及び第２バリヤーパターン、前記第１及び第２導電性接合パターン、及び前記半導体パターンは、ドライエッチングにより形成されることを特徴とする薄膜トランジスタの製造方法を提供する。

【００２４】

本願第２１発明は、第２０発明において、前記ドライエッチング工程は、塩素又はフッ素を含むエッチングガスを用いることを特徴とする薄膜トランジスタの製造方法を提供する。

【００２５】

本願第２２発明は、第２１発明において、前記ドライエッチング工程中に形成された金属酸化物を除去する段階を更に含むことを特徴とする薄膜トランジスタの製造方法を提供する。

【００２６】

本願第２３発明は、第２２発明において、前記金属酸化物は、前記塩素又はフッ素を含むエッチングガスとの反応によって除去されることを特徴とする薄膜トランジスタの製造方法を提供する。

【００２７】

本願第２４発明の目的を具現するために、本発明による表示装置は、第１基板上に形成されたゲート電極、前記ゲート電極を絶縁するために前記第１基板上に形成されたゲート絶縁膜、前記ゲート電極とオーバーラップされるように前記ゲート絶縁膜上に形成される半導体パターン及び前記半導体パターン上に相互離隔する第１及び第２導電性接合パターンを含むチャンネルパターン、前記第１導電性接合パターン上に第１バリヤーパターン、ソースパターン及び第１キャッピングパターンが形成されたソース電極、及び前記第２導電性接合パターン上に第２バリヤーパターン、ドレインパターン及び第２バリヤーパターンが連続的に形成されたドレイン電極を含む薄膜トランジスタと、前記ドレイン電極と電気的に連結された画素電極と、を含む第１表示基板、前記第１基板と向かい合うように配置された第２基板、前記第２基板上に形成され、前記画素電極と対向する共通電極を有する第２表示基板、及び前記第１表示基板及び前記第２表示基板の間に介在された液晶層を含む。

【００２８】

本願第２５発明は、第２４発明において、前記第１バリヤーパターン及び前記第２バリヤーパターンは、チタニウム、タンタル、タングステン、及びクロムからなる群から選択

されたいずれか一つの金属を含むことを特徴とする表示装置を提供する。
【００２９】
本願第２６発明は、第２４発明において、前記ソースパターン及び前記ドレインパターンは、アルミニウム及びアルミニウム合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする表示装置を提供する。
【００３０】
本願第２７発明は、第２４発明において、前記第１キャッピングパターン及び前記第２キャッピングパターンは、モリブデン及びモリブデン合金からなる群から選択されたいずれか一つの金属を含むことを特徴とする表示装置を提供する。
【００３１】
本願第２８発明の目的を具現するために、本発明による表示装置の製造方法は、 第１基板上にゲート電極及びゲート絶縁膜を順次に形成する段階、前記ゲート絶縁膜上に半導体層、導電性接合層、バリヤー層、導電性薄膜層、及びキャッピング層を順次に形成する段階、前記キャッピング層及び前記導電性薄膜層を部分的にエッチングして、前記ゲート電極上で相互離隔する第１及び第２キャッピングパターン、ソースパターン、及びドレインパターンを形成する段階、前記バリヤー層、前記導電性接合層を部分的にエッチングして、前記ゲート電極上で相互離隔する第１及び第２バリヤーパターン及び第１及び第２導電性接合パターンを形成する段階、前記ドレイン電極と連結される画素電極を形成する段階、前記第１基板に対応する第２基板上に前記画素電極と対向する共通電極を形成する段階、及び前記第１基板及び前記第２基板の間に液晶層を形成する段階を含む。
【発明の効果】
【００３２】
本発明により、低抵抗の金属の上下部にキャッピング層とバリヤー層を形成することにより、低抵抗金属原子のヒロック及び拡散を防止することができる。また、低抵抗の金属を含むデータライン、ソース電極、及びデータラインを形成して、配線の抵抗が減少して、表示装置の画質が向上される。
【発明を実施するための最良の形態】
【００３３】
以下、添付図面を参照して、本発明の好ましい実施例を詳細に説明する。
｛薄膜トランジスタ｝
図１は、本発明の一実施例による薄膜トランジスタを説明するための概念的な平面図である。図２は、図１に図示された薄膜トランジスタを具体的に図示した平面図である。図３は、図２に図示された薄膜トランジスタをI_1-I_2に沿って切断した断面図である。
【００３４】
図１を参照すると、薄膜トランジスタＴＦＴは、ゲート電極１１０を有するゲートラインＧＬ、ソース電極１３０を有するデータライン、及びソース電極１３０と離隔するドレイン電極１４０を含む。
【００３５】
ゲートラインＧＬはストライプ形状を有して基板上に配置され、基板の外部から印加されたゲート信号をゲート電極１１０に伝送する。
データラインＤＬは、ゲートラインＧＬと実質的に直交する方向で基板上に配置される。好ましく、データラインＤＬは、ゲートラインＧＬと電気的に絶縁される。データラインＤＬは、外部から印加されたデータ信号をソース電極１３０に伝送する。
【００３６】
ゲートラインＧＬからゲート電極１１０にしきい電圧以上のレベルを有するゲート電圧が印加される場合、薄膜トランジスタＴＦＴに含まれたチャンネル層は不導体から導体に電気的特性が変更され、ソース電極１３０に印加されたデータ信号はチャンネル層を通じてドレイン電極に印加される。
【００３７】
図２及び図３を参照すると、より具体的に、薄膜トランジスタＴＦＴは、ゲート電極１

１０、ゲート絶縁膜１１５、チャンネルパターン１２０、ソース電極１３０、及びドレイン電極１４０を含む。

【００３８】

ゲート電極１１０は、基板上にライン形態で配置されたゲートラインＧＬから分岐される。ゲート電極１１０を構成する物質の例としては、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、クロム（Ｃｒ）、銅（Ｃｕ）、ネオジウム（Ｎｄ）等の金属又はこれらの合金が挙げられる。本実施例において、ゲート電極１１０は、導電性金属物質を含む単一膜又は例えば、アルミニウム－ネオジウム（Ａｌ－Ｎｄ）、及びモリブデン（Ｍｏ）を含む二重膜であり得る。

【００３９】

ゲート電極１１０にしきい電圧以上レベルのゲート電圧が印加される場合、ソース電極１３０とドレイン電極１４０に電気的に連結されたチャンネルパターン１２０にはチャンネルが形成される。従って、データラインＤＬに印加されたデータ信号は、ソース電極１３０を通じてドレイン電極１４０に伝達される。ゲートラインＧＬからゲート電極１１０にしきい電圧以下レベルのゲート電圧が印加される場合、薄膜トランジスタのソース電極１３０とドレイン電極１４０との間に電気的に連結されたチャンネルパターン１２０にはチャンネルが形成されず、これによってデータラインから提供されたデータ信号はドレイン電極１４０に伝達されないことになる。

【００４０】

ゲート絶縁膜１１５はゲート電極１１０が形成された基板上に配置され、ゲート電極１１０をチャンネルパターン１２０に対して電気的に絶縁させる。ゲート絶縁膜１１５は、シリコン窒化物（ＳｉＮｘ）又はシリコン酸化物（ＳｉＯｘ）を含むことができる。

【００４１】

チャンネルパターン１２０は、ゲート絶縁膜１１５上に、ゲート電極１１０と対応する位置に配置される。チャンネルパターン１２０は、半導体パターン１２２と第１及び第２導電性接合パターン１２７ａ、１２７ｂを含むことができる。

【００４２】

半導体パターン１２２は、アモルファスシリコンを主成分として含むことができる。ゲート電極１１０にしきい電圧以上レベルの電圧が印加される場合、チャンネルパターン１２０内にチャンネルが形成され、ソース電極１３０とドレイン電極１４０が電気的に連結される。しきい電圧のレベルは、チャンネルパターン１２０の幅と長さによって決定され、半導体パターン１２２は約２０００～約２５００Åの厚さを有することが好ましい。

【００４３】

リセスは半導体パターン１２２上に形成され、好ましくはリセスは、ゲート電極１１０と対応する部位に形成される。つまり、リセスはゲート電極１１０に対応するように形成される、半導体パターン１２２における凹部である。この際、リセス部分で半導体パターン１２２は、約５００Åの厚さを有することが好ましい。反面、ソース及びドレイン電極とチャンネルパターン１２０を形成するエッチング工程において、半導体パターン１２２に形成されたリセスにより半導体パターン１２２の断線を防止するために、半導体パターン１２２は約２０００～約２５００Åの厚さを有することが好ましい。

【００４４】

第１及び第２導電性接合パターン１２７ａ、１２７ｂは、半導体パターン１２２上に相互離隔して配置される。第１及び第２導電性接合パターン１２７ａ、１２７ｂは、n^+ドーピングアモルファスシリコンを含む。第１及び第２導電性接合パターン１２７ａ、１２７ｂは、半導体パターン１２２とソース及びドレイン電極１３０、１４０間のコンタクト抵抗を減少させ、これらのコンタクト特性を向上させる。第１及び第２導電性接合パターン１２７ａ、１２７ｂは、約２００Åの厚さを有することが好ましい。

【００４５】

ソース電極１３０は、第１バリヤーパターン１３１、ソースパターン１３３、及び第１キャッピングパターン１３５を含む。ドレイン電極１４０は、第２バリヤーパターン１４

１、ドレインパターン１４３、及び第２キャッピングパターン１４５を含む。
【００４６】
第１及び第２バリヤーパターン１３１、１４１は、第１及び第２導電性接合パターン１２７ａ、１２７ｂ上にそれぞれ配置される。第１及び第２バリヤーパターン１３１、１４１は、ソース及びドレインパターン１３３、１４３を構成する導電性金属の拡散を防止する。
【００４７】
第１及び第２バリヤーパターン１３１、１４１は、ソース及びドレインパターン１３３、１４３と第１及び第２キャッピングパターン１３５、１４５を形成する時、エッチング阻止膜として用いられることができる。第１及び第２バリヤーパターン１３１、１４１は、ソース及びドレインパターン１３３、１４３と第１及び第２キャッピングパターン１３５、１４５を構成する物質と同時にエッチングされる時、高いエッチング選択比を有することが好ましい。第１及び第２バリヤーパターン１３１、１４１を構成する物質の例としては、チタニウム（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、又はクロム（Ｃｒ）等が挙げられる。
【００４８】
ソース及びドレインパターン１３３、１４３は、データラインにデータ信号を印加するメイン配線層である。表示装置の大型化によるソース及びドレインパターン１３３、１４３の長さが長くなることによる信号遅延、信号歪曲、及び信号変調を抑制するために、ソース及びドレインパターン１３３、１４３は、比抵抗が低い金属、例えば、純粋アルミニウム及びアルミニウム合金を含むことができる。例えば、純粋アルミニウムは、約２．６５×10^{-6}Ωｃｍの低い比抵抗を有する。
【００４９】
第１及び第２キャッピングパターン１３５、１４５は、それぞれのソース及びドレインパターン１３３、１４３の上部面上に配置される。第１及び第２キャッピングパターン１３５、１４５を構成する物質の例としては、モリブデン又はモリブデン合金等が挙げられる。モリブデン合金を構成する物質の例としては、モリブデン－ニオブ（ＭｏＮｂ）、モリブデン－タングステン（ＭｏＷ）、又はモリブデン－銅（ＭｏＣｕ）等が挙げられる。
【００５０】
第１及び第２キャッピングパターン１３５、１４５は、熱によってアルミニウムを含むソース及びドレインパターン１３３、１４３の表面にヒロックが発生することを抑制する。ヒロックとは、熱によってアルミニウムに加わった圧縮応力によってソース及びドレインパターン１３３、１４３の表面に凸凹が形成されることを意味する。又、表示装置で第２キャッピングパターン１４５は、第２キャッピングパターン１４５の上部に配置される画素電極とコンタクト特性を向上させる。
【００５１】
第１及び第２バリヤーパターン１３１、１４１と第１及び第２キャッピングパターン１３５、１４５が窒素を含む場合、窒素によって副産物が発生することができるので、第１及び第２バリヤーパターン１３１、１４１及び第１及び第２キャッピングパターン１３５、１４５は、窒素による副産物が形成されることを防止するために、窒素を含まないことが好ましい。
【００５２】
図４乃至図１１は、図３に図示した薄膜トランジスタの製造方法を説明するための断面図である。
図４を参照すると、まず、第１基板１０５上には、導電性物質を含む導電性薄膜が形成される。前記導電性薄膜を構成する物質の例としては、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、クロム（Ｃｒ）、銅（Ｃｕ）、ネオジウム（Ｎｄ）、又はこれらの合金が挙げられる。又、導電性薄膜は、例えば、アルミニウム－ネオジウム（Ａｌ－Ｎｄ）及びモリブデン（Ｍｏ）を含む二重膜であり得る。
【００５３】

導電性薄膜は部分的にエッチングされ、第１基板１０５上にゲート電極１１０が形成される。ゲート電極１１０は、ゲートラインから分岐される。本実施例では、ゲートライン及びゲート電極１１０を形成する途中、ストレージキャパシタライン（図示せず）が共に形成されることができる。ストレージキャパシタラインは、ゲートラインの間にゲートラインと平行に配置されることが好ましい。

【００５４】

図５を参照すると、ゲート電極１１０が形成された第１基板１０５上の全面積にかけてゲート絶縁膜１１５が形成される。ゲート絶縁膜１１５を構成する物質の例としては、シリコン窒化物（ＳｉＮｘ）、シリコン酸化物（ＳｉＯｘ）等が挙げられる。

【００５５】

図６を参照すると、アモルファスシリコンを含むアモルファスシリコン層がゲート絶縁膜１１５上に形成される。又、アモルファスシリコン層上には、高濃度ｎ型不純物が添加されたn^+アモルファスシリコン層が形成される。アモルファスシリコン層は、約２０００～約２５００Åの厚さを有することができ、n^+アモルファスシリコン層は約５００Åの厚さを有することができる。

【００５６】

以後に、アモルファスシリコンを含むアモルファスシリコン層及びn^+アモルファスシリコン層は、フォトリソグラフィ工程を通じて部分的にエッチングされ、この結果、ゲート電極１１０とオーバーラップされるようにゲート絶縁膜上に半導体パターン１２１が形成され、半導体パターン１２１の上には導電性接合層１２６を形成する。

【００５７】

図示していないが、アモルファスシリコン層及びn^+アモルファスシリコン層は、後述するソース及びドレイン電極を形成するためのフォトリソグラフィ工程で部分的にエッチングされ、半導体パターンと第１及び第２導電性接合パターンが形成されることができる。

【００５８】

図７を参照すると、バリヤー層１５１、導電性薄膜層１５３、及びキャッピング層１５５が導電性接合層１２６上に順次に形成される。例えば、バリヤー層１５１、導電性薄膜層１５３、及びキャッピング層１５５は、それぞれスパッタリング工程により形成される。

【００５９】

バリヤー層１５１は、導電性接合層１５３のエッチングを阻止するエッチング阻止膜なので、ソースパターン、ドレインパターン、及び第１及び第２キャッピングパターンを構成する物質に対して、大きいエッチング選択比を有することが好ましい。これを具現するために、バリヤー層１５１を構成する物質の例としては、チタニウム（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、又はクロム（Ｃｒ）等が挙げられる。

【００６０】

導電性薄膜層１５３は、比抵抗が低い金属、例えば、純粋アルミニウム（Ａｌ）及びアルミニウム合金（Ａｌ　ａｌｌｏｙ）を含むことができる。例えば、純粋アルミニウムは、約2.65×10^{-6}Ωｃｍの低い比抵抗を有する。

【００６１】

キャッピング層１５５を構成する物質の例としては、モリブデン又はモリブデン合金等が挙げられる。モリブデン合金の例としては、モリブデン－ニオブ（ＭｏＮｂ）、モリブデン－タングステン（ＭｏＷ）、又はモリブデン－銅（ＭｏＣｕ）等が挙げられる。

【００６２】

キャッピング層１５５は熱によってアルミニウムを含むソース及びドレインパターンの表面にヒロックが発生することを抑制する。表示装置におけるキャッピング層１５５は、キャッピング層１５５の上部に配置される画素電極とのコンタクト特性を良好にする。

【００６３】

キャッピング層は窒素を含む場合、キャッピング層は例えば、リアクティブスパッタリ

ング（ｒｅａｃｔｉｖｅ　ｓｐｕｔｔｅｒｉｎｇ）工程により形成される。リアクティブスパッタリング工程は、真空チャンバー内にアルゴン（Ａｒ）及び窒素を共に供給して、カソードに（－）電圧を印加して電子を放出させ、放出された電子はアルゴン（Ａｒ）気体原子と衝突して、アルゴンイオン（Ar^+）及びプラズマ状態を形成する。アルゴンイオン（Ar^+）は、ターゲット（カソード）側に加速されながら、ターゲットの表面に衝突して中性のターゲット原子が出して、基板に窒化物薄膜を形成する。この際、発生するリアクティブパーティクルは、基板の形成される窒化物薄膜の汚染を招来する問題がある。従って、窒素を含まないキャッピング層１５５を形成することが好ましい。

【００６４】

図示していないが、ゲート電極が形成された第１基板上にゲート絶縁膜、アモルファスシリコン層、n^+アモルファスシリコン層、バリヤー層、導電性薄膜層、及びキャッピング層を順次に形成することができる。

【００６５】

図８を参照すると、キャッピング層１５５が形成された基板上にフォトレジスト（図示せず）が形成される。マスクを用いてフォトレジストを露光し現像して、キャッピング層上にフォトレジストパターン１２９が形成される。フォトレジストパターン１２９は、ソース電極及びドレイン電極に対応される。

【００６６】

図９を参照すると、フォトレジストパターン１２９をエッチングマスクとして用いて、キャッピング層と導電性薄膜層を部分的にエッチングして、第１キャッピングパターン１３５と第２キャッピングパターン１４５及びソースパターン１３３とドレインパターン１４３が形成される。第１キャッピングパターン１３５と第２キャッピングパターン１４５及びソースパターン１３３とドレインパターン１４３は、例えば、ウェットエッチング工程により形成される。この際、まず第１キャッピングパターン１３５と第２キャッピングパターン１４５が形成された後、他の工程でソースパターン１３３とドレインパターン１４３が形成されることができ、第１及び第２キャッピングパターン１３５、１４５及びソース及びドレインパターン１３３、１４３が単一工程で形成されることができる。

【００６７】

ウェットエッチング工程において、エッチング液の例としては燐酸（H_2PO_4）、アセト酸（CH_3COOH）、窒酸（HNO_3）、又はこれらの混合液等が挙げられる。導電性薄膜層の下部に配置されたバリヤー層を構成する物質は、ウェット工程のうち、導電性薄膜層を構成する物質に対して、高いエッチング選択比を有することにより、バリヤー層は導電性薄膜層に対するウェット工程のうちにエッチングされない。

【００６８】

図１０を参照すると、フォトレジストパターン１２９をエッチングマスクとして用いて、バリヤー層と導電性接合層を部分的にエッチングして、第１バリヤーパターン１３１、第２バリヤーパターン１４１、第１導電性接合パターン１２７ａ、及び第２導電性接合パターン１２７ｂを形成する。第１バリヤーパターン１３１、第２バリヤーパターン１４１、第１導電性接合パターン１２７ａ、及び第２導電性接合パターン１２７ｂは、例えば、ドライエッチング工程で形成されることができる。ドライエッチング工程は、第１及び第２導電性接合パターン１２７ａ、１２７ｂのエッチング壁面が実質的に垂直なプロファイルを有するようにする。これにより、第１及び第２導電性接合パターン１２７ａ、１２７ｂがソース電極１３０又はドレイン電極１４０やデータライン周囲に外部に突出されることを抑制することができる。従って、ドライエッチング工程を通じてトランジスタの特性が向上される。又、ドライエッチング工程は、バリヤー層と導電性接合層を同時にエッチングするので、導電性接合層をエッチングするための工程が必要ではないので、工程数が増加されない。

【００６９】

ドライエッチング工程のエッチングガスの例としては、塩素又はフッ素等が挙げられる。

塩素を含むエッチングガスは、Cl_2、HCl、又はBCl_3を含むことができ、塩素を含むエッチングガスとチタニウムを含むバリヤー層の場合、バリヤー層は下記の反応式１によりエッチングされる。フッ素を含むエッチングガスは、SF_6又はCF_4を含むことができ、塩素を含むエッチングガスとチタニウムを含むバリヤー層の場合、バリヤー層は下記の反応式２によりエッチングされる。

[反応式１]

$Ti+4Cl- \rightarrow TiCl_4$

[反応式２]

$Ti+4F- \rightarrow TiF_4$

前記ドライエッチング工程のうち、フォトレジストパターン１２９又はチャンバーの壁面に吸着されていたエッチング工程の副産物である酸素ガス（O_2）がバリヤー層の金属と反応して、金属酸化物を形成する。金属酸化物は、基板の表面でエッチング率を低下させる問題がある。フッ素を含むエッチングガスの場合、金属酸化物はフッ素によって容易に除去される傾向がある。又、塩化ホウ素（BCl_3）をエッチングガスに追加する場合、下記の反応式３によって金属酸化物、例えば、酸化タンタル（TiO_2）は除去される。

[反応式３]

$3TiO_2+2BCl_3 \rightarrow 3TiCl_2+2B_2O_3$

第１及び第２バリヤーパターン１３１、１４１と、第１及び第２導電性接合パターン１２７ａ、１２７ｂを形成するエッチング工程で、アモルファスシリコンを含む半導体パターン１２２が過度にエッチングされ、リセスを形成することができる。リセスを有する半導体層１２２を形成することにより、半導体層の厚さが調節される。従って、薄膜トランジスタのしきい電圧が制御されることができる。

【００７０】

図示していないが、ソース及びドレイン電極を形成するためのフォトリソグラフィ工程でアモルファスシリコン層及びn^+アモルファスシリコン層が部分的にエッチングされ、リセスを有する半導体パターンと第１及び第２導電性接合パターンが形成されることができる。

【００７１】

図１１を参照すると、フォトレジストパターンを除去する。これにより、ゲート電極１１０、ゲート絶縁膜１１５、チャンネルパターン１２０、ソース電極１３０、及びドレイン電極１４０を含む薄膜トランジスタを完成する。

{表示装置}

図１２は、表示装置を説明するための等価回路図である。図１３は図３に図示した薄膜トランジスタを含む表示装置の平面図であり、図１４は、図１３に図示された表示装置をII_1-II_2に沿って切断した断面図である。

【００７２】

図１２乃至図１４を参照すると、表示装置は、第１表示基板、第２表示基板、及び液晶層を含む。本実施例において、表示装置の薄膜トランジスタは、実施例１で説明したことと同じ構成要素を有するので、同じ構成要素には同じ参照番号を付与する。

【００７３】

第１表示基板１０は、第１基板１０５、薄膜トランジスタ１００、及び画素電極１７０を含む。

第１基板１０５は、光を通過させることができる透明な材質のガラスを用いる。本実施例において、ガラスはアルカリイオンを含まない。ガラスがアルカリイオンを含む場合、ガラス内のアルカリイオンが液晶層３０内に溶出され、液晶比抵抗が低下して、シーラント（Ｓｅａｌａｎｔ、図示せず）とガラスとの付着力が低下する。

【００７４】

薄膜トランジスタ１００は、ゲート電極１１０、ゲート絶縁膜１１５、チャンネルパターン１２０、ソース電極１３０、及びドレイン電極１４０を含む。

ゲート電極１１０は、第１基板上に配置されたゲートラインＧＬから分岐される。ゲートラインＧＬには、薄膜トランジスタ１００を駆動するための制御信号が外部から印加され、ゲート電極１１０に伝送される。ゲート電極１１０を構成する物質の例としては、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、クロム（Ｃｒ）、銅（Ｃｕ）、又はこれらの合金が挙げられる。ゲート電極１１０は、導電性金属物質を含む単一膜又は二重膜であり得る。

【００７５】

ゲート絶縁膜１１５は、ゲートラインＧＬ及びゲート電極１１０を含む第１基板の全面に配置される。ゲート絶縁膜１１５は、ゲートライン及びゲート電極１１０を電気的に絶縁させる。ゲート絶縁膜１１５は、透明なシリコン窒化物（ＳｉＮｘ）又はシリコン酸化物（ＳｉＯｘ）を含むことができる。

【００７６】

チャンネルパターン１２０は、半導体パターン１２２と第１及び第２導電性接合パターン１２７ａ、１２７ｂを含む。半導体層は、アモルファスシリコンを主成分ですることができる。第１及び第２導電性接合パターン１２７ａ、１２７ｂは、n^+アモルファスシリコンを主成分ですることができる。

【００７７】

リセスが半導体パターン１２２上に形成され、好ましく、リセスはゲート電極１１０と対応する部位に形成される。この際、リセス部分で半導体パターン１２２の厚さは、約５００Åであることが好ましい。反面、ソース及びドレイン電極とチャンネルパターン１２０を形成するエッチング工程で、半導体パターン１２２に形成されたリセスにより半導体パターンの断線を防止するために、半導体パターン１２２は約２０００～約２５００Åの厚さを有することが好ましい。

【００７８】

ソース電極１３０は、第１バリヤーパターン１３１、ソースパターン１３３、及び第１キャッピングパターン１３５を含み、ドレイン電極１４０は、第２バリヤーパターン１４１、ドレインパターン１４３、及び第２キャッピングパターン１４５を含む。

【００７９】

第１及び第２バリヤーパターン１３１、１４１は、第１及び第２導電性接合パターン１２７ａ、１２７ｂ上にそれぞれ配置される。第１及び第２バリヤーパターン１３１、１４１は、ソース及びドレインパターン１３３、１４３を構成する導電性金属の拡散を防止する。

【００８０】

第１及び第２バリヤーパターン１３１、１４１は、ソース及びドレインパターン１３３、１４３と第１及び第２キャッピングパターン１３５、１４５を形成する時、エッチング阻止膜として用いられることができる。第１及び第２バリヤーパターン１３１、１４１は、ソース及びドレインパターン１３３、１４３と第１及び第２キャッピングパターン１３５、１４５を構成する物質と同時にエッチングされる時、高いエッチング選択比を有することが好ましい。従って、第１及び第２バリヤーパターン１３１、１４１を構成する物質は、チタニウム（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、又はクロム（Ｃｒ）等が挙げられる。

【００８１】

ソース及びドレインパターン１３３、１４３は、データラインにデータ信号を印加するメイン配線層である。表示装置の大型化によって、ソースパターン及びドレインパターン１３３、１４３の長さが長くなることによる信号遅延、信号歪曲、及び信号変調を抑制するために、ソース及びドレインパターン１３３、１４３は、比抵抗が低い金属、例えば、純粋アルミニウム及びアルミニウム合金を含むことができる。例えば、純粋アルミニウムは、約２．６５×10^{-6}Ωｃｍの低い比抵抗を有する。

【００８２】

第１及び第２キャッピングパターン１３５、１４５は、それぞれのソース及びドレイン

パターン１３３、１４３の上に配置される。第１及び第２キャッピングパターン１３５、１４５を構成する物質の例としては、モリブデン又はモリブデン合金が挙げられる。モリブデン合金を構成する物質の例としては、モリブデン－ニオブ（ＭｏＮｂ）、モリブデン－タングステン（ＭｏＷ）、又はモリブデン－銅（ＭｏＣｕ）等が挙げられる。

【００８３】

第１及び第２キャッピングパターン１３５、１４５は、熱によりアルミニウムを含むソース及びドレインパターン１３３、１４３の表面にヒロックが発生することを抑制する。ヒロックは、熱によりアルミニウムに加わった圧縮応力によってソース及びドレインパターン１３３、１４３の表面に凸凹が形成されることを意味する。又、表示装置で第２キャッピングパターン１４５は、第２キャッピングパターン１４５の上部に配置される画素電極とコンタクト特性を向上させる。

【００８４】

第１及び第２バリヤーパターン１３１、１４１と第１及び第２キャッピングパターン１３５、１４５が窒素を含む場合、窒素により副産物が発生されることができるので、第１及び第２バリヤーパターン１３１、１４１及び第１及び第２キャッピングパターン１３５、１４５は、窒素による副産物が形成されることを防止するために、窒素を含まないことが好ましい。

【００８５】

第１表示基板１０は、ソース電極１３０及びドレイン電極１４０を含む基板上に保護膜１６０を更に含むことができる。保護膜１６０は、薄膜トランジスタを保護し、保護膜を構成する物質の例としては、シリコン窒化物等が挙げられる。

【００８６】

画素電極１７０は、ドレイン電極１４０と電気的に連結される。画素電極を構成する物質の例としては、酸化スズインジウム薄膜（Ｉｎｄｉｕｍ Ｔｉｎ Ｏｘｉｄｅ ｆｉｌｍ；ＩＴＯ）、酸化スズインジウム薄膜、又は酸化亜鉛インジウム薄膜（Ｉｎｄｉｕｍ Ｚｉｎｃ Ｏｘｉｄｅ ｆｉｌｍ；ＩＺＯ）等が挙げられる。画素電極１７０は、透明性導電膜を部分的にエッチングして形成する。

【００８７】

第２表示基板２０は、第２基板２０５及び共通電極２１０を含む。

第２基板２０５は、前述した第１基板１０５と同じ物質、即ち、透明性ガラス基板である。第２基板２０５は、第１基板１０５と光学的等方性を有する。

【００８８】

共通電極２１０は、第２基板２０５の全面に配置される。共通電極２１０を構成する物質の例としては、ＩＴＯ、ＩＺＯ、ＴＯ、又はＺＯ等の透明な導電性物質が挙げられる。共通電極２１０が第１表示基板１０上に画素電極１７０と平行に配置されることもできる。

【００８９】

第２基板２０は、カラーフィルター層（図示せず）又は遮光部材（図示せず）を更に含むことができる。

カラーフィルター層は、画素に対応する第２基板２０上に配置されることができる。カラーフィルター層は、所定の波長を有する光のみを選択的に透過させる。カラーフィルター層は、赤色カラーフィルター部、緑色カラーフィルター部、及び青色カラーフィルター部を含む。カラーフィルター層は、光重合開始剤、モノマー、バインダー、顔料、分散剤、溶剤、フォトレジスト等を含む。この際、カラーフィルター層は、第１基板１０上に配置されることもできる。

【００９０】

遮光部材は、液晶を制御することができない領域を通過する光を遮断して、表示装置の光が漏れる現象を防止して画質を向上させる。又、互いに異なる色のカラーフィルター層をオーバーラップさせて遮光部材を省略することができる。

【００９１】

第１表示基板１０と第２表示基板２０は、スペーサ（図示せず）により所定の間隔で離隔される。スペーサは、カラムスペーサ（Ｃｏｌｕｍｎ　Ｓｐａｃｅｒ）、ボールスペーサ（Ｂａｌｌ　Ｓｐａｃｅｒ）等を含む。又、スペーサがカラムスペーサとボールスペーサが混合されたスペーサを含むこともできる。

【００９２】

第１表示基板１０及び第２表示基板２０の表面に配向膜（図示せず）が配置される。

液晶層３０は、第１表示基板１０及び第２表示基板２０の間に配置され、シーラント（図示せず）により密封される。

【００９３】

これにより、第１表示基板１０、第２表示基板２０、及び液晶層３０を含む表示装置を完成する。

図１５乃至図２４は、図１４に図示した表示装置の製造方法を説明するための断面図である。

【００９４】

図１５を参照すると、まず、第１基板１０５上に導電性物質を含む導電性薄膜を形成する。導電性薄膜を構成する物質の例としては、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、クロム（Ｃｒ）、銅（Ｃｕ）、ネオジウム（Ｎｄ）、又はこれらの合金等が挙げられる。導電性薄膜は、例えば、アルミニウム－ネオジウム（Ａｌ－Ｎｄ）及びモリブデン（Ｍｏ）を含む二重膜であり得る。

【００９５】

導電性薄膜を部分的にエッチングして、第１基板１０５上にゲート電極１１０を形成する。ゲート電極１１０は、ゲートライン（図示せず）から分岐される。

図１６を参照すると、ゲート電極１１０が形成された第１基板１０５には、全面積にかけてゲート絶縁膜１１５が形成される。ゲート絶縁膜１１５を構成する物質の例としては、シリコン窒化物（ＳｉＮｘ）、シリコン酸化物（ＳｉＯｘ）等が挙げられる。

【００９６】

図１７を参照すると、アモルファスシリコン層１２１がゲート絶縁膜１１５上に形成される。又、アモルファスシリコン層上には、n^+イオンを含むn^+アモルファスシリコン層１２６が形成される。アモルファスシリコン層１２１は、約２０００～約２５００Åの厚さを有することができ、n^+アモルファスシリコン層１２６は約５００Åの厚さを有することができる。

【００９７】

図１８を参照すると、バリヤー層１５１、導電性薄膜層１５３、及びキャッピング層１５５がアモルファスシリコン層１２６上に順次に形成される。例えば、バリヤー層１５１、導電性薄膜層１５３、及びキャッピング層１５５が、それぞれスパッタリング工程により形成される。

【００９８】

バリヤー層１５１は、導電性接合層１２６のエッチングを阻止するエッチング阻止膜なので、導電性薄膜層１５３とキャッピング層１５５を構成する物質に対して、大きいエッチング選択比を有することが好ましい。従って、バリヤー層１５１を構成する物質を例としては、チタニウム（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、又はクロム（Ｃｒ）が挙げられる。

【００９９】

導電性薄膜層１５３を構成する物質の例としては、純粋アルミニウム（Ａｌ）及びアルミニウム合金（Ａｌ　ａｌｌｏｙ）等の低い比抵抗の金属が挙げられる。例えば、純粋アルミニウムは約$2.65\times10^{-6}\Omega cm$の低い比抵抗を有する。

【０１００】

キャッピング層１５５を構成する物質の例としては、モリブデン又はモリブデン合金等が挙げられる。モリブデン合金の例としては、モリブデン－ニオブ（ＭｏＮｂ）、モリブデン－タングステン（ＭｏＷ）、又はモリブデン－銅（ＭｏＣｕ）等が挙げられる。

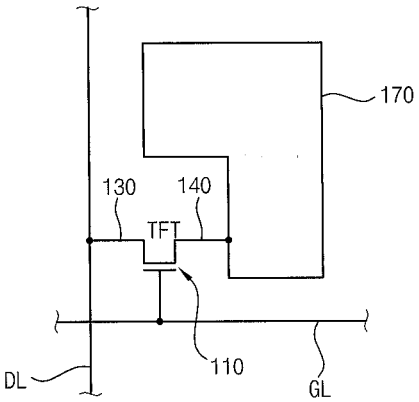
【０１０１】
キャッピング層１５５は、熱によりアルミニウムを含むソース及びドレインパターンの表面にヒロックが発生することを抑制する。表示装置でキャッピング層１５５は、キャッピング層１５５の上部に配置される画素電極とのコンタクト特性を良好にする。
【０１０２】
キャッピング層は窒素を含む場合、キャッピング層は例えば、リアクティブスパッタリング工程により形成される。リアクティブスパッタリング工程は、真空チャンバー内にアルゴン（Ａｒ）及び窒素を共に供給して、カソードに（－）電圧を印加して電子を放出させ、放出された電子はアルゴン（Ａｒ）気体原子と衝突して、アルゴンイオン（$Ａｒ^{+}$）及びプラズマ状態を形成する。アルゴンイオン（$Ａｒ^{+}$）は、ターゲット（カソード）側に加速されながら、ターゲットの表面に衝突して、中性のターゲット原子が出して、基板に窒化物薄膜を形成する。この際、発生するリアクティブパーティクルは基板の形成される窒化物薄膜の汚染を招く問題がある。従って、窒素を含まないキャッピング層１５５を形成することが好ましい。
【０１０３】
図１９を参照すると、キャッピング層１５５が形成された基板上にフォトレジスト（図示せず）が形成される。マスクを用いてフォトレジストを露光し現像して、キャッピング層上にフォトレジストパターン１２９が形成される。フォトレジストパターン１２９は、ソース電極及びドレイン電極に対応される。
【０１０４】
図２０を参照すると、フォトレジストパターン１２９をエッチングマスクとして用いて、キャッピング層と導電性薄膜層を部分的にエッチングして、第１キャッピングパターン１３５と第２キャッピングパターン１４５及びソースパターン１３３とドレインパターン１４３が形成される。第１キャッピングパターン１３５と第２キャッピングパターン１４５及びソースパターン１３３とドレインパターン１４５は、例えば、ウェットエッチング工程により形成される。この際、第１キャッピングパターン１３５と第２キャッピングパターン１４５がまず形成された後、他の工程でソースパターン１３３とドレインパターン１４３が形成されることができ、第１及び第２キャッピングパターン１３５、１４５及びソース及びドレインパターン１３３、１４３が単一工程で形成されることができる。
【０１０５】
ウェットエッチング工程において、エッチング液の例としては、燐酸（$Ｈ_{2}ＰＯ_{4}$）、アセト酸（$ＣＨ_{3}ＣＯＯＨ$）、窒酸（$ＮＨＯ_{3}$）、又はこれらの混合液等が挙げられる。導電性薄膜層の下部に配置されたバリヤー層を構成する物質は、ウェット工程のうち、導電性薄膜層を構成する物質に対して、高いエッチング選択比を有することにより、バリヤー層は導電性薄膜層に対するウェット工程のうちにエッチングされない。
【０１０６】
図２１を参照すると、フォトレジストパターン１２９をエッチングマスクとして用いて、バリヤー層１５１、導電性接合層１２６、及びアモルファスシリコン層１２１を部分的にエッチングして、第１バリヤーパターン１３１、第２バリヤーパターン１４１、第１導電性接合パターン１２７ａ、第２導電性接合パターン１２７ｂ、及び半導体パターン１２２を形成する。第１及び第２導電性接合パターン１２７ａ、１２７ｂ、及び半導体パターン１２２は、チャンネルパターン１２０を定義する。
【０１０７】
第１バリヤーパターン１３１、第２バリヤーパターン１４１、第１導電性接合パターン１２７ａ、第２導電性接合パターン１２７ｂ、及び半導体パターン１２２は、例えば、ドライエッチング工程で形成される。ドライエッチング工程は、第１及び第２導電性接合パターン１２７ａ、１２７ｂのエッチング壁面が実質的に垂直なプロファイルを有する。よって、このドライエッチング工程により、第１及び第２導電性接合パターン１２７ａ、１２７ｂが半導体パターン１２２の周囲及びデータラインの下部に残留することを抑制する。従って、薄膜トランジスタの特性が向上される。

【０１０８】
　又、ドライエッチング工程は、バリヤー層と導電性接合層を同時にエッチングするので、導電性接合層をエッチングするための別の工程が必要ではなく、工程数が増加されない。
【０１０９】
　ドライエッチング工程のエッチングガスの例としては、塩素又はフッ素等が挙げられる。
　塩素を含むエッチングガスは、Cl_2、ＨＣｌ、又はBCl_3を含むことができ、塩素を含むエッチングガスとチタニウムを含むバリヤー層の場合、バリヤー層は下記の反応式４によりエッチングされる。フッ素を含むエッチングガスは、ＳＦ６又はＣＦ４を含むことができ、塩素を含むエッチングガスとチタニウムを含むバリヤー層の場合、バリヤー層は下記の反応式５によりエッチングされる。
[反応式４]
　$Ti+4Cl^- \rightarrow TiCl_4$
[反応式５]
　$Ti+4F^- \rightarrow TiF_4$
　前記ドライエッチング工程のうち、フォトレジストパターン１２９又はチャンバーの壁面に吸着されていたエッチング工程の副産物である酸素ガス（Ｏ２）がバリヤー層の金属と反応して、金属酸化物を形成する。金属酸化物は、基板の表面でエッチング率を低下させる問題がある、フッ素を含むエッチングガスの場合、金属酸化物はフッ素により容易に除去される傾向がある。又、塩化ホウ素（ＢＣｌ３）をエッチングガスに追加する場合、下記の反応式６により金属酸化物、例えば、酸化タンタル（ＴｉＯ２）は除去される。
[反応式６]
　$3TiO_2+2BCl_3 \rightarrow 3TiCl_2+2B_2O_3$
　第１及び第２バリヤーパターン１３１、１４１と第１及び第２導電性接合パターン１２７ａ、１２７ｂを形成するエッチング工程で、アモルファスシリコンを含む半導体パターン１２２が過度にエッチングされリセスが形成されることができる。リセスを有する半導体パターン１２２を形成することにより、半導体パターン１２２の厚さが調節される。従って、薄膜トランジスタのしきい電圧が制御されることができる。
【０１１０】
　図２２を参照すると、フォトレジストパターンを除去する。これにより、ゲート電極１１０、ゲート絶縁膜１１５、チャンネルパターン１２０、ソース電極１３０、及びドレイン電極１４０を含む薄膜トランジスタを完成する。
【０１１１】
　図２３を参照すると、第２基板２０５上に透明な導電性物質を蒸着して共通電極２１０を形成する。
　共通電極２１０の形成前に第２基板２０５上に遮光部材（図示せず）とカラーフィルター層を形成することができる。まず、第２基板２０５上に不透明な物質を蒸着する。その後、不透明な物質の一部を除去して、遮光部材を形成することができる。この際、不透明な物質及びフォトレジストを第２基板２０５上に塗布した後に、フォト工程（Ｐｈｏｔｏ　Ｐｒｏｃｅｓｓ）を用いて遮光部材を形成することができる。この際、遮光部材を第１表示基板上に形成することもできる。以後、遮光部材が形成された第２基板上にカラーフィルター層を形成することができる。この際、遮光部材及びカラーフィルター層が形成された第２基板上にオーバーコーティング層（図示せず）を形成することもできる。
【０１１２】
　従って、共通電極２１０を含む第２表示基板２０が形成される。
　図２４を参照すると、第１表示基板１０及び第２表示基板２０の間に液晶を注入した後にシーラント（図示せず）により密封して、前記液晶層３０を形成する。この際、シーラント（図示せず）が形成された第１表示基板１０又は第２表示基板２０上に液晶を滴下（Ｄｒｏｐ）した後に、第１表示基板１０及び第２表示基板２０を対向し結合して、液晶層

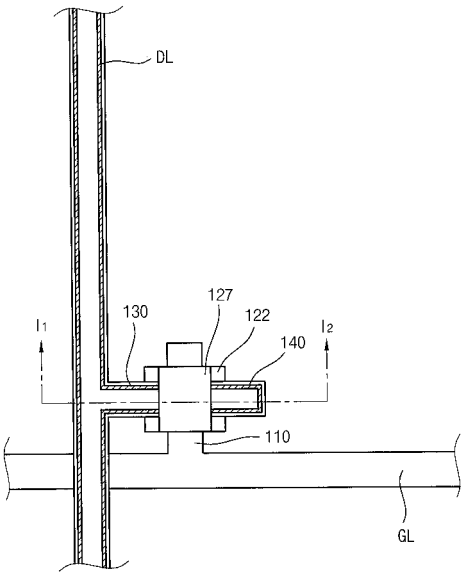
３０を形成することもできる。
【０１１３】
従って、第１表示基板１０、第２表示基板２０、及び液晶層３０を含む液晶表示基板を完成する。
以上で詳細に説明したように、低抵抗の金属を含むデータライン、ソース電極、及びデータラインを形成して、配線の抵抗が減少して、表示装置の画質が向上される。又、低抵抗の金属の上下部にキャッピング層とバリヤー層を形成することにより、低抵抗金属原子のヒロック及び拡散を防止する。
【０１１４】
ソース及びドレイン電極に含まれるバリヤーパターン及び導電性接合パターンを形成するためのドライエッチング工程は、良好なエッチングプロファイルを有するバリヤーパターン及び導電性接合パターンを形成し、ソース電極、ドレイン電極の周囲に導電性接合パターンの残留を抑制して、表示装置の特性を向上させる。
【０１１５】
以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。
【産業上の利用可能性】
【０１１６】
本発明は各種表示装置に適用可能であり、各種表示装置に本発明を適用することにより、表示装置の特性が向上する。
【図面の簡単な説明】
【０１１７】
【図１】本発明の一実施例による薄膜トランジスタを説明するための概略的な平面図である。
【図２】図１に図示された薄膜トランジスタを説明するための具体的な平面図である。
【図３】図２に図示された薄膜トランジスタをI_1-I_2に沿って切断した断面図である。
【図４】図３に図示された薄膜トランジスタの製造方法を説明するための断面図である。
【図５】図３に図示された薄膜トランジスタの製造方法を説明するための断面図である。
【図６】図３に図示された薄膜トランジスタの製造方法を説明するための断面図である。
【図７】図３に図示された薄膜トランジスタの製造方法を説明するための断面図である。
【図８】図３に図示された薄膜トランジスタの製造方法を説明するための断面図である。
【図９】図３に図示された薄膜トランジスタの製造方法を説明するための断面図である。
【図１０】図３に図示された薄膜トランジスタの製造方法を説明するための断面図である。
【図１１】図３に図示された薄膜トランジスタの製造方法を説明するための断面図である。
【図１２】表示装置を説明するための等価回路図である。
【図１３】図３に図示された薄膜トランジスタを含む表示装置の平面図である。
【図１４】図１３に図示された表示装置をII_1-II_2に沿って切断した断面図である。
【図１５】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図１６】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図１７】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図１８】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図１９】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図２０】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図２１】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図２２】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図２３】図１４に図示された表示装置の製造方法を説明するための断面図である。
【図２４】図１４に図示された表示装置の製造方法を説明するための断面図である。

【符号の説明】
【０１１８】
１０　第１表示基板
２０　第２表示基板
３０　液晶層
１００　薄膜トランジスタ
１０５　第１基板
１１０　ゲート電極
１１５　ゲート絶縁膜
１２０　チャンネルパターン
１２２　半導体パターン
１２７　導電性接合パターン
１３０　ソース電極
１３１　第１バリヤーパターン
１３３　ソースパターン
１３５　第１キャッピングパターン
１４０　ドレイン電極
１４１　第２バリヤーパターン
１４３　ドレインパターン
１４５　第２キャッピングパターン

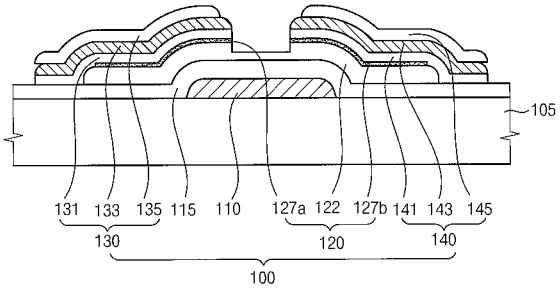
【図１】



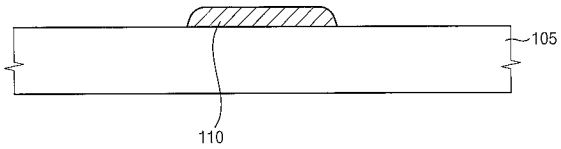
【図２】



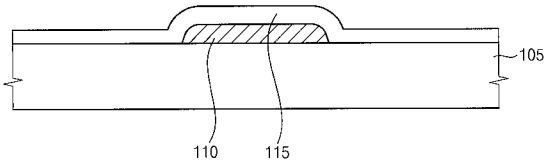
【図３】



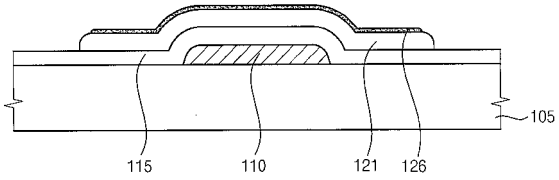
【図４】



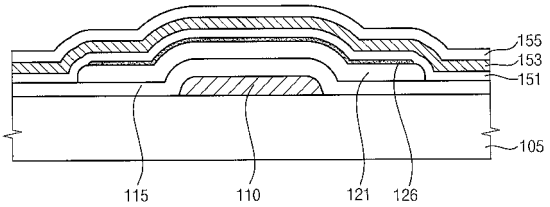
【図５】



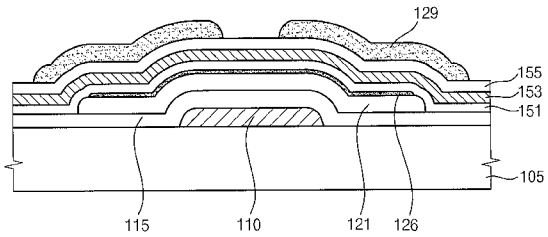
【図６】



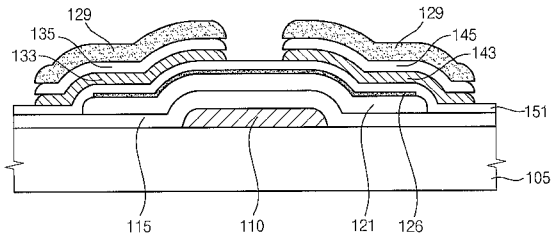
【図７】



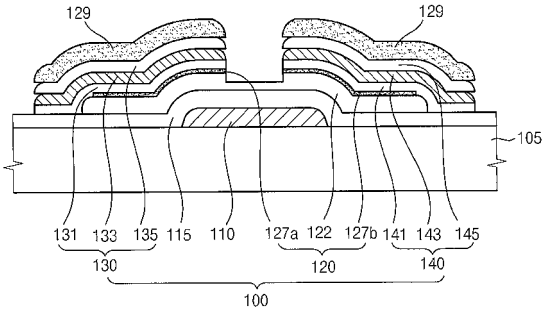
【図８】



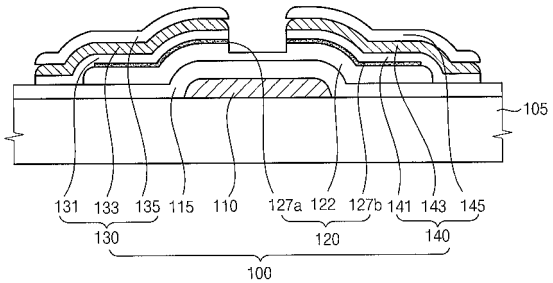
【図９】



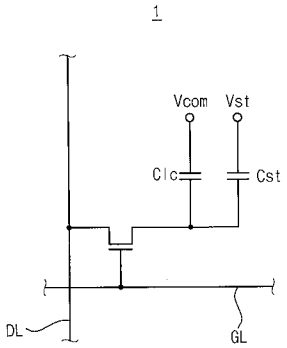
【図１０】



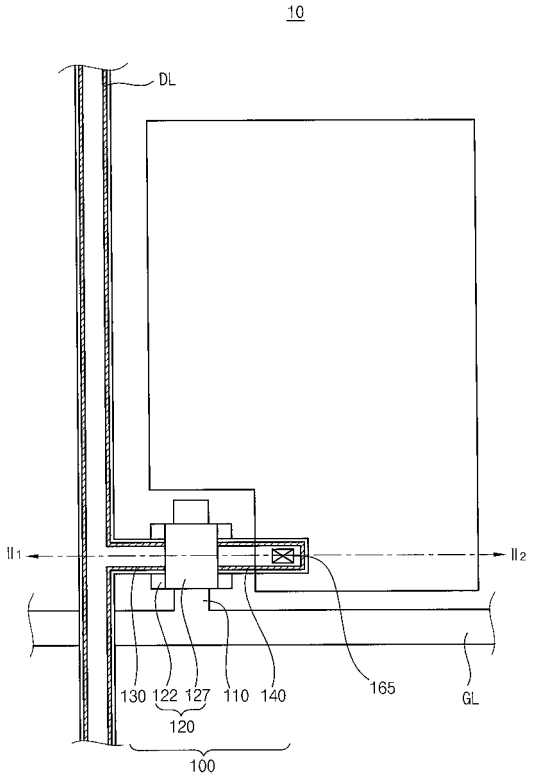
【図１１】



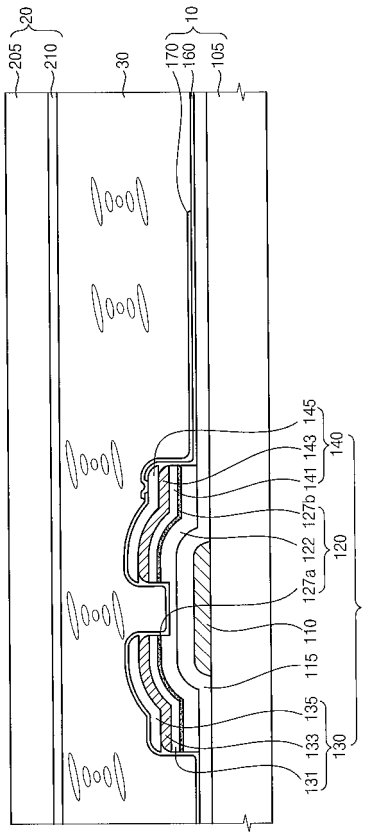
【図１２】



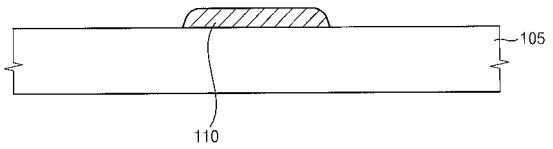
【図１３】



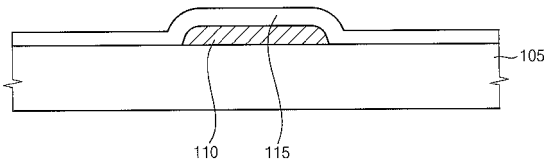
【図１４】



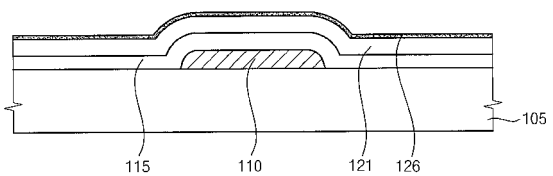
【図１５】



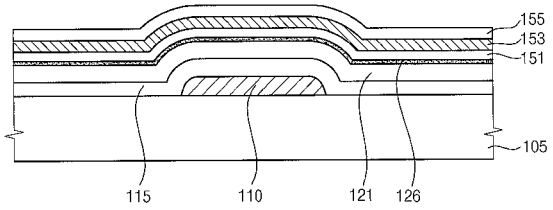
【図１６】



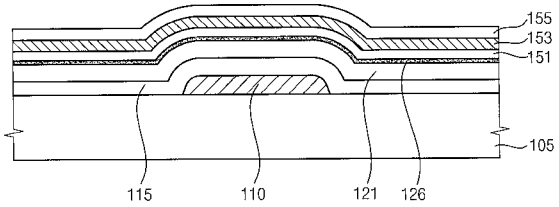
【図１７】



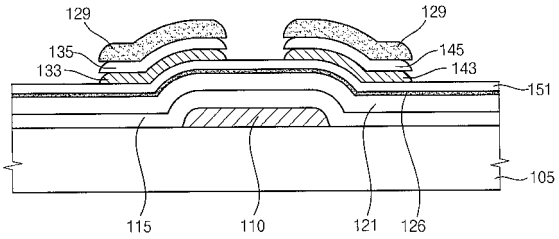
【図１８】



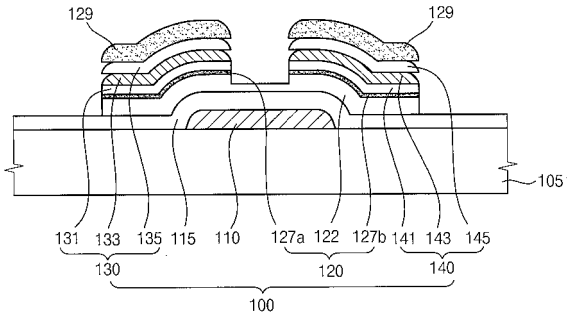
【図１９】



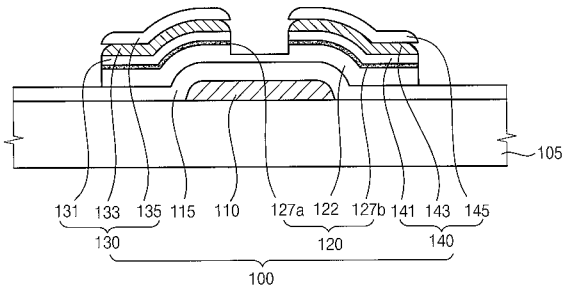
【図２０】



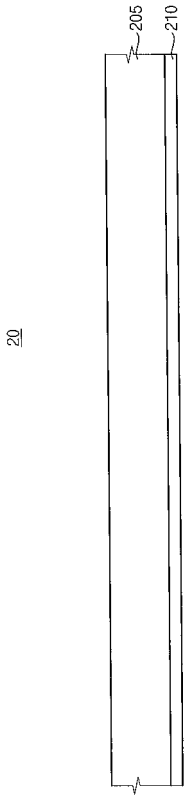
【図２１】



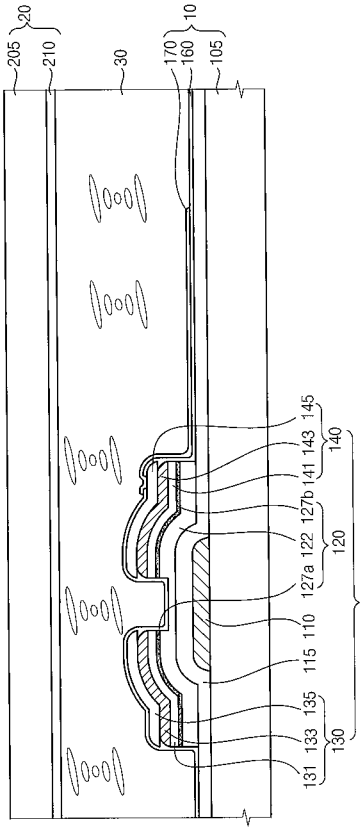
【図２２】



【図２３】



【図２４】


20
205
210
30
10
170
160
105
145
143
141
140
127b
122
120
127a
110
115
135
133
130
131

フロントページの続き

(51)Int.Cl.		FI		テーマコード（参考）
H01L 29/417	***(2006.01)***	H01L 29/50	M	
H01L 29/423	***(2006.01)***	H01L 29/58	G	
H01L 29/49	***(2006.01)***	H01L 21/88	R	
H01L 23/52	***(2006.01)***	H01L 21/90	C	
H01L 21/3205	***(2006.01)***			
H01L 21/768	***(2006.01)***			

(72)発明者 金 時 烈
大韓民国京畿道龍仁市上▲ヒョン▼洞８６１マンヒョンマウル８団地斗山ウィーブアパート８０６棟１６０１号
(72)発明者 朴 弘 植
大韓民国京畿道水原市霊通区網浦洞現代Ｉ－パークアパート２０２棟１００３号
(72)発明者 崔 熙 煥
大韓民国仁川広域市南洞区萬壽１洞萬壽住公８団地アパート８０７棟２０９号
(72)発明者 秦 洪 基
大韓民国京畿道水原市長安区棗園洞ハンイルタウン１４７棟２０１号
(72)発明者 呉 ▲ミン▼ 錫
大韓民国京畿道龍仁市新鳳洞ハンイルアパート１０２棟２０２号
(72)発明者 金 湘 甲
大韓民国ソウル特別市江東区明逸洞１５番地三益アパート３０１棟３０６号

Ｆターム(参考) 2H092 GA12 HA04 JA26 JA28 JA34 JA37 JA40 JA44 JA45 JA47
JB01 JB13 JB22 JB24 JB33 KA05 KA18 KB04 MA02 MA05
MA13 MA18 MA19 MA37 NA21 NA25 NA29 QA06
4M104 AA01 AA08 AA09 BB02 BB04 BB13 BB14 BB16 BB17 BB18
BB36 BB39 CC01 CC05 DD37 DD64 DD65 FF13 GG09 GG20
HH03
5C094 AA31 AA42 BA03 BA43 CA19 DA13 FB12 GB10
5F033 GG04 HH07 HH08 HH09 HH11 HH17 HH18 HH19 HH20 HH21
JJ08 JJ09 JJ17 JJ18 JJ19 JJ20 JJ21 KK05 LL02 MM05
MM08 NN07 PP15 QQ08 QQ10 QQ11 QQ24 VV06 VV15 XX16
5F110 AA03 AA26 AA28 BB01 CC07 DD02 EE02 EE03 EE04 EE06
EE14 FF02 FF03 GG02 GG15 GG24 HK03 HK04 HK06 HK09
HK16 HK17 HK22 HK33 HL07 NN02 NN24 NN72 NN73 QQ04
QQ05