



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월11일  
(11) 등록번호 10-1056305  
(24) 등록일자 2011년08월04일

(51) Int. Cl.

H02P 8/12 (2006.01)

(21) 출원번호 10-2009-0062600

(22) 출원일자 2009년07월09일

심사청구일자 2009년07월09일

(65) 공개번호 10-2010-0007767

(43) 공개일자 2010년01월22일

(30) 우선권주장

JP-P-2008-180772 2008년07월10일 일본(JP)

(56) 선행기술조사문헌

KR100331008 B1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

산요 세미컨덕터 컴퍼니 리미티드

일본 군마켄 오라궁 오이즈미마찌 사카따 1-1-1

산요덴키가부시키키가이샤

일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자

요쿠, 사토시

일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고 산요덴키가부시키키가이샤 지적재산부 본부

(74) 대리인

이중희, 장수길, 박충범

전체 청구항 수 : 총 4 항

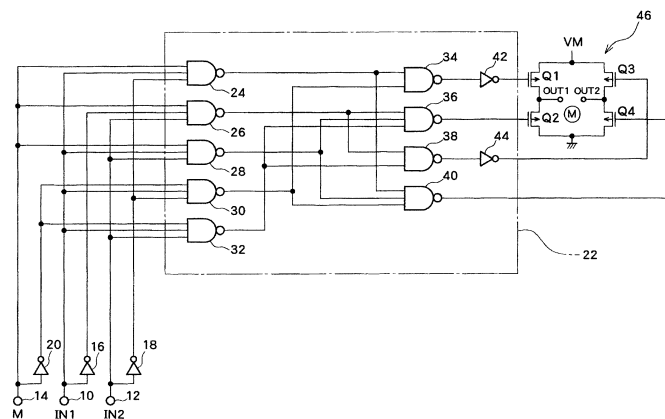
심사관 : 이영노

(54) 구동 신호 출력 회로 및 멀티 칩 패키지

(57) 요약

1개의 회로를 복수의 모드에서 사용한다. 신호 입력 단자(10, 12)로부터의 입력 신호가 논리 회로(22)에 입력되고, 이들 신호의 상태에 따른 제어 신호가 출력된다. 이 제어 신호는 출력 회로에 공급되고, 트랜지스터 Q1~Q4가 제어되어, 그 상태에 따라서 구동 신호가 출력된다. 그리고, 논리 회로(22)는, 상기 논리 설정 단자(14)에 입력되는 설정 신호의 극성에 따라서, 논리가 절환되고, 입력 신호에 따른 제어 신호가 변경된다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

제1 입력 신호 및 제2 입력 신호가 입력되는 신호 입력 단자와,

상기 신호 입력 단자로부터의 제1 입력 신호 및 제2 입력 신호가 입력되고, 그들 신호의 상태에 따른 복수의 제어 신호를 출력하는 논리 회로와,

상기 복수의 제어 신호에 의해 각각 제어되는 복수의 트랜지스터를 포함하고, 복수의 트랜지스터의 상태에 따라서 구동 신호를 출력하는 출력 회로와,

설정 신호가 입력되는 논리 설정 단자

를 갖고,

상기 논리 회로는, 상기 논리 설정 단자에 입력되는 설정 신호의 극성에 따라서, 논리가 절환되고, 상기 제1 입력 신호 및 제2 입력 신호에 따른 상기 복수의 제어 신호가 변경되며,

상기 논리 회로는, 제1 내지 제9 NAND 게이트를 포함하고,

상기 제1 NAND 게이트에는 설정 신호, 제1 입력 신호, 및 반전 제2 입력 신호가 입력되며,

상기 제2 NAND 게이트에는 설정 신호, 반전 제1 입력 신호, 및 제2 입력 신호가 입력되고,

상기 제3 NAND 게이트에는 설정 신호, 제1 입력 신호, 및 제2 입력 신호가 입력되며,

상기 제4 NAND 게이트에는 반전 설정 신호, 제1 입력 신호, 및 반전 제2 입력 신호가 입력되며,

상기 제5 NAND 게이트에는 반전 설정 신호, 제1 입력 신호, 및 제2 입력 신호가 입력되고,

상기 제1 및 제4 NAND 게이트의 출력은 상기 제6 및 제9 NAND 게이트에 입력되고,

상기 제2 및 제5 NAND 게이트의 출력은 상기 제7 및 제8 NAND 게이트에 입력되고,

상기 제3 NAND 게이트의 출력은 상기 제7 및 제9 NAND 게이트에 입력되는 것을 특징으로 하는 구동 신호 출력 회로.

### 청구항 2

제1항에 있어서,

상기 출력 회로는, 전원 라인과 그라운드 라인 사이에, 2개의 트랜지스터의 직렬 접속을 2개 배치하고, 직렬 접속의 중점간을 한 쌍의 출력으로 하는 H 브릿지 회로인 것을 특징으로 하는 구동 신호 출력 회로.

### 청구항 3

제1항 또는 제2항의 구동 신호 출력 회로를 포함하는 1개의 드라이버 칩과, 상기 제1 입력 신호 및 상기 제2 입력 신호를 형성하는 별도의 로직 칩을 1개의 기판 상에 형성하고, 로직 칩에서의 논리 설정 신호를 출력하는 패드와, 기판 상의 패드를 와이어 본딩에 의해 접속함과 함께, 상기 패드와 드라이버 칩의 논리 설정 단자를 와이어 본딩에 의해 접속하고, 로직 칩으로부터의 논리 설정 신호에 의해, 드라이버 칩의 논리 회로의 논리를 절환하는 것을 특징으로 하는 멀티 칩 패키지.

### 청구항 4

제1항 또는 제2항에 있어서,

상기 구동 신호 출력 회로는, 기판 상에 배치된 드라이버 칩 내에 형성되고, 드라이버 칩에는 전원 패드와 그라운드 패드가 설치되고, 드라이버 칩의 논리 설정 단자를 전원용 패드에 접속되는 리드 또는 그라운드용 패드에 접속되는 리드 중 어느 하나와 접속함으로써, 논리 설정 신호를 H 레벨 또는 L 레벨 중 어느 하나로 설정 가능한 것을 특징으로 하는 구동 신호 출력 회로.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은, 모터 등의 부하에의 구동 신호를 출력하는 구동 신호 출력 회로 및 이 회로를 포함하는 멀티 칩 패키지에 관한 것이다.

#### 배경 기술

[0002] 종래, 모터 등의 구동 회로에, H 브릿지 회로가 이용되고 있다. 이 H 브릿지는 전원 라인과 그라운드 라인 사이에, p형 트랜지스터와 n형 트랜지스터의 직렬 접속을 2개 배치하고, 그 직렬 접속의 중점간을 한 쌍의 출력으로 한다.

[0003] 이 H 브릿지는, 한 쌍의 출력에 코일 등의 부하가 접속되고, 이 부하에의 전류의 방향을 트랜지스터의 온 오프 상태로 제어한다. 각 트랜지스터의 제어 신호에는 정현파도 이용되지만 단순한 H, L의 신호도 이용되고, 그 경우에는 부하에의 전류가 정방향, 역방향, 오프의 3개의 상태가 생성된다.

[0004] 예를 들면, 스테핑 모터의 경우, 2개의 코일이 이용되고, 그 구동을 위해 2개의 H 브릿지가 이용된다. 그리고, 이 2개의 코일에 공급하는 전류의 상태에 따라서 라우터 위치가 결정된다. 이 때문에, 2개의 코일에 공급하는 전류의 상태를 특정한 순번으로 순차적으로 변경함으로써 라우터를 정역 중 어느 한 방향으로, 원하는 양만큼 회전시키는 것이 가능하게 된다.

[0005] [특허 문헌 1] 일본 특허 공개 제2006-246642호 공보

### 발명의 내용

#### 해결 하고자하는 과제

[0006] 여기서, H 브릿지를 구동하기 위한 신호는, 통상 외부로부터 공급된다. 따라서, 이 외부로부터 공급되는 신호에 기초하여, H 브릿지의 각 트랜지스터를 구동하기 위한 회로가 필요로 된다. 한편, 스테핑 모터 등의 부하의 구동은, 반드시 1개의 모드라고는 할 수 없다. 각종 모드의 부하에 대해, 각각 구동 신호 출력 회로를 준비하는 것은 효율적이지 않다.

#### 과제 해결수단

[0007] 본 발명은, 복수의 입력 신호가 입력되는 신호 입력 단자와, 이 신호 입력 단자로부터의 복수의 입력 신호가 입력되고, 그들 신호의 상태에 따른 복수의 제어 신호를 출력하는 논리 회로와, 이 복수의 제어 신호에 의해 각각 제어되는 복수의 트랜지스터를 포함하고, 복수의 트랜지스터의 상태에 따라서 구동 신호를 출력하는 출력 회로와, 설정 신호가 입력되는 논리 설정 단자를 갖고, 상기 논리 회로는, 상기 논리 설정 단자에 입력되는 설정 신호의 극성에 따라서, 논리가 절환되고, 상기 복수의 입력 신호에 따른 상기 복수의 제어 신호가 변경되는 것을 특징으로 한다.

[0008] 또한, 상기 출력 회로는, 전원 라인과 그라운드 라인 사이에, p형 트랜지스터와 n형 트랜지스터의 직렬 접속을 2개 배치하고, 직렬 접속의 중점간을 한 쌍의 출력으로 하는 H 브릿지 회로인 것이 바람직하다.

[0009] 또한, 본 발명에 따른 멀티 칩 패키지는, 상기 구동 신호 출력 회로를 포함하는 1개 드라이버 칩과, 상기 입력 신호를 형성하는 별도의 로직 칩을 1개의 기판 상에 형성하고, 로직 칩에서의 논리 설정 신호를 출력하는 패드와, 기판 상의 패드를 와이어 본딩에 의해 접속함과 함께, 이 패드와 드라이버 칩의 논리 설정 단자를 와이어 본딩에 의해 접속하고, 로직 칩으로부터의 논리 설정 신호에 의해, 드라이버 칩의 논리 회로의 논리를 절환하는 것을 특징으로 한다.

[0010] 또한, 상기 구동 신호 출력 회로는, 기판 상에 배치된 드라이버 칩 내에 형성되고, 드라이버 칩에는 전원 패드와 그라운드 패드가 설치되고, 드라이버 칩의 논리 설정 단자를 전원용 패드에 접속되는 리드 또는 그라운드용 패드에 접속되는 리드 중 어느 하나와 접속함으로써, 논리 설정 신호를 H 레벨 또는 L 레벨 중 어느 하나로 설정할 수 있는 것이 바람직하다.

## 효 과

[0011] 본 발명에 따르면, 논리 설정 단자의 설정에 의해, 논리 회로의 논리를 전환할 수 있다. 이 때문에, 1개의 회로를 복수의 모드에서 사용하는 것이 가능하게 된다.

## 발명의 실시를 위한 구체적인 내용

[0012] 이하, 본 발명의 실시 형태에 대해서, 도면에 기초하여 설명한다.

[0013] 도 1은, 실시 형태에 따른 구동 신호 출력 회로의 구성을 도시하는 도면이다. 이 구동 신호 출력 회로는, 1개의 반도체 칩 내에 구성되고, 2개의 입력 신호 IN1, IN2가 입력 신호용의 패드(10, 12)로부터 각각 입력된다. 또한, 논리 설정 패드(14)도 설치되어 있고, 이 논리 설정 패드(14)에는 H 레벨 또는 L 레벨의 설정 신호 M이 입력된다.

[0014] 이들 3개의 패드(10, 12, 14)로부터의 입력 신호 IN1, IN2, 설정 신호 M은, 각각 인버터(16, 18, 20)에 입력되어 반전 신호가 형성된다. 그리고, 신호 IN1, IN2, M과 그들 반전 신호로 이루어지는 6개의 신호가 논리 회로(22)에 입력된다. 논리 회로(22)는 9개의 NAND 게이트(24~38)로 구성되어 있고, NAND 게이트(24)에는 M, IN1, 반전 IN2, NAND 게이트(26)에는 M, 반전 IN1, IN2, NAND 게이트(28)에는 M, IN1, IN2, NAND 게이트(30)에는 반전 M, IN1, 반전 IN2, NAND 게이트(32)에는 반전 M, IN1, IN2가 입력된다. 또한, NAND 게이트(34)에는 NAND 게이트(24)의 출력과 NAND 게이트(30)의 출력, NAND 게이트(36)에는 NAND 게이트(26)의 출력과 NAND 게이트(28)의 출력과 NAND 게이트(32)의 출력, NAND 게이트(38)에는 NAND 게이트(26)의 출력과 NAND 게이트(32)의 출력, NAND 게이트(40)에는 NAND 게이트(24)의 출력과 NAND 게이트(28)의 출력과 NAND 게이트(30)의 출력이 입력된다.

[0015] 그리고, NAND 게이트(34, 38)의 출력이 인버터(42, 44)에서 반전되고, NAND 게이트(34, 40)의 출력이 그대로, 논리 회로(22)의 4개의 출력으로서 출력 회로인 H 브릿지 회로(46)에 입력된다.

[0016] H 브릿지 회로(46)는 전원과 그라운드 사이에 배치된 4개의 트랜지스터 Q1~Q4로 이루어져 있다. p 채널 트랜지스터 Q1은 소스가 전원에 접속되고, 드레인이 n 채널 트랜지스터 Q2의 드레인에 접속되어 있다. n 채널 트랜지스터 Q2의 소스는 그라운드에 접속되어 있다. p 채널 트랜지스터 Q3은 소스가 전원에 접속되고, 드레인이 n 채널 트랜지스터 Q4의 드레인에 접속되어 있다. n 채널 트랜지스터 Q4의 소스는 그라운드에 접속되어 있다. 트랜지스터 Q1, Q2의 접속점이 출력단 OUT1, 트랜지스터 Q3, Q4의 접속점이 출력단 OUT2에 접속되어 있다.

[0017] 또한, 인버터(42)의 출력이 트랜지스터 Q1의 게이트, NAND 게이트(36)의 출력이 트랜지스터 Q2의 게이트, 인버터(44)의 출력이 트랜지스터 Q3의 게이트, NAND 게이트(40)의 출력이 트랜지스터 Q4의 게이트에 공급된다.

[0018] 그리고, 출력단 OUT1, OUT2 사이에 부하가 접속된다. 상기 회로의 경우에는, 입력 신호 IN1, IN2의 상태에 기초하는 OUT1, OUT2의 상태는 도 2에 도시된 바와 같다. 도면에서, (a)는 논리 설정 신호 M이 H 레벨인 경우이며, (b)는 논리 설정 신호 M이 L 레벨인 경우를 나타내고 있다. 이와 같이 논리 설정 신호가 H 레벨인 (a) 경우에는, 부하의 양단에 공급하는 레벨이, OFF-OFF, L-H, H-L, L-L의 4종류로 되고, 이에 의해 부하에 대한 전류를 오프, 부하에 대한 전류를 정방향(또는 역방향), 역방향(정방향) 및 부하의 양단을 그라운드에 쇼트할 수 있다. 따라서, 스테핑 모터이면, 코일에 전류를 공급하지 않는 상태, 코일에 정방향 또는 역방향을의 전류를 공급하는 상태, 코일의 양단을 그라운드에 접속하여 모터에 브레이크를 거는 상태의 4개의 상태를 실현할 수 있다.

[0019] 논리 설정 신호 M이 L 레벨인 (b) 경우에는, 부하의 양단에 공급하는 레벨이, OFF-OFF, OFF-OFF, L-H, H-L의 4종류로 되고, 이에 의해 부하에 대한 전류를 오프, 부하에 대한 전류를 정방향(또는 역방향), 역방향(정방향)으로 된다. 따라서, 스테핑 모터이면, 코일에 전류를 공급하지 않는 상태, 코일에 정방향 또는 역방향을의 전류를 공급하는 상태 3개의 상태를 실현할 수 있다.

[0020] 이와 같이, 이 논리 설정 신호 M에 의해, 입력 신호 IN1, IN2의 상태에 대한 출력단 OUT1, OUT2의 상태를 전환할 수 있다.

[0021] 여기서, 스테핑 모터에서는, x축 코일과 y축 코일의 2개의 코일을 갖고 있기 때문에, 도 1과 마찬가지로의 회로가 이미 1조 설치된다. 도 3에는, 이 경우의 진리값 표가 도시되어 있다. 도 3에서, 이미 1개의 코일에 대한 입력 신호가 IN3, IN4이며, 출력 신호가 OUT3, OUT4이다. 이와 같이, 입력 IN1, IN2에 대해서, H-L, H-L, H-L, L-L, L-H, L-H, L-H, L-L의 8상태로 하고, 이에 대한 입력 IN3, IN4는 L-H, L-L, H-L, H-L, H-L, L-L로 되어 있다. 즉, 2스텝 어긋나 있고, 8스텝이 360°로 대응하고 있기 때문에, 어긋남은 90°이다. 따라서, 출력 신

호 OUT1, OUT2에 대해, 출력 신호 OUT3, OUT4도 90° 위상이 어긋난 것으로 되고, x축 코일과, y축 코일에 90° 위상이 어긋난 전류가 공급된다.

[0022] 여기서, 도 4의 (a)에는 출력 신호 OUT1, OUT2가 H-L인 전류의 상태, (b)에는 출력 신호 OUT3, OUT4가 H-L인 전류의 상태가 도시되어 있다. 도 3의 8개의 상태가 라우터 위치 1~8인 것으로 한 경우, 출력 신호 OUT1, OUT2에 의해 구동되는 코일 전류가 도 5에서의 상단의 I1, 출력 신호 OUT3, OUT4에 의해 구동되는 코일 전류가 도 5에서의 하단의 I2로 된다. 이와 같이, 전류 I1, I2가 서로 위상이 90° 어긋난 것으로 된다. 예를 들면, I1이 x축 코일, I2가 y축 코일로 하고, 출력 신호 OUT1, OUT2, OUT3, OUT4가 H-L, H-L이 -45°로 한 경우, 상태 1에서 라우터가 -45°, 상태 2에서 라우터가 0°, 이하 순차적으로 45° 앞선 상태로 된다. 따라서, 도 3에 도시한 바와 같이 입력 신호를 순차적으로 변경함으로써 스테핑 모터를 1 스텝(45°) 씩 진행시킬 수 있다.

[0023] 그리고, 도 3, 도 4에는 도시하지 않았지만, 입력 신호 IN1, IN2, IN3, IN4를 모두 H 레벨로 함으로써, 2개의 H 브릿지의 트랜지스터 Q2, Q4가 온으로 되어, 브레이크를 걸 수 있다.

[0024] 도 6에는, 마이크로컴퓨터 등의 반도체 칩인 로직 칩(60)과, 본 구동 신호 출력 회로를 갖는 아날로그 회로의 반도체 칩인 드라이버 칩(62)을 1개의 기판 상에 배치한 구성예를 나타낸다. 카메라의 손떨림 보정용의 회로는, 이와 같은 드라이버 칩과, 로직 칩(마이크로컴퓨터)이 1 패키지에 수용된 멀티 칩 패키지로 하여 구성하는 것이 바람직하다. 또한, 도 6에서는 논리 설정 신호 M의 전달의 구성만을 도시하고 있다. 이와 같이, 로직 칩(60)의 논리 설정 신호 M을 출력하는 패드와 기판 상의 패드(50)를 와이어 본딩에 의해 접속하고, 이 패드(50)와 드라이버 칩(62)의 논리 설정 신호용의 패드(14)를 와이어 본딩에 의해 접속한다.

[0025] 이 구성에 의해 로직 칩(60)으로부터의 논리 설정 신호 M에 의해, 본 구동 신호 출력 회로에서의 논리 회로(22)의 논리를 전환할 수 있다. 즉, 마이크로컴퓨터 등의 로직 칩으로부터의 신호에 의해, 드라이버 칩에서의 논리를 용이하게 전환할 수 있다.

[0026] 또한, 도 7에는, 다른 구성이 도시되어 있다. 기판 상에는 드라이버 칩(62)이 설치되고, 드라이버 칩(62)의 전원 패드(52)와는 리드(54)와 접속되고, 그라운드 패드(56)는 리드(58)와 접속된다. 따라서, 논리 설정용의 패드(14)를 리드(54, 58) 중 어느 하나와 접속함으로써, 논리 설정 신호 M을 H 레벨, L 레벨 중 어느 하나로 설정할 수 있다. 특히, 논리 설정용의 패드(14)는 전원 패드(52)와 그라운드 패드(56) 사이에 배치되어 있고, 리드(54, 58)도, 전원 패드(52), 그라운드 패드(56)에 대응한 위치에 있다. 그리고, 이 논리 설정용 패드(14)는 리드(54, 58) 이외에 접속되는 일은 없다. 따라서, 논리 설정용 패드(14)를 리드(54, 58) 중 어느 것에 와이어 본딩에 의해 접속하여도, 그 와이어가 다른 와이어와 얹히는 일은 없다.

[0027] 또한, 본 실시 형태에서는, 스테핑 모터를 이 출력 OUT1, OUT2 사이에 접속한다. 전술한 바와 같이, 스테핑 모터에서는 x축용 코일과, y축용 코일이 있고, H 브릿지가 2개 필요하지만, 보이스 코일 등이면, H 브릿지가 1개 이어도 된다. 또한, 트랜지스터 Q1, Q3을 n형의 트랜지스터로 하는 것도 바람직하다. 이 경우, 도 1에서의 인버터(42, 44)는 불필요하게 되고, NAND 게이트(34, 38)의 출력을 차지 펌프 등으로 승압하여 트랜지스터 Q1, Q3의 게이트에 공급한다. 모두 n형의 트랜지스터를 이용함으로써, 전류 능력을 개선할 수 있다.

## 도면의 간단한 설명

[0028] 도 1은 구동 신호 출력 회로의 구성을 도시하는 도면.

[0029] 도 2는 구동 신호 출력 회로의 진리값 표를 나타내는 도면.

[0030] 도 3은 스테핑 모터 구동을 위한 진리값 표를 나타내는 도면.

[0031] 도 4는 H 브릿지의 전류를 도시하는 도면.

[0032] 도 5는 코일 전류를 도시하는 도면.

[0033] 도 6은 로직 칩과 드라이버 칩의 접속을 도시하는 도면.

[0034] 도 7은 논리 설정용 패드의 고정적 설정을 도시하는 도면.

[0035] <도면의 주요 부분에 대한 부호의 설명>

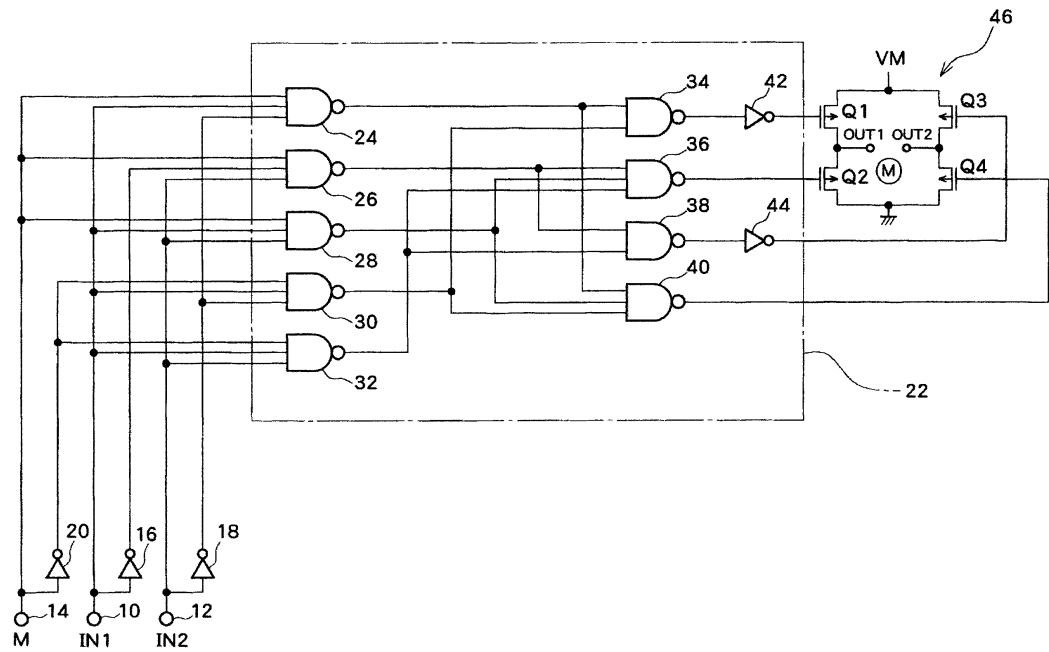
[0036] 10, 12, 14, 50, 52, 56 : 패드

[0037] 16, 18, 20, 42, 44 : 인버터

- [0038] 22 : 논리 회로
- [0039] 24, 26, 28, 34, 36, 38, 40 : NAND 게이트
- [0040] 46 : H 브릿지 회로
- [0041] 54, 58 : 리드
- [0042] 60 : 로직 칩
- [0043] 62 : 드라이버 칩

도면

도면1



도면2

M=H				M=L			
IN1	IN2	OUT1	OUT2	IN1	IN2	OUT1	OUT2
L	L	OFF	OFF	L	L	OFF	OFF
L	H	L	H	L	H	OFF	OFF
H	L	H	L	H	L	H	L
H	H	L	L	H	H	L	H

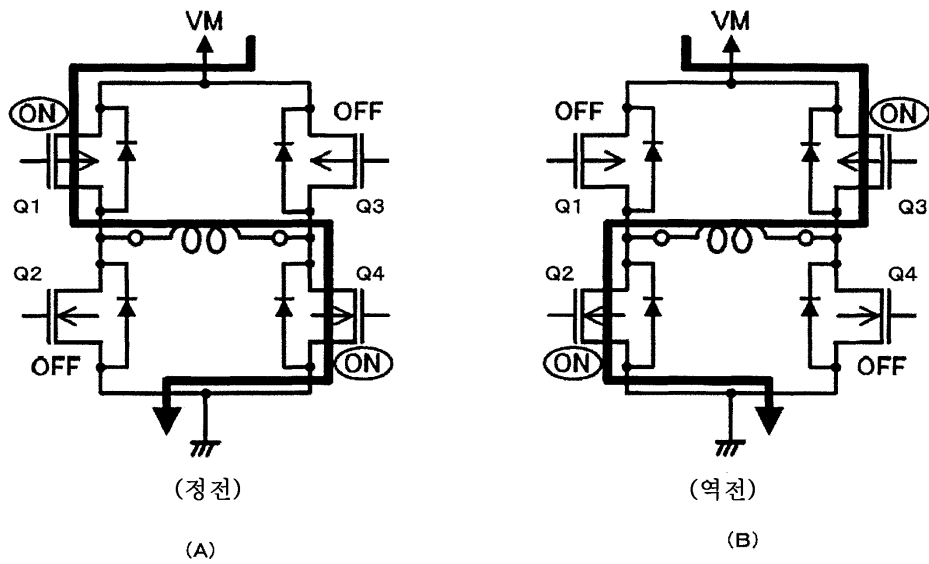
(a)

(b)

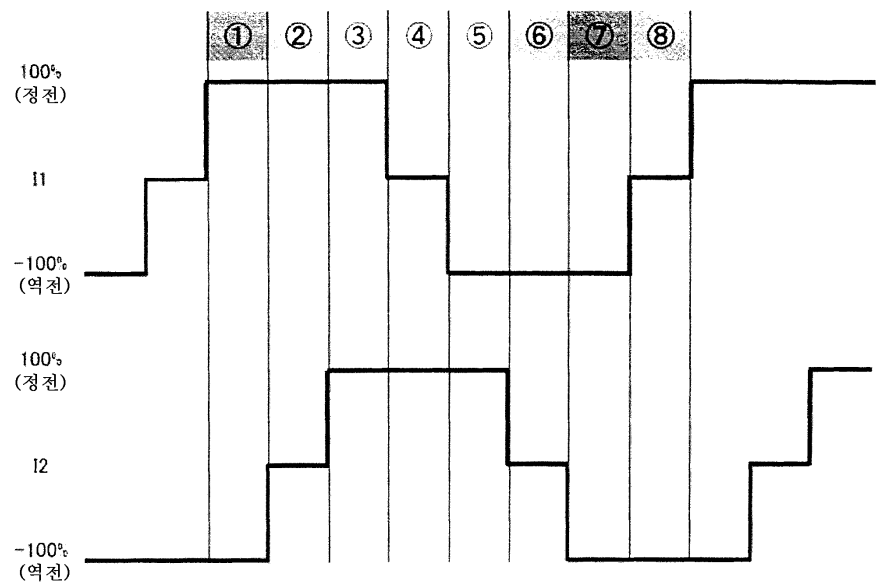
도면3

입력				출력				
IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	위치
H	L	L	H	H	L	L	H	①
H	L	L	L	H	L	OFF	OFF	②
H	L	H	L	H	L	H	L	③
L	L	H	L	OFF	OFF	H	L	④
L	H	H	L	L	H	H	L	⑤
L	H	L	L	L	H	OFF	OFF	⑥
L	H	L	H	L	H	L	H	⑦
L	L	L	H	OFF	OFF	L	H	⑧

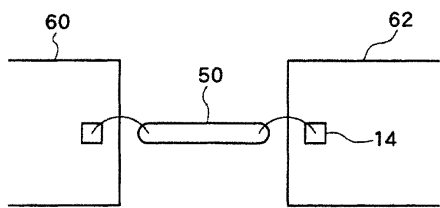
도면4



도면5



도면6



도면7

