

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-223857  
(P2011-223857A)

(43) 公開日 平成23年11月4日(2011.11.4)

(51) Int.Cl.  
H02P 6/08 (2006.01)

F I  
H02P 6/02 371H

テーマコード(参考)  
5H560

審査請求 未請求 請求項の数 16 O L (全 23 頁)

(21) 出願番号 特願2010-292806 (P2010-292806)  
(22) 出願日 平成22年12月28日(2010.12.28)  
(31) 優先権主張番号 特願2010-70656 (P2010-70656)  
(32) 優先日 平成22年3月25日(2010.3.25)  
(33) 優先権主張国 日本国(JP)

(71) 出願人 000116024  
ローム株式会社  
京都府京都市右京区西院溝崎町2 1 番地  
(74) 代理人 100105924  
弁理士 森下 賢樹  
(74) 代理人 100133215  
弁理士 真家 大樹  
(72) 発明者 石井 裕之  
京都府京都市右京区西院溝崎町2 1 番地  
ローム株式会社内  
(72) 発明者 清水 立郎  
京都府京都市右京区西院溝崎町2 1 番地  
ローム株式会社内

最終頁に続く

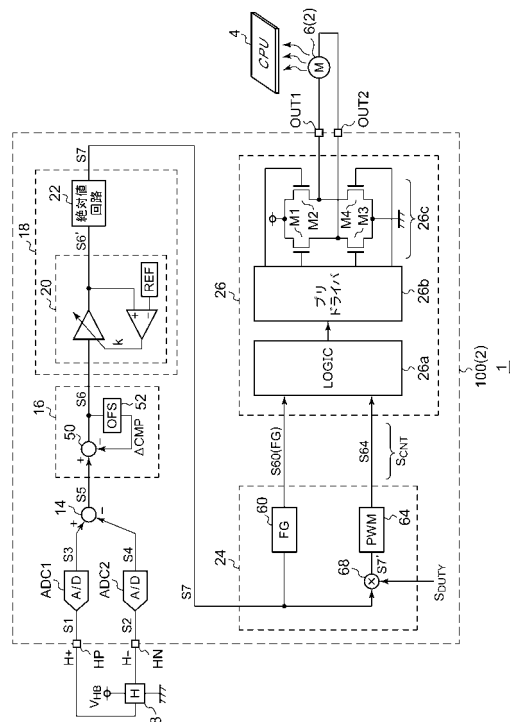
(54) 【発明の名称】 モータ駆動回路およびそれを用いた冷却装置、電子機器

(57) 【要約】

【課題】 ホールセンサのばらつきの影響を受けにくいモータ駆動技術を提供する。

【解決手段】 第1 A/DコンバータADC1、第2 A/DコンバータADC2は、ホール信号の第1信号S1、第2信号S2をそれぞれアナログデジタル変換し、デジタルの第3信号S3、第4信号S4を生成する。差動変換回路14は、第3信号S3、第4信号S4の差分に応じたシングルエンドの第5信号S5を生成する。オフセット補正回路16は、第5信号S5のオフセットを補正し、第6信号S6を生成する。振幅制御回路18は、第6信号S6の振幅を所定の目標値に安定化するとともにその値を絶対値化し、第7信号S7を生成する。制御信号生成部24は、第7信号S7にもとづいて制御信号S<sub>CNT</sub>を生成する。ドライバ回路26は、制御信号S<sub>CNT</sub>にもとづいてモータを駆動する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

ホールセンサから相補的な第 1、第 2 信号を含むホール信号を受け、モータを駆動するモータ駆動回路であって、

前記ホール信号の第 1、第 2 信号をそれぞれアナログデジタル変換し、デジタルの第 3、第 4 信号を生成する第 1、第 2 A / D コンバータと、

前記第 3、第 4 信号の差分に応じたシングルエンドの第 5 信号を生成する差動変換回路と、

前記第 5 信号のオフセットを補正し、第 6 信号を生成するオフセット補正回路と、

前記第 6 信号の振幅を所定の目標値に安定化するとともにその値を絶対値化し、第 7 信号を生成する振幅制御回路と、

前記第 7 信号にもとづいて制御信号を生成する制御信号生成部と、

前記制御信号にもとづいて前記モータを駆動するドライバ回路と、

を備えることを特徴とするモータ駆動回路。

10

**【請求項 2】**

前記振幅制御回路は、

その入力信号の振幅を前記目標値に安定化する振幅補正回路と、

前記振幅補正回路の前段または後段に設けられ、その入力信号を絶対値化する絶対値回路と、

を含み、

20

前記振幅補正回路は、

前記入力信号に可変係数を乗算するデジタル乗算器と、

前記デジタル乗算器の出力信号の振幅を前記目標値と比較し、前記振幅が前記目標値より大きいとき、前記可変係数を所定値低下させ、前記振幅が前記目標値より小さいとき、前記可変係数を所定値増加させる係数制御部と、

を含むことを特徴とする請求項 1 に記載のモータ駆動回路。

**【請求項 3】**

前記係数制御部は、

前記デジタル乗算器の出力信号の振幅と前記目標値の差分を示す第 8 信号を生成するデジタル減算器と、

30

前記第 8 信号の符号に応じて、正または負の所定値を示すデータを入力する符号判定部と、

前記所定値を、1 サンプル前の前記可変係数と加算するデジタル加算器と、

前記デジタル加算器の出力データを 1 サンプル遅延させ、前記デジタル加算器および前記デジタル乗算器へと出力する遅延回路と、

を含むことを特徴とする請求項 2 に記載のモータ駆動回路。

**【請求項 4】**

前記係数制御部は、

前記デジタル乗算器の出力信号の振幅を示すデータの特定のビットの値にもとづいて、正または負の所定値を入力する演算器と、

40

前記所定値を、1 サンプル前の前記可変係数と加算するデジタル加算器と、

前記デジタル加算器の出力データを 1 サンプル遅延させ、前記デジタル加算器および前記デジタル乗算器へと出力する遅延回路と、

を含むことを特徴とする請求項 2 に記載のモータ駆動回路。

**【請求項 5】**

温度に応じた温度検出電圧を受けるサーミスタ用端子と、

前記温度検出電圧をアナログデジタル変換し、デジタルの第 9 信号を生成する第 3 A / D コンバータをさらに備え、

前記ドライバ回路は、前記第 9 信号に応じて前記モータを P W M (Pulse Width Modulation) 駆動することを特徴とする請求項 1 から 4 のいずれかに記載の駆動回路。

50

**【請求項 6】**

前記モータを P W M 駆動する際のデューティ比を示すデューティ比制御電圧を受けるデューティ比制御端子と、

前記デューティ比制御電圧をアナログデジタル変換し、デジタルの第 1 1 信号を生成する第 4 A / D コンバータと、

をさらに備え、

前記ドライバ回路は、前記第 1 1 信号に応じて前記モータを P W M ( Pulse Width Modulation ) 駆動することを特徴とする請求項 1 から 4 のいずれかに記載の駆動回路。

**【請求項 7】**

温度に応じた温度検出電圧を受けるサーミスタ用端子と、

前記モータを P W M 駆動する際のデューティ比を示すデューティ比制御電圧を受けるデューティ比制御端子と、

前記温度検出電圧をアナログデジタル変換し、デジタルの第 9 信号を生成する第 3 A / D コンバータと、

前記デューティ比制御電圧をアナログデジタル変換し、デジタルの第 1 1 信号を生成する第 4 A / D コンバータと、

をさらに備え、

前記ドライバ回路は、前記第 9 信号、第 1 1 信号に応じて前記モータを P W M ( Pulse Width Modulation ) 駆動することを特徴とする請求項 1 から 4 のいずれかに記載の駆動回路。

**【請求項 8】**

前記ホールセンサは、本駆動回路と同一の半導体基板上に一体集積化され、

本駆動回路は、

前記第 1、第 2 A / D コンバータの前段に設けられ、前記ホール信号を増幅するアナログ増幅器と、

前記ホールセンサにバイアス信号を供給するホールバイアス回路と、

をさらに備えることを特徴とする請求項 1 から 7 のいずれかに記載の駆動回路。

**【請求項 9】**

前記アナログ増幅器の利得は、前記ホール信号の振幅に応じて調節されることを特徴とする請求項 8 に記載の駆動回路。

**【請求項 10】**

前記差動変換回路から前記制御信号生成部に至る経路上のいずれかの信号の振幅にもとづき前記アナログ増幅器の利得を制御する、デジタル回路で構成された目標振幅判定回路をさらに備えることを特徴とする請求項 9 に記載の駆動回路。

**【請求項 11】**

前記アナログ増幅器の出力信号の振幅にもとづき前記アナログ増幅器の利得を制御する、アナログ回路で構成された目標振幅判定回路をさらに備えることを特徴とする請求項 9 に記載の駆動回路。

**【請求項 12】**

前記ホールバイアス回路の前記バイアス信号は、前記ホール信号の振幅に応じて調節されることを特徴とする請求項 8 に記載の駆動回路。

**【請求項 13】**

前記差動変換回路から前記制御信号生成部に至る経路上のいずれかの信号の振幅にもとづき前記バイアス信号を制御する、デジタル回路で構成された目標振幅判定回路をさらに備えることを特徴とする請求項 12 に記載の駆動回路。

**【請求項 14】**

前記アナログ増幅器の出力信号の振幅にもとづき前記ホール信号を制御する、アナログ回路で構成された目標振幅判定回路をさらに備えることを特徴とする請求項 12 に記載の駆動回路。

**【請求項 15】**

10

20

30

40

50

ファンモータと、  
前記ファンモータを駆動する請求項 1 から 14 のいずれかに記載の駆動回路と、  
を備えることを特徴とする冷却装置。

【請求項 16】

プロセッサと、  
前記プロセッサを冷却する請求項 15 に記載の冷却装置と、  
を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、モータ駆動装置に関する。

【背景技術】

【0002】

冷却用のファンモータ、光・磁気ディスクを回転させるスピンドルモータ、テープ記録装置用のキャプスタンモータとして DC (直流) モータが利用される。DC モータは一般に、永久磁石を有するロータと、コイルを有するステータとを備え、コイルに供給する電流を制御することにより、DC モータは回転する。

【0003】

DC モータのロータの回転位置を検出するために、ホールセンサ (ホール素子) が利用される。ホールセンサは、モータのロータの位置に応じて相補的に変化するホール信号のペア (単にホール信号と総称する) を生成する。ホールセンサがステータに装着されたホールセンサ付モータも知られている。

【0004】

モータの駆動回路は、ホール信号にもとづいて、コイルに与える駆動電圧の極性を切りかえ、またホール信号を回生区間の制御信号の生成に利用する。ホール信号としてロータの磁極の変化に応じた正弦波状もしくは台形波状の波形が得られる場合、モータの駆動回路は、切りかえタイミング前後のホール信号の電圧変化を利用し、コイルに与える駆動電圧および極性を緩やかに変化させ、モータ駆動音の低減を図ることができる。これはソフトスイッチとも称される。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2005 - 224100 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

一方、ホールセンサは、低温もしくは高温時においてホール信号の振幅が低下もしくは増大する温度特性を有している。またホールセンサとロータ間のギャップのばらつき、ホールセンサ自体のばらつき、機体間ばらつき、環境などによって、ホール信号は影響を受ける。したがってホール信号をモータ駆動のタイミング制御に利用する場合、回生区間が変化したり、ホール信号の振幅が小さすぎてコンパレータが反応しないなどの問題が生じる。この問題を解決するために、ホールセンサ付モータのメーカーは、ホールセンサの選別、ホールセンサを考慮したギャップの管理などを強いられていた。

【0007】

本発明はこうした状況に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、ホールセンサのばらつきの影響を受けにくいモータ駆動技術の提供にある。

【課題を解決するための手段】

【0008】

本発明のある態様は、ホールセンサから相補的な第 1、第 2 信号を含むホール信号を受け、モータを駆動するモータ駆動回路に関する。このモータ駆動回路は、ホール信号の第

10

20

30

40

50

1、第2信号をそれぞれアナログデジタル変換し、デジタルの第3、第4信号を生成する第1、第2 A/Dコンバータと、第3、第4信号の差分に応じたシングルエンドの第5信号を生成する差動変換回路と、第5信号のオフセットを補正し、第6信号を生成するオフセット補正回路と、第6信号の振幅を所定の目標値に安定化するとともにその値を絶対値化し、第7信号を生成する振幅制御回路と、第7信号にもとづいて制御信号を生成する制御信号生成部と、制御信号にもとづいてモータを駆動するドライバ回路と、を備える。

【0009】

この態様によると、デジタル信号処理によって、ホール信号のオフセットを補正し、振幅が一定となるように調節することにより、ホールセンサのばらつきの影響を低減しつつ、モータを駆動できる。

10

【0010】

振幅制御回路は、その入力信号の振幅を目標値に安定化する振幅補正回路と、振幅補正回路の前段または後段に設けられ、その入力信号を絶対値化する絶対値回路と、を含んでもよい。振幅補正回路は、入力信号に可変係数を乗算するデジタル乗算器と、デジタル乗算器の出力信号の振幅を目標値と比較し、振幅が目標値より大きいとき、可変係数を所定値低下させ、振幅が目標値より小さいとき、可変係数を所定値増加させる係数制御部と、を含んでもよい。

この態様によれば、除算演算を行わずに、振幅を一定に保つことができるため、除算器を用いる場合比べて回路面積を削減できる。

20

【0011】

係数制御部は、デジタル乗算器の出力信号の振幅と目標値の差分を示す第8信号を生成するデジタル減算器と、第8信号の符号に応じて、正または負の所定値を出力する符号判定部と、所定値を可変係数と加算するデジタル加算器と、デジタル加算器の出力データを1サンプル時間遅延させ、デジタル加算器およびデジタル乗算器へと出力する遅延回路と、を含んでもよい。

この態様によれば、積和演算器によって係数を制御することができる。

【0012】

係数制御部は、デジタル乗算器の出力信号の振幅を示すデータの特定ビットの値にもとづいて、正または負の所定値を出力する演算器と、所定値を可変係数と加算するデジタル加算器と、デジタル加算器の出力データを1サンプル時間遅延させ、デジタル加算器およびデジタル乗算器へと出力する遅延回路と、を含んでもよい。

30

目標値がバイナリデータの桁上がりの境界に存在する場合には、ビット比較によって大小比較を行うことができるため、回路を簡素化できる。

【0013】

ある態様の駆動回路は、温度に応じた温度検出電圧を受けるサーミスタ用端子と、温度検出電圧をアナログデジタル変換し、デジタルの第9信号を生成する第3 A/Dコンバータと、をさらに備えてもよい。ドライバ回路は、第9信号に応じてモータをPWM (Pulse Width Modulation) 駆動してもよい。

【0014】

ある態様の駆動回路は、モータをPWM駆動する際のデューティ比を示すデューティ比制御電圧を受けるデューティ比制御端子と、デューティ比制御電圧をアナログデジタル変換し、デジタルの第11信号を生成する第4 A/Dコンバータと、をさらに備えてもよい。ドライバ回路は、第11信号に応じてモータをPWM (Pulse Width Modulation) 駆動してもよい。

40

【0015】

ある態様の駆動回路は、温度に応じた温度検出電圧を受けるサーミスタ用端子と、モータをPWM駆動する際のデューティ比を示すデューティ比制御電圧を受けるデューティ比制御端子と、温度検出電圧をアナログデジタル変換し、デジタルの第9信号を生成する第3 A/Dコンバータと、デューティ比制御電圧をアナログデジタル変換し、デジタルの第11信号を生成する第4 A/Dコンバータと、をさらに備えてもよい。ドライバ回路は、

50

第 9、第 11 信号に応じてモータを P W M ( Pulse Width Modulation ) 駆動してもよい。

【 0 0 1 6 】

本発明の別の態様は、冷却装置である。この装置は、ファンモータと、ファンモータを駆動する上述のいずれかの態様の駆動回路と、を備える。

【 0 0 1 7 】

本発明の別の態様は電子機器である。この電子機器は、プロセッサと、前記プロセッサを冷却する上述の冷却装置と、を備える。

【 0 0 1 8 】

なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

10

【発明の効果】

【 0 0 1 9 】

本発明のある態様によれば、ホールセンサのばらつきの影響を低減しつつモータを駆動できる。

【図面の簡単な説明】

【 0 0 2 0 】

【図 1】第 1 の実施の形態に係る駆動 I C を備える電子機器の構成を示す回路図である。

【図 2】オフセット補正回路の構成を示す回路図である。

【図 3】オフセット補正回路の処理を示す波形図である。

【図 4】図 4 ( a )、( b ) は、図 1 の振幅補正回路の構成例を示す回路図である。

20

【図 5】図 5 ( a ) ~ ( f ) は、図 1 の駆動 I C の各ブロックの動作を示す波形図である。

【図 6】図 6 ( a ) ~ ( c ) は、第 2 の実施の形態に係る駆動 I C の構成を示す回路図である。

【図 7】第 3 の実施の形態に係る駆動 I C の構成の一部を示す回路図である。

【図 8】図 7 の駆動 I C の P W M 制御を示す図である。

【図 9】P W M 指令ロジック変換回路の構成例を示す回路図である。

【図 10】図 10 ( a )、( b ) は、図 9 の P W M 指令ロジック変換回路の動作を示す図である。

【図 11】第 4 の実施の形態に係る駆動 I C を用いた冷却装置の構成を示すブロック図である。

30

【図 12】図 11 の駆動 I C の変形例を示す回路図である。

【図 13】第 5 の実施の形態に係る駆動 I C の構成を示す回路図である。

【図 14】図 13 の駆動 I C の変形例の一部を示す回路図である。

【発明を実施するための形態】

【 0 0 2 1 】

( 第 1 の実施の形態 )

図 1 は、第 1 の実施の形態に係る駆動 I C 1 0 0 を備える電子機器 1 の構成を示す回路図である。電子機器 1 は、たとえばデスクトップ型、あるいはラップトップ型のコンピュータ、ワークステーション、ゲーム機器、オーディオ機器、映像機器などであり、冷却装置 2 および C P U ( Central Processing Unit ) 4 を備える。冷却装置 2 は、C P U 4 に対向して設けられたファンモータ 6 と、ファンモータ 6 を駆動する駆動 I C 1 0 0 を備える。

40

【 0 0 2 2 】

駆動 I C 1 0 0 は、ひとつの半導体チップに集積化された機能 I C である。駆動 I C 1 0 0 は、駆動対象のファンモータ 6 に加えて、ファンモータ 6 のロータからの磁界を受ける位置に配置されるホールセンサ 8 と接続されている。ホールセンサ 8 には、ホールバイアス電圧  $V_{H B}$  が印加されており、ファンモータ 6 のロータの位置に応じた相補的な第 1 信号 S 1 ( H + )、第 2 信号 S 2 ( H - ) を含むホール信号を発生する。ホールセンサ 8 は駆動 I C 1 0 0 に内蔵されてもよい。

50

## 【 0 0 2 3 】

駆動 IC 100 は、第 1 A / D コンバータ ADC 1、第 2 A / D コンバータ ADC 2、差動変換回路 14、オフセット補正回路 16、振幅制御回路 18、制御信号生成部 24、ドライバ回路 26 を備える。

## 【 0 0 2 4 】

駆動 IC 100 は、ホール入力端子 HP、HN に、それぞれホールセンサ 8 からの第 1 信号 S 1、第 2 信号 S 2 を受ける。第 1 A / D コンバータ ADC 1 および第 2 A / D コンバータ ADC 2 はそれぞれ、ホール信号の第 1 信号 S 1、第 2 信号 S 2 をそれぞれアナログデジタル変換し、デジタルの第 3 信号 S 3 ( S<sub>HP</sub> )、第 4 信号 S 4 ( S<sub>HN</sub> ) を生成する。

## 【 0 0 2 5 】

第 1 A / D コンバータ ADC 1 および第 2 A / D コンバータ ADC 2 より後段の信号は、たとえば 8 ビットのバイナリデータとなる。差動変換回路 14 は、第 3 信号 S 3 と第 4 信号 S 4 の差分に応じたシングルエンドの第 5 信号 S 5 を生成する。差動変換回路 14 は、デジタル減算器である。

## 【 0 0 2 6 】

ホール信号 H +、H - にオフセットが存在しない場合、第 5 信号 S 5 は、ゼロ点を中心として正と負を交互に繰り返す波形となる。ところがオフセットが存在する場合、オフセット値を中心としてスイングする波形となり、後段の処理に悪影響を及ぼす。具体的には、ファンモータ 6 の駆動相の切りかえタイミングや、相切りかえの際のソフトスイッチ駆動の区間が誤検出される。そこでオフセット補正回路 16 は、第 5 信号 S 5 のオフセットをデジタル信号処理によって補正し、第 6 信号 S 6 を生成する。

## 【 0 0 2 7 】

図 2 は、オフセット補正回路 16 の構成を示す回路図である。オフセット補正回路 16 は、オフセット補正回路 50、オフセット量制御部 52 を含む。オフセット補正回路 50 はデジタル加減算器であり、第 5 信号 S 5 に補正量 CMP を加算 ( 減算 ) することによってシフトし、第 6 信号 S 6 を出力する。オフセット量制御部 52 は、第 6 信号 S 6 にもとづいて補正量 CMP を示すデータを生成する。

## 【 0 0 2 8 】

図 3 は、オフセット補正回路 16 の処理を示す波形図である。図 2 には、オフセットのキャンセルが完全でない場合の第 6 信号 S 6 が示される。オフセット量制御部 52 のサンプリング部 54 は、第 6 信号 S 6 のピーク付近のタイミング T 1 における値 D<sub>PEAK</sub> と、ボトム付近のタイミング T 2 における値 D<sub>BOTTOM</sub> をサンプリングする。サンプリングはピークとボトムにおいて少なくとも 1 回ずつ行われる。図 1 のオフセット補正回路 16 においては、複数回、たとえばピークとボトムそれぞれで 4 回サンプリングずつが行われる。タイミング検出回路 90 は、第 5 信号 S 5 に応じた信号もとづき、サンプリング部 54 がサンプリングを行うべきタイミングを検出し、そのタイミング T 1、T 2 を指示するタイミング制御信号 S 90 を出力する。

## 【 0 0 2 9 】

ホール信号 H +、H - の周期は、ファンモータ 6 の回転数に応じて時々刻々と変化する。したがって、ホール信号 H +、H - の振幅を取得する際に、ピークもしくはボトムとなるタイミング T 1、T 2 は、回転数に応じて変化する。したがってタイミング検出回路 90 には、回転数に追従してタイミング T 1、T 2 を検出する機能が求められる。

## 【 0 0 3 0 】

たとえば、タイミング検出回路 90 は、カウンタ、演算器、ラッチ回路、比較器を含んでもよい。カウンタは、第 5 信号もしくはそれに応じた第 6 信号、あるいは第 7 信号の周期を測定する。演算器は、周期に相当するカウント値に、所望のタイミングに応じた係数を乗じた値を算出し、それをラッチ回路に保持させる。比較器は、カウンタのカウント値がラッチ回路に保持される値に達するごとに、タイミング信号をアサートしてもよい。

## 【 0 0 3 1 】

10

20

30

40

50

オフセット量制御部 52 は、サンプリングされたピーク値  $D_{PEAK}$  とボトム値  $D_{BOTTOM}$  にもとづいて補正量  $CMP$  を決定する。具体的には、積分器 56 はピーク値  $D_{PEAK}$  とボトム値  $D_{BOTTOM}$  を順次加算する積分器である。補正量決定部 58 は、加算結果  $X$  に応じた補正量  $CMP$  を出力する。たとえば補正量決定部 58 は、加算結果  $X$  に所定の係数、たとえば利得  $G = 1/10$  を乗じた値を補正量  $CMP$  とする。この係数を  $2^n$  にとった場合、補正量決定部 58 はビットシフト回路で構成できる。

【0032】

積分器 59 は、補正量  $CMP$  を積分し、オフセット補正回路 50 へと出力する。

オフセット補正回路 16 は、入力信号  $S5$  のオフセットを計算し、そのオフセットを減算することで出力信号のオフセットがゼロとなるようにフィードバックループが形成され、そのループ内には積分特性を有する積分器 59 が挿入される。オフセット計算はホールセンサの電気角 1 周期に 1 回実行されるため、この周期が積分器 59 を動作させるサンプリング周波数を与える。このオフセット補正回路 16 の特性はハイパスフィルタの特性を示す。

10

【0033】

もし、ホール信号のオフセットがゼロであれば、サンプリングされたデータの総和  $X$  はゼロとなる。ホール信号  $H+$ 、 $H-$  が正方向にオフセットされている場合、総和は正の値を、負方向にオフセットされている場合、総和  $X$  は負の値をとる。

【0034】

たとえば、ホール信号  $H+$ 、 $H-$  が正方向にオフセットされていると仮定する。このとき、4 回サンプリングされたピーク値  $D_{PEAK}$  が  $10, 10, 10, 10$ 、ボトム値  $D_{BOTTOM}$  が  $-5, -5, -5, -5$  であったとする。この場合、データの総和  $X$  は  $10 \times 4 - 5 \times 4 = 20$  となるから、補正量  $CMP$  は、総和  $20$  に  $1/10$  を乗じた  $2$  となる。オフセット補正回路 50 は、第 5 信号  $S5$  から補正量  $CMP = 2$  を減算する。積分器 56 の出力  $X$  は、ホール信号の周期ごとにリセットされる。

20

【0035】

オフセット補正回路 16 が、ホール信号の周期ごとにこの処理を繰り返し行うことにより、第 6 信号  $S6$  はゼロを中心としたオフセットフリーの信号を得ることができる。

【0036】

図 1 に戻る。振幅制御回路 18 は、第 6 信号  $S6$  の振幅を所定の目標値  $REF$  に安定化するとともに、その値を絶対値化し、第 7 信号  $S7$  を生成する。図 1 では、振幅の安定化を行う振幅補正回路 20 と、絶対値化を行う絶対値回路 22 が順に接続されている。振幅の安定化と絶対値化の処理の順序は特に限定されないため、絶対値回路 22 を振幅補正回路 20 の前段に配置してもよい。

30

【0037】

図 4 (a)、(b) は、図 1 の振幅補正回路 20 の構成例を示す回路図である。図 4 (a)、(b) の振幅補正回路 20 a、20 b は、デジタル乗算器 30 と係数制御部 32 を含む積和演算器であり、自動利得制御 (AGC) を行う。

【0038】

デジタル乗算器 30 は、その入力信号  $S30$  に可変係数  $K$  を乗算する。係数制御部 32 は、デジタル乗算器 30 の出力信号  $S32$  の振幅  $A$  を目標値  $REF$  と比較し、振幅  $A$  が目標値  $REF$  より大きいとき、可変係数  $K$  を所定値  $k$  低下させ、振幅  $A$  が目標値  $REF$  より小さいとき、可変係数  $K$  を所定値  $k$  増加させる。

40

【0039】

図 4 (a) の係数制御部 32 a は、振幅検出部 34、デジタル減算器 36、符号判定部 38、デジタル加算器 40、遅延回路 42 を含む。振幅検出部 34 は、たとえばデジタル乗算器 30 の出力信号  $S32$  の波形のピークのタイミングおよびボトムのタイミングの少なくとも一方、もしくは両方において、信号  $S32$  の値をサンプリングし、デジタル乗算器 30 の出力信号  $S32$  の振幅を示す振幅データ  $S34$  を生成する。サンプリングのタイ

50



ミングは、上述したタイミング検出回路 90 が発生するタイミング制御信号 S 90 によって指示されてもよい。

【0040】

デジタル減算器 36 は、デジタル乗算器 30 の出力信号 S 32 の振幅 A と、目標値 REF の差分を示す第 8 信号 S 8 ( $= REF - A$ ) を生成する。符号判定部 38 は、第 8 信号 S 8 の符号に応じて、正または負の所定値  $k$  を出力する。具体的には第 8 信号 S 8 の符号が正のとき、つまり  $REF > A$  のときに、正の所定値  $k$  (たとえば +1) を出力し、第 8 信号 S 8 の符号が負のとき、つまり  $REF < A$  のときに、負の所定値  $k$  (たとえば -1) を出力する。なお、目標値 REF と振幅 A が等しい場合、つまり差分がゼロの場合の所定値  $k$  は、0、+1、-1 のいずれとしてもよい。

10

【0041】

デジタル加算器 40 は、符号判定部 38 から出力される所定値  $k$  を、可変係数 K と加算する。遅延回路 42 は、デジタル加算器 40 の出力データ S 40 を 1 サンプル時間遅延させ、デジタル加算器 40 およびデジタル乗算器 30 へと出力する。

【0042】

図 4 (a) の構成によれば、振幅 A と目標値 REF の大小関係に応じて、一定のステップ  $k$  で係数を変化させることができ、系はやがて振幅 A と目標値 REF が一致するように収束する。つまり、振幅 A を一定値に安定化することができる。

【0043】

目標値 REF をデジタル乗算器 30 の入力信号 S 30 の値で除算し、除算結果に応じた利得で入力信号 S 30 を増幅することにより、デジタル乗算器 30 の出力信号 S 32 の振幅を、目標値 REF と一致させることも可能である。しかしながらこの手法では除算演算が必要となる。実施の形態に係る振幅補正回路 20 では、除算演算を行わずに、振幅を一定に保つことができるため、除算器を用いる場合比べて回路面積を削減できるという利点がある。

20

【0044】

目標値 REF を適切に選ぶことにより、係数制御部 32 をさらに簡略化することができる。具体的には、目標値 REF は、バイナリデータの下位  $m$  ビットがオール 1 もしくはオール 0 となる値となるように選択するとよい。言い換えれば目標値 REF は、桁上がり (桁下がり) の境界に設定することが望ましい。

30

【0045】

図 4 (b) では、目標値 REF が  $[01000000]$  (下位 6 ビットがオール 0) もしくは  $[00111111]$  (下位 6 ビットがオール 1) である場合、つまり目標値 REF を振幅 A の正のフルスケールの略  $1/2$  とした場合の構成を示す。図 4 (b) の係数制御部 32 b は、図 4 (a) のデジタル減算器 36、符号判定部 38 に代えて演算器 44 を備える。

【0046】

演算器 44 は、デジタル乗算器 30 の出力信号 S 32 の振幅 A を示すデータ S 34 の特定ビット (下位 ( $m+1$ ) ビット目) の値にもとづいて、正または負の所定値  $k$  を出力する。演算器 44 は、振幅 A の上位 2 ビット  $A[7:6]$  を参照し、 $A[7:6] = "01"$  のとき  $k = -1$  を、 $A[7:6] = "00"$  のとき  $k = +1$  を出力する。最上位ビット (下位第 ( $m+2$ ) ビット目) は冗長であるから、下位第 ( $m+1$ ) ビット目  $A[6]$  のみにもとづいて所定値  $k$  を生成してもよい。

40

【0047】

目標値 REF を "01000000" であると理解すれば、 $REF = A$  のときに  $k = +1$  を出力していることになる。目標値 REF を "00111111" であると理解すれば、 $REF = A$  のとき  $k = -1$  を出力していると理解できる。

【0048】

このように目標値 REF を特殊な値に選ぶことにより、ビット比較のみで係数 K を制御できるため、振幅補正回路 20 を図 4 (a) よりも簡素化できる。

50

## 【 0 0 4 9 】

図 1 に戻る。制御信号生成部 2 4 は、振幅制御回路 1 8 からの第 7 信号 S 7 を受け、それにもとづいて制御信号 S<sub>CNT</sub> ( S 6 0、 S 6 4 ) を生成する。たとえば制御信号生成部 2 4 は、 F G 信号発生部 6 0、パルス変調器 6 4 および演算器 6 8 を備える。

## 【 0 0 5 0 】

F G 信号発生部 6 0 は、ホール信号の前半周期において第 1 レベル (たとえばハイレベル)、後半周期において第 2 レベル (たとえばローレベル) をとる制御信号 ( F G 信号ともいう ) S 6 0 を生成する。たとえば F G 信号発生部 6 0 は、第 7 信号 S 7 がゼロ付近のしきい値 T H<sub>0</sub> を跨ぐたびに制御信号 S 6 0 のレベルを変化させる。

## 【 0 0 5 1 】

なお、駆動区間と回生区間の切り替わりを検出する必要がある場合には、第 7 信号 S 7 を所定のしきい値 T H<sub>1</sub> と比較する回生区間検出コンパレータを設けてもよい。この場合、回生区間検出コンパレータの出力信号は、回生区間において第 1 レベル (ローレベル)、駆動区間において第 2 レベル (ハイレベル) をとる。

## 【 0 0 5 2 】

パルス変調器 6 4 の前段には、演算器 6 8 が設けられる。演算器 6 8 は、第 7 信号 S 7 に、ファンモータ 6 を P W M 駆動する際のデューティ比、つまりファンモータ 6 の回転数を指示するデューティ比制御信号 S<sub>DUTY</sub> を乗ずる。

## 【 0 0 5 3 】

たとえばパルス変調器 6 4 は、第 7 信号 S 7 ' のレベルに応じたデューティ比を有する制御パルス信号 S 6 4 を生成する。たとえばパルス変調器 6 4 は、 P W M コンパレータおよび発振器を含む。発振器は、のこぎり波もしくは三角波状の周期信号を発生する。発振器は、たとえばデジタルカウンタで構成することができる。制御パルス信号 S 6 4 の周波数は、電子機器 1 のユーザが認識しうる不快な可聴ノイズが発生しないように、可聴帯域より高いことが望ましく、 2 0 k H z 以上とすることが望ましい。回路のばらつきを考慮すると、その 2 倍以上の 5 0 k H z 程度が好ましい。 P W M コンパレータは、演算器 6 8 によって振幅が調節された第 7 信号 S 7 ' を周期信号と比較し、パルス幅変調された制御パルス信号 S 6 4 を生成する。

## 【 0 0 5 4 】

パルス変調器 6 4 の構成は特に限定されず、たとえばカウンタを用いて構成してもよい。

## 【 0 0 5 5 】

ドライバ回路 2 6 は、制御信号 S<sub>CNT</sub> ( S 6 0、 S 6 4 ) にもとづいてファンモータ 6 を駆動する。ドライバ回路 2 6 は、たとえばロジック部 2 6 a、ブリドライバ回路 2 6 b および H ブリッジ回路 2 6 c を含んでいる。ドライバ回路 2 6 の構成は特に限定されず、従来のアナログ回路で構成される駆動 I C と同様の回路を利用できる。

## 【 0 0 5 6 】

ドライバ回路 2 6 は、 F G 信号 S 6 0 のレベルに応じて対角に配置されるスイッチのペア M 1、 M 4 またはペア M 2、 M 3 を交互に駆動対象に選択する。ドライバ回路 2 6 は、回生区間において、 H ブリッジ回路を選択されたスイッチのペアを制御パルス信号 S 6 4 にもとづいて P W M 駆動する (ソフトスイッチング)。またドライバ回路 2 6 は、駆動区間において、ファンモータ 6 をその目標トルクに応じたデューティ比で P W M 駆動する。

## 【 0 0 5 7 】

以上が駆動 I C 1 0 0 の構成である。続いてその動作を説明する。

図 5 ( a ) ~ ( f ) は、図 1 の駆動 I C 1 0 0 の各ブロックの動作を示す波形図である。図 5 ( a ) に示されるように、第 5 信号 S 5 のオフセットがオフセット補正回路 1 6 によって補正される。続いて振幅制御回路 1 8 は、図 5 ( b ) に示すように第 6 信号 S 6 の振幅を目標値 R E F と一致するように補正する。続いて図 5 ( c ) に示すように振幅補正回路 2 0 によって第 6 信号 S 6 が絶対値化され、第 7 信号 S 7 が生成される。

## 【 0 0 5 8 】

10

20

30

40

50

FG信号発生部60は、第7信号S7にもとづき、図5(d)に示すFG信号S60を発生する。図5(e)、(f)に示すように、パルス変調器64は、たとえば第7信号S7'と周期信号S66を比較することにより、パルス幅変調された制御パルス信号S64を生成する。

【0059】

図5(e)、(f)では、第7信号S7'の振幅が異なっており、図5(e)はデューティ比制御信号S<sub>DU</sub>T<sub>Y</sub>が1(=100%)の場合を示す。図5(f)は、デューティ比制御信号S<sub>DU</sub>T<sub>Y</sub>が1より小さい場合を示す。デューティ比制御信号S<sub>DU</sub>T<sub>Y</sub>の値が変化すると、第7信号S7'の振幅が変化し、それに応じて制御パルス信号S64のデューティ比が変化することがわかる。

10

【0060】

ドライバ回路26は、制御信号S<sub>C</sub>N<sub>T</sub>(S60、S64)にもとづいてファンモータ6を駆動する。図1の駆動IC100によれば、ホール信号S1、S2をデジタルデータに変換し、ホール信号のオフセットキャンセルし、振幅補正を行うことにより、ホールセンサのばらつきなどの影響を低減しつつ、ファンモータ6を駆動することができる。

【0061】

また、駆動IC100をデジタル回路で構成できるため、アナログ回路で構成した場合に比べて、半導体製造プロセスの微細化にともなうチップシュリンクの恩恵を受けることができ、小型化、低コスト化が実現できる。また、デジタル信号処理を行うことにより、従来のアナログ回路で構成される駆動ICと比べて、素子ばらつきの影響を受けにくいという利点がある。

20

【0062】

駆動ICをアナログ回路で構成する場合、ホールセンサ8からのホール信号H+、H-のオフセットや振幅のばらつきの影響を低減するために、ホール信号H+、H-を高い利得で増幅するのが一般的であった。これにより図1の第7信号S7に相当する信号(S7\*と記す)のピークとボトムは、図5(e)に一点鎖線で示すように歪み、台形に近い波形となる。信号S7\*は相の切り替わりの区間における傾きが急峻すぎるため、制御パルス信号S64に相当する信号のデューティ比を、図5(e)に示すように緩やかに変化させることが困難であった。

【0063】

これに対して図1の駆動IC100によれば、制御パルス信号S64のデューティ比を緩やかに変化させることができるため、相の切りかえをスムーズに行うことができ、ファンモータ6が発するノイズを低減することができる。

30

【0064】

(第2の実施の形態)

第2の実施の形態では、温度に応じた、あるいは外部からの制御信号にもとづくファンモータ6の回転制御について説明する。図6(a)~(c)は、第2の実施の形態に係る駆動IC100の構成を示す回路図である。

【0065】

図6(a)~(c)では、図1と共通する回路ブロックは適宜省略している。図6(a)は、温度に応じた回転数制御を行う駆動IC100aの構成を示す回路図である。

40

駆動IC100aは、サーミスタ用端子THと、第3A/DコンバータADC3と、制御指令回路72と、を備える。

【0066】

サーミスタ用端子THには、基準電圧V<sub>R</sub>E<sub>F</sub>によってバイアスされたサーミスタR<sub>T</sub><sub>H</sub>が接続され、温度に応じたアナログの温度検出電圧V<sub>T</sub><sub>H</sub>が入力される。第3A/DコンバータADC3は、温度検出電圧V<sub>T</sub><sub>H</sub>をアナログデジタル変換し、温度に応じたデジタルの第9信号S9(S<sub>T</sub><sub>H</sub>)を生成する。制御指令回路72は、第9信号S9に応じてPWM駆動のためのデューティ比を示す第10信号S10を生成する。第10信号S10の値は、温度が高いほど大きく、温度が低いほど小さい。この第10信号S10は、図1

50

に示されるデューティ比制御信号  $S_{DUTY}$  に相当する信号であり、制御信号生成部 24 の演算器 68 へと入力される。

【0067】

その結果、制御信号生成部 24 によって生成される制御パルス信号  $S_{64}$  は、温度に応じてパルス幅変調される。ドライバ回路 26 は、制御パルス信号  $S_{64}$  に応じて、言い換えれば第 10 信号  $S_{10}$  に応じてファンモータ 6 を PWM 駆動する。

【0068】

図 6 (a) の駆動 IC 100a によれば、温度が高いほどファンモータ 6 の回転数を高め、CPU 4 を適切に冷却することができる。

【0069】

図 6 (b) は、外部からのデューティ比制御電圧に応じた回転数制御を行う駆動 IC 100b の構成を示す回路図である。デューティ比制御電圧  $V_{DUTY}$  は、ファンモータ 6 を PWM 駆動する際のデューティ比、言い換えれば回転数の目標値に応じたレベルを有する。デューティ比制御電圧  $V_{DUTY}$  は、デューティ比制御端子  $DUTY$  に入力される。

第 4 A/D コンバータ ADC 4 は、デューティ比制御電圧  $V_{DUTY}$  をアナログデジタル変換し、デジタルの第 11 信号  $S_{11}$  を生成する。制御指令回路 78 は、第 11 信号  $S_{11}$  に応じて、PWM 駆動のためのデューティ比を示す第 12 信号  $S_{12}$  を生成する。

【0070】

図 6 (b) の駆動 IC 100b によれば、外部からの制御電圧  $V_{DUTY}$  に応じてファンモータ 6 の回転数を制御できるため、冷却装置 2 の設計者に柔軟なプラットフォームを提供できる。

【0071】

図 6 (c) は、温度および外部からのデューティ比制御電圧に応じた回転数制御を行う駆動 IC 100c の構成を示す回路図である。図 6 (c) の駆動 IC 100c は、図 6 (a)、(b) の駆動 IC 100a、100b の組み合わせであり、制御指令合成回路 80 は、第 9 信号  $S_9$ 、第 11 信号  $S_{11}$  の両方にもとづいて、PWM 駆動のデューティ比を示す第 13 信号  $S_{13}$  を生成する。図 6 (c) の駆動 IC 100c によれば、制御電圧  $V_{DUTY}$  と温度にもとづいてファンモータ 6 の回転数を制御できる。

【0072】

(第 3 の実施の形態)

冷却対象の CPU の発熱量やその温度、熱暴走のしきい値温度などは、CPU ごとに異なる場合がある。したがって、冷却ファンの回転速度は、冷却対象に応じて柔軟に設定できることが望ましい。第 3 の実施の形態では、柔軟な回転数制御を提供する技術について説明する。

【0073】

図 7 は、第 3 の実施の形態に係る駆動 IC 100d の構成の一部を示す回路図である。

図 7 の駆動 IC 100d は、図 6 (b)、(c) のデューティ比制御端子  $DUTY$  に代えて、PWM パルス信号入力端子 PWM を備え、この端子にはパルス幅変調された外部 PWM 信号 PWM が入力される。駆動 IC 100d は、外部 PWM 信号のデューティ比に応じてファンモータ 6 を PWM 駆動する。外部 PWM 信号 PWM のデューティ比は 0 ~ 100 % の範囲を取り得る。

【0074】

駆動 IC 100d は、外部 PWM 信号 PWM のデューティ比および温度  $temp$  に応じて、ファンモータ 6 を PWM 駆動する。図 8 は、図 7 駆動 IC 100d の PWM 制御を示す図である。図 8 の横軸は外部 PWM 信号のデューティ比 (入力デューティ比  $DUTY_{IN}$ ) を、縦軸は PWM 駆動のデューティ比 (出力デューティ比  $DUTY_{OUT}$ ) を示す。

【0075】

図 8 に示すように、駆動 IC 100d は、入力デューティ比が最小デューティ比  $MIN_{DUTY}$  より低いとき、ファンモータ 6 を最小デューティ比  $MIN_{DUTY}$  で駆動する。入力デューティ比  $DUTY_{IN}$  が最小デューティ比  $MIN_{DUTY}$  より高くなると、温度

10

20

30

40

50

に応じて定まる傾き  $k$  に従って出力デューティ比  $DUTY_{OUT}$  が増加する。傾き  $k$  は以下のように設定される。

【0076】

(1)  $temp > T_{UPPER}$   
 $n = 1$

(2)  $temp < T_{LOWER}$   
 $n = (MIN100P - MINDUTY) / (100 - MINDUTY)$

【0077】

(3)  $T_{LOWER} < temp < T_{UPPER}$   
 この範囲における傾き  $k$  は、温度  $temp$  に応じて段階的に、たとえば  $n = 16$  段階で切りかえられる。つまり  $k$  は、

$$k = (n_0 - n) / n \times k$$

で与えられる。

【0078】

図7に戻る。駆動IC100dには、 $MIN100P$ 、 $MINDUTY$ 、 $T_{LOWER}$ 、 $T_{UPPER}$ を指定するアナログ電圧が与えられる。

【0079】

駆動IC100dは、基準電源114、A/DコンバータADC3、ADC5～ADC7、PWM指令ロジック変換回路116、制御指令合成回路80を備える。

【0080】

基準電源114は基準電圧 $V_{REF}$ を生成し、基準電圧端子REFから出力する。外付け抵抗 $R_2$ 、 $R_3$ 、 $R_4$ は、基準電圧 $V_{REF}$ を分圧し、サーミスタ制御最低出力デューティ設定電圧 $V_{MINT}$ およびPWM制御最低出力デューティ設定電圧 $V_{MINP}$ を生成し、それぞれをサーミスタ制御最低出力デューティ設定入力端子MINTおよびPWM制御最低出力デューティ設定入力端子MINPへと入力する。内部抵抗 $R_{10}$ 、 $R_{11}$ は、基準電圧 $V_{REF}$ を分圧し、基準電圧 $V_{REF}'$ を生成する。

【0081】

A/DコンバータADC5～ADC7はそれぞれ、電圧 $V_{REF}'$ 、 $V_{MINT}$ 、 $V_{MINP}$ をアナログ/デジタル変換し、データ信号 $S_{REF}$ 、 $S_{MINT}$ 、 $S_{MINP}$ 、 $S_{SS}$ を生成する。加減算器ADD10～ADD12はそれぞれ、データ信号 $S_{MINT}$ 、 $S_{MINP}$ 、 $S_{TH}$ 、 $S_{TSS}$ からデータ $S_{REF}$ を減算して値をシフトし、データ信号 $MIN100P$ 、 $MIN\_DUTY$ 、 $temp$ を生成する。

【0082】

PWM指令ロジック変換回路116は、外部PWM信号のデューティ比に応じた値を示すデータ信号 $S_{PWM}$ を生成する。PWM指令ロジック変換回路116は、PWM信号のデューティ比0～100%を、Lビットの信号 $S_{PWM}$ に変換する。たとえばL=7ビットのとき、デューティ比0～100%はデジタル値0～127に変換される。

【0083】

制御指令合成回路80は、制御データ $S_{PWM}$ 、データ信号 $MIN100P$ 、 $MIN\_DUTY$ 、 $temp$ にもとづき、デューティ比制御信号 $S_{DUTY}$ を生成する。

【0084】

制御指令合成回路80は、傾き算出部141、第1演算器142、第2演算器143、第3演算器144、符号判定部145、セクタ146を備える。

傾き算出部141は、上述した規則にもとづき、傾き  $k$  を算出する。

第1演算器142は、データ $S_{PWM}$ から $MIN\_DUTY$ を減ずる。第2演算器143は、第1演算器142の出力データ( $S_{PWM} - MIN\_DUTY$ )に傾き  $k$  を乗ずる。第3演算器144は、 $MIN\_DUTY$ と  $k \times (S_{PWM} - MIN\_DUTY)$  を加算する。

【0085】

符号判定部145は、第1演算器142の演算結果( $S_{PWM} - MIN\_DUTY$ )の

符号を判定する。セレクタ146は、符号  $sign$  が正のとき、つまり  $S_{PWM} > MIN\_DUTY$  のとき、入力(0)側のデータ

$$\times (S_{PWM} - MIN\_DUTY) + MIN\_DUTY$$

を選択する。セレクタ146は、符号  $sign$  が負のとき、入力(1)側のデータ  $MIN\_DUTY$  を選択する。セレクタ146の出力データ  $S_{DUTY}$  は、パルス変調器へと出力される。

#### 【0086】

図7の駆動IC100dによれば、図8に示す特性にしたがい、外部PWM信号  $PWM$  および温度にもとづいて、ファンモータ6の回転数を好適に制御することができる。具体的には、ファンモータ6の最低回転数、回転数の温度依存性を、デジタル制御によって独立に設定することができる。

10

#### 【0087】

図9は、PWM指令ロジック変換回路116の構成を示す回路図である。PWM指令ロジック変換回路116は、レベル変換回路150と、デジタルフィルタ152を備える。

#### 【0088】

外部PWM信号  $PWM$  のハイレベルは1に、ローレベルは0に変換される。これは  $COS$  入力に外部PWM信号を入力すればよい。レベル変換回路150は、レベル変換回路150は、1/0信号に変換された外部PWM信号に、係数  $2^L$  を乗算する。 $L=7$  のとき、外部PWM信号の1/0はそれぞれ128/0に変換され、後段のデジタルフィルタ152に入力される。

20

#### 【0089】

デジタルフィルタ152は、1次IIR (Infinite Impulse Response) 型ローパスフィルタであり、直列に設けられた第4演算器153、遅延回路154、第5演算器156を備える。

#### 【0090】

遅延回路154は、ビット幅  $(L+n)$  を有し、ある周期  $T_{CLK}$  を有するクロック信号  $CLK$  と同期して、第4演算器153の出力データを遅延時間  $T_{CLK}$ 、遅延させる。

#### 【0091】

第4演算器153は、遅延回路154の出力データに、係数  $2^{-n}$  を乗算する。定数  $n$  は、ローパスフィルタの周波数特性を決定する。第4演算器153、第5演算器156は、入力データをビットシフトするビットシフタで構成してもよい。

30

#### 【0092】

第4演算器153は、レベル変換回路150の出力データ、遅延回路154の出力データを加算し、第5演算器156の出力データを減算して、演算結果を遅延回路154に出力する。

#### 【0093】

図10(a)、(b)は、図9のPWM指令ロジック変換回路の動作を示す図である。図10(a)は、外部PWM信号のデューティ比が50%のときの、データ信号  $S_{PWM}$  を示す。 $n$  の値を変えることにより、フィードバックループのゲイン(応答性)と、リップルが変化する。

40

#### 【0094】

クロック信号  $CLK$  の周波数  $f_{CLK}$  を検討する。外部PWM信号を  $L$  ビットにてデューティ比に変換する場合、 $1/2^L$  以下の精度で正しく変換することが望ましい。たとえば  $L=7$  ビット(0~127)にてデューティ比に変換する場合、 $1/128=1\%$  以下の精度が望ましい。PWM信号のキャリア周波数  $f_{PWM}$  を  $28kHz$  と仮定すると、クロック信号  $CLK$  の周波数  $f_{CLK}$  をこの  $2^L (=128)$  倍、つまり  $3.6MHz$  以上にすれば、データを取りこぼすことなく、外部PWM信号の1周期ごとに、1つのデータ信号  $S_{PWM}$  を生成することができる。これによってビートの発生を防止できる。

#### 【0095】

続いてフィルタリングの係数  $n$  について検討する。図10(b)は、PWM指令ロジッ

50

ク変換回路 116 のローパスフィルタ特性を示す図である。出力データ  $S_{PWM}$  のリップルを 1 ステップ以内とするためには、利得  $G = 1 / 128 = -42 \text{ dB}$  程度が目安となる。  $n = 12$  とした場合、外部 PWM 信号  $PWM$  のキャリア周波数  $f_{PWM}$  が  $21 \text{ kHz}$  とときに、  $-38.5 \text{ dB}$  程度の除去率が得られ、キャリア周波数  $f_{PWM}$  がさらに高くなれば、  $-42 \text{ dB}$  より低い除去率を得ることができる。

【0096】

(第4の実施の形態)

図11は、第4の実施の形態に係る駆動 IC100e を用いた冷却装置2の構成を示すブロック図である。第4の実施の形態に係る駆動 IC100e では、上述した第1～第3の実施の形態で説明した技術が利用されている。以下、駆動 IC100e の各ブロックについて説明する。

10

【0097】

電源端子  $V_{CC}$ 、接地端子  $GND$  は、外部電源3に接続され、電源電圧および接地電圧を受ける。

【0098】

バンドギャブリファレンス回路102は、基準電圧  $V_{BGR}$  を生成する。内部電源104は、たとえばリニアレギュレータであり、基準電圧  $V_{BGR}$  を受け、その値に応じて安定化された内部電源電圧  $V_{DDINT}$  を生成する。自走発振回路106は、所定の周波数のクロック信号  $CLK$  を発生する。

【0099】

20

パワーオンリセット回路108は、電源電圧  $V_{CC}$  を所定のしきい値電圧と比較することによりパワーオンリセット信号  $S_{POR}$  を発生する。低電圧誤動作防止回路 (  $UVLO$  : Under Voltage Lock Out ) 110は、電源電圧  $V_{CC}$  を所定のしきい値電圧と比較することにより  $UVLO$  信号  $S_{UVLO}$  を発生する。信号  $S_{POR}$  および  $S_{UVLO}$  は、回路保護に利用される。

【0100】

ホールバイアス電源112は、ホールバイアス電圧  $V_{HB}$  を生成し、ホールバイアス端子  $HB$  から出力する。このホールバイアス電圧  $V_{HB}$  は、ホールセンサ8に供給される。

【0101】

駆動 IC100 は、ファンモータ6の回転開始時において緩やかに回転数を上昇させるソフトスタート機能を備える。ソフトスタートの期間は、ソフトスタート時間設定電圧  $V_{TSS}$  に応じて定められる。外付け抵抗  $R5$ 、 $R6$  は、基準電圧  $V_{REF}$  を分圧し、ソフトスタート時間設定電圧  $V_{TSS}$  を生成し、ソフトスタート時間設定入力端子  $SS$  に入力する。  $A/D$  コンバータ  $ADC8$  は、ソフトスタート設定電圧  $V_{TSS}$  をアナログ/デジタル変換し、データ信号  $S_{TSS}$  を生成する。加減算器  $ADD13$  は、データ信号  $S_{TSS}$  からデータ  $S_{REF}$  を減算して値をシフトし、データ  $S_{TSS}'$  を出力する。

30

【0102】

ソフトスタート設定回路122はファンモータ6の駆動開始時に、ソフトスタート期間を指定する信号  $S_{TSS}'$  にもとづき、その値に応じた傾きで時間とともに緩やかに上昇するソフトスタート設定信号  $S_{SS}$  を生成する。

40

【0103】

クイックスタート検出回路118は、外部 PWM 信号  $PWM$  によるモータ停止状態かモータ異常によるモータ停止状態かを検出して前者の場合、ロック保護機能を解除する。クイックスタート機能によって、  $PWM$  によるモータ停止状態において  $PWM$  信号 “H” が入力されると、モータは直ちに回転を開始する。

【0104】

制御指令合成回路80は、信号  $S_{MINT}'$ 、 $S_{MINP}'$ 、 $S_{TH}'$ 、 $S_{PWM}$ 、 $S_{QS}$  を受け、それらを合成して、ファンモータ6を PWM 駆動する際のデューティ比を指示する制御信号  $S_{DUTY}$  を生成する。

【0105】

50

出力電流検出端子 RNF には、外付けの検出抵抗  $R_s$  が接続される。この検出抵抗  $R_s$  には、ファンモータ 6 に流れる電流  $I_m$  に応じた電圧降下（検出電圧） $V_{CS}$  が発生する。検出電圧  $V_{CS}$  は、駆動 IC 100 の検出電流入力端子 CS に入力される。第 9 A/D コンバータ ADC 9 は、検出電圧  $V_{CS}$  をデジタル値の検出信号  $S_{CS}$  に変換する。電流制限設定回路 120 は、ファンモータ 6 に流れる電流  $I_m$  の上限値を示すデータ  $S_{IMAX}$  を生成する。

【0106】

加減算器 ADD 15 および ADD 16 は、検出信号  $S_{CS}$  から信号  $S_{IMAX}$ 、 $S_{SS}$  を順に減算し、電流上限信号  $S_{SC}$  を生成する。この電流上限信号  $S_{SC}$  によって、ファンモータ 6 を PWM 駆動する際のデューティ比が制限され、ファンモータ 6 に流れる電流  $I_m$  が信号  $S_{IMAX}$  に応じた電流値以下に制限されるとともに、起動時においては、ソフトスタートが実現できる。

10

【0107】

演算器 82 は、すでに説明したように振幅制御回路 18 から出力される第 7 信号  $S_7$  にもとづき、FG 信号 ( $S_{60}$ ) を生成する。オープンコレクタ出力回路 138 は、FG 信号を回転数パルス出力端子 FG から出力する。

【0108】

駆動 IC 100 はロック保護機能を備える。ロック保護・自動復帰回路（以下、ロック保護回路と称する）128 は FG 信号を監視し、モータの異常による停止を検出し、異常状態を示す検出信号（ロックアラーム信号）AL を生成する。オープンコレクタ出力回路 140 は、ロックアラーム信号 AL をロックアラーム出力端子 AL から出力する。

20

【0109】

サーマルモニタ回路 124 は、駆動 IC 100 のチップ温度を監視し、チップ温度に応じたチップ温度電圧  $V_T$  を生成する。A/D コンバータ ADC 10 は、チップ温度電圧  $V_T$  をアナログ/デジタル変換し、チップ温度信号  $S_T$  を生成する。サーマルシャットダウン回路 126 は、チップ温度信号  $S_T$  が所定のしきい値より高いとき、つまり駆動 IC 100 が温度異常状態にあるとき、サーマルシャットダウン信号 TSD をアサートする。

【0110】

演算器 82 は、第 7 信号  $S_7$  にデューティ比制御信号  $S_{DUTY}$  および電流上限信号  $S_{SC}$  を乗算し、制御信号  $S_{7'}$  を生成する。また演算器 82 は、ロックアラーム信号 AL、もしくはサーマルシャットダウン信号 THD がアサートされると、制御信号  $S_{7'}$  のレベルをゼロとし、ファンモータ 6 への通電を停止させる。

30

【0111】

以上が駆動 IC 100 e の構成である。この駆動 IC 100 e によれば、外部 PWM 信号のデューティ比および温度に応じてファンモータ 6 の回転数を制御できる。また、ソフトスタート機能、ロック保護機能、クイックスタート機能を、単一の機能 IC で実現できる。

【0112】

図 12 は、図 11 の駆動 IC の変形例を示す回路図である。図 11 との相違点のみを説明する。駆動 IC 100 f は、制御指令シリアルデータ入力端子 SDT を備える。この端子 SDT には、メモリ 9 あるいは CPU が外付けされ、図 8 で説明したデータ  $S_{MINI}$ 、 $S_{MINP}$ 、 $S_{TSS}$ 、 $S_{IMAX}$  の少なくともひとつに相当するデータが入力される。受信回路 84 は、シリアルデータ SDT を受け、制御指令合成回路 80 へと出力する。メモリ 9 は駆動 IC 100 f に内蔵されてもよい。

40

【0113】

また、検出抵抗  $R_s$  が駆動 IC 100 f に内蔵されている。A/D コンバータ ADC 9 の出力データ  $S_{CS}$  は制御指令合成回路 80 に入力される。制御指令合成回路 80 は、検出信号  $S_{CS}$  がシリアルデータ SDT に含まれる電流制限設定値を超えないように、デューティ比制御信号  $S_{DUTY}$  を生成する。

【0114】

50



図12の駆動IC100fでは、メモリやCPUから制御指令シリアルデータ入力端子SDTに対してデータを与えることにより、駆動IC100fの設定を変更することができる。

【0115】

(第5の実施の形態)

図13は、第5の実施の形態に係る駆動IC100gの構成を示す回路図である。この実施の形態で説明する技術は、上述のいずれの駆動ICとも組み合わせ可能である。

この実施の形態において、ホールセンサ8は駆動IC100gと同じ半導体チップに集積化されている。

【0116】

半導体チップに集積化されたホールセンサ8からのホール信号S1、S2の信号レベルはきわめて微小であるため、第1A/DコンバータADC1、第2A/DコンバータADC2のダイナミックレンジに収まるように、増幅する必要がある。そこで駆動IC100gは、ホールセンサ8からのホール信号S1、S2を増幅するアナログ増幅器13をさらに備える。またホールバイアス回路11は、ホールセンサ8に対してホールバイアス電圧 $V_{HB}$ を供給する電圧源、あるいはホールバイアス電流( $I_{HB}$ )を供給する電流源で構成される。

【0117】

このようなシステムにおいて、ホール素子8の感度は、プロセスばらつきや温度変動、その他の影響によって大きく変動する。この感度の変動によりホール信号の振幅は、数倍～数百倍のオーダーで発生する。つまりホール信号の振幅は、個々のICごとに、さらには温度変動に応じて調節する必要がある。なお、この問題を当業者の一般的な認識として把握してはならず、本発明者らが認識したものである。

【0118】

そこで図13の駆動IC100gでは、第1A/DコンバータADC1、第2A/DコンバータADC2の前段に設けられたアナログ増幅器13を、ホール信号S1、S2の振幅を調節する、第2の振幅補正手段として利用する。

【0119】

つまりアナログ増幅器13は可変利得増幅器で構成され、その利得gは、第1A/DコンバータADC1、第2A/DコンバータADC2に入力されるホール信号S1'、S2'の振幅が所定の目標レベルに近づくように調節される。

【0120】

この回路において、アナログ増幅器13の利得gは、後段のデジタルブロックからの指令値に応じて調節される。たとえば利得gは、100倍、200倍、400倍、600倍、800倍、1000倍で切りかえ可能となっている。具体的には、デジタルブロックの信号経路上には、ホール信号S1、S2の振幅を制御する回路(目標振幅判定回路)21が設けられる。たとえば目標振幅判定回路21は、振幅補正回路20の出力信号の振幅レベルを基準値REFと比較し、振幅レベルが基準値REFより低くなるとアナログ増幅器13の利得gを増加し、振幅レベルが基準値REFより大きくなるとアナログ増幅器13の利得gを低下させる。基準値REFと比較すべき振幅レベルには、上述の振幅データS34を利用することができる。

【0121】

以上が駆動IC100gの構成である。この駆動IC100gは、アナログ段とデジタル段の両方において、振幅補正を行う。アナログ段においては、振幅を粗調し、デジタル段において、振幅を微調することが望ましい。

【0122】

この駆動IC100gによれば、ホールセンサ8からのホール信号S1、S2の振幅がばらついた場合であっても、それらの振幅は、第1A/DコンバータADC1、第2A/DコンバータADC2のダイナミックレンジに収まるように適切に調節することができる。

10

20

30

40

50

## 【0123】

また、アナログ増幅器13の利得制御を行う目標振幅判定回路21はデジタルブロックに設けられるため、目標振幅判定回路21を設けることによる回路面積の増加はわずかで済む。

ホール素子8を駆動IC100gに内蔵することにより、ホール入力端子HP、HNが不要となるため、ピン数を2つ削減できる。これはアナログ増幅器13を追加したことによる面積の増加を補ってあまりある効果であり、小型化が要求されるファンモータの駆動回路において大きなメリットとなる。

## 【0124】

図13の駆動IC100gには、以下の変形例が考えられる。

目標振幅判定回路21が監視する振幅は、振幅補正回路20の出力信号S6'には限定されず、デジタル信号処理の経路上の別の信号、たとえば差動変換回路14の出力信号S5、オフセット補正回路16の出力信号S6、あるいは絶対値回路22の出力信号S7を監視してもよい。

## 【0125】

アナログ段における振幅補正は、アナログ増幅器13の利得gの調節には限定されない。たとえば、アナログ増幅器13の利得gを固定し、目標振幅判定回路21の出力信号にもとづき、ホールバイアス回路11が発生するホールバイアス信号を変化させることにより、ホールセンサ8が発生するホール信号S1、S2そのものの振幅を調節してもよい。

## 【0126】

また目標振幅判定回路21は、アナログ回路で構成してもよい。図14は、図13の駆動ICの変形例の一部を示す回路図である。この変形例において、目標振幅判定回路21hは、第1A/DコンバータADC1、第2A/DコンバータADC2の前段にアナログ回路として構成される。目標振幅判定回路21hは、ローパスフィルタ23、ピークホールド回路25、コンパレータ27を含む。

## 【0127】

ローパスフィルタ23は、アナログ増幅器13によって増幅されたホール信号をフィルタリングする。ローパスフィルタ23は、図14のようにアナログ増幅器13により増幅されたホール信号の差動成分の一方のみを受けてもよいし、差動成分の両方を受けてもよい。ピークホールド回路25は、ローパスフィルタ23の出力のピーク値、すなわちホール信号の振幅を保持する。コンパレータ27は、ホールドされた振幅を、目標となる振幅値 $V_{REF}$ と比較し、比較結果に応じてアナログ増幅器13の利得gを制御する。

## 【0128】

目標振幅判定回路21は、アナログ増幅器13の利得gを制御することに代えて、あるいはこれに加えて、ホールバイアス回路11が発生するホールバイアス信号を変化させてもよい。

## 【0129】

上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

## 【0130】

実施の形態においては、駆動対象のファンモータが単相駆動モータの場合について説明したが、本発明はこれに限定されるものではなく、その他のモータの駆動にも利用可能である。

## 【0131】

実施の形態において、ファンモータ駆動装置100を構成する素子はすべて一体集積化されていてもよく、または別の集積回路に分けて構成されていてもよく、さらにはその一部がディスクリート部品で構成されていてもよい。どの部分を集積化するかは、コストや占有面積、用途などに応じて決めればよい。

## 【符号の説明】

10

20

30

40

50

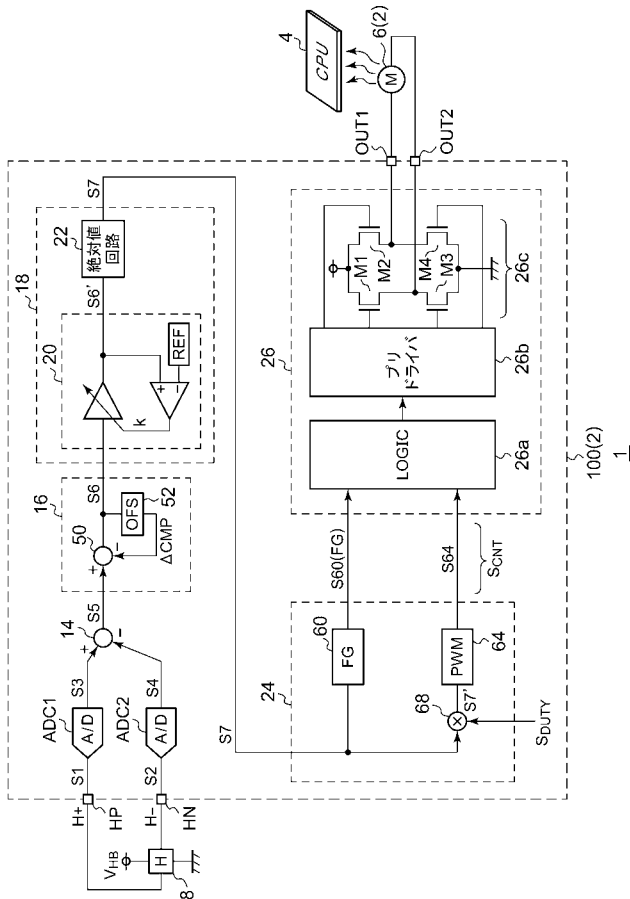
【 0 1 3 2 】

1 ... 電子機器、ADC 1 ... 第1 A/Dコンバータ、2 ... 冷却装置、ADC 2 ... 第2 A/D  
 コンバータ、ADC 3 ... 第3 A/Dコンバータ、4 ... CPU、ADC 4 ... 第4 A/Dコン  
 バータ、6 ... ファンモータ、8 ... ホールセンサ、11 ... ホールバイアス回路、13 ... アナ  
 ログ増幅器、14 ... 差動変換回路、16 ... オフセット補正回路、18 ... 振幅制御回路、2  
 0 ... 振幅補正回路、22 ... 絶対値回路、24 ... 制御信号生成部、26 ... ドライバ回路、2  
 6 a ... ロジック部、26 b ... プリドライバ回路、26 c ... Hブリッジ回路、30 ... デジタ  
 ル乗算器、32 ... 係数制御部、34 ... 振幅検出部、36 ... デジタル減算器、38 ... 符号判  
 定部、40 ... デジタル加算器、42 ... 遅延回路、44 ... 演算器、50 ... オフセット補正回  
 路、52 ... オフセット量制御部、54 ... サンプリング部、56 ... 積分器、58 ... 補正量決  
 定部、60 ... FG信号発生部、64 ... パルス変調器、68 ... 演算器、72, 78 ... 制御指  
 令回路、80 ... 制御指令合成回路、82 ... 演算器、84 ... 受信回路、90 ... タイミング検  
 出回路、100 ... 駆動IC、102 ... バンドギャップリファレンス回路、104 ... 内部電  
 源、106 ... 自走発振回路、108 ... パワーオンリセット回路、110 ... 低電圧誤動作防  
 止回路、112 ... ホールバイアス電源、114 ... 基準電源、116 ... PWM指令ロジック  
 変換回路、118 ... クイックスタート検出回路、119 ... 制御指令合成回路、120 ... 電  
 流制限設定回路、122 ... ソフトスタート設定回路、124 ... サーマルモニタ回路、12  
 6 ... サーマルシャットダウン回路、128 ... ロック保護回路、138, 140 ... オープ  
 コレクタ出力回路、141 ... 傾き算出部、142 ... 第1演算器、143 ... 第2演算器、1  
 44 ... 第3演算器、145 ... 符号判定部、146 ... セレクタ、150 ... レベル変換回路、  
 152 ... デジタルフィルタ、152 ... 第4演算器、154 ... 遅延回路、156 ... 第5演算  
 器。

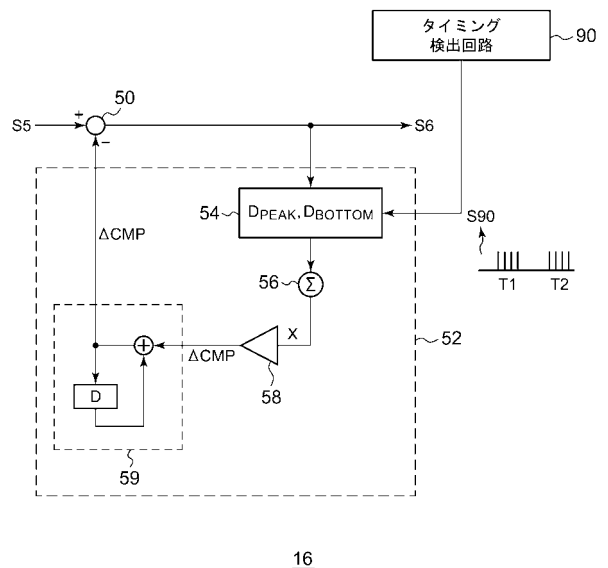
10

20

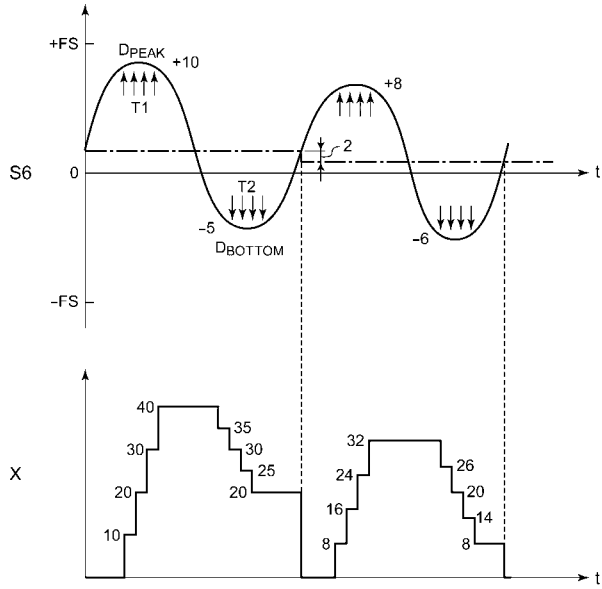
【 図 1 】



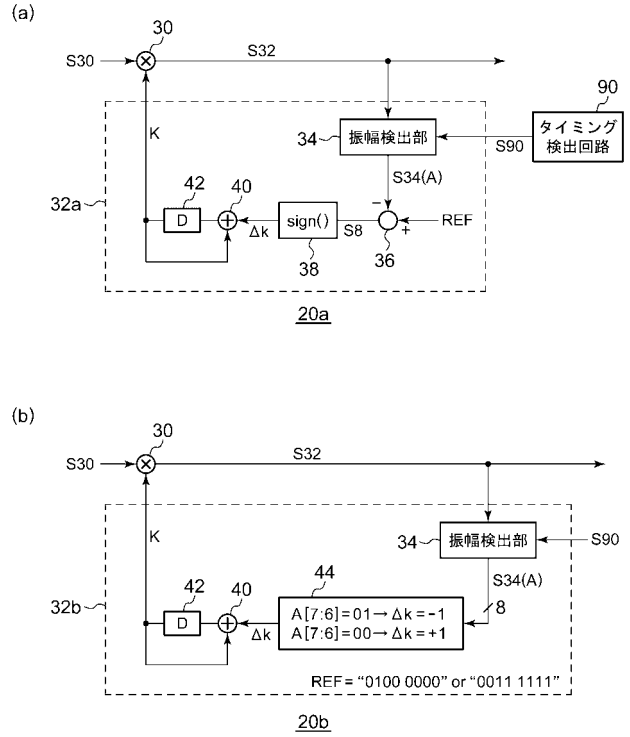
【 図 2 】



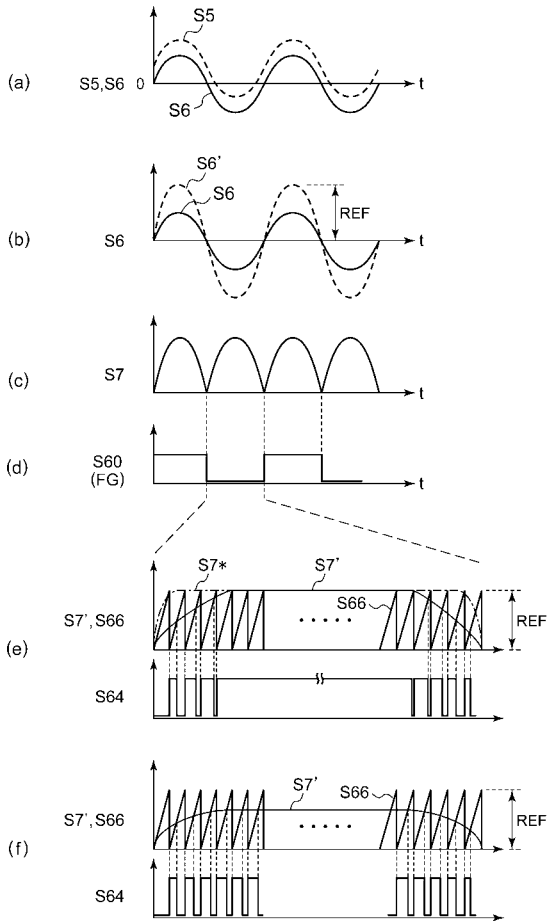
【 図 3 】



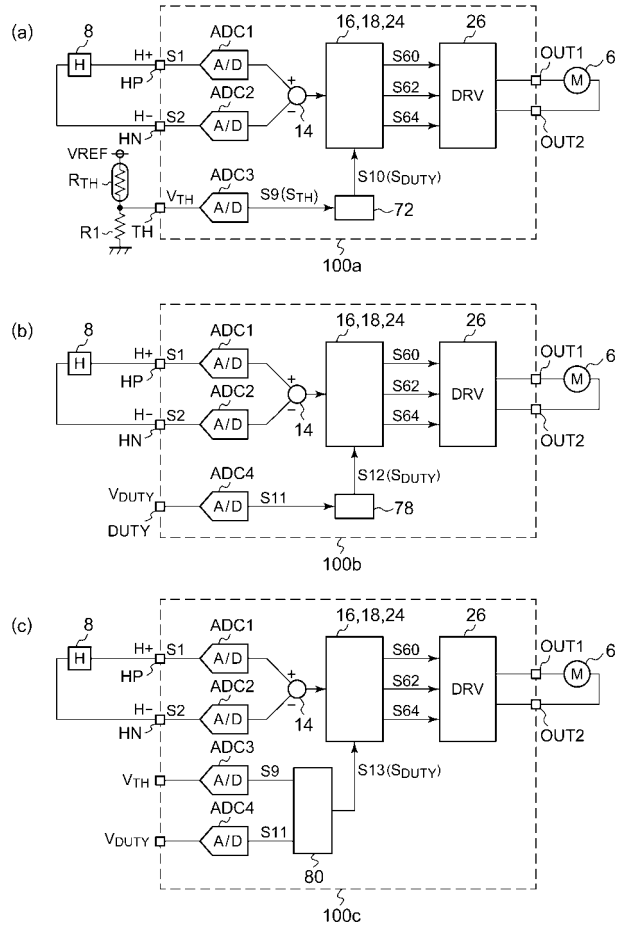
【 図 4 】



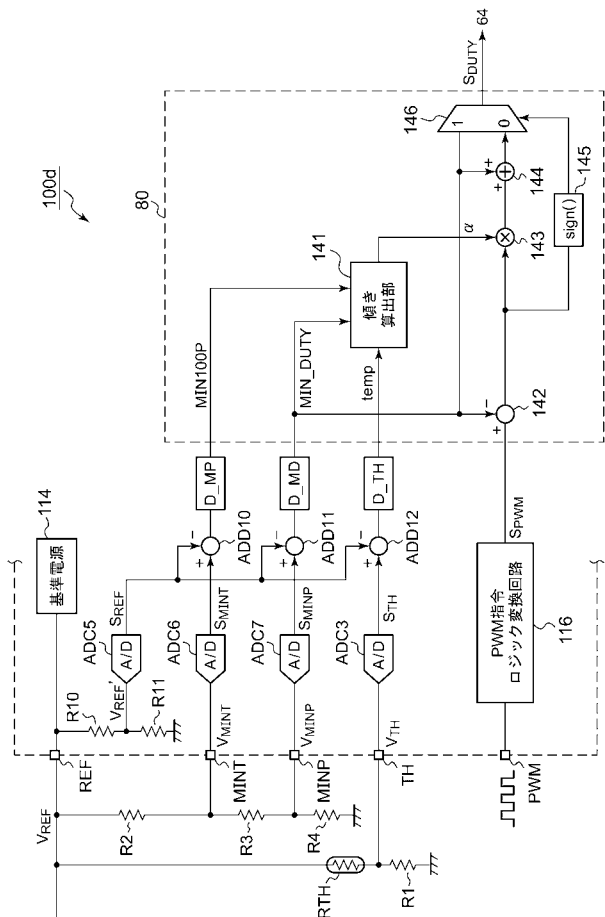
【 図 5 】



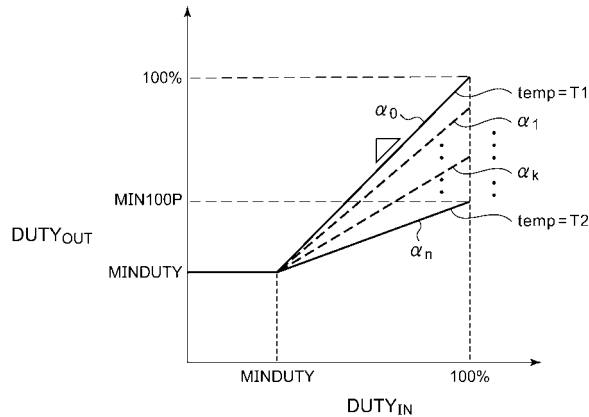
【 図 6 】



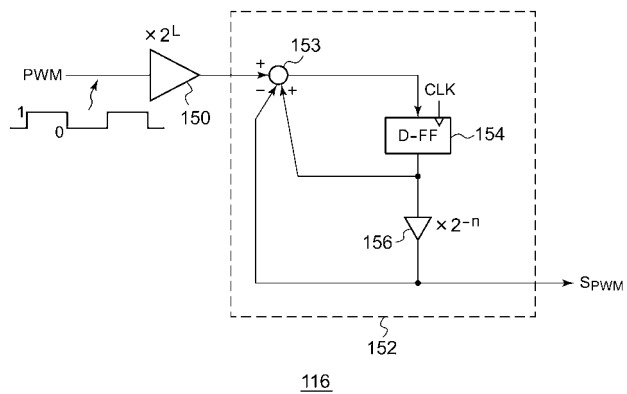
【図7】



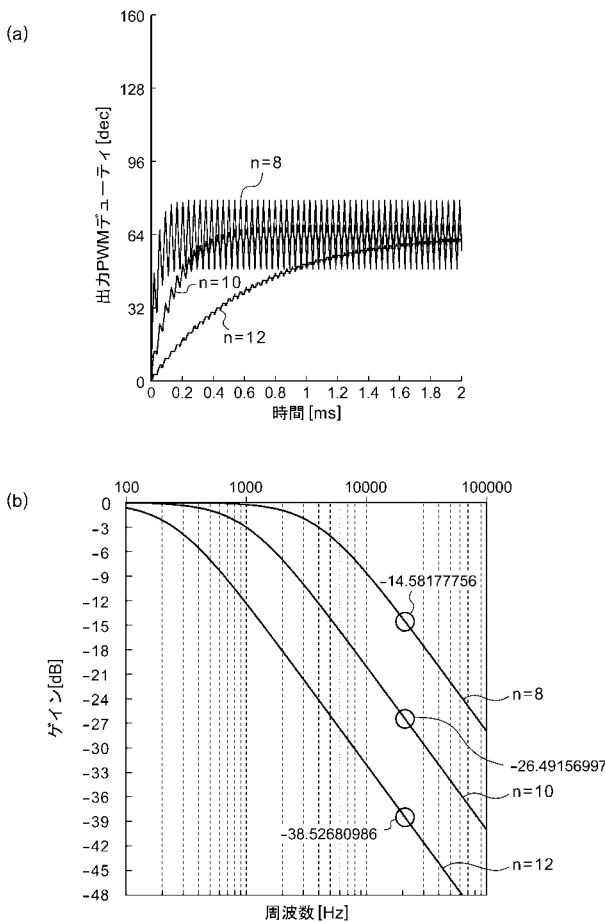
【図8】



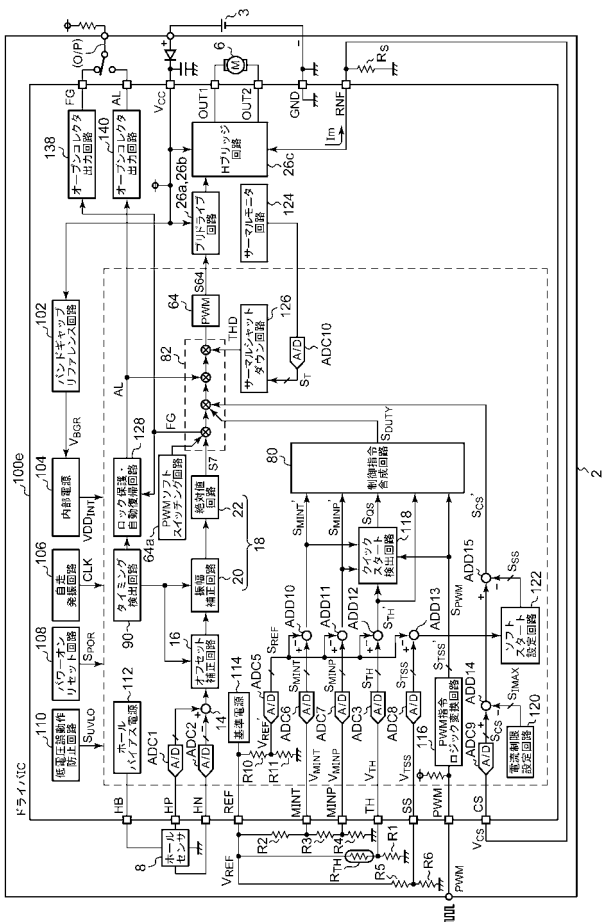
【図9】



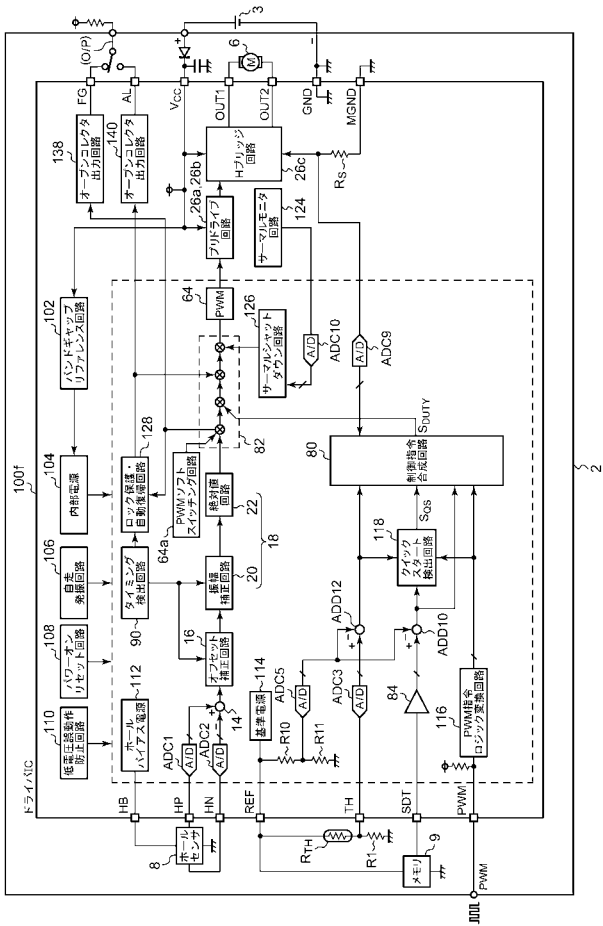
【図10】



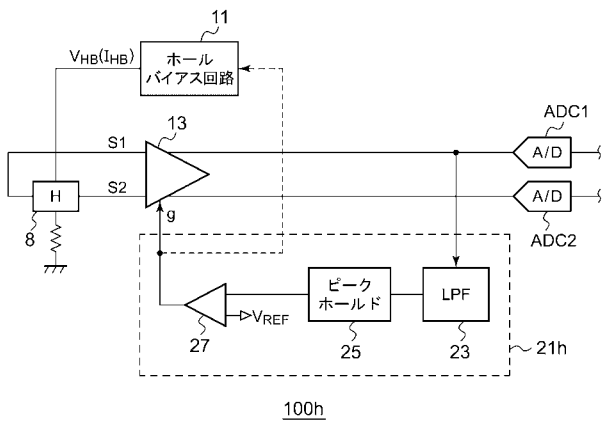
【図11】



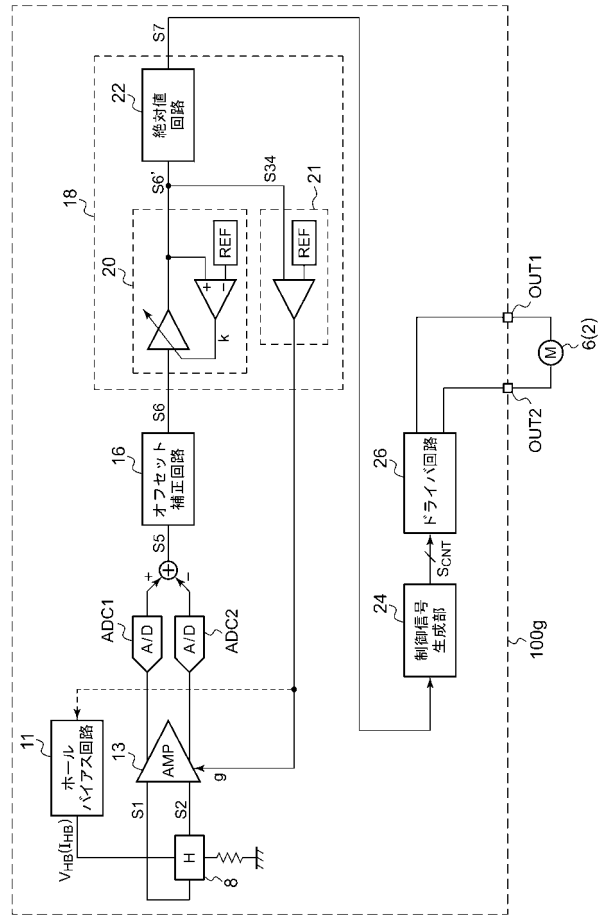
【図 1 2】



【図 1 4】



【図 1 3】



---

フロントページの続き

(72)発明者 幸村 伸生

京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

(72)発明者 鈴木 俊哉

京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

Fターム(参考) 5H560 AA01 DA02 EB01 XA12 XB05