

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3672889号
(P3672889)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int. Cl.⁷

F I

H O 1 L 21/82

H O 1 L 21/82

W

H O 1 L 21/822

H O 1 L 21/82

M

H O 1 L 27/04

H O 1 L 27/04

A

H O 1 L 27/118

請求項の数 11 (全 18 頁)

(21) 出願番号 特願2002-133647 (P2002-133647)
 (22) 出願日 平成14年5月9日(2002.5.9)
 (65) 公開番号 特開2003-152082 (P2003-152082A)
 (43) 公開日 平成15年5月23日(2003.5.23)
 審査請求日 平成14年5月9日(2002.5.9)
 (31) 優先権主張番号 特願2001-259136 (P2001-259136)
 (32) 優先日 平成13年8月29日(2001.8.29)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 302062931
 N E Cエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 水野 雅春
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 堺 茂樹
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 前田 直孝
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路とそのレイアウト方法

(57) 【特許請求の範囲】

【請求項1】

マスタースライス方式の半導体集積回路において、
 半導体チップ上の内部コア領域に交互に配置された順序回路セルと組合せ回路セルと、
 前記内部コア領域を均等大きさになるように分割した分割領域毎に多相クロック信号
 から選択されたクロック信号を分配する、ツリー状に接続された複数のマルチプレクサと
 を有し、

前記複数のマルチプレクサは、前記半導体チップに前記多相クロック信号が入力される
 入力端子から各分割領域内の前記順序回路セルまでの配線長が互いに等しくなるように配
 置され接続されることを特徴とする半導体集積回路。

10

【請求項2】

順序回路セルを含む半導体集積回路において、内部コア領域を均等大きさになるよう
 に分割した分割領域毎に多相クロック信号から選択されたクロック信号を分配する、ツリ
 ー状に接続された複数のマルチプレクサを有し、前記複数のマルチプレクサは、前記半導
 体集積回路に前記多相クロック信号が入力される入力端子から各分割領域内の前記順序回
 路セルまでの間のクロック信号の配線長が互いに等しくなるように配置されていることを
 特徴とする半導体集積回路。

【請求項3】

異なる場所に配置された複数の順序回路セルと、
 多相クロック信号から選択されたクロック信号を前記複数の順序回路セルの各々に分配

20

するように、ツリー状に接続された複数のマルチプレクサとを備え、

前記複数のマルチプレクサは、前記多相クロック信号が入力される入力端子から前記複数の順序回路セルの各々までの間の前記クロック信号の配線長が互いに等しくなるように配置されていることを特徴とする半導体集積回路。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の半導体集積回路において、

前記順序回路セルは、

前記多相クロック信号が入力されるクロック入力部の初段に配置される第 1 の論理ゲート素子と、

この第 1 の論理ゲート素子の直後に配置される第 2 の論理ゲート素子とを備え、

使用する順序回路セルについては前記第 1 の論理ゲート素子の出力端子と前記第 2 の論理ゲート素子の入力端子間を配線して接続し、

使用しない順序回路セルについては前記第 1 の論理ゲート素子の出力端子と前記第 2 の論理ゲート素子の入力端子間を未配線として、前記第 2 の論理ゲート素子の入力端子を電源又は接地と接続されていることを特徴とする半導体集積回路。

【請求項 5】

請求項 1 乃至 3 のいずれか一項に記載の半導体集積回路において、

前記順序回路セルは、

前記多相クロック信号が入力されるクロック入力部の初段に配置され、前記多相クロック信号に応じて出力電位が決まる第 1 の状態と前記多相クロック信号に関係なく出力電位が一定となる第 2 の状態とをイネーブル信号によって選択可能な第 1 の論理ゲート素子と

、
入力端子が前記第 1 の論理ゲート素子の出力端子と接続される第 2 の論理ゲート素子とを備え、

使用する順序回路セルについては前記第 1 の論理ゲート素子が前記第 1 の状態となるよう前記イネーブル信号を設定し、

使用しない順序回路セルについては前記第 1 の論理ゲート素子が前記第 2 の状態となるよう前記イネーブル信号を設定することを特徴とする半導体集積回路。

【請求項 6】

請求項 1 乃至 3 のいずれか一項に記載半導体集積回路において、

前記複数のマルチプレサの中の 1 つのマルチプレサにより前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セル、又は前記 1 つのマルチプレサから他のマルチプレサを介して前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セルが使用されない場合に、前記 1 つのマルチプレサの出力を抑止することを特徴とする半導体集積回路。

【請求項 7】

マスタースライス方式の半導体集積回路のレイアウト方法において、

半導体チップ上の内部コア領域に順序回路セルと組合せ回路セルとを配置する手順と、

前記内部コア領域を均等な大きさになるように分割した分割領域毎に多相クロック信号から選択されたクロック信号を分配する複数のマルチプレクサをツリー状に配置して接続する手順とを有し、

前記半導体チップに前記多相クロック信号が入力される入力端子から各分割領域内の前記順序回路セルまでの配線長が互いに等しくなるように、前記複数のマルチプレクサは配置され接続されていることを特徴とする半導体集積回路のレイアウト方法。

【請求項 8】

半導体チップ上の内部コア領域に順序回路セルを配置する手順と、

内部コア領域を均等な大きさになるように分割した分割領域毎に多相クロック信号から選択されたクロック信号を分配する複数のマルチプレクサをツリー状に配置して接続する手順を有し、

前記半導体チップに前記多相クロック信号が入力される入力端子から各分割領域内の前

10

20

30

40

50

記順序回路セルまでの間のクロック信号の配線長が互いに等しくなるように前記複数のマルチプレクサは、配置され、接続されていることを特徴とする半導体集積回路のレイアウト方法。

【請求項 9】

請求項 7 又は 8 に記載の半導体集積回路のレイアウト方法において、

前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置される第 1 の論理ゲート素子と、この第 1 の論理ゲート素子の直後に配置される第 2 の論理ゲート素子との間が未配線のまま形成され、

使用する順序回路セルについては前記第 1 の論理ゲート素子の出力端子と前記第 2 の論理ゲート素子の入力端子間が配置配線工程で接続され、

10

使用しない順序回路セルについては前記第 1 の論理ゲート素子の出力端子と前記第 2 の論理ゲート素子の入力端子間を未配線のままとして、前記第 2 の論理ゲート素子の入力端子が電源又は接地と配置配線工程で配線され接続されることを特徴とする半導体集積回路のレイアウト方法。

【請求項 10】

請求項 7 又は 8 に記載の半導体集積回路のレイアウト方法において、

前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置され、前記多相クロック信号に応じて出力電位が決まる第 1 の状態と前記多相クロック信号に関係なく出力電位が一定となる第 2 の状態とをイネーブル信号によって選択可能な第 1 の論理ゲート素子と、入力端子が前記第 1 の論理ゲート素子の出力端子と接続される第 2 の論理ゲート素子とを備え

20

使用する順序回路セルについては前記第 1 の論理ゲート素子が前記第 1 の状態となるように前記イネーブル信号の値が配置配線工程で設定され、

使用しない順序回路セルについては前記第 1 の論理ゲート素子が前記第 2 の状態となるように前記イネーブル信号の値が配置配線工程で設定されることを特徴とする半導体集積回路のレイアウト方法。

【請求項 11】

請求項 7 又は 8 に記載の半導体集積回路のレイアウト方法において、

前記複数のマルチプレクサの中の 1 つのマルチプレクサにより前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セル、又は前記 1 つのマルチプレクサから他のマルチプレクサを介して前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セルが使用されない場合に、前記 1 つのマルチプレクサの出力を抑止することを特徴とする半導体集積回路のレイアウト方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、配線工程を除く工程まで共通に形成され、配線工程のみを変えることによって各種論理回路が構成されるマスタースライス方式の半導体集積回路に関するものである。

【0002】

【従来の技術】

40

従来、短時間で L S I 等の半導体集積回路を設計する技術としてセミカスタム設計手法がある。特に、この手法には、論理ゲート、フリップフロップ等の基本レベルの機能を有するセルを作り込んだマスタースライスを予め作成しておき、その後は利用者が個別に与えられた論理回路に従って配線パターンを決定して所望の半導体集積回路を実現していくマスタースライス方式がある。

【0003】

図 15 (a) は従来のマスタースライス方式の半導体集積回路のチップ構造を示す平面図、図 15 (b) は図 15 (a) の半導体集積回路のトランジスタセルを拡大した平面図である。従来のマスタースライス方式の半導体集積回路 101 は、図 15 (b) のような構造を有する同一デイメンジョンのトランジスタセル 102 をチップ上に行列的に配置した

50

アレイ構造をしている。図 15 (b) において、103 はゲート電極、104 は拡散層である。

【0004】

また、従来のマスタースライス方式の半導体集積回路において、チップ上の各回路へのクロック信号の分配は、クロックツリーと呼ばれるクロックバッファのツリー構造によって分配されている。図 16 は従来のマスタースライス方式の半導体集積回路におけるクロック分配方法を示す平面図である。

【0005】

クロックバッファのツリー構造は、中央の第 1 のクロックバッファ 105 から複数の第 2 のクロックバッファ 106 へクロック信号 CLK を分配し、第 2 のクロックバッファ 106 から複数の第 3 のクロックバッファ 107 へクロック信号 CLK を分配して、さらに第 3 のクロックバッファ 107 から例えばフリップフロップ等の回路 108 へクロック信号 CLK を分配している。順序回路や組合せ回路はチップ上に自由に配置され、クロック相数も必要に応じて前記ツリー構造で分配される。

【0006】

他のマスタースライス方式の半導体集積回路としては、特開平 6 - 188397 号公報に開示されたものがある。図 17 は特開平 6 - 188397 号公報に開示されたマスタースライス方式の半導体集積回路のチップ構造を示す平面図である。この半導体集積回路 201 は、チップ上に基本セルを行列的に配置した内部コア領域 A を設け、さらに順序回路専用のセル領域 C を設けることで、内部コア領域 A が複数の基本セル領域 D に分割された構造を有している。順序回路専用セル領域 C には、高駆動クロックバッファが作り込まれると共に、各基本セルが最短距離で接続可能な位置に隣接して作り込まれる。また、順序回路以外の組合せ回路などは基本セル領域 D 内の領域 E に配置される。

【0007】

【発明が解決しようとする課題】

図 15、図 16 に示したマスタースライス方式の半導体集積回路では、順序回路がランダムに配置されるため、各クロックバッファに接続される順序回路の数やクロックバッファから順序回路までの配線長が異なり、各クロックバッファの負荷容量や各順序回路までの配線抵抗が不均一な状態になっていた。このため、従来の半導体集積回路では、各順序回路間のクロックスキューが大きいという問題点があった。特に、大きなマクロなどがある場合、クロック配線がマクロ領域を迂回することになるため、前記不均一な状態はより顕著となる。また、各セルのトランジスタデイメンションが同じであるため、順序回路のクロックゲート部のゲート容量がセルベース用のブロックに比べて大きく、消費電力の増加を招いているという問題点があった。

【0008】

一方、図 17 に示したマスタースライス方式の半導体集積回路では、順序回路をクロックドライバ近傍の専用領域に固めて配置しているだけであり、順序回路の数が増えれば、その面積が増大し、結果として最も近傍の順序回路と最も遠い順序回路間の距離は離れ、配線抵抗による影響が大きくなるため、各順序回路間のクロックスキューが大きくなるという問題点があった。特に、回路全体の順序回路規模が大きくなるほど、クロックスキューは増大する。また、カスタム設計で予め順序回路個数が分かっている場合であれば、各クロックバッファに均等に順序回路を割り付けることが可能であるが、ゲートアレイのようなセミカスタム設計に図 17 の構成を適用しようとした場合、各クロックバッファに均等に順序回路を割り付けることは難しく、逆にマージンを見込んで余分に順序回路を割り付けておくと、クロックバッファの負荷容量（配線容量とゲート容量）が増加して、消費電力が増加するという問題点があった。また、多相クロックに対応しようとすると、順序回路専用領域の設定が困難になり、更に消費電力の無駄が大きくなる。

【0009】

本発明は、上記課題を解決するためになされたもので、多相クロックに対応することができ、回路間のクロックスキューを低減することができるマスタースライス方式の半導体集

10

20

30

40

50

積回路を提供することを目的とする。

また、本発明は、消費電力を低減することができるマスタースライス方式の半導体集積回路を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の半導体集積回路は、半導体チップ上の内部コア領域に交互に配置された順序回路セル(2)と組合せ回路セル(3)と、前記内部コア領域を均等に分割した分割領域毎に多相クロック信号を選択的に分配する、ツリー状に接続された複数の選択駆動素子(MC101~MC108, MC201~MC216, MC301~MC316)とを有し、前記複数の選択駆動素子は、前記半導体チップに前記多相クロック信号が入力される入力端子から各分割領域内の前記順序回路セルまでの間が互いに等負荷・等配線長となるように配置され接続されるものである。

10

また、本発明の半導体集積回路の1構成例において、前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置される第1の論理ゲート素子(INV2)と、この第1の論理ゲート素子の直後に配置される第2の論理ゲート素子(INV3)とを備え、使用する順序回路セルについては前記第1の論理ゲート素子の出力端子と前記第2の論理ゲート素子の入力端子間を配線接続し、使用しない順序回路セルについては前記第1の論理ゲート素子の出力端子と前記第2の論理ゲート素子の入力端子間を未配線として、前記第2の論理ゲート素子の入力端子を電源又は接地と接続するものである。

また、本発明の半導体集積回路の1構成例において、前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置され、前記多相クロック信号に応じて出力電位が決まる第1の状態と前記多相クロック信号に関係なく出力電位が一定となる第2の状態とをイネーブル信号によって選択可能な第1の論理ゲート素子(NAND1)と、入力端子が前記第1の論理ゲート素子の出力端子と接続される第2の論理ゲート素子(INV3)とを備え、使用する順序回路セルについては前記第1の論理ゲート素子が前記第1の状態となるよう前記イネーブル信号を設定し、使用しない順序回路セルについては前記第1の論理ゲート素子が前記第2の状態となるよう前記イネーブル信号を設定するものである。

20

また、本発明の半導体集積回路の1構成例において、前記複数の選択駆動素子の中の1つの選択駆動素子により前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セル、又は前記1つの選択駆動素子から他の選択駆動素子を介して前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セルが使用されない場合に、前記1つの選択駆動素子の出力を抑止するように構成できる。

30

【 0 0 1 1 】

また、本発明の半導体集積回路のレイアウト方法は、半導体チップ上の内部コア領域に順序回路セルと組合せ回路セルとを配置する手順と、前記内部コア領域を均等に分割した分割領域毎に多相クロック信号を選択的に分配する複数の選択駆動素子をツリー状に配置して接続する手順とを有し、前記半導体チップに前記多相クロック信号が入力される入力端子から各分割領域内の前記順序回路セルまでの間が互いに等負荷・等配線長となるように、前記複数の選択駆動素子を配置して接続するようにしたものである。

40

また、本発明の半導体集積回路のレイアウト方法の1構成例において、前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置される第1の論理ゲート素子と、この第1の論理ゲート素子の直後に配置される第2の論理ゲート素子との間が未配線のまま形成され、使用する順序回路セルについては前記第1の論理ゲート素子の出力端子と前記第2の論理ゲート素子の入力端子間が配置配線工程で接続され、使用しない順序回路セルについては前記第1の論理ゲート素子の出力端子と前記第2の論理ゲート素子の入力端子間を未配線のままとして、前記第2の論理ゲート素子の入力端子が電源又は接地と配置配線工程で配線接続されるようにしたものである。

また、本発明の半導体集積回路のレイアウト方法の1構成例において、前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置され、前記多相クロ

50

ック信号に応じて出力電位が決まる第1の状態と前記多相クロック信号に関係なく出力電位が一定となる第2の状態とをイネーブル信号によって選択可能な第1の論理ゲート素子と、入力端子が前記第1の論理ゲート素子の出力端子と接続される第2の論理ゲート素子とを備え使用する順序回路セルについては前記第1の論理ゲート素子が前記第1の状態となるように前記イネーブル信号の値が配置配線工程で設定され、使用しない順序回路セルについては前記第1の論理ゲート素子が前記第2の状態となるように前記イネーブル信号の値が配置配線工程で設定されるようにしたものである。

また、本発明の半導体集積回路のレイアウト方法の1構成例において、前記複数の選択駆動素子の中の1つの選択駆動素子により前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セル、又は前記1つの選択駆動素子から他の選択駆動素子を介して前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セルが使用されない場合に、前記1つの選択駆動素子の出力を抑止するように構成できる。

10

【0012】

【発明の実施の形態】

〔第1の実施の形態〕

以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1の実施の形態に係るマスタースライス方式の半導体集積回路のチップ構造を示す平面図である。本実施の形態のマスタースライス方式の半導体集積回路1では、出力が現在の入力のみでは定まらず入力の過去の履歴に依存する順序回路(Sequential Circuit)セル2と、出力が現在の入力のみで定まる組合せ回路(Combinational Circuit)セル3とが半導体チップ上の内部コア領域内に交互に配置されている。

20

【0013】

さらに、本実施の形態では、図1に示すように、内部コア領域は、ほぼ均等な大きさの16個の分割領域Area1, Area2, Area3, Area4, Area5, Area6, Area7, Area8, Area9, Area10, Area11, Area12, Area13, Area14, Area15, Area16に分割されている。

【0014】

そして、各分割領域Area1~Area16に多相クロック信号CLK__A, CLK__B, CLK__C, CLK__D, CLK__E, CLK__F, CLK__G, CLK__Hを選択的に分配可能にすべく、クロック分配用高駆動マルチプレクサMC101~MC108, MC201~MC216, MC301~MC316を用いた等負荷・等配線長のクロックツリー構造が形成されている。マルチプレクサMC101~MC108, MC201~MC216, MC301~MC316は、複数の入力の中から何れか1つを選択して出力する。

30

【0015】

クロックツリー構造は、各デザインでどの順序回路セル2が使用されるかどうかによって、あらかじめ汎用的に形成される。例えば、図1に示すように、チップの中央部にマルチプレクサMC101~MC108が配置され、4つの分割領域Area1~Area4の中央部にマルチプレクサMC201~MC204が配置され、4つの分割領域Area5~Area8の中央部にマルチプレクサMC205~MC208が配置され、4つの分割領域Area9~Area12の中央部にマルチプレクサMC209~MC212が配置され、4つの分割領域Area13~Area16の中央部にマルチプレクサMC213~MC216が配置される。さらに、分割領域Area1~Area16の各々の中央部付近にマルチプレクサMC301~MC316が1つずつ配置される。

40

【0016】

図2~図5は前記クロックツリー構造の回路構成を示す回路図である。多相クロック信号CLK__A~CLK__Hは、外部からマルチプレクサMC101~MC108に共通に分配される。マルチプレクサMC101~MC104の各出力はマルチプレクサMC201~MC208に共通に分配され、マルチプレクサMC105~MC108の各出力はマルチプレクサMC209~MC216に共通に分配される。

50

【 0 0 1 7 】

さらに、マルチプレクサMC 2 0 1 , MC 2 0 2 の各出力はマルチプレクサMC 3 0 1 , MC 3 0 2 に共通に分配され、マルチプレクサMC 2 0 3 , MC 2 0 4 の各出力はマルチプレクサMC 3 0 3 , MC 3 0 4 に共通に分配され、マルチプレクサMC 2 0 5 , MC 2 0 6 の各出力はマルチプレクサMC 3 0 5 , MC 3 0 6 に共通に分配され、マルチプレクサMC 2 0 7 , MC 2 0 8 の各出力はマルチプレクサMC 3 0 7 , MC 3 0 8 に共通に分配され、マルチプレクサMC 2 0 9 , MC 2 1 0 の各出力はマルチプレクサMC 3 0 9 , MC 3 1 0 に共通に分配され、マルチプレクサMC 2 1 1 , MC 2 1 2 の各出力はマルチプレクサMC 3 1 1 , MC 3 1 2 に共通に分配され、マルチプレクサMC 2 1 3 , MC 2 1 4 の各出力はマルチプレクサMC 3 1 3 , MC 3 1 4 に共通に分配され、マルチプレクサMC 2 1 5 , MC 2 1 6 の各出力はマルチプレクサMC 3 1 5 , MC 3 1 6 に共通に分配される。

10

【 0 0 1 8 】

マルチプレクサMC 3 0 1 の出力は、分割領域Area 1 内の順序回路セル2 に分配される。図1 では、フリップフロップ(F F) にマルチプレクサMC 3 0 1 の出力が分配されている。同様に、マルチプレクサMC 3 0 2 ~ MC 3 1 6 の出力は、それぞれ分割領域Area 2 ~ Area 1 6 内の順序回路セル2 に分配される。

【 0 0 1 9 】

外部からマルチプレクサMC 1 0 1 ~ MC 1 0 8 に多相クロック信号CLK __ A ~ CLK __ H を供給する各配線は、マルチプレクサMC 1 0 1 ~ MC 1 0 8 までの配線長が互いに等しくなるように配設される。マルチプレクサMC 1 0 1 ~ MC 1 0 8 の出力をマルチプレクサMC 2 0 1 ~ MC 2 1 6 に供給する各配線は、マルチプレクサMC 2 0 1 ~ MC 2 1 6 までの配線長が互いに等しくなるように配設される。

20

【 0 0 2 0 】

また、マルチプレクサMC 2 0 1 ~ MC 2 1 6 の出力をマルチプレクサMC 3 0 1 ~ MC 3 1 6 に供給する各配線は、マルチプレクサMC 3 0 1 ~ MC 3 1 6 までの配線長が互いに等しくなるように配設される。さらに、マルチプレクサMC 3 0 1 ~ MC 3 1 6 の出力を順序回路セル2 に供給する各配線は、順序回路セル2 までの配線長が互いに等しくなるように配設される。

【 0 0 2 1 】

マルチプレクサMC 1 0 1 ~ MC 1 0 8 には外部から3 つの制御信号S 0 , S 1 , S 2 が与えられ、マルチプレクサMC 2 0 1 ~ MC 2 1 6 には2 つの制御信号S 0 , S 1 が与えられ、マルチプレクサMC 3 0 1 ~ MC 3 1 6 には制御信号S 0 が与えられる。なお、制御信号の符号をマルチプレクサ毎に変えると、記載に要する図面スペースが大幅に増えるため、図2 ~ 図5 では制御信号をS 0 , S 1 , S 3 の3 つのみで表しているが、制御信号S 0 , S 1 , S 3 はマルチプレクサ毎に異なるものである。

30

【 0 0 2 2 】

次に、本実施の形態の半導体集積回路のクロックツリー構造の動作について説明する。本実施の形態では、マルチプレクサMC 1 0 1 ~ MC 1 0 8 , MC 2 0 1 ~ MC 2 1 6 , MC 3 0 1 ~ MC 3 1 6 を通じて各分割領域Area 1 ~ Area 1 6 に多相クロック信号CLK __ A ~ CLK __ H を選択的に分配することができる。

40

【 0 0 2 3 】

図6 は、クロック分配用高駆動マルチプレクサMC 1 0 1 ~ MC 1 0 8 , MC 2 0 1 ~ MC 2 1 6 , MC 3 0 1 ~ MC 3 1 6 の制御信号S 0 , S 1 , S 3 とチップ上の各分割領域Area 1 ~ Area 1 6 に分配されるクロック信号との関係を示す図である。ただし、図6 では、マルチプレクサMC 1 0 1 ~ MC 1 0 4 , MC 2 0 1 ~ MC 2 0 4 , MC 3 0 1 ~ MC 3 0 4 の制御信号S 0 , S 1 , S 3 と分割領域Area 1 ~ Area 4 に分配されるクロック信号についてのみ記載している。

【 0 0 2 4 】

マルチプレクサMC 1 0 1 ~ MC 1 0 8 は、制御信号S 0 , S 1 , S 3 が「 0 0 0 」のと

50

きクロック信号 CLK_A を選択して出力する。同様に、マルチプレクサ $MC101 \sim MC108$ は、制御信号 $S0, S1, S3$ が「 001 」のとき CLK_B 、「 010 」のとき CLK_C 、「 011 」のとき CLK_D 、「 100 」のとき CLK_E 、「 101 」のとき CLK_F 、「 110 」のとき CLK_G 、「 111 」のとき CLK_H を選択して出力する。

【0025】

$MC201 \sim MC216$ は、制御信号 $S0, S1$ が「 00 」のとき 1 番目の入力（例えば $MC201$ の場合、 $MC101$ の出力）を選択して出力する。同様に、 $MC201 \sim MC216$ は、制御信号 $S0, S1$ が「 01 」のとき 2 番目の入力（ $MC201$ の場合、 $MC102$ の出力）、「 10 」のとき 3 番目の入力（ $MC201$ の場合、 $MC103$ の出力）、「 11 」のとき 4 番目の入力（ $MC201$ の場合、 $MC104$ の出力）を選択して出力する。

10

【0026】

$MC301 \sim MC316$ は、制御信号 $S0$ が「 0 」のとき 1 番目の入力（例えば $MC301$ の場合、 $MC201$ の出力）を選択して出力し、制御信号 $S0$ が「 1 」のとき 2 番目の入力（ $MC301$ の場合、 $MC202$ の出力）を選択して出力する。

【0027】

したがって、図 6 のように各マルチプレクサ $MC101 \sim MC104, MC201 \sim MC204, MC301 \sim MC304$ の制御信号 $S0, S1, S3$ の値を設定すれば、分割領域 $Area1, Area2$ にクロック信号 CLK_A 又は CLK_B 、分割領域 $Area3, Area4$ にクロック信号 CLK_C 又は CLK_D を選択的に分配することができる。その他のマルチプレクサ $MC105 \sim MC108, MC205 \sim MC216, MC305 \sim MC316$ についても同様の制御が可能であり、分割領域 $Area5 \sim Area16$ に多相クロック信号 $CLK_A \sim CLK_H$ を選択的に分配することができる。

20

【0028】

なお、多相クロック信号 $CLK_A \sim CLK_H$ のうちどのクロック信号をどの分割領域に分配するかは、半導体集積回路の仕様によって決まる。そして、制御信号 $S0, S1, S3$ の設定は、チップ上に順序回路セル 2 及び組合せ回路セル 3 を形成した後の配線工程時に行われる。すなわち、値を「 1 」に設定する制御信号については電源につなぐ配線パターンを形成し、値を「 0 」に設定する制御信号については接地につなぐ配線パターンを形成すればよい。

30

【0029】

次に、未使用の余剰順序回路セル 2 の処理について説明する。図 7 (a) は順序回路セル 2 の 1 構成例を示す回路図、図 7 (b) は図 7 (a) の順序回路セル 2 の回路記号を示す図である。図 7 に示す順序回路セル 2 は D 型フリップフロップであり、インバータ $INV1 \sim INV8$ と、トランスマッションゲート $TG1 \sim TG4$ とから構成される。

【0030】

本実施の形態では、チップ上に順序回路セル 2 及び組合せ回路セル 3 を形成する段階では、各順序回路セル 2 のクロック入力部の初段ゲート（インバータ $INV2$ ）の出力端子と、その後段ゲート（インバータ $INV3$ ）の入力端子との間を未配線（図 7 (a) の破線部）としておく。

40

【0031】

各順序回路セル 2 を使用するか否かは半導体集積回路の仕様により異なる。使用する順序回路セル 2 については、配置配線工程で、クロック入力部の初段ゲート $INV2$ の出力端子と後段ゲート $INV3$ の入力端子間をつなぐ配線パターンを形成する。一方、使用しない順序回路セル 2 については、クロック入力部の初段ゲート $INV2$ の出力端子と後段ゲート $INV3$ の入力端子間を未配線のままとし、後段ゲート $INV3$ の入力端子 CB を電源又は接地につなぐ配線パターンを配置配線工程時に形成する。

【0032】

こうして、使用される順序回路セル 2 のクロック入力部では、図 8 (a) に示すように、

50

クロック信号CLK(CLK__A~CLK__H)に応じて後段ゲートINV3の入力端子CB及び出力端子Cの電位が変化する。一方、未使用の順序回路セル2のクロック入力部では、図8(b)に示すように、後段ゲートINV3の入力端子CB及び出力端子Cの電位が不変となり、クロック信号CLKに応じたスイッチング動作は行われない。

【0033】

各マルチプレクサMC301~MC316から見た負荷は順序回路セル2のクロック入力部の初段ゲートなので、各マルチプレクサMC301~MC316に順序回路セル2を均等に割りつけておけば、各マルチプレクサMC301~MC316と接続されるゲート数が同一となり、フローティングゲートを発生させることなく、各マルチプレクサMC301~MC316の負荷を等しくすることができる。

10

【0034】

また、本実施の形態では、使用しない余剰順序回路セル2のクロック入力部の初段ゲートの出力端子と後段ゲートの入力端子間を未配線とすることにより、この余剰順序回路セル2では、図9の斜線を施したインバータINV3、トランスマッションゲートTG1~TG4が非負荷トランジスタとなるので、使用するか否かに関係なく全ての順序回路セルが負荷となる従来の半導体集積回路と比べて消費電力を低減することができる。

【0035】

なお、本実施の形態では、クロック信号の相数を8、マルチプレクサMC101~MC108, MC201~MC216, MC301~MC316の入力信号数をそれぞれ8, 4, 2、クロックツリー段数を3、チップの分割領域数を16としているが、これに限るものではないことは言うまでもない。また、本実施の形態では、クロックツリーの全てをマルチプレクサで構成しているが、これに限るものではなく、マルチプレクサの代わりに一部をクロックバッファにしてもよい。

20

【0036】

また、本実施の形態では、順序回路セル2と組合せ回路セル3とを1列毎に交互に配置しているが、順序回路セル2と組合せ回路セル3とを1行毎に交互に配置してもよく、また順序回路セル2と組合せ回路セル3とを市松模様に配置してもよい。なお、順序回路セル2と組合せ回路セル3とを交互に配置するのは、順序回路セル2を分割領域内に均一に配置して、マルチプレクサからの配線長を等しくするためである。

【0037】

[第2の実施の形態]

図10(a)は本発明の第2の実施の形態となる順序回路セル2の回路図、図10(b)は図10(a)の順序回路セル2の回路記号を示す図であり、図7と同様の構成には同一の符号を付してある。図10に示す順序回路セル2はイネーブル機能付きのD型フリップフロップであり、インバータINV1, INV3~INV8と、トランスマッションゲートTG1~TG4と、否定論理積ゲートNAND1とから構成される。

30

【0038】

本実施の形態では、第1の実施の形態と異なり、チップ上に順序回路セル2及び組合せ回路セル3を形成する段階で、各順序回路セル2のクロック入力部の初段ゲートNAND1の出力端子とその後段ゲートINV3の入力端子とを接続しておく。そして、使用する順序回路セル2については、配置配線工程時に、クロックイネーブル信号CLK__ENが「1」となる配線パターン(電源に接続される配線パターン)を形成し、使用しない余剰順序回路セル2については、クロックイネーブル信号CLK__ENが「0」となる配線パターン(接地に接続される配線パターン)を形成する。

40

【0039】

これにより、使用される順序回路セル2のクロック入力部では、図11(a)に示すように、クロック信号CLK(CLK__A~CLK__H)に応じて、後段ゲートINV3の入力端子CB及び出力端子Cの電位が変化する。一方、未使用の順序回路セル2のクロック入力部では、図11(b)に示すように、後段ゲートINV3の入力端子CB及び出力端子Cの電位が不変となり、クロック信号CLKに応じたスイッチング動作は行われない。

50

【 0 0 4 0 】

この結果、未使用の余剰順序回路セル 2 では、図 1 2 の斜線を施したインバータ I N V 3、トランSMISSIONゲート T G 1 ~ T G 4 が非負荷トランジスタとなる。こうして、第 1 の実施の形態と同様に、低スキューで、低消費電力という効果が得られる。

【 0 0 4 1 】

なお、本実施の形態では、クロック入力部の初段ゲートに否定論理積ゲートを用いたが、これに限るものではなく、否定論理和ゲートを用いてもよい。否定論理和ゲートを用いる場合は、使用する順序回路セル 2 についてはクロックイネーブル信号 C L K _ E N を「 0 」とし、使用しない余剰順序回路セル 2 についてはクロックイネーブル信号 C L K _ E N を「 1 」とすればよい。ただし、第 1 の実施の形態とクロックの位相を揃える必要が有る場合には、否定論理和ゲートのクロック入力の直前又は出力にインバータを 1 段設ける必要がある。

10

【 0 0 4 2 】

[第 3 の実施の形態]

上述した第 1 及び第 2 の実施の形態に係る半導体集積回路では、未使用の順序回路セル 2 は、その内部において、入力されるクロック信号が後段ゲート（インバータ I N V 2 ）に伝達するのを阻止することにより該順序回路セル 2 の動作を停止させる。これに対し、この第 3 の実施の形態に係る半導体集積回路では、クロックツリー構造を形成するマルチプレクサの出力を抑止することにより、該マルチプレクサより下流側に接続された全ての順序回路セル 2 の動作を停止させる。

20

【 0 0 4 3 】

この第 3 の実施の形態でクロック分配用として使用されるマルチプレクサは、図 1 4 に示すように、第 1 及び第 2 の実施の形態で使用されたマルチプレクサにイネーブル端子 E N が追加されることにより構成されている。このイネーブル端子 E N は、ストップ条件により制御される。

【 0 0 4 4 】

図 1 4 (a) は、イネーブル端子 E N を備えた 8 入力 1 出力のマルチプレクサを示し、マルチプレクサ M C 1 0 1 ~ 1 0 8 として使用される。このマルチプレクサは、イネーブル端子 E N にストップ条件として「 1 」が与えられた場合に、制御信号 S 0 ~ S 2 に従って 8 個の入力信号の何れかを選択して出力する。一方、イネーブル端子 E N にストップ条件として「 0 」が与えられた場合は、制御信号 S 0 ~ S 2 に拘わらず、常に「 0 」を出力する。

30

【 0 0 4 5 】

図 1 4 (b) は、イネーブル端子 E N を備えた 4 入力 1 出力のマルチプレクサを示し、マルチプレクサ M C 2 0 1 ~ M C 2 1 6 として使用される。このマルチプレクサは、イネーブル端子 E N にストップ条件として「 1 」が与えられた場合に、制御信号 S 0 及び S 1 に従って 4 個の入力信号の何れかを選択して出力する。一方、イネーブル端子 E N にストップ条件として「 0 」が与えられた場合は、制御信号 S 0 及び S 1 に拘わらず、常に「 0 」を出力する。

【 0 0 4 6 】

図 1 4 (c) は、イネーブル端子 E N を備えた 2 入力 1 出力のマルチプレクサを示し、マルチプレクサ M C 3 0 1 ~ M C 3 1 6 として使用される。このマルチプレクサは、イネーブル端子 E N にストップ条件として「 1 」が与えられた場合に、制御信号 S 0 に従って 2 個の入力信号の何れかを選択して出力する。一方、イネーブル端子 E N にストップ条件として「 0 」が与えられた場合は、制御信号 S 0 に拘わらず、常に「 0 」を出力する。

40

【 0 0 4 7 】

今、図 1 3 に示すように、分割領域 A r e a 1 及び A r e a 2、A r e a 6、並びに A r e a 1 3 ~ A r e a 1 6（斜線で示す部分）に存在する全ての順序回路セル 2 が未使用であるとする。

【 0 0 4 8 】

50

この場合、2つの分割領域 A r e a 1 及び A r e a 2 の順序回路セル 2 を駆動するためのマルチプレクサ M C 2 0 1 及び M C 2 0 2 の出力が抑止される。この抑止は、図 1 4 (b) に示すように構成されたマルチプレクサ M C 2 0 1 及び 2 0 2 のイネーブル端子 E N に「 0 」を与えることにより行われる。これにより、分割領域 A r e a 1 及び A r e a 2 へのクロック信号の分配が停止され、換言すればクロック信号のスイッチングが停止され、これら分割領域 A r e a 1 及び A r e a 2 の中の全ての順序回路セル 2 の動作が停止される。なお、マルチプレクサ M C 3 0 1 及び M C 3 0 2 の出力を抑止することによっても上記と同様の動作を行わせることができる。

【 0 0 4 9 】

また、1つの分割領域 A r e a 6 の順序回路セル 2 を駆動するためのマルチプレクサ M C 3 0 6 の出力が抑止される。この抑止は、図 1 4 (C) に示すように構成されたマルチプレクサ M C 3 0 6 のイネーブル端子 E N に「 0 」を与えることにより行われる。これにより、分割領域 A r e a 6 へのクロック信号の分配が停止され、換言すればクロック信号のスイッチングが停止され、この分割領域 A r e a 6 の中の全ての順序回路セル 2 の動作が停止される。

【 0 0 5 0 】

更に、4つの分割領域 A r e a 1 3 ~ A r e a 1 6 の順序回路セル 2 を駆動するマルチプレクサ M C 2 1 3 ~ M C 2 1 6 の出力が抑止される。この抑止は、図 1 4 (b) に示すように構成されたマルチプレクサ M C 2 1 3 ~ M C 2 1 6 のイネーブル端子 E N に「 0 」を与えることにより行われる。これにより、分割領域 A r e a 1 3 ~ A r e a 1 6 へのクロック信号の分配が停止され、換言すればクロック信号のスイッチングが停止され、これら分割領域 A r e a 1 3 ~ A r e a 1 6 の中の全ての順序回路セル 2 の動作が停止される。なお、マルチプレクサ M C 3 1 3 ~ M C 3 1 6 の出力を抑止することによっても上記と同様の動作を行わせることができる。

【 0 0 5 1 】

なお、図 1 3 では示されていないが、8つの分割領域 A r e a 1 ~ A r e a 8 に存在する全ての順序回路セル 2 が未使用であるとする、8つの分割領域 A r e a 1 ~ A r e a 8 の順序回路セル 2 を駆動するためのマルチプレクサ M C 1 0 1 ~ M C 1 0 4 の出力が抑止される。この抑止は、図 1 4 (a) に示すように構成されたマルチプレクサ M C 1 0 1 ~ M C 1 0 4 のイネーブル端子 E N に「 0 」を与えることにより行われる。これにより、分割領域 A r e a 1 ~ A r e a 8 へのクロック信号の分配が停止され、換言すればクロック信号のスイッチングが停止され、これら分割領域 A r e a 1 ~ A r e a 8 の中の全ての順序回路セル 2 の動作が停止される。この場合、マルチプレクサ M C 2 0 1 ~ M C 2 0 8 又は又は 3 0 1 ~ M C 3 0 8 の出力を抑止することによっても上記と同様の動作を行わせることができる。

【 0 0 5 2 】

各マルチプレクサ M C 1 0 1 ~ M C 1 0 8、M C 2 0 1 ~ M C 2 1 6 及び M C 3 0 1 ~ M C 3 1 6 のイネーブル端子 E N をストップ条件として「 1 」及び「 0 」の何れに設定するかは、半導体集積回路の仕様によって決まる。そして、イネーブル端子 E N の設定は、チップ上に順序回路セル 2 及び組合せ回路セル 3 を形成した後の配線工程時に行われる。

【 0 0 5 3 】

すなわち、配置工程が完了すると、順序回路セル 2 が1つも使用されていない分割領域が存在するかどうか調べられる。そして、順序回路セル 2 が1つも使用されていない分割領域が存在することが判断されると、その分割領域にクロック信号を分配するマルチプレクサのイネーブル端子 E N が「 0 」に設定される。

【 0 0 5 4 】

例えば、図 1 3 に示した例では、分割領域 A r e a 6 に順序回路セル 2 が1つも使用されていないことが判断されるのでマルチプレクサ M C 3 0 6 のイネーブル端子 E N が「 0 」に設定される。また、分割領域 A r e a 1 及び A r e a 2 に順序回路セル 2 が1つも使用されていないことが判断されるのでマルチプレクサ M C 3 0 1 及び M C 3 0 2 又はマルチ

10

20

30

40

50

プレクサMC201及びMC202のイネーブル端子ENが「0」に設定される。更に、分割領域Area13～Area16に順序回路セル2が1つも使用されていないことが判断されるのでマルチプレクサMC313～MC316又はマルチプレクサMC213～MC2216のイネーブル端子ENが「0」に設定される。そして、上記以外のマルチプレクサのイネーブル端子ENは「1」に設定される。

【0055】

上記イネーブル端子ENの設定は、配線パターンをイネーブル端子ENに接続することで行い、イネーブル端子ENを「1」に設定する場合は、電源につなぐ配線パターンを接続し、「0」に設定する場合は接地につなぐ配線パターンを接続することにより行われる。

【0056】

以上説明したように、この第3の実施の形態に係る半導体集積回路によれば、未使用の順序回路セル2だけから成る分割領域へのクロック信号の分配は停止されるので未使用の順序回路セル2の動作が停止され、上述した第1の実施の形態の場合と同様に、従来に比べて半導体集積回路全体としての消費電力を低減させることができる。

【0057】

【発明の効果】

本発明によれば、半導体チップ上の内部コア領域に順序回路セルと組合せ回路セルとを交互に配置し、内部コア領域を均等に分割した分割領域毎に多相クロック信号を選択的に分配する、ツリー状に接続された複数の選択駆動素子とを設け、複数の選択駆動素子を、半導体チップに多相クロック信号が入力される入力端子から各分割領域内の順序回路セルまでの間が互いに等負荷・等配線長となるように配置接続することにより、多相クロック信号に対応した等負荷・等配線長のクロックツリー構造を実現することができ、各順序回路間のクロックスキューを低減することができる。

【0058】

また、順序回路セルに、クロック入力部の初段に配置される第1の論理ゲート素子と、第2の論理ゲート素子とを設け、使用する順序回路セルについては第1の論理ゲート素子の出力端子と第2の論理ゲート素子の入力端子間を配線接続し、使用しない順序回路セルについては第1の論理ゲート素子の出力端子と第2の論理ゲート素子の入力端子間を未配線として、第2の論理ゲート素子の入力端子を電源又は接地と接続するようにしたことにより、未使用の順序回路セルで消費される電力を低減することができるので、等負荷構造を保ちつつ、消費電力の損失を最小限に抑えることができる。

【0059】

また、順序回路セルに、クロック入力部の初段に配置され、多相クロック信号に応じて出力電位が決まる第1の状態と多相クロック信号に関係なく出力電位が一定となる第2の状態とをイネーブル信号によって選択可能な第1の論理ゲート素子と、入力端子が第1の論理ゲート素子の出力端子と接続される第2の論理ゲート素子とを備え、使用する順序回路セルについては第1の論理ゲート素子が第1の状態となるようイネーブル信号を設定し、使用しない順序回路セルについては第1の論理ゲート素子が第2の状態となるようイネーブル信号を設定することにより、未使用の順序回路セルで消費される電力を低減することができるので、等負荷構造を保ちつつ、消費電力の損失を最小限に抑えることができる。

【0060】

更に、複数の選択駆動素子の中の1つの選択駆動素子から下流側の分割領域内に配置された順序回路セルが1つも使用されない場合に、1つの選択駆動素子の出力を抑止するように構成したので、未使用の順序回路セルで消費される電力を低減することができ、等負荷構造を保ちつつ、消費電力の損失を最小限に抑えることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態となるマスタースライス方式の半導体集積回路のチップ構造を示す平面図である。

【図2】 本発明の第1の実施の形態におけるクロックツリー構造の回路構成を示す回路図である。

10

20

30

40

50

【図 3】 本発明の第 1 の実施の形態におけるクロックツリー構造の回路構成を示す回路図である。

【図 4】 本発明の第 1 の実施の形態におけるクロックツリー構造の回路構成を示す回路図である。

【図 5】 本発明の第 1 の実施の形態におけるクロックツリー構造の回路構成を示す回路図である。

【図 6】 クロック分配用高駆動マルチプレクサの制御信号とチップ上の各領域に分配されるクロック信号との関係を示す図である。

【図 7】 本発明の第 1 の実施の形態において順序回路セルの 1 構成例を示す回路図及び順序回路セルの回路記号を示す図である。

10

【図 8】 本発明の第 1 の実施の形態において順序回路セルのクロック入力部の動作を示す図である。

【図 9】 本発明の第 1 の実施の形態において余剰順序回路セルの非負荷トランジスタを示す図である。

【図 10】 本発明の第 2 の実施の形態となる順序回路セルの回路図及び順序回路セルの回路記号を示す図である。

【図 11】 本発明の第 2 の実施の形態において順序回路セルのクロック入力部の動作を示す図である。

【図 12】 本発明の第 2 の実施の形態において余剰順序回路セルの非負荷トランジスタを示す図である。

20

【図 13】 本発明の第 3 の実施の形態において余剰順序回路セルの動作を停止させる状態を説明するための図である。

【図 14】 本発明の第 3 の実施の形態において余剰順序回路セルの動作を停止させるためのセレクタの構成を示す図である。

【図 15】 従来のマスタースライス方式の半導体集積回路のチップ構造を示す平面図及び半導体集積回路のトランジスタセルを拡大した平面図である。

【図 16】 従来のマスタースライス方式の半導体集積回路におけるクロック分配方法を示す平面図である。

【図 17】 従来の他のマスタースライス方式の半導体集積回路のチップ構造を示す平面図である。

30

【符号の説明】

1 ... 半導体集積回路

2 ... 順序回路セル

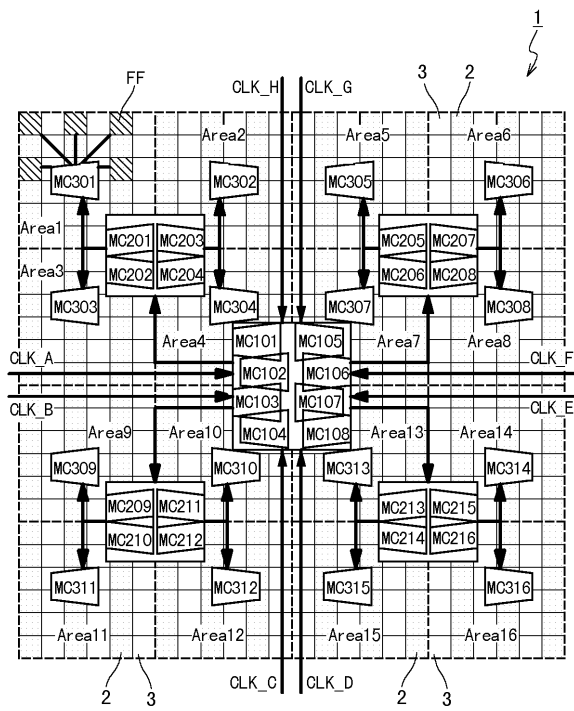
3 ... 組合せ回路セル

A r e a 1 ~ A r e a 1 6 ... 領域

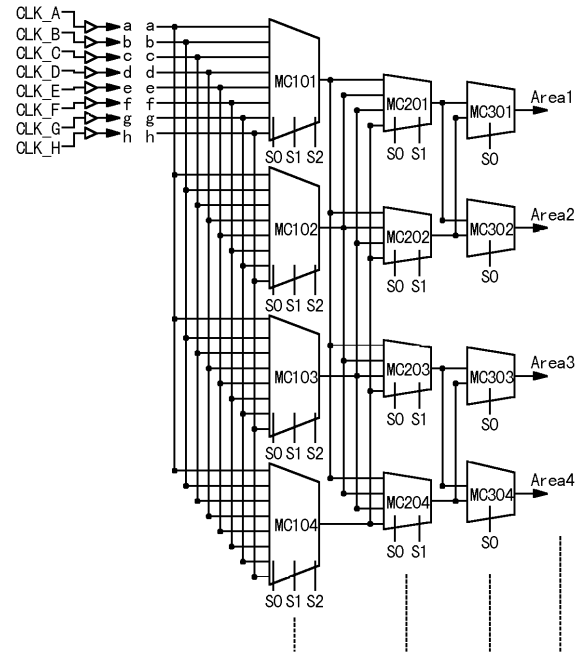
C L K _ A ~ C L K _ H ... 多相クロック信号

M C 1 0 1 ~ M C 1 0 8、M C 2 0 1 ~ M C 2 1 6、M C 3 0 1 ~ M C 3 1 6 ... クロック分配用高駆動マルチプレクサ

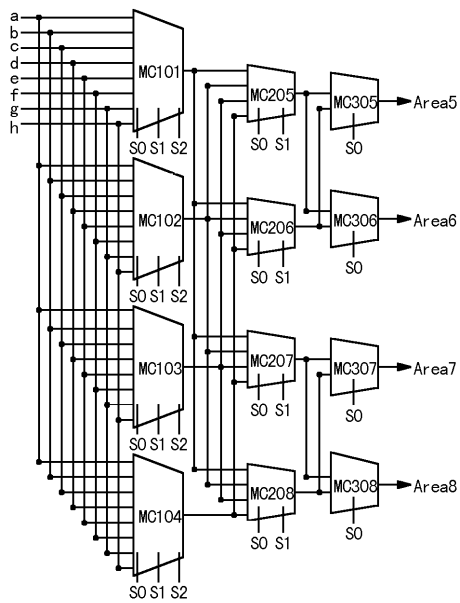
【図 1】



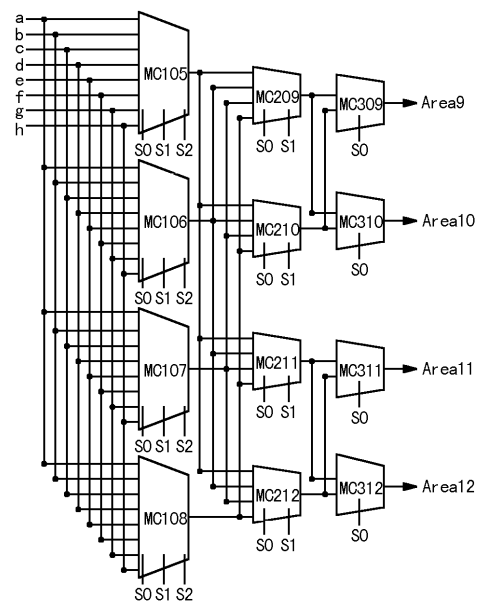
【図 2】



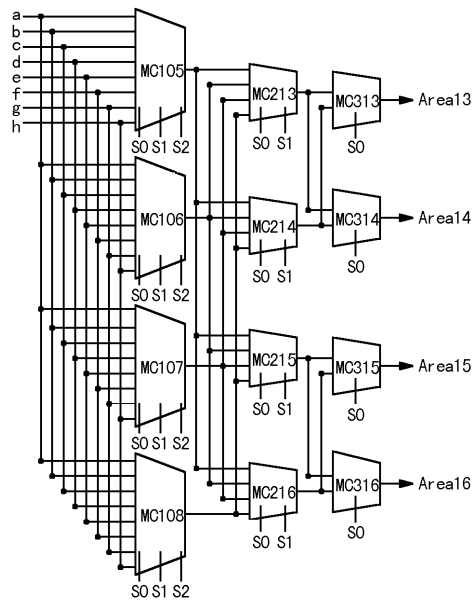
【図 3】



【図 4】



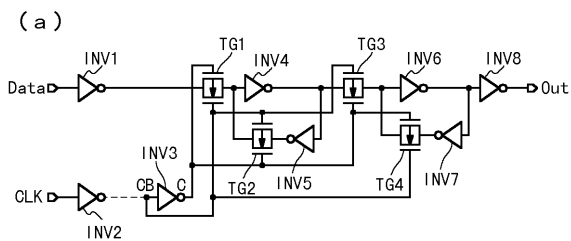
【図 5】



【図 6】

クロック分配用高駆動マルチプレクサの制御信号												各領域に分配されるクロック信号			
MC101	MC102	MC103	MC104	MC 201	MC 202	MC 203	MC 204	MC 301	MC 302	MC 303	MC 304	Area1	Area2	Area3	Area4
SO/S1	S2/S0	S1/S2	S0/S1	S1/S2	S0/S1	S1/S2	S0/S1	S1/S2	S0/S1	S1/S2	S0/S1	a (CLK_A)	a (CLK_A)	c (CLK_C)	c (CLK_C)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)
0	0	0	0	0	0	0	0	0	0	0	0	a (CLK_A)	b (CLK_B)	c (CLK_C)	d (CLK_D)

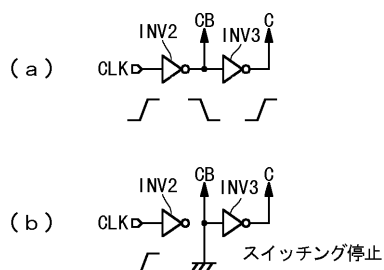
【図 7】



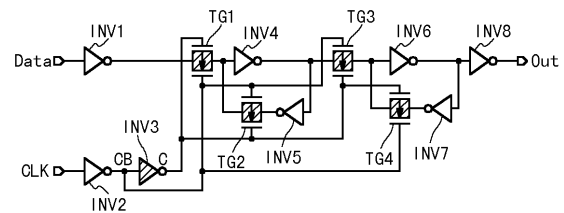
(b)



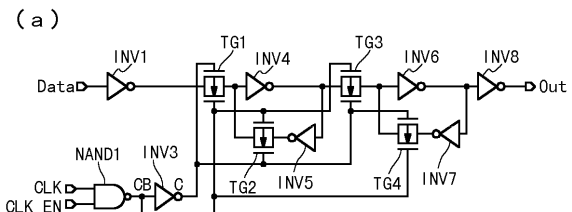
【図 8】



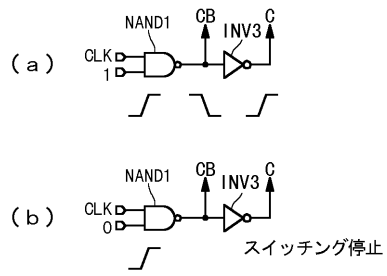
【図 9】



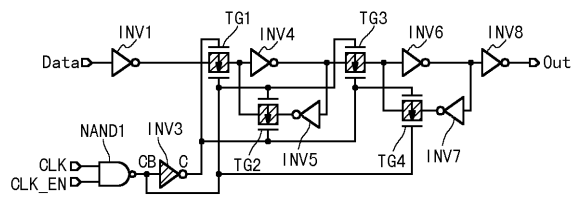
【図 10】



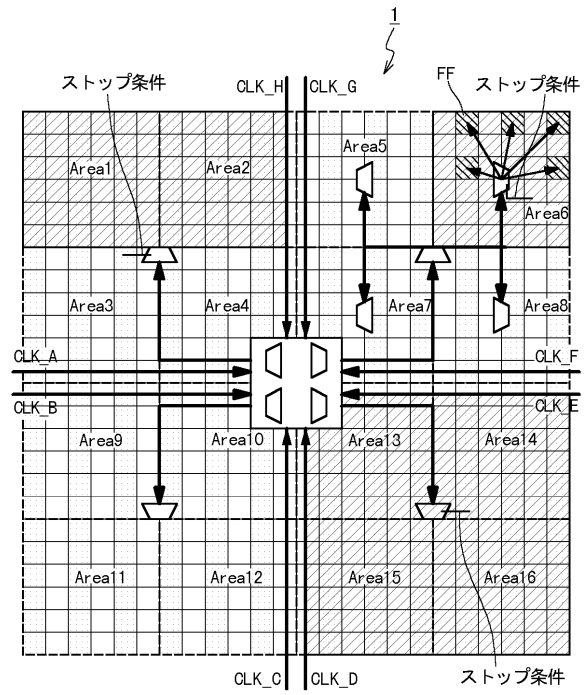
【図 1 1】



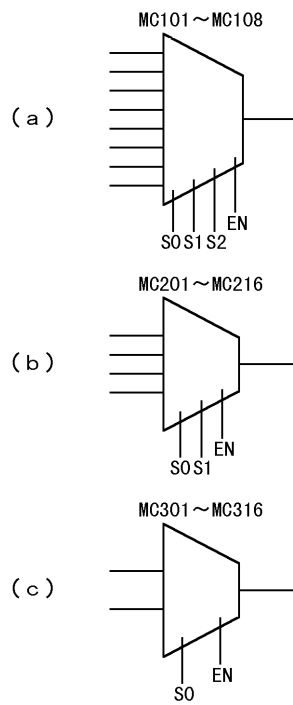
【図 1 2】



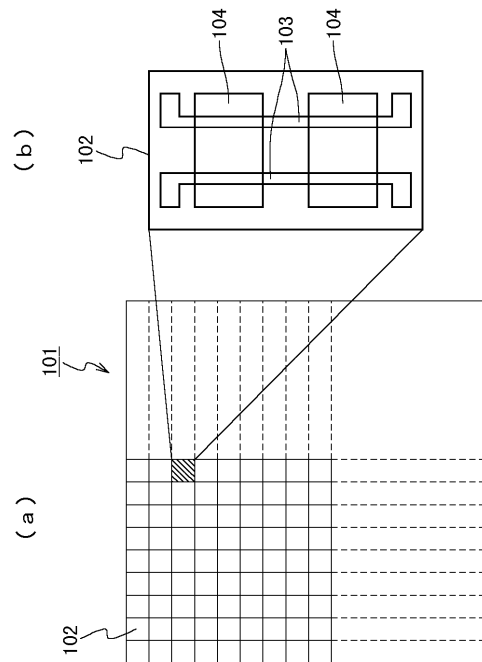
【図 1 3】



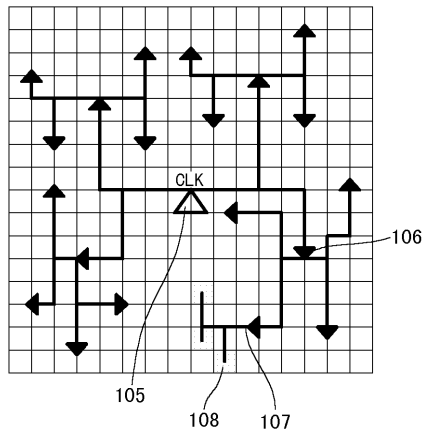
【図 1 4】



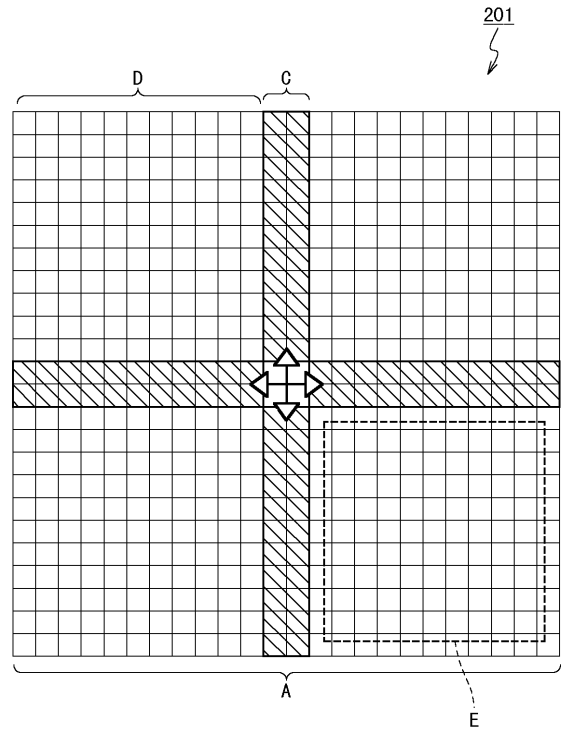
【図 1 5】



【図 16】



【図 17】



フロントページの続き

審査官 大嶋 洋一

- (56)参考文献 特開平05-243534(JP,A)
特開平06-244282(JP,A)
特開平08-116025(JP,A)
特開2001-217392(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/82
H01L 21/822
H01L 27/04
H01L 27/118
G06F 17/50