

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G06K 7/00

G06K 19/077



[12] 发明专利说明书

[21] ZL 专利号 98801561.7

[45] 授权公告日 2003 年 10 月 1 日

[11] 授权公告号 CN 1122936C

[22] 申请日 1998.9.11 [21] 申请号 98801561.7

[30] 优先权

[32] 1997.10.22 [33] EP [31] 97890209.6

[86] 国际申请 PCT/IB98/01403 1998.9.11

[87] 国际公布 WO99/21119 英 1999.4.29

[85] 进入国家阶段日期 1999.6.21

[71] 专利权人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 D·J·贝尔格 B·恰尔

K·西克特

审查员 齐 霁

[74] 专利代理机构 中国专利代理(香港)有限公司

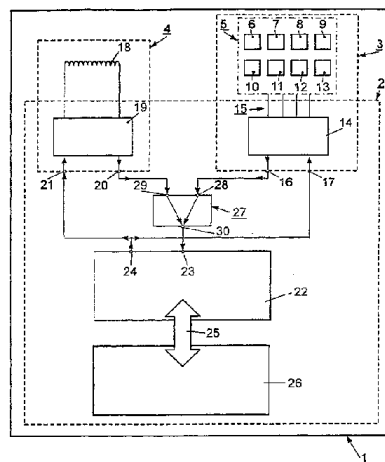
代理人 王 勇 陈景峻

权利要求书 4 页 说明书 14 页 附图 2 页

[54] 发明名称 双模式数据运载器及用于这一具有简化的数据传送装置的数据运载器的电路

[57] 摘要

一种能在接点连接模式及无接点模式中工作的数据运载器(1)及用于这一数据运载器(1)的电路(2)具有接点连接接口装置(3)、无接点接口装置(4)、数据处理装置(22)及数据传送装置(27),用数据传送装置能将接点连接模式激活时及无接点模式激活时接收的数据从各自的接口装置(3,4)传送到数据处理装置(22),数据传送装置(27)构造成执行逻辑“或”功能,及根据这一构造,当接点连接接口装置(3)及无接点接口装置(4)同时接收数据时,将所述同时接收的数据传送到数据处理装置(22)。



1. 一种数据运载器 (1),

它能在接点连接模式及无接点模式中工作, 及它包含下面指定的装置, 即

5 接点连接接口装置 (3), 通过它能在接点连接模式中接收数据, 及它包含用于提供在接点连接模式中接收的数据的接点连接数据输出装置 (16), 以及

 无接点接口装置 (4), 通过它能在无接点模式中接收数据, 及它包含用于提供在无接点模式中接收的数据的无接点数据输出装置
10 (20), 以及

 数据处理装置 (22), 它包含用于接收在接点连接模式中接收的及在无接点模式中接收的数据的数据输入装置 (23), 及能用该数据处理装置来处理在接点连接模式中接收的及在无接点模式中接收的数据, 以及

15 数据传送装置 (27),

 它包含第一数据输入装置 (28) 与第二数据输入装置 (29) 以及数据输出装置 (30), 其中第一数据输入装置 (28) 连接在接点连接接口装置 (3) 的接点连接数据输出装置 (16) 上, 及其中第二数据输入装置 (29) 连接在无接点接口装置 (4) 的无接点数据输出装置 (20)
20 上, 及其中数据输出装置 (30) 连接在数据处理装置 (22) 的数据输入装置 (23) 上; 以及

 它们构成为传送在接点连接模式中接收并作用在其第一数据输入装置 (28) 上的数据, 及传送在无接点模式中接收并通过它们的数据输出装置 (30) 作用在数据处理装置 (22) 上的数据, 及禁止将从它们的数据输入装置之一 (28 或 29) 接收的数据传送到另一个数据输入装置 (29 或 28), 其特征在于
25

 数据传送装置 (27) 是构造成执行逻辑“或”功能, 及根据这一构造, 数据传送装置 (27) 适合于将在它们的第一数据输入装置 (28) 与它们的第二数据输入装置 (29) 上同时接收的数据同时传送到它们
30 的数据输出装置 (30) 并从而到数据处理装置 (22)。

2. 权利要求 1 中所要求的数据运载器 (1), 其特征在于该数据传送装置 (27) 是用“或”门 (72) 构成的。

3. 权利要求1中所要求的数据运载器(1), 其特征在于
数据处理装置(22)包含用于输出要在接点连接模式及无接点模式中输出的数据的数据输出装置(24), 以及
接点连接接口装置(3)包含用于接收要在接点连接模式中输出的
5 数据的接点连接数据输入装置(17); 以及
无接点接口装置(4)包含用于接收要在无接点模式中输出的数据的无接点数据输入装置(21), 以及
数据处理装置(22)的数据输出装置(24)及接点连接接口装置(3)的接点连接数据输入装置(17)及无接点接口装置(4)的无接
10 点数据输入装置(21)是互相电连接的。
4. 权利要求1中所要求的数据运载器(1), 其特征在于
已设置了装置(31), 它在接点连接模式不活跃时导致将接点连接接口装置(3)的接点连接数据输出装置(16)设定为对应于逻辑零的状态, 以及
15 已设置了另一装置(40), 它在无接点模式下不活跃时导致将无接点接口装置(4)的无接点数据输出装置(20)类似地设定为对应于逻辑零的状态。
5. 权利要求1中所要求的数据运载器(1), 其特征在于
已设置了检测装置(60), 它能检测已激活了接点连接模式及无
20 接点模式两者, 及它在检测到接点连接模式与无接点模式两者都已激活时, 能导致禁止数据处理装置(22)处理通过它们的数据输入装置(23)作用在所述数据处理装置上的数据。
6. 权利要求5中所要求的数据运载器(1), 其特征在于,
检测装置(60)是用时钟信号检测装置构成的, 它能检测在接点
25 连接模式激活时出现的接点连接时钟信号(KB-CLK)的存在及在无接点模式激活时出现的无接点时钟信号(CLK3)的存在。
7. 一种用于数据运载器(1)的电路(2),
该电路能在接点连接模式及无接点模式中工作, 及它包含下面指定的装置, 即
30 接点连接接口装置(3)的部件(14), 通过所述部件(14)在接点连接模式中接收数据, 及它包含用于提供在接点连接模式中接收的数据的接点连接数据输出装置(16), 以及

无接点接口装置(4)的部件(19),能通过它在无接点模式中接收数据,及它含用于提供在无接点模式中接收的数据的无接点数据输出装置(20),以及

- 5 数据处理装置(22),它包含用于接收在接点连接模式中接收及在无接点模式中接收的数据的数据输入装置(23),及能用该数据处理装置来处理在接点连接模式中接收及在无接点模式中接收的数据,以及

数据传送装置(27),

- 10 它包含第一数据输入装置(28)与第二数据输入装置(29)以及数据输出装置(30),其中第一数据输入装置(28)连接在接点连接接口装置(3)的部件(14)的接点连接数据输出装置(16)上,及其中第二数据输入装置(29)连接在无接点接口装置(4)的部件(19)的无接点数据输出装置(20)上,及其中数据输出装置(30)连接在数据处理装置(22)的数据输入装置(23)上,以及

- 15 它们构造成传送在接点连接模式中接收并作用在其第一数据输入装置(28)上的数据,及传送在无接点模式中接收并通过它们的数据输出装置(30)作用在数据处理装置(22)上的数据,及禁止将所接收的数据从它们的数据输入装置之一(28或29)传送到另一个数据输入装置(29或28),其特征在于

- 20 数据传送装置(27)构造成执行逻辑“或”功能,以及

根据这一构造,数据传送装置(27)适合于将在它们的第一数据输入装置(28)及它们的第二数据输入装置(29)上同时接收的数据同时传送到它们的数据输出装置(30)并从而到数据处理装置(22)。

- 25 8.权利要求7中所要求的电路(2),其特征在于数据传送装置(27)是用“或”门(72)构成的。

9.权利要求7中所要求的电路(2),其特征在于

数据处理装置(22)包含用于输出要在接点连接模式及无接点模式中输出的数据的数据输出装置(24),以及

- 30 接点连接接口装置(3)的部件(14)包含用于接收要在接点连接模式中输出的数据的接点连接数据输入装置(17),以及

无接点接口装置(4)的部件(19)包含用于接收要在无接点模式中输出的数据的无接点数据输入装置(21),以及

数据处理装置(22)的数据输出装置(24)及接点连接接口装置(3)的部件(14)的接点连接数据输入装置(17)及无接点接口装置(4)的部件(19)的无接点数据输入装置(21)是互相电连接的。

10. 权利要求7中所要求的电路(2), 其特征在于

- 5 已设置了装置(31), 它在接点连接模式不活跃时导致将接点连接接口装置(3)的部件(14)的接点连接数据输出装置(16)设定为对应于逻辑零的状态, 以及

- 已设置了另一装置(40), 它在无接点模式不活跃时导致将无接点接口装置(4)的部件(19)的无接点数据输出装置(20)类似地设定为对应于逻辑零的状态。
- 10

11. 权利要求7中所要求的电路(2), 其特征在于,

- 已设置了检测装置(60), 它能检测已激活了接点连接模式及无接点模式两者, 及它在检测到已激活了接点连接模式及无接点模式两者事实时能导致禁止数据处理装置(22)处理通过它们的数据输入装置(23)作用在所述数据处理装置上的数据。
- 15

12. 权利要求11中所要求的电路(2), 其特征在于

检测装置(60)是用时钟信号检测装置构成的, 它能检测在激活接点连接模式时出现的接点连接时钟信号(KB-CLK)的存在及在激活无接点模式时出现的无接点时钟信号(CLK3)的存在。

双模式数据运载器及用于这一具有
简化的数据传送装置的数据运载器的电路

- 5 本发明涉及能在接点连接模式及在无接点模式中工作并包括下面指定的装置的数据运载器 (data carrier)，该指定的装置包括：接点连接接口装置，通过它能在接点连接模式中接收数据及它包含用于提供在接点连接模式中接收的数据的接点连接数据输出装置；以及无接点接口装置，通过它能在无接点模式中接收数据及它包含用于提供
- 10 在无接点模式中接收的数据的无接点数据输出装置；以及数据处理装置，它包含用于接收在接点连接模式及无接点模式中接收的数据的数据输入装置，及能用它处理在接点连接模式与无接点模式中接收的数据；以及数据传送装置，它包含第一数据输入装置与第二数据输入装置以及数据输出装置，其中该第一数据输入装置连接在接点连接接口
- 15 装置的接点连接数据输出装置上，及其中该第二数据输入装置连接在无接点接口装置的无接点数据输出装置上，及其中该数据输出装置连接在数据处理装置的数据输入装置上，及它被构造成传送在接点连接模式中接收及作用在它们的第一数据输入装置上的数据，及传送在无接点模式中接收及通过它们的数据输出装置作用在数据处理装置上的
- 20 数据，及禁止从它们的数据输入装置之一传送接收的数据到另一个数据输入装置。

- 本发明还涉及用于数据运载器的电路，该电路能在接点连接模式及无接点模式中工作，并包含下面指定的装置，这些指定的装置包括：
- 25 接点连接接口装置的部件，通过它能在接点连接模式中接收数据，并且它包含用于提供在接点连接模式中接收的数据的接点连接数据输出装置；以及无接点接口装置的部件，通过它能在无接点模式中接收数据，并且它包含用于提供在无接点模式中接收的数据的无接点数据输出装置；以及数据处理装置，它包含用于接收在接点连接模式及无接点模式中接收的数据的数据输入装置，及能用它来处理在接点连接模式
- 30 式及无接点模式中接收的数据；以及数据传送装置，它包含第一数据输入装置及第二数据输入装置以及数据输出装置，其中该第一数据输入装置连接在接点连接接口装置的部件的接点连接数据输出装置上，

及其中该第二数据输入装置连接在无接点接口装置的部件的无接点数据输出装置上，及其中该数据输出装置连接在数据处理装置的数据输入装置上，并且它被构造成传送在接点连接模式中接收及作用在它们的第一数据输入装置上的数据，及传送在无接点模式中接收及通过它们的数据输出装置作用在数据处理装置上的数据，及禁止将接收的数据从它们的数据输入装置之一传送到另一数据输入装置。

在第一段中定义的类型的数据运载器及在第二段中定义的类型的数据这一电路是已知的，例如从文件 US 5,206,495A。

在已知的数据运载器及已知的电路中，该数据传送装置具有有可能用其来在接点连接接口装置与无接点接口装置之间转换的构造。所述文件公开了该数据传送装置是用所谓多路复用器构成的。如所述文件中栏 3，行 7 至 10 及栏 4，行 3 至 5 中所述，这种数据传送装置能将接点连接接口装置或无接点接口装置提供的数据传送给数据处理装置。最好采用多路复用器形式的这种已知的数据传送装置具有比较复杂的电路设计，因为这种多路复用器正常或通常包括至少两个“与”门，一个“非”门及一个“或”门。此外，在这种数据传送装置作为转换开关构成的情况中，这种数据传送装置有必要具有配置成接收用于控制转换的控制信号或控制信息的控制输入端、用于生成这一控制信号或控制信息所需的独立控制信号生成装置或控制信息生成装置。从而考虑了一切情况，用于从文件 US 5,206,495A 所知的这种数据运载器或用于这种数据运载器的电路的构造需要比较高的电路复杂性，即使在以集成电路技术实现的情况中也认为是相当不适用的。

本发明的目的为避免上述事实及以简单方式提供改进的数据运载器及用于数据运载器的改进的电路，它们具有最少装置的支持及最少费用。

按照本发明，为了达到上述目的，在第一段中所定义的类型的数据运载器中，将数据传送装置构成为执行逻辑“或”功能，并根据这一构造，使数据传送装置适合于将在它们的第一数据输入装置及第二数据输入装置上同时接收的数据同时传送到它们的数据输出装置上并从而到数据处理装置上。数据运载器的这一构造具有数据传送装置能以非常简单因此低成本电路实现的极大优点。此外，这种构造进一步具有不需要而能省掉用于数据传送装置的独立控制特征的极大优点，

为了实现尽可能简单的电路，这也是非常有利的。有了按照本发明的构造，可能出现实际上非常少见的情况 - 这时同时激活接点连接模式与无接点模式，这是实际上极少出现的 - 即出现通过接点连接接口装置及通过无接点接口装置接收的数据，它们构成不能使用的数据混合物。然而，实际上这并不存在实际问题，因为如果出现这种不能使用的数据混合物，数据处理装置能检测出这种不能使用的数据混合物的存在而能禁止进一步处理这一数据混合物。

在按照本发明的数据运载器中，数据传送装置基本上能用两个二极管构成，这两个二极管例如将它们的正极连接在数据传送装置的数据输出装置上及将它们的负极互相连接并连接在数据传送装置的数据输入装置上。然而，在按照本发明的数据运载器中，如果数据传送装置是用“或”门构成，则已证实为特别有利。由于在“或”门的情况中在数据传送装置的数据输出装置上总是可获得全电平的结果，与二极管相比这一“或”门具有无电压损失发生的优点。

在按照本发明的数据运载器中，如果此外数据处理装置包含用于输出要在接点连接模式及无接点模式中输出的数据的数据输出装置，接点连接接口装置包含用于接收要在接点连接模式中输出的数据的接点连接数据输入装置，无接点接口装置包含用于接收要在无接点模式中输出的数据的无接点数据输入装置，数据处理装置的数据输出装置及接点连接接口装置的接点连接数据输入装置及无接点接口装置的无接点数据输入装置是互相电连接的，则进一步证实是有利的。鉴于特别简单的电路设计，这是非常有利的。应指出本段落中所定义的措施也能有利地应用在按照用“或”门作为数据传送装置的本发明的数据运载器上。

对于按照本发明的数据运载器，如果此外已设置了装置，它在接点连接模式不活跃时导致将接点连接接口装置的接点连接数据输出装置设定为对应于逻辑零的状态，以及已设置了另一装置，它在无接点模式下不活跃时导致将无接点接口装置的无接点数据输出装置类似地设定为对应于逻辑零的状态，则也已证实是有利的。鉴于无二义性定义的开关状态及由此得出的无故障操作，这是有利的。

在按照本发明的数据运载器上，如果此外已设置了检测装置，它能检测已激活了接点连接模式及无接点模式两者，及它在检测到接点

连接模式与无接点模式两者都已激活时，能导致禁止数据处理装置处理通过它们的数据输入装置作用在所述数据处理装置上的数据，则已进一步证实为有利的。鉴于按照本发明的数据运载器的可靠与无故障的性能，这是有利的。

- 5 在按照本发明的数据运载器中，如果此外检测装置是用时钟信号检测装置构成的，它能检测在接点连接模式激活时出现的接点连接时钟信号的存在及在无接点模式激活时出现的无接点时钟信号的存在，则已证实为特别有利的。实践中，已证实这一实施例特别有效与有利，因为时钟信号允许非常清楚与无二义性地检测在按照本发明的数据运
- 10 载器中已激活接点连接模式还是无接点模式。

按照本发明，为了达到上述目的，第二段中所定义的地类型的电路的特征在于该数据传送装置构成为执行逻辑“或”功能，并且根据这一构造，数据传送装置适合于将在它们的第一数据输入装置与第二数据输入装置上同时接收的数据同时传送到它们的数据输出装置及从而

15 到数据处理装置上。以这一方式，对于按照本发明的电路能获得的优点对应于此此前所描述的按照本发明的数据运载器的优点。

按照本发明的电路的变型，它们产生的优点对应于按照本发明的数据运载器的有利变型的上面所描述的优点。

- 从下面以示例方式描述并参照本实施例阐明的实施例中，本发明的
- 20 上述方面及其它方面将是显而易见的。

下面参照图中所示并以示例方式给出的两个实施例描述本发明，但本发明不限于此。

图 1 为示出按照本发明的第一实施例的数据运载器及用于该数据运载器的电路的相关部分的方框图形式的图形表示。

- 25 图 2 示出按照本发明的第二实施例的数据运载器及用于该数据运载器的电路的这里用两个二极管构成的数据传送装置。

图 3 以图形表示示出按照本发明的第三实施例的数据运载器及用于该数据运载器的电路，但比图 1 中更详细，现在该数据传送装置是用“或”门实现的。

- 30 图 1 为示出按照本发明的第一实施例的数据运载器 1 及用于数据运载器 1 的电路 2 的一部分的方框图形式的图形表示。在本例中，数据运载器 1 为所谓的组合卡 (combi-card)。电路 2 采用集成电路形

式。

该数据运载器 1 及其电路 2 能在所谓接点连接模式及所谓无接点模式中工作。为此目的，数据运载器 1 包含接点连接接口装置 3 及无接点接口装置 4。

- 5 接点连接接口装置 3 包含总共由 8 个接点 6、7、8、9、10、11、12 与 13 构成的接点阵列 5，通过这 8 个接点，数据运载器 1 在其接点连接模式中时能以接点连接方式与适用于这一目的的对应地构成的写/读设备协作。接点连接接口装置 3 还包含如图 1 中示意性地所示通过线路 15 连接在接点阵列 5 的接点上的接点连接信号部件 14。当接点连接模式活跃时有可能通过接点连接接口装置 3 接收数据，该数据能在接点连接信号部件 14 中进行处理并能从接点连接信号部件 14 传输到接点连接接口装置 3 的接点连接数据输出装置 16，该输出装置的作用是在接点连接模式活跃时输出所接收的数据。在本例中，接点连接数据输出装置 16 是由信号数据输出接点构成的，通过它有可能用接点连接信号部件 14 传送以串行形式提供的数据。然而，作为替代，可将接点连接信号部件 14 构成为用该部件以并行形式提供该数据的方式处理从接点阵列 5 接收的数据，在这一情况中接点连接接口装置的接点连接数据输出装置包括多个数据输出接点。

- 20 接点连接接口装置 3 还包含用于在数据运载器 1 在接点连接模式中活跃时接收提供的数据的接点连接数据输入装置 17。在本例中，这些接点连接数据输入装置 17 还包括能通过其以串行方式将数据传送给接点连接接口装置 3 的接点连接信号部件 14 的单个数据输入接点。

- 25 无接点接口装置 4 包含传输线圈 18，通过它能以感应，即无接点，方式从适用于这一目的的对应地构成的写/读设备接收数据，并通过它能在相反方向上以感应即无接点方式将数据运载器 1 提供的数据传送给发射/接收设备。无接点接口装置 4 还包含连接在传输线圈 18 上的无接点信号部件 19。利用无接点信号部件 19 能再生传输线圈 18 接收的数据并能将传输线圈 18 要传输的数据准备好供传输。从而有可能在无接点模式中通过无接点接口装置 4 接收数据，并在用无接点信号部件 19 处理与再生它们之后将它们传送到无接点接口装置 4 的无接点数据输出装置 20，后者用于在无接点模式活跃时输出所接收的数据，在本例中，无接点数据输出装置 20 只包括一个信号数据输出接点。应指

出，类似于接点连接数据输出装置 16，无接点数据输出装置在需要时也可包括多个数据输出接点。

无接点接口装置 4 还包括在无接点模式活跃时用于接收提供的数据的无接点数据输入装置 21。在本例中，无接点接口装置 4 的无接点数据输入装置 21 也只包括单个数据输入接点。

数据运载器 1 及其电路 2 还包含数据处理装置 22。数据处理装置 22 用于处理在接点连接模式活跃时及无接点模式活跃时接收的数据及用于处理在接点连接模式活跃时及无接点模式活跃时要提供，即要传输的数据。数据处理装置 22 包含用于接收在接点连接模式及无接点模式中所接收的数据的数据输入装置 23。在本例中，数据输入装置 23 只包括单个数据输入接点。数据处理装置 22 还拥有用于输出在接点连接模式及无接点模式中提供的数据的数据输出装置 24。在本例中数据输出装置 24 也只包括单个数据输出接点。

数据处理装置 22 通过总线 25 连接在存储装置 26 上。存储装置 26 是由所谓 EEPROM 构成的。然而，作为替代也可用所谓 RAM 构成存储装置 26，然而在该情况中 RAM 应不间断地接受电源电压。存储装置 26 能存储数据运载器 1 接收的及数据处理装置 22 处理的数据。此外，数据处理装置 22 可通过总线 25 从存储装置 26 中读出存储在存储装置 26 中的数据，以便在接点连接模式活跃时通过接点连接接口装置 3 传送给读/写设备，及在无接点模式活跃时通过无接点接口装置 4 传送给发射/接收设备。

数据运载器 1 及其电路 2 还包含数据传送装置 27。数据传送装置 27 包括第一数据输入装置 28、第二数据输入装置 29 及数据输出装置 30。第一数据输入装置 28 连接在接点连接接口装置 3 的接点连接数据输出装置 16 上。第二数据输入装置 29 连接在无接点接口装置 4 的无接点数据输出装置 20 上。数据输出装置 30 连接在数据处理装置 22 的数据输入装置 23 上。数据传送装置 27 能够将在接点连接模式中接收并作用在第一数据输入装置 28 上的数据及在无接点模式中接收并作用在第二数据输入装置 29 上的数据通过数据输出装置 30 传送给数据处理装置 22。数据传送装置 27 的构造保证在数据传送装置 27 中禁止从数据输入装置 28 传送接收的数据或者传送所接收的数据到其它数据输入装置 29 或 28。

在图 1 中所示的数据运载器 1 中, 数据传送装置 27 是有利地按照逻辑“或”功能构成的。数据传送装置 27 的这一构造允许数据传送装置 27 将这些数据传送装置的第一数据输入装置 28 与第二数据输入装置 29 同时接收的数据同时传送给数据输出装置 30 并从而给数据处理装置 22。

数据运载器 1 及其电路 2 具有数据传送装置 27 能作为非常简单并从而低成本的电路实现的极大优点。这一构造还具有不需要用于数据传送装置 27 的独立控制装置的极大优点, 这对于简单的电路设计也非常有利。

图 2 只示出按照本发明的第二实施例的数据运载器的数据传送装置 27 及这一数据运载器的电路。从图 2 中显而易见, 数据传送装置 27 包括第一二极管 98 及第二二极管 99。第一二极管 98 配置在第一数据输入装置 28 与数据输出装置 30 之间, 第一二极管 98 将其正极电连接在第一数据输入装置 28 及其负极连接在数据输出装置 30 上。第二二极管 99 配置在第二数据输入装置 29 与数据输出装置 30 之间, 第二二极管 99 将其正极电连接在第二数据输入装置 29 上及其负极连接在数据输出装置 30 上。

应指出在按照本发明的第二实施例的数据运载器及按照本发明的第二实施例的电路中, 在两个二极管 98 与 99 后面, 应采取步骤允许放电出现在电路部件中的寄生电容 - 它在两个二极管 98 与 99 后面并最终由后面的数据处理装置 22 输入电路部件构成 - 它可通过两个二极管 98 与 99 充电。为了放电这些寄生电容, 可跨越数据传送装置 27 的数据输出装置 30 设置也称作下拉电阻器的独立接地电阻器, 该电阻器可具有例如在 $10\text{k}\Omega$ 与 $100\text{k}\Omega$ 范围内的电阻值。

图 3 示出按照本发明的第三实施例的又一数据运载器 1 及该数据运载器 1 的电路 2。关于图 3 的数据运载器 1, 除了参考图 1 的数据运载器 1 的说明之外, 要提出以下内容。

从图 3 中可见, 接点阵列 5 的接点 9 用于施加电源电位 VCC 在数据运载器 1 上。接点 13 用于施加地电位。接点 7 用于施加接点连接时钟信号 KB-CLK, 在本例中它具有大约 5.0MHz 的频率。接点阵列 5 的接点 11 构成可通过其以串行形式传送数据的数据输入/输出接口 (I/O)。

图 3 的数据运载器 1 中的接点连接信号部件 14 包含信号调节电路 31 及第一时钟信号处理电路 32。

信号调节电路 31 的一侧通过双向线路 33 连接在接点阵列 5 的接点 11 上，其另一侧通过单向线路 34 连接在接点连接数据输出装置 16 上及通过另一单向线路 35 连接在接点连接数据输入装置 17 上。利用信号调节电路 11 能处理通过接点阵列 5 的接点 11 接收的数据信号及通过双向线路 33 作用在它上面的数据信号，以便将经过处理的数据信号作用在接点连接数据输出装置 16 上，并能调节作用在接点连接数据输入装置 17 上的数据信号以便将其通过双向线路 33 作用在接点阵列的接点 11 上。

第一时钟信号处理电路 32 用于处理作用在第一时钟信号处理电路 32 的输入端 36 上的接点连接时钟信号 KB-CLK。利用时钟信号处理电路 32 再生作用在其上的接点连接时钟信号 KB-CLK 并将其作为再生的第一时钟信号 CLK1 作用在第一时钟信号处理电路 32 的第一输出端 37 上。第一时钟信号 CLK1 也具有 5.0MHz 的频率。第一时钟信号处理电路 32 从作用在它上面的接点连接时钟信号 KB-CLK 进一步导出第二时钟信号 CLK2，该第二时钟信号具有 9.6KHz 的频率并提供给第一时钟信号处理电路 32 的第二输出端 38。

对于图 3 的数据运载器 1，应指出该无接点信号部件 19 包含模拟信号部件 39 与解码级 40、编码级 41 及两个时钟信号处理电路 42。

以本质上已知的方式，模拟信号部件 39 包含电源电位生成级 43、时钟信号再生级 44、解调器级 45 及调制器级 46。所述四级 43、44、45 与 46 各以未示出的方式连接在传输线圈 18 上。

利用电源电位生成级 43，能从用传输线圈 18 接收的信号中导出电源电位 VDD。利用电源电位 VDD 能供电给在无接点模式中所需要的数据运载器 1 的电路 2 的所有电路级，例如对所示的解码级 40，可通过电源电位输入端 47 作用电源电位 VDD。

应指出，能通过接点阵列 5 的接点 9 作用在数据运载器 1 上的电源电位 VCC 用于供电给在接点连接模式中所需的数据运载器 1 的所有电路部件。结果，可将电源电位 VCC 作用在执行接点连接模式所需的所有电路部件上，如用示例方式所示，对于信号调节电路 31，电源电位 VCC 能通过电源电位输入端 48 作用在其上。

利用时钟信号再生级 44, 可从用传输线圈 18 接收的信号中导出包含在其中的无接点时钟信号 KL - CLK, 在本例中该时钟信号具有 13.56MHz 的频率。在本例中, 时钟信号再生级 44 从接收的无接点时钟信号 KL - CLK 中导出第三时钟信号 CLK3, 可将该第三时钟信号作用在
5 时钟信号处理电路 42 的输入端 49 上。第二时钟信号处理电路 42 将第三时钟信号 CLK3 基本上无任何改变及以 3.39MHz 的频率传送给第一输出端 50。第二时钟信号处理电路 42 从作用在它上面的第三时钟信号 CLK3 中导出两个进一步的时钟信号, 即具有 800KHz 的频率的第四时钟信号 CLK4 与具有 106KHz 频率的第五时钟信号 CLK5。第二时钟信号处
10 理电路 42 将第四时钟信号 CLK4 提供给第二输出端 51 并将第五时钟信号 CLK5 提供给第三输出端 52。

模拟信号部件 39 的解调器级 45 用于解调用传输线圈 18 接收的数据信号。可通过单向线路 53 将解调器级 45 所提供的经过解调的数据信号作用在解码级 40 的输入端 54 上。此外, 可将第五时钟信号 CLK5
15 作用在解码级 40 的另一输入端 55 上。利用适当的解码过程, 解码级 40 能将数据信号 - 它包含诸如 Miller 码等给定线路码的数据 - 解码成简单的数据格式, 即一表示逻辑零或逻辑一的位的序列。可通过解码级 40 的输出端 56 将解码的数据作用在无接点数据输出装置 20 上。对于解码级 40 应指出, 这一级只在检测到有意义的编码数据作用在输入端 54
20 上时才提供数据。

无接点信号部件 19 包含类似于解码级 40 的编码级 41, 它具有连接在无接点数据输入装置 21 上的输入端 27, 通过该输入端能将数据作用在编码级 41 上。此外, 可通过另一输入端 97 将第四时钟信号 CLK4 作用在编码级 41 上。要输出的数据可用编码级 41 编码。编码数据是
25 从编码级 41 传送到输出端 58 上并通过单向线路 59 作用在模拟信号部件 39 的调制器级 46 上的。随后, 调制器级 46 实行允许传送到发射/接收设备的调制过程。调制过程可以是诸如所谓负载调制。

图 3 的数据运载器 1 及其电路 2 包含时钟信号检测装置 60, 用它检测在接点连接模式中出现的接点连接时钟信号 KB - CLK 的存在及在
30 无接点模式中出现的无接点时钟信号 KL - CLK 的存在。为此目的, 通过线路 61 将接点连接时钟信号 KB - CLK 从接点阵列 5 的接点 7 作用在时钟信号检测装置 60 的第一输入端 62 上。此外, 通过另一线路 63 将

对应于无接点时钟信号 KL-CLK 的第三时钟信号 CLK3 作用在时钟信号检测装置 60 的第二输入端 64 上。

时钟信号检测装置 60 使之有可能检测是否在各异的输入端 62 或 64 上出现时钟信号 KB-CLK 或 CLK3, 并且还检测是否同时在两个输入端 5 62 与 64 上出现时钟信号 KB-CLK 与 CLK3, 即已激活了接点连接模式及无接点模式两者, 因为只有在上述情况中两个时钟信号 KB-CLK 与 CLK3 才出现在时钟信号检测装置 60 的两个输入端 62 与 64 上。从而, 时钟信号检测装置 60 构成有可能用它来检测已激活接点连接模式与无接点模式两者的附加检测装置。

10 当时钟信号检测装置 60 在它们的输入端 62 上检测到接点连接时钟信号 KB-CLK 的存在时, 时钟信号检测装置 60 在第一输出端 65 上生成接点连接控制信息 KBSI。当时钟信号检测装置 60 在它们的第二输入端 64 上检测到第三时钟信号 CLK3 的存在时, 时钟信号检测装置在它们的第一输出端 65 上生成无接点控制信息 KLSI。当时钟信号检测装置 15 60 在它们的两个输入端 62 与 64 上检测到两个时钟信号 KB-CLK 与 KB-CLK3 的同时存在时, 时钟信号检测装置 60 也在它们的输出端 65 上生成接点连接控制信息 KBSI, 这意味着在这一情况中接点连接模式具有所谓的主功能, 而时钟信号检测装置 60 在第二输出端 66 上生成禁止信息 BI。

20 时钟信号开关设备 68 的控制输入端 67 连接在时钟信号检测装置 60 的第一输出端 65 上。时钟信号开关设备 68 具有第一时钟信号输入端 69、第二时钟信号输入端 70 及时钟信号输出端 71。第一时钟信号输入端 69 连接在第一时钟信号处理电路 32 的输出端 38 上, 作为其结果, 可将具有 9.6KHz 频率的第二时钟信号 CLK2 作用在第一时钟信号输入端 25 69 上, 该频率对应于接点连接模式中的数据传输率。第二时钟信号输入端 70 连接在第二时钟信号处理电路 42 的第三输出端 52 上, 作为其结果, 可将第五时钟信号 CLK5 作用在第二时钟信号输入端 70 上, 第五时钟信号具有 106KHz 的频率, 它对应于无接点模式中的数据传输率。

30 当接点连接控制信息 KBSI 作用在时钟信号开关设备 68 上时, 时钟信号开关设备 68 提供从第一时钟信号输入端 69 到时钟信号输出端 71 的连接。当无接点控制信息 KLSI 作用在时钟信号开关设备 68 上时,

时钟信号开关设备 68 提供从第二时钟信号输入端 70 到时钟信号输出端 71 的连接。从而，在时钟信号输出端 71 上总是可得到瞬时活跃模式中所需的时钟信号。

对于接点连接接口装置 3 的接点连接信号部件 14 中的信号调节电路 31，还应指出，信号调节电路 31 保证如果在其电源电位输入端 48 上无电源电位 VCC 出现，便将对应于逻辑零的电位作用在单向线路 34 上，作为其结果，将接点连接接口装置 3 的接点连接数据输出装置 16 设定为对应于逻辑零的状态。从而，信号调节电路 31 构成在没有电源电位 VCC，即接点连接模式处于不活跃时保证将接点连接接口装置 3 的接点连接数据输出装置 16 设定为对应于逻辑零的状态的装置。

此外，关于无接点信号部件 19 中的解码级 40，应指出，如果没有电源电位 VDD 作用在其电源电位输入端 47 上，解码级 40 在其输出端 56 上生成对应于逻辑零的电位，作为其结果，其输出装置连接在输出端 56 上的无接点接口装置 4 的无接点数据输出装置 20 也设定为对应于逻辑零的状态。从而，解码级 40 进一步构成在没有电源电位 VDD，即在不接点模式不活跃时保证也将无接点接口装置 4 的无接点数据输出装置 20 设定为对应于逻辑零的状态的装置。

图 3 的数据运载器 1 及数据运载器 1 的电路 2 还包括数据传送装置 27。数据传送装置 27 是用“或”门 72 以特别简单与有利的方式构成的。这时，数据传送装置 27 的数据输入装置 28 及数据输入装置 29 对应于“或”门 72 的两个输入端而数据传送装置 27 的数据输出装置 30 对应于“或”门 72 的输出端。用作数据传送装置 27 的这一“或”门 72 的特别优点是在其输入端与输出端之间基本上不存在电压损失，作为其结果，在其输出端上永远可获得全电压振幅。当接点连接模式不活跃时，数据传送装置 27 的第一数据输入装置 28 是在对应于逻辑零的电位上。当无接点模式不活跃时，数据传送装置 27 的第二数据输入装置 29 是在对应于逻辑零的电位上。

由于它构成为执行逻辑“或”功能，“或”门 72 能以下述方式将在第一数据输入装置 28 上接收的数据及在第二数据输入装置 29 上接收的数据传送给数据输出装置 30，即如果分别出现上述数据，则分别传送所述数据，及如果同时出现所述数据则同时将它们传送给数据输出装置 30 并从而到数据处理装置 22。

在本例中，数据处理装置 22 包括具有数据输入端 74、时钟信号输入端 75 及数据输出端 76 的所谓同步触发器 73。数据输入端 74 连接在数据处理装置 22 的数据输入装置 23 上。时钟信号输入端 75 通过时钟信号线 77 连接在时钟信号开关设备 68 的时钟信号输出端 71 上，作为其结果，同步触发器 73 总是通过时钟信号输入端 75 接收活跃模式中所需的时钟信号 CLK2 或 CLK5。同步触发器 73 用于相对于各自的时钟信号 CLK2 或 CLK5 同步作用在数据输入端 74 上的数据。从同步触发器 73 的输出端 76 将同步的数据作用在数据调节装置 79 的输入端 78 上，这是以串行方式实行的。数据调节装置 79 基本上包括通用同步发射/接收单元，它除了其它功能以外尤其起动串行方式与并行方式之间的数据转换，并且它包含能检测数据传输错误的检错装置，及还包含允许将数据嵌入所要求的数据中的装置。在本例中，数据调节装置 79 是以硬件形式实现的。然而它们也能以软件形式实现。

除了数据输入端 78，数据调节装置 79 还具有连接在数据处理装置 22 的数据输出装置 24 上的数据输出端 80。此外，数据调节装置 79 具有能通过它作用第一时钟信号 (CLK1) 的第一时钟信号输入端 81，能取决于激活的模式通过它作用第三时钟信号 CLK3 的第二时钟信号输入端 82 及能取决于激活的模式通过它作用通过时钟信号线 77 来自时钟信号开关设备 68 的时钟信号输出端的第二时钟信号 CLK2 或第五时钟信号 CLK5 之一的第三时钟信号输入端 83。

数据调节装置 79 包含由多个寄存器构成的寄存器装置 84。

数据处理装置 22 还包含微处理器 85。微处理器 85 通过总线 86 连接在寄存器装置 84 上，使微处理器 85 能读出与读入寄存器装置。

微处理器 85 还具有第一时钟信号输入端 87 及第二时钟信号输入端 88。第一时钟信号 CLK1 能通过第一时钟信号输入端 87 作用在微处理器 85 上。第三时钟信号 CLK3 能通过第二时钟信号输入端 88 作用在微处理器 85 上。

微处理器 85 通过构成总线 25 的一部分的总线 89 连接在存储装置 26 上。在微处理器 85 的协助下数据能通过总线 89 加载到存储装置 26 中，即数据运载器 1 以接点连接模式或无接点模式接收的数据。

存储装置 26 通过也构成总线 25 的一部分的另一总线 90 连接在数据调节装置 79 上。利用这另一总线 90 在受微处理器 85 控制的数据调

节装置 79 的协助下能从存储装置 26 中读取数据, 读出数据之后由数据运载器 1 在接点连接模式或无接点模式中输出它们。

5 当在接点连接模式中时, 数据运载器 1 通过接点阵列 5 的接点 11 接收数据并通过双向线路 33、信号调节电路 31、单向线路 34 及接点连接数据输出装置 16 将这样接收的数据作用在数据传送装置 27 的第一数据输入装置 28 上。数据传送装置 27 将作用的数据传送到它们的数据输出装置 30 并从而到数据处理装置 22, 后者保证在同步触发器 73、数据调节装置 79 及微处理器 85 的协助下将接收的数据存储在存储装置 26 中。

10 类似地, 将在数据运载器 1 的无接点模式中接收的数据 - 即用传输线圈 18 在无接点方式中接收并用解码级 40 解码的 - 通过所述级的输出端 56 从解码级 40 作用在数据传送装置 27 的第二数据输入装置 29 上。在本例中, 数据传送装置 27 还保证无故障地将作用的数据传送到数据输出装置 30 并从而到数据处理装置 22, 后者以类似的方式保证将接收的数据加载到存储装置 26 中。

20 当在图 3 的数据运载器 1 中接点连接模式与无接点模式都激活并将接收的数据作用在数据传送装置 27 的第一数据输入装置 28 及第二数据输入装置 29 两者上时, 数据传送装置 27 将同时接收的数据同时传送给数据输出装置 30, 作为其结果, 将基本上构成无意义及无用的数据混合物的同时传送的数据引导到数据处理装置 22 并最终到数据调节装置 79。在本例中, 时钟信号检测装置 60 检测到分别在其输入端 62 与 64 上同时出现时钟信号 KB-CLK 及时钟信号 CLK3, 作为结果, 时钟信号检测装置在其第二输出端 66 上生成禁止信息 BI。禁止信息 BI 通过线路 91 作用在数据调节装置 79 的控制输入端 92 上。在数据调节装置 79 中禁止信息 BI 禁止处理作用在数据处理装置 22 上及从而通过数据输入装置 23 到数据调节装置 79 上的数据, 即在本例中无意义与无用的数据混合物。这意味着在检测到接点连接模式与无接点模式都已激活时, 时钟信号检测装置 60 能导致禁止处理数据处理装置 22 通过其数据输入装置 23 作用的数据。

30 应指出数据处理装置 22 的数据输出装置 24 与接点连接接口装置 3 的接点连接数据输入装置 17 与无接点接口装置 4 的无接点数据输入装置 21 是互相电连接的。对于简单的电路设计这特别有利。然而, 用图

1 中所示的数据运载器 1 也能获得这一优点。

在激活接点连接模式时及在激活无接点模式时都能在微处理器 85 控制下的数据调节装置 79 的协助下从存储装置 26 中读取存储在存储装置 26 中并要由数据运载器 1 输出的数据。该数据能通过数据调节装置 79 的数据输出端 80 及数据处理装置 22 的数据输出装置 24 作用在接点连接接口装置 3 的数据输入装置 17 及无接点接口装置 4 的数据输入装置 21 上。从而，如果数据载体 1 输出数据，输出的数据是由接点阵列 5 的接点 11 及传输线圈 18 两者作用的，这完全没有任何缺点。

本发明不限于此前用示例方式描述的实施例。应指出，构成为执行逻辑“或”功能的数据传送装置也能用本质上更复杂的电路设计的电路实现。

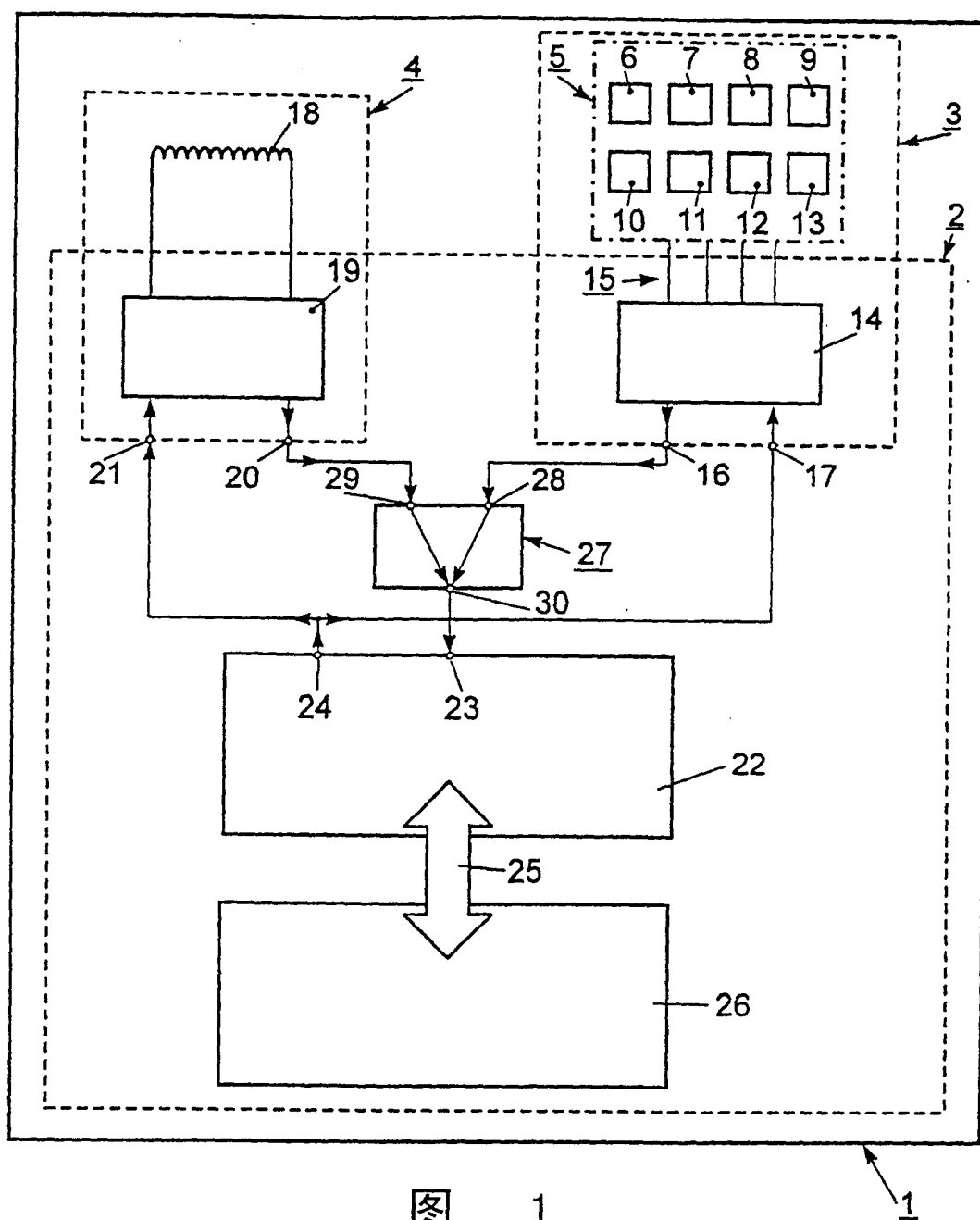


图 1

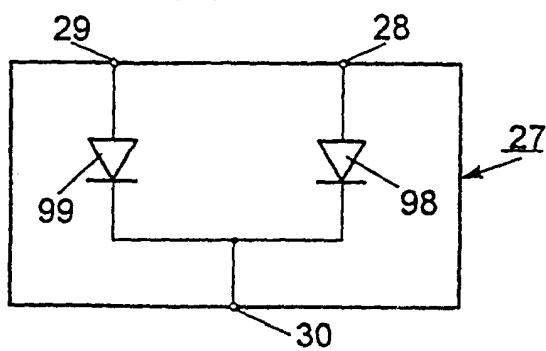


图 2

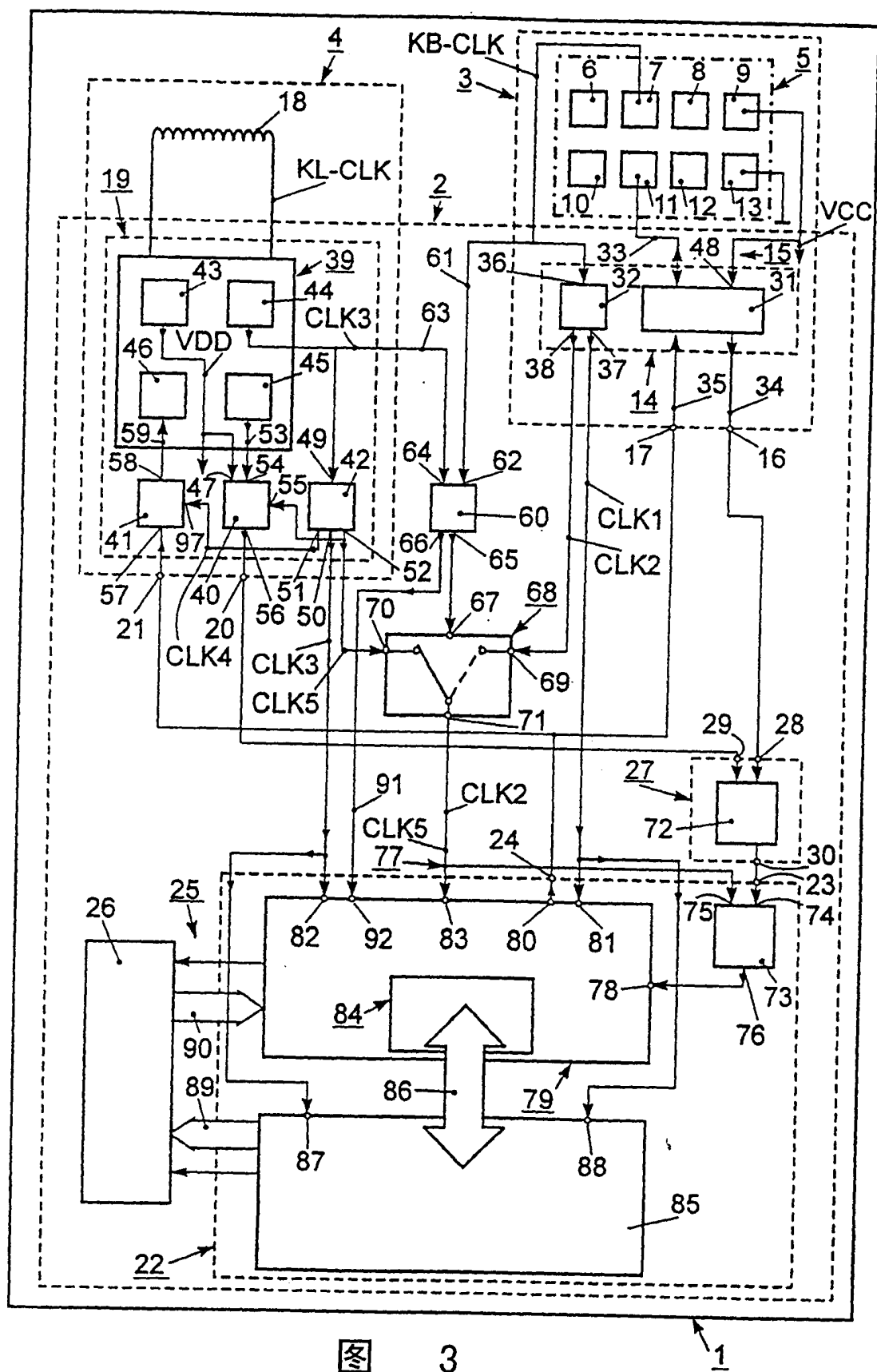


图 3