

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月23日(23.07.2020)



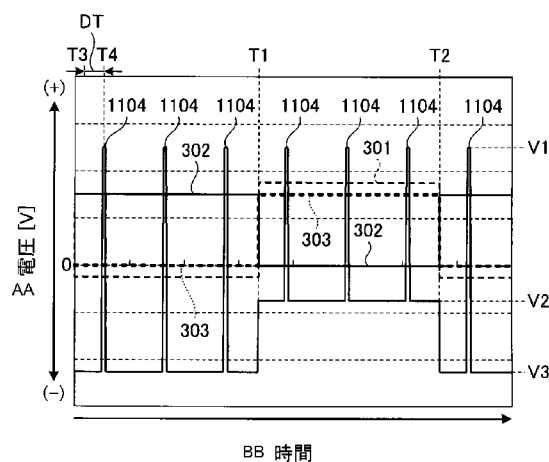
(10) 国際公開番号

WO 2020/149000 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) *G09G 3/36* (2006.01)
G09G 3/34 (2006.01) *G02F 1/133* (2006.01)
- (21) 国際出願番号: PCT/JP2019/045324
- (22) 国際出願日: 2019年11月19日(19.11.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-006365 2019年1月17日(17.01.2019) JP
- (71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 富谷 央 (TOMITANI, Hisashi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



AA Voltage
BB Time

(57) **Abstract:** A display device comprising: a liquid crystal panel in which liquid crystal is sealed in between two substrates facing each other; two electrodes provided in the liquid crystal display panel and given a potential difference for controlling liquid crystal alignment; a switching element one of the source and drain of which is connected to one of the two electrodes; a scan line connected to the gate of the switching element and given a potential for opening/closing between the source and drain of the switching element; a signal line connected to the other of the source and drain; a

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

reversion drive unit for reversing the relative levels of the potential of one of the two electrodes and the potential of the other of the two electrodes on a prescribed cycle; and a scan circuit for applying one of a first, a second, and a third potential to the scan line.

(57) 要約：表示装置は、対向する2枚の基板の間に液晶が封入された液晶表示パネルと、液晶表示パネルに設けられて液晶の配向を制御するための電位差が与えられる2つの電極と、ソース又はドレインの一方が2つの電極の一方と接続されるスイッチング素子と、スイッチング素子のゲートと接続されてスイッチング素子のソースドレイン間を開閉するための電位が与えられる走査線と、ソース又はドレインの他方が接続される信号線と、2つの電極の一方の電位と2つの電極の他方の電位との相対的な電位の高低を所定周期で反転させる反転駆動部と、走査線に第1電位、第2電位又は第3電位のいずれかを与える走査回路とを備える。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 同一画素から複数色の光をそれぞれ異なるタイミングで透過させるように画素を制御する液晶表示装置が知られている（例えば、特許文献１）。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１０－０９７４２０号公報

発明の概要

発明が解決しようとする課題

[0004] 液晶表示装置では、液晶に直流電流が流れると液晶の寿命の短縮化やフリッカの発生等の問題が生じる。このため、当該直流電流をできるだけ抑制できるように、液晶を挟んで対向する２つの電極間の電位差を調整する方法が求められている。

[0005] 本発明は、上記の課題に鑑みてなされたもので、より高画質で、液晶を流れる直流電流に起因する寿命の短縮化を抑制できる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様による表示装置は、対向する２枚の基板の間に液晶が封入された液晶表示パネルと、前記液晶表示パネルに設けられて前記液晶の配向を制御するための電位差が与えられる２つの電極と、ソース又はドレインの一方が前記２つの電極の一方と接続されるスイッチング素子と、前記スイッチング素子のゲートと接続されて前記スイッチング素子のソースドレイン間を開閉するための電位が与えられる走査線と、前記ソース又は前記ドレインの他方と接続される信号線と、前記２つの電極の一方の電位と前記２つの

電極の他方の電位との相対的な電位の高低を所定周期で反転させる反転駆動部と、前記走査線に第 1 電位、第 2 電位又は第 3 電位のいずれかを与える走査回路とを備え、前記第 1 電位は、前記ソースドレイン間を開通する電位であり、前記第 2 電位は、前記ソースドレイン間を閉鎖する電位であり、前記第 3 電位は、前記ソースドレイン間を閉鎖する電位であって前記第 2 電位よりも低い電位であり、前記所定周期内に前記ソースドレイン間が複数回開閉され、前記走査回路は、前記ソースドレイン間を閉鎖する期間内、前記 2 つの電極の他方が一方よりも相対的に低電位にされるタイミングで前記走査線の電位を前記第 2 電位から前記第 3 電位に切り替える。

図面の簡単な説明

[0007] [図1]図 1 は、表示装置の主要構成を示す模式的な回路図である。

[図2]図 2 は、液晶表示パネルの概略断面図である。

[図3]図 3 は、フィールドシーケンシャル制御の流れの一例を示すタイミングチャートである。

[図4]図 4 は、スイッチング素子のトランジスタ特性の一例を示すグラフである。

[図5]図 5 は、比較例による液晶表示パネルの画素駆動に係る走査において最後に書込期間になる画素の行の駆動波形を示すタイミングチャートである。

[図6]図 6 は、図 5 で示す駆動波形が与えられる画素の画素電極に与えられる電位の遷移を示すタイミングチャートである。

[図7]図 7 は、図 6 に示す電位から VCOM 駆動信号を差し引いた電位を示すタイミングチャートである。

[図8]図 8 は、実施形態 1 の表示装置の走査において最初に書込期間になる画素の行の駆動波形を示すタイミングチャートである。

[図9]図 9 は、実施形態 1 の表示装置の走査において最後に書込期間になる画素の行の駆動波形を示すタイミングチャートである。

[図10]図 10 は、図 8 で示す駆動波形が与えられる画素の画素電極に与えられる電位の遷移を示すタイミングチャートである。

[図11]図 1 1 は、図 9 で示す駆動波形が与えられる画素の画素電極に与えられる電位の遷移を示すタイミングチャートである。

[図12]図 1 2 は、図 1 0 に示す電位から VCOM 駆動信号を差し引いた電位を示すタイミングチャートである。

[図13]図 1 3 は、図 1 1 に示す電位から VCOM 駆動信号を差し引いた電位を示すタイミングチャートである。

[図14]図 1 4 は、実施形態 2 の走査において最初に書込期間になる画素の行の駆動波形を示すタイミングチャートである。

[図15]図 1 5 は、実施形態 2 の走査において最後に書込期間になる画素の行の駆動波形を示すタイミングチャートである。

[図16]図 1 6 は、図 1 4 で示す駆動波形が与えられる画素の画素電極に与えられる電位の遷移を示すタイミングチャートである。

[図17]図 1 7 は、図 1 5 で示す駆動波形が与えられる画素の画素電極に与えられる電位の遷移を示すタイミングチャートである。

[図18]図 1 8 は、図 1 6 に示す電位から VCOM 駆動信号を差し引いた電位を示すタイミングチャートである。

[図19]図 1 9 は、図 1 7 に示す電位から VCOM 駆動信号を差し引いた電位を示すタイミングチャートである。

[図20]図 2 0 は、光源装置の構成例を示す模式図である。

発明を実施するための形態

[0008] 以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] (実施形態1)

図1は、表示装置100の主要構成を示す模式的な回路図である。表示装置100は、液晶表示パネルPと、光源装置Lとを備える。液晶表示パネルPは、表示部7と、信号出力回路8と、走査回路9と、VCOM駆動回路10と、タイミングコントローラ13と、電源回路14とを備える。以下、表示部7が面する液晶表示パネルPの一面を表示面とし、他面を背面とする。

[0010] 表示部7には、複数の画素P_ixがマトリクス状に配置されている。画素P_ixは、スイッチング素子1と、2つの電極とを含む。図1及び後述する図2では、2つの電極として、画素電極2と、共通電極6とを図示している。

[0011] 図2は、液晶表示パネルPの概略断面図である。液晶表示パネルPは、対向する2枚の基板と、当該2枚の基板の間に封入された液晶3を有する。以下、当該2枚の基板の一方を第1基板30とし、他方を第2基板20とする。

[0012] 第1基板30は、透光性のガラス基板35と、ガラス基板35の第2基板20側に積層された画素電極2と、画素電極2を覆うように第2基板20側に積層された絶縁層55とを含む。画素電極2は、画素P_ix毎に個別に設けられる。第2基板20は、透光性のガラス基板21と、ガラス基板21の第1基板30側に積層された共通電極6と、共通電極6を覆うように第1基板30側に積層された絶縁層56とを含む。共通電極6は、複数の画素P_ixで共有される板状又は膜状の形状を有する。

[0013] 実施形態1の液晶3は、高分子分散型液晶である。具体的には、液晶3は、バルク51と、微粒子52とを含む。微粒子52は、バルク51内で画素電極2と共通電極6との電位差に応じて配向が変化する。画素P_ix毎に画素電極2の電位が個別に制御されることで、画素P_ix毎に少なくとも透光及び分散のいずれかの度合いが制御される。

[0014] 図2を参照して説明した実施形態1では、画素電極2と共通電極6は、液晶3を挟むように対向するが、液晶表示パネルPは、1つの基板に画素電極

2と共通電極6が設けられて画素電極2と共通電極6によって発生する電界によって液晶3の配向が制御される構成であってもよい。また、液晶3は高分子分散型液晶以外の液晶でもよい。

[0015] 次に、画素電極2及び共通電極6の電位を制御する仕組みについて説明する。図1に示すようにスイッチング素子1は、例えば薄膜トランジスタ（TFT:Thin Film Transistor）等、半導体を用いたスイッチング素子である。スイッチング素子1のソース又はドレインの一方は、2つの電極の一方（画素電極2）と接続される。スイッチング素子1のソース又はドレインの他方が信号線4と接続される。スイッチング素子1のゲートは、走査線5と接続される。走査線5は、走査回路9の制御下で、スイッチング素子1のソースドレイン間を開閉するための電位を与える。当該電位の制御は、走査回路9が行う。走査回路9による電位の制御の詳細については後述する。

[0016] 図1に示す例では、複数の信号線4は、画素 $P_{i \times}$ の並び方向のうち一方（行方向）に沿って並ぶ。信号線4は、画素 $P_{i \times}$ の並び方向のうち他方（列方向）に沿って延出する。信号線4は、列方向に並ぶ複数の画素 $P_{i \times}$ のスイッチング素子1で共有される。複数の走査線5は、列方向に沿って並ぶ。走査線5は、行方向に沿って延出する。走査線5は、行方向に並ぶ複数の画素 $P_{i \times}$ のスイッチング素子1で共有される。

[0017] 共通電極6は、VCOM駆動回路10と接続される。VCOM駆動回路10は、共通電極6に基準電位を与える。走査回路9が走査線5に対して駆動信号として機能する電位（第1電位）を与えるタイミングで、信号出力回路8が信号線4に対して画素信号を出力することで、画素電極2と共通電極6との間に形成された蓄積容量と容量性負荷である液晶（微粒子52）を充電する。これによって、画素 $P_{i \times}$ の電圧は画素信号に対応した電圧となる。第1電位の印加の完了後、蓄積容量と容量性負荷である液晶（微粒子52）は画素信号を保持する。液晶（微粒子52）の配向は、各画素 $P_{i \times}$ の電圧と共通電極6の電圧によって生じる電界に応じて制御される。

[0018] 図2に示すように、液晶表示パネルPの側方には、光源装置Lが配置され

ている。光源装置Lは、光源11と、光源駆動回路12とを備える。光源11は、赤色の光を発する第1光源11Rと、緑色の光を発する第2光源11Gと、青色の光を発する第3光源11Bと、を有する。第1光源11R、第2光源11G、第3光源11Bはそれぞれ、光源駆動回路12の制御下で発光する。実施形態1の第1光源11R、第2光源11G及び第3光源11Bは、例えば発光ダイオード（LED: Light Emitting Diode）のような発光素子を用いた光源であるが、これに限られるものでなく、発光タイミングを制御可能な光源であればよい。光源駆動回路12は、タイミングコントローラ13の制御下で第1光源11R、第2光源11G、第3光源11Bの発光タイミングを制御する。なお、図2に示す例では、光源装置Lが液晶表示パネルPの側方に配置され、光源11からの光が液晶表示パネルPの側方から照射されるが、光源11は、表示装置100の背面側に配置されていてもよい。

[0019] タイミングコントローラ13は、信号出力回路8、走査回路9、VCOM駆動回路10及び光源駆動回路12の動作タイミングを制御する。実施形態1では、フィールドシーケンシャル制御が行われる。

[0020] 図3はフィールドシーケンシャル制御の流れの一例を示すタイミングチャートである。図3では2フレーム期間の概略的なタイミングチャートを例示している。図3のタイミングチャートは、フレーム信号の出力、フィールド信号の出力、駆動信号の切り替わり、共通電位の切り替わり、第1光源11R、第2光源11G及び第3光源11Bの点灯タイミングを示す情報を含む。駆動信号の切り替わりは、走査線5の電位の切り替わりを示す。共通電位の切り替わりは、共通電極6の電位の切り替わりを示す。

[0021] フレーム信号は、各フレーム期間の開始タイミングを示す信号である。図3では、1フレーム目の期間FL1の開始時と、2フレーム目の期間FL2の開始時、2フレーム目が終了した後に続く次のフレーム（3フレーム目）の期間の開始時にフレーム信号が出力されることを示している。

[0022] フィールド信号は、各フレーム期間に含まれるフィールド期間の開始タイ

ミングを示す信号である。1フレーム期間は、光源11が発する光の色数に対応する数のフィールド期間を含む。図3では、1フレーム目の期間FL1に含まれる第1フィールド期間F111、第2フィールド期間F112及び第3フィールド期間F113、2フレーム目の期間FL2に含まれる第1フィールド期間F121、第2フィールド期間F122及び第3フィールド期間F123ならびに2フレーム目が終了した後に続く次のフレーム（3フレーム目）の期間の第1フィールド期間の開始時にフィールド信号が出力されることを示している。

[0023] 各フィールド期間は、画素信号の書込期間と、蓄積容量による画素信号の保持期間とを含む。図3における書込（R+）は、第1フィールド期間F111の書込期間である。保持（R+）は、第1フィールド期間F111の保持期間である。書込（G+）は、第2フィールド期間F112の書込期間である。保持（G+）は、第2フィールド期間F112の保持期間である。書込（B+）は、第3フィールド期間F113の書込期間である。保持（B+）は、第3フィールド期間F113の保持期間である。書込（R-）は、第1フィールド期間F121の書込期間である。保持（R-）は、第1フィールド期間F121の保持期間である。書込（G-）は、第2フィールド期間F122の書込期間である。保持（G-）は、第2フィールド期間F122の保持期間である。書込（B-）は、第3フィールド期間F123の書込期間である。保持（B-）は、第3フィールド期間F123の保持期間である。

[0024] 1フレームの期間における複数のフィールド期間に含まれる書込期間は、それぞれ異なる色の階調値に対応する画素信号が書き込まれる期間である。例えば、1フレーム目の画素信号をRGBの階調値で表した場合に（R，G，B）＝（r1，g1，b1）であるとする。この場合、第1フィールド期間F111の書込期間に「r1」の階調値に対応する画素信号が書き込まれる。また、第2フィールド期間F112の書込期間に「g1」の階調値に対応する画素信号が書き込まれる。また、第3フィールド期間F113の書込

期間に「b 1」の階調値に対応する画素信号が書き込まれる。1フレームの期間における複数のフィールド期間に含まれる保持期間は、それぞれ異なる色の階調値に対応する画素信号が保持される期間である。

[0025] 光源1 1が有する複数の色の光源（例えば、第1光源1 1 R、第2光源1 1 G及び第3光源1 1 B）は、対応するフィールド期間の保持期間内に点灯するように制御される。例えば、第1光源1 1 Rは赤色の光源、第2光源1 1 Gは緑色の光源、第3光源1 1 Bは青色の光源とされる。例えば、1フレーム目の期間FL 1において、第1光源1 1 Rは、第1フィールド期間F 1 1の保持期間に点灯する。これによって、第1フィールド期間F 1 1の書込期間に書き込まれた赤（R）の階調値（r 1）に対応する電圧に応じた赤色の散乱光が放出される。また、1フレーム目の期間FL 1において、第2光源1 1 Gは、第2フィールド期間F 1 2に点灯する。これによって、第2フィールド期間F 1 2の書込期間に書き込まれた緑（G）の階調値（g 1）に対応する電圧に応じた緑色の散乱光が放出される。また、1フレーム目の期間FL 1において、第3光源1 1 Bは、第3フィールド期間F 1 3に点灯する。これによって、第3フィールド期間F 1 3の書込期間に書き込まれた青（B）の階調値（b 1）に対応する電圧に応じた青色の散乱光が放出される。このように、1フレーム期間内にR、G、Bの画素信号の書込と保持及び対応する色の光源からの光による照明とが含まれることによって、1フレーム期間内にRGBの画像データに対応する色再現が行われる。2フレーム目の期間FL 2以降についても、同様の仕組みで色再現が行われる。

[0026] フィールド期間の周波数は、フレーム期間の周波数に光源1 1が発する光の色数を乗じたものである。実施形態1では、フレーム期間の周波数は、例えば60 Hzであるが、これに限られるものでなく、120 Hzであってもよいし、他の周波数であってもよい。また、フレーム期間の周波数が60 Hzである場合、実施形態1のフィールド期間の周波数は180 Hzであるが、フィールド期間の周波数は、フレーム期間の周波数及び光源1 1が発する光の色数に応じて適宜変更可能である。

[0027] また、図3では、書込期間と保持期間が見かけ上同じ程度の期間として図示されているが、実際には、保持期間は、書込期間よりも長い期間である。

[0028] 液晶を利用する液晶表示パネルPでは、2つの電極の一方の電位と他方の電位との相対的な電位の高低を所定周期で反転させる反転駆動が行われる。図3では、1フレーム目の期間FL1に共通電位がマイナス（－）の電位とされ、2フレーム目の期間FL2に共通電位がプラス（＋）の電位とされるようVCOM駆動回路10が共通電極6の電位を制御する。これに対応して、1フレーム目の期間FL1に画素電極2の電位がプラス（＋）の電位となるよう画素信号が書き込まれ、2フレーム目の期間FL2に画素電極2の電位がマイナス（－）の電位となるよう画素信号が書き込まれる。図3に示す駆動信号の記載における括弧内の符号は、書き込まれる画素信号に対応するRGBの階調値の色と電位との組み合わせを示している。

[0029] 実施形態1では、画素P_i×では、反転駆動に対応するための画素電極2の電位が行われる。具体的には、信号出力回路8が信号線4に対して反転駆動のための画素信号を出力する。すなわち、信号出力回路8は、共通電極6が反転駆動されるタイミングに応じて、画素電極2と共通電極6との間の電圧が振幅を同じくして、極性が異なるよう画素信号を出力する。また、VCOM駆動回路10が反転駆動のための共通電極6の電位の切替を行う。そして、タイミングコントローラ13が、フレーム期間周期で、反転駆動回路による画素電極2の電位の切替タイミングとVCOM駆動回路10による共通電極6の電位の切替タイミングとを同期させる。これらが実施形態1の反転駆動部として機能する。

[0030] 図3に示す例では、1フレーム目の期間FL1に画素電極2の電位が共通電極6に対して相対的に高くなり、2フレーム目の期間FL2に画素電極2の電位が共通電極6に対して相対的に低くなるようフレーム期間単位で反転駆動が行われているが、これはあくまで反転駆動方式の具体的な制御例であってこれに限られるものでない。例えば、複数フレーム期間単位で画素電極2と共通電極6の電位の高低を反転するようにしてもよい。

[0031] なお、画素信号の元になる画像信号（RGBデータ）は、例えば外部の画像出力装置が有する入力回路15を介して液晶表示パネルPに入力される。入力回路15は、画像信号に基づいて各画素 P_{ix} の赤（R）、緑（G）、青（B）の各々の色の階調値を示す信号を信号出力回路8に出力する。また、入力回路15は、信号出力回路8に対する信号入力タイミングに同期した同期信号その他の制御信号をタイミングコントローラ13に出力する。タイミングコントローラ13は、入力回路15から入力される信号に基づいて信号出力回路8、走査回路9、VCOM駆動回路10等の動作を制御する。なお、入力回路15は、液晶表示パネルPに設けられてもよい。また、入力回路15は、タイミングコントローラ13等の他の回路を統合するよう設計されたDDIC（Display Driver Integrated Circuit）の一機能として設けられてもよい。

[0032] 実施形態1の走査回路9は、走査線5単位で各行の画素 P_{ix} の駆動タイミングをシフトさせる走査を行う。このため、画素 P_{ix} の行によって書込期間のタイミングが異なる。また、1つのフィールド期間内では、走査において最初に書込期間になる画素 P_{ix} の行のタイミングと、走査において最後に書込期間になる画素 P_{ix} の行のタイミングとの間で書込期間になるタイミング同士の差が最大になる。

[0033] 図4は、スイッチング素子1の薄膜トランジスタTF特性の一例を示すグラフである。図4の縦軸（ I_d [A]）は、スイッチング素子1リーク電流の大きさを示す。図4の横軸（ V_{gs} [V]）は、スイッチング素子1のドレインソース間の1のゲートソース間に与えられる電圧を示す。スイッチング素子1をN型MOSトランジスタとしたとき、横軸の正の方向はゲート電位がソース電位に対して高い場合であり、横軸の負の方向はゲート電位がソース電位に対して低い場合である。図4では、スイッチング素子1のソースドレイン間電圧（ V_{ds} ）が0.1 [V]の場合の一点鎖線グラフ、スイッチング素子1のソースドレイン間電圧が5 [V]の場合の破線グラフ及びスイッチング素子1のソースドレイン間電圧が10 [V]の場合

の線グラフを例示している。

[0034] 図4のグラフは、左下の原点から遠ざかるほど、リーク電流が大きいことを示している。スイッチング素子1は、ゲートに正の電圧が与えられることでソースドレイン間が開通するオン状態になる。また、スイッチング素子1は、ゲートに負の電圧が与えられることでソースドレイン間が閉鎖するオフ状態になる。ここで、スイッチング素子1は、ゲートに与えられる負の電圧が大きくなると、対数的にリーク電流が多くなるという特性を有する。また、スイッチング素子1のソースドレイン間の電圧が大きくなるほど、リーク電流も大きくなる特性を有する。

[0035] 図5は、液晶表示パネルの画素駆動に係る走査において最後に書込期間になる画素 $P_{i \times}$ の行の駆動波形を示すタイミングチャートである。図5に示す第1電位パルス404のタイミング及び電位は、図9に示す第1電位パルス1104のタイミング及び電位と同様である。図6は、図5で示す駆動波形が与えられる画素 $P_{i \times}$ の画素電極2に与えられる電位の遷移を示すタイミングチャートである。図6では、画素 $P_{i \times}$ の階調度が最高である場合（白ラスタ）の電位遷移601と画素 $P_{i \times}$ の階調度が最低である場合（黒ラスタ）の電位遷移602とを例示している。図7は、図6に示す電位からVCOM駆動信号301を差し引いた電位を示すタイミングチャートである。図7に示す電圧遷移801、802は、電位遷移601、602からVCOM駆動信号301の電位遷移を差し引いたものである。すなわち、共通電極6と画素電極2間の電圧波形である。図13では、図11に示すピーク603の期間に対応する期間803を付している。

[0036] 図5に示す例では、第1電位 V_1 が与えられるタイミング以外の期間、第3電位 V_3 のみが与えられている。このようなスイッチング素子1のゲート電位制御では、反転駆動後のピーク603の期間に信号線4の電位（画素電極2に与えられている電位）が走査線5の電位に比して著しく低いことに起因し、スイッチング素子1のソースドレイン間のリーク電流が多くなる。係るリーク電流の多さによって、ピーク603の電位変化及び期間803の

電圧変化が示すように、第1 タイミングT1後に第1 電位パルス404がスイッチング素子1のゲートに与えられるまでの間における保持電圧の変化がより大きくなる。すなわち、画素P i xの行方向の位置によってリーク電流の発生期間及び変化の度合いに差が生じる。このため、画素P i xの行方向の位置によって輝度の変化の度合いに差が生じ、画素P i xの行方向の位置によって輝度が不均一になる現象が視認される。

[0037] また、図5に示す例では、第1 タイミングT1の後のゲートの閉鎖電圧（オフ電圧）が第3 電位V3のままである。このため、第3 電位V3と第1 電位パルス404の第1 電位V1との差が第2 電位V2と第1 電位パルス404の第1 電位V1との差よりも大きいことによって電圧上昇804を発生させる。この電圧上昇804は、フリッカを生じさせる場合がある。

[0038] このように、反転駆動によって、スイッチング素子1と接続される画素電極2の電位が正負に大きく揺さぶられる。これによって画素電極が相対的に低電位になった場合の電圧上昇804が大きくなり、画素電極2と対向する共通電極6の電位制御を併用しても直流電流の抑制及びフリッカの抑制が不十分になっていた。特に、図5を参照して説明したように、走査回路9から駆動信号が与えられる順番が相対的により後回しになる走査線5と接続されている画素では、直流電流及びフリッカの影響がより大きかった。言い換えれば、画素P i xが接続される走査線5の並び方向の位置によって、液晶表示装置の表示画面内における点灯の仕方が不均一になる現象が視認されるという問題が生じていた。これらの問題によって、液晶表示装置の画質及び寿命に問題が生じていた。

[0039] 図8は、実施形態1の表示装置100の走査において最初に書込期間になる画素P i xの行の駆動波形を示すタイミングチャートである。図9は、実施形態1の表示装置100の走査において最後に書込期間になる画素P i xの行の駆動波形を示すタイミングチャートである。図8及び図9ならびに後述する図5、図14及び図15等、駆動波形を示すタイミングチャートでは、共通電位の波形に対応するVCOM駆動信号301、画素P i xの階調度

が最高である場合（白ラスター）の画素信号電位 302、画素 P_{ix} の階調度が最低である場合（黒ラスター）の画素信号電位 303 等の相対的な電位の高低を示している。なお、画素信号電位 302 による電位は、画素信号電位 303 による電位に比して V_{COM} 駆動信号 301 との電位差が大きい。

[0040] なお、図 8 及び図 9 ならびに後述する図 14 及び図 15 等、駆動波形を示すタイミングチャートにおいて画素電極 2 に設定可能な電位（ソース電圧）は、例えば 0 [V] から 15 [V] の範囲内である。このようなソース電圧に対して、共通電極 6 のプラス（+）電位は、15 [V] を上回り、かつ、後述する第 1 電位 V_1 を下回る正の電位である。また、共通電極 6 のマイナス（-）電位は、0 [V] を下回り、かつ、後述する第 2 電位 V_2 を上回る負の電位である。 V_{COM} 駆動回路 10 が共通電極 6 に与える基準電位は、当該共通電極 6 のプラス（+）電位又は共通電極 6 のマイナス（-）電位のいずれかである。

[0041] V_{COM} 駆動回路 10 は、反転駆動のタイミングに応じて共通電極 6 の電位を切り替えるように V_{COM} 駆動信号 301 を出力する。図 8、図 9 等で示す例では、第 1 タイミング T_1 で共通電極 6 の電位がマイナス（-）からプラス（+）に切り替わっている。また、第 2 タイミング T_2 で共通電極 6 の電位がプラス（+）からマイナス（-）に切り替わっている。反転駆動によって共通電極 6 の電位が切り替わるタイミングは、画素 P_{ix} の位置に関わらず共通である。

[0042] 一方、画素 P_{ix} の書込期間のタイミング、すなわち、画素 P_{ix} が有するスイッチング素子 1 のソースドレイン間を開通する第 1 電位 V_1 がスイッチング素子 1 のゲートに与えられるタイミングは、画素 P_{ix} の列方向の位置（画素行の位置）によって異なる。同一フレーム期間の同一フィールド期間（例えば、第 1 フィールド期間 F_{11} ）において最初に書込期間になる画素 P_{ix} の行における第 1 電位 V_1 の印加タイミング T_3 （図 8 参照）と、最後に書込期間になる画素 P_{ix} の行における第 1 電位 V_1 の印加タイミング T_4 （図 8 参照）との間には、時間差 DT がある。すなわち、走査線 5

を並び方向の一方（例えば、図 1 の上側）から他方（例えば、図 1 の下方）に順に走査していくときの一番最初の走査線 5 の波形が図 8 で一番最後の走査線 5 の波形が図 9 である。

[0043] なお、図 8 の第 1 電位パルス 1 0 0 4 及び図 9 の第 1 電位パルス 1 1 0 4 が示すように、スイッチング素子 1 のゲートに第 1 電位 V_1 が与えられるタイミングは周期的に生じる。すなわち、画素 $P_{i \times}$ の行方向の位置によって生じる時間差（例えば、時間差 DT ）は、どの色のフィールド期間であるかに関わらず生じる。

[0044] 実施形態 1 では、図 3 を参照して説明したように、所定周期（例えば、1 フレーム期間）内に、複数の色（例えば、赤（R）、緑（G）及び青（B））の階調出力に対応してスイッチング素子 1 のソースドレイン間が複数回開閉される。このため、1 フレーム期間に対応する第 1 タイミング T_1 と第 2 タイミング T_2 の間に、第 1 電位パルス 1 0 0 4 及び第 1 電位パルス 1 1 0 4 が色数（例えば、3）に対応した回数発生してスイッチング素子 1 のソースドレイン間を開閉している。

[0045] 走査回路 9 は、第 1 電位 V_1 が与えられるタイミング以外の期間、画素 $P_{i \times}$ の行方向の位置に関わらず、スイッチング素子 1 のゲートに第 2 電位 V_2 又は第 3 電位 V_3 を与える。第 2 電位 V_2 及び第 3 電位 V_3 は、ソースドレイン間を閉鎖する電位である。また、第 3 電位 V_3 は、第 2 電位 V_2 よりも低い電位である。図 8 及び図 9 に示すように、実施形態 1 の走査回路 9 は、共通電極 6 の電位がマイナス（-）である期間、スイッチング素子 1 のゲートに第 3 電位 V_3 を与える。また、走査回路 9 は、共通電極 6 の電位がプラス（+）である期間、スイッチング素子 1 のゲートに第 2 電位 V_2 を与える。このように、実施形態 1 の走査回路 9 は、ソースドレイン間を閉鎖する期間内、共通電極 6 が画素電極 2 よりも相対的に低電位にされるタイミングで走査線 5 の電位を第 2 電位 V_2 から第 3 電位 V_3 に切り替える。また、実施形態 1 の走査回路 9 は、ソースドレイン間を閉鎖する期間内、共通電極 6 が画素電極 2 よりも相対的に高電位にされるタイミングで走査線 5 の

電位を第3電位 V_3 から第2電位 V_2 に切り替える。

[0046] 第1電位 V_1 は、例えば25 [V]である。第1電位 V_1 は、画素 P_{ix} の画素電極2に与えられる最大電位（例えば、15 [V]）に対して、スイッチング素子1がソースドレイン間を確実に開放可能になるよう設定される。第2電位 V_2 は、例えば−7 [V]である。第3電位 V_3 は、例えば−22 [V]である。第2電位 V_2 及び第3電位 V_3 は、画素 P_{ix} の画素電極2に与えられる最小電位（例えば、0 [V]）に対して、スイッチング素子1が十分にオフになるようにマージンを持って設定される。すなわち、第3電位 V_3 は、共通電極6のマイナス（−）の電位に応じてスイッチング素子1が十分にオフになるようにマージンを持って設定される。また、スイッチング素子1が十分にオフになるようにマージンを持った範囲内で、第2電位 V_2 と共通電極6のプラス（+）の電位との差と、第3電位 V_3 と共通電極6のマイナス（−）の電位との差がより小さくなるよう第2電位 V_2 が設定される。

[0047] また、共通電極6のプラス（+）の電位及びマイナス（−）の電位は、液晶3の長寿命化とフリッカの抑制のため、液晶3にかかるDC電圧ができるだけ小さくなるよう調整されることが望ましい。

[0048] 第1電位 V_1 、第2電位 V_2 及び第3電位 V_3 は、例えば電源回路14（図1参照）によって生成される。電源回路14は、外部から電力 W の供給を受けて第1電位 V_1 、第2電位 V_2 及び第3電位 V_3 の各々に対応する電位を走査回路9に供給する。図示しないが、電源回路14は、表示装置100が備える各構成の動作に適した電位を生成して各構成に電力供給を行ってもよい。走査回路9は、外部からの電力供給を受けて第1電位 V_1 、第2電位 V_2 及び第3電位 V_3 を生成する機能を備えていてもよい。

[0049] 図10は、図8で示す駆動波形が与えられる画素 P_{ix} の画素電極2に与えられる電位の遷移を示すタイミングチャートである。図10では、画素 P_{ix} の階調度が最高である場合（白ラスタ）の電位遷移1201と画素 P_{ix} の階調度が最低である場合（黒ラスタ）の電位遷移1202とを例示

している。図11は、図9で示す駆動波形が与えられる画素 P_{ix} の画素電極2に与えられる電位の遷移を示すタイミングチャートである。図11では、画素 P_{ix} の階調度が最高である場合（白ラスター）の電位遷移1301と画素 P_{ix} の階調度が最低である場合（黒ラスター）の電位遷移1302とを例示している。すなわち、走査線5を並び方向の一方（例えば、図1の上側）から他方（例えば、図1の下方）に順に走査していくときの一番最初の走査線5と接続されている画素 P_{ix} の画素電極2に与えられる電位の遷移が図10で一番最後の走査線5と接続されている画素 P_{ix} の画素電極2に与えられる電位の遷移が図11である。

[0050] 図10に示す電位遷移1201, 1202では、反転駆動によって共通電極6の電位がマイナス（-）からプラス（+）に切り替わる第1タイミング T_1 で共通電極6と画素電極2との間の容量結合により共通電極6の電位の変動に応じて画素電位が上昇している（1203, 1204）。また、図10に示す電位遷移1201, 1202では、反転駆動によって共通電極6の電位がプラス（+）からマイナス（-）に切り替わる第2タイミング T_2 で共通電極6と画素電極2との間の容量結合により共通電極6の電位の変動に応じて画素電位が降下している（1205, 1206）。これらの電圧上昇（1203, 1204）及び電圧降下（1205, 1206）の後に画素電極2を有する画素 P_{ix} のスイッチング素子1のゲートに第1電位 V_1 （第1電位パルス1004）が与えられ、信号線4から画素電極2に画素信号が与えられる。これによって、画素電極2に与えられる電位は、画素信号に応じた電位となる。

[0051] 図11に示す電位遷移1301, 1302では、図10に示す電位遷移1201, 1202と同様、第1タイミング T_1 で共通電極6と画素電極2との間の容量結合により共通電極6の電位の変動に応じて画素電位が上昇している（1303, 1304）。また、第2タイミング T_2 で共通電極6と画素電極2との間の容量結合により共通電極6の電位の変動に応じて画素電位が降下している（1305, 1306）。これらの電圧上昇（1303, 1

304) 及び電圧降下 (1305, 1306) の後に画素電極2を有する画素P i xのスイッチング素子1のゲートに第1電位V 1 (第1電位パルス1104) が与えられ、信号線4から画素電極2に画素信号が与えられる。これによって、画素電極2に与えられる電位は、画素信号に応じた電位となる。ここで、ピーク1303, 1304で電位が高留まりする期間は、ピーク1203, 1204よりも長い。また、ピーク1305, 1306で電位が低留まりする期間は、ピーク1205, 1206よりも長い。これは、画素P i xの行方向の位置によって、スイッチング素子1のゲートに第1電位V 1 が与えられるタイミングが異なるためである。従って、走査において最初に書込期間になる画素P i xの行において、ピーク1203, 1204, 1205, 1206の継続期間が最短になる。また、走査において最後に書込期間になる画素P i xの行において、ピーク1303, 1304, 1305, 1306の継続期間が最長になる。

[0052] 実施形態1では、ピーク1303, 1304で高留まりする画素電極2の電位及びピーク1305, 1306で低留まりする画素電極2の電位が、ピークの終了までほとんど変化しない。これは、上述のように、共通電極6の電位がプラス(+)である期間、スイッチング素子1のゲートに第2電位V 2 が与えられ、共通電極6の電位がマイナス(-)である期間、スイッチング素子1のゲートに第3電位V 3 が与えられるようにスイッチング素子1のゲートの電位と共通電極6の電位の電位との関係が制御されることで、共通電極6の電位の切替によってスイッチング素子1のゲートの電位と共通電極6の電位の電位との差異が必要以上に大きくならないよう制御されることによる。仮に、スイッチング素子1のゲートの電位と共通電極6の電位の電位との差異が必要以上に大きくなった場合、スイッチング素子1のソースドレイン間のリーク電流がより多くなって画素電極2の電位を維持することが困難になるが、実施形態1では第2電位V 2 と第3電位V 3 との使い分けによってこのようなリーク電流の増加を抑制している。

[0053] 図12は、図10に示す電位からV COM駆動信号301を差し引いた電

位を示すタイミングチャートである。図12に示す電圧遷移1401, 1402は、電位遷移1201, 1202からVCOM駆動信号301の電位遷移を差し引いたものである。すなわち、共通電極6と画素電極2間の電圧波形である。図12では、図10に示すピーク1203の期間に対応する期間1403を付している。図13は、図11に示す電位からVCOM駆動信号301を差し引いた電位を示すタイミングチャートである。図13に示す電圧遷移1501, 1502は、電位遷移1301, 1302からVCOM駆動信号301の電位遷移を差し引いたものである。すなわち、共通電極6と画素電極2間の電圧波形である。図13では、図11に示すピーク1303の期間に対応する期間1503を付している。

[0054] 図12及び図13に示す電位は、実質的に画素P_ixの液晶3に働く画素電極2－共通電極6間の電圧（保持電圧）を示している。ここで、図12に示す期間1403（図10の1203に対応）の保持電圧は、電圧遷移1401が示す期間1403以前の保持電圧とほとんど変わらない。同様に、図13に示す期間1503（図11の1303に対応）の保持電圧は、電圧遷移1501が示す期間1503以前の保持電圧とほとんど変わらない。このように、実施形態1によれば、第1タイミングT₁とその直後の第1電位V₁のタイミングとの関係、すなわち、画素P_ixの行方向の位置によって、保持電圧に大きな差異が生じることを抑制することができる。従って、画素P_ixの行方向の位置によって輝度が不均一になる現象の発生を抑制することができる。また、図13では、第1タイミングT₁の後の最初の第1電位パルス1104に対応するタイミングで電圧上昇1504がごくわずかに発生しているが、電圧遷移1501が示す電圧の変化の範囲内において微々たるものであり、画素P_ixの透光性、すなわち輝度には実質的に影響しない。すなわち、電圧上昇1504によるフリッカの発生を抑制することができる。また、このようなごくわずかな電圧上昇1504では、画素P_ixの液晶3に対する直流電流の発生も実質的に問題ないレベルであり、電圧上昇1504による液晶3の寿命短縮を抑制することができる。

[0055] 実施形態1によれば、上述のように、画素 $P_{i \times}$ の行方向の位置によって輝度が不均一になる現象の発生を抑制することができる。また、実施形態1によれば、フリッカの発生及び液晶3の寿命短縮を抑制することができる。従って、実施形態1によれば、より高画質で、液晶3を流れる直流電流に起因する寿命の短縮化を抑制できる。

[0056] また、液晶表示パネルPを照明する光源11が点灯するタイミングは、保持期間、すなわち、スイッチング素子1のソースドレイン間が開通される複数回のタイミング間に設定される画素電極2の電位保持期間である。これによって、1フレーム期間内の複数のフィールド期間の各々で異なる色の光で液晶表示パネルPを照明することで、各画素 $P_{i \times}$ で複数の色の階調値に対応する出力を行える。

[0057] また、光源11は、第1光源11Rと、第2光源11Gと、第3光源11Bとを含む。また、1フレーム期間内にソースドレイン間が開通される複数回の開通期間は、RGBデータによる赤(R)、緑(G)、青(B)の階調値のうち赤(R)に対応した画素信号の書き込み期間と、緑(G)に対応した画素信号の書き込み期間と、青(B)に対応した画素信号の書き込み期間とを含む。これによって、各画素 $P_{i \times}$ でRGBの階調値に対応する出力を行える。

[0058] (実施形態2)

次に、実施形態2の表示装置について、図14から図19を参照して説明する。図14から図19を参照して特筆する事項を除いて、実施形態2の表示装置は、実施形態1の表示装置100と同様である。

[0059] 図14は、実施形態2の走査において最初に書込期間になる画素 $P_{i \times}$ の行の駆動波形を示すタイミングチャートである。図15は、実施形態2の走査において最後に書込期間になる画素 $P_{i \times}$ の行の駆動波形を示すタイミングチャートである。すなわち、走査線5を並び方向の一方（例えば、図1の上側）から他方（例えば、図1の下方）に順に走査していくときの一番最初の走査線5の波形が図14で一番最後の走査線5の波形が図15である。

[0060] 図14及び図15に示すように、実施形態2の走査回路9は、共通電極6の電位がプラス（+）である期間、実施形態1の走査回路9と同様、スイッチング素子1のゲートに第2電位V2を与える。また、実施形態2の走査回路9は、共通電極6の電位がプラス（+）からマイナス（-）に切り替わるタイミングでスイッチング素子1のゲートに与える電位を第2電位V2から第3電位V3に切り替えるが、その後に発生する第1電位パルス1604, 1704の後、スイッチング素子1のゲートに与える電位を第2電位V2にする。このように、実施形態2の走査回路9は、ソースドレイン間を閉鎖する期間内、共通電極6が画素電極2よりも相対的に低電位にされるタイミングで走査線5の電位を第2電位V2から第3電位V3に切り替える。また、実施形態2の走査回路9は、ソースドレイン間を閉鎖状態から開通状態にするタイミングの前に第3電位V3だった走査線5の電位を、当該タイミングの後にソースドレイン間を閉鎖状態にする場合に第2電位V2にする。

[0061] 図16は、図14で示す駆動波形が与えられる画素P_ixの画素電極2に与えられる電位の遷移を示すタイミングチャートである。図16では、画素P_ixの階調度が最高である場合（白ラスター）の電位遷移1801と画素P_ixの階調度が最低である場合（黒ラスター）の電位遷移1802とを例示している。図17は、図15で示す駆動波形が与えられる画素P_ixの画素電極2に与えられる電位の遷移を示すタイミングチャートである。図17では、画素P_ixの階調度が最高である場合（白ラスター）の電位遷移1901と画素P_ixの階調度が最低である場合（黒ラスター）の電位遷移1902とを例示している。

[0062] 図18は、図16に示す電位からVCOM駆動信号301を差し引いた電位を示すタイミングチャートである。すなわち、共通電極6と画素電極2間の電圧波形である。図18に示す電圧遷移2001, 2002は、電位遷移1801, 1802からVCOM駆動信号301の電位遷移を差し引いたものである。図18では、図16に示すピーク1803の期間に対応する期間

2003を付している。図19は、図17に示す電位からVCOM駆動信号301を差し引いた電位を示すタイミングチャートである。図19に示す電圧遷移2101、2102は、電位遷移1901、1902からVCOM駆動信号301の電位遷移を差し引いたものである。すなわち、共通電極6と画素電極2間の電圧波形である。図19では、図17に示すピーク1903の期間に対応する期間2103を付している。

[0063] 実施形態2では、共通電極6の電位がプラス(+)からマイナス(-)に切り替わるタイミングで画素電極2の電位を第2電位V2から第3電位V3に切り替えることで、当該タイミング前後における共通電極6とスイッチング素子1のゲートとの間の電圧を高レベルで維持してスイッチング素子1のソースドレイン間の閉鎖状態を保持している。すなわち、当該タイミング後に共通電極6とスイッチング素子1のゲートとの間の電圧が低くなることによって意図せずスイッチング素子1のソースドレイン間が開放されてしまうスイッチング素子1の誤作動を抑制している。そのうえで、実施形態2では、当該タイミング後にスイッチング素子1のゲートに第1電位V1が与えられた後にはゲートを閉鎖するための電位を第2電位V2としている。すなわち、実施形態2では、当該タイミング後のゲート閉鎖電位(第3電位V3)と1回の第1電位V1との電位差を除いて、他のタイミングのゲート閉鎖電位(第2電位V2)と第1電位V1との電位差をより小さくすることができる。このため、画素Pixelの保持電圧が負の電圧側にシフトする量を実施形態1よりも低減することができる。これによって、液晶3のDCバランスをより改善できる。また、実施形態2では、走査線5の電位が第2電位V2である期間が実施形態1よりも長い。これによって、走査線5の電位と画素信号に基づいたソース電位(画素電極2の電位)との間の寄生容量により発生する電位のスパイクが小さくなる。具体的には、図16のスパイク1807、図17のスパイク1907、図18のスパイク2007、図19のスパイク2107が、図10のスパイク1207、図11のスパイク1307、図12のスパイク1407、図13のスパイク1507よりも小さくなる

。

[0064] なお、光源 1 1 が有する複数の色の光源の組み合わせは、赤（R）、緑（G）及び青（B）の組み合わせに限られるものでない。例えば、光源 1 1 は、シアン、マゼンタ及びイエローの組み合わせによる 3 色の各々に対応する光源を有していてもよい。

[0065] 図 20 は、光源装置 L A の構成例を示す模式図である。光源装置 L（又は光源装置 L A）は、液晶表示パネル P を照明可能であればよく、その具体的な配置については適宜変更可能である。例えば、図 1 で模式的に示すように、液晶表示パネル P を背面側から照明する光源 1 1 の発光面において、第 1 光源 1 1 R、第 2 光源 1 1 G、第 3 光源 1 1 B のような複数の色の光源が直接配置されていてもよいし、図 20 に示すように、液晶表示パネル P の背面に設けられた導光板 L G P に対して多色光源 1 1 M が側方に配置された構成を採用してもよい。多色光源 1 1 M は、例えば上述の第 1 光源 1 1 R、第 2 光源 1 1 G 及び第 3 光源 1 1 B の組み合わせ又はシアン、マゼンタ及びイエローの組み合わせによる 3 色の各々に対応する光源を含み、1 フレーム期間内の各フィールド期間で異なる色の光を発するよう制御される。

[0066] また、上記で例示した第 1 電位 V 1、第 2 電位 V 2、第 3 電位 V 3 その他の電位を含む具体的な数値はあくまで一例であってこれに限られるものでなく、正負及び相対する 2 つの値の相対的な関係を維持する範囲内で適宜変更可能である。

[0067] また、本実施形態において述べた態様によりもたらされる他の作用効果について本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

- [0068] 1 スイッチング素子
2 画素電極
3 液晶
4 信号線

- 5 走査線
- 5 2 微粒子
- 6 共通電極
- 7 表示部
- 8 信号出力回路
- 9 走査回路
- 1 0 V C O M 駆動回路
- 1 1 光源
- 1 1 R 第 1 光源
- 1 1 G 第 2 光源
- 1 1 B 第 3 光源
- 1 2 光源駆動回路
- 1 3 タイミングコントローラ
- 1 4 電源回路
- 1 0 0 表示装置
- P 液晶表示パネル
- L, L A 光源装置

請求の範囲

- [請求項1] 対向する2枚の基板の間に液晶が封入された液晶表示パネルと、
 前記液晶表示パネルに設けられて前記液晶の配向を制御するための
 電位差が与えられる2つの電極と、
 ソース又はドレインの一方が前記2つの電極の一方と接続されるス
 イッチング素子と、
 前記スイッチング素子のゲートと接続されて前記スイッチング素子
 のソースドレイン間を開閉するための電位が与えられる走査線と、
 前記ソース又は前記ドレインの他方と接続される信号線と、
 前記2つの電極の一方の電位と前記2つの電極の他方の電位との相
 対的な電位の高低を所定周期で反転させる反転駆動部と、
 前記走査線に第1電位、第2電位又は第3電位のいずれかを与える
 走査回路とを備え、
 前記第1電位は、前記ソースドレイン間を開通する電位であり、
 前記第2電位は、前記ソースドレイン間を閉鎖する電位であり、
 前記第3電位は、前記ソースドレイン間を閉鎖する電位であって
 前記第2電位よりも低い電位であり、
 前記所定周期内に前記ソースドレイン間が複数回開閉され、
 前記走査回路は、前記ソースドレイン間を閉鎖する期間内、前記
 2つの電極の他方が一方よりも相対的に低電位にされるタイミングで
 前記走査線の電位を前記第2電位から前記第3電位に切り替える
 表示装置。
- [請求項2] 前記走査回路は、前記ソースドレイン間を閉鎖する期間内、前記
 2つの電極の他方が一方よりも相対的に高電位にされるタイミングで
 前記走査線の電位を前記第3電位から前記第2電位に切り替える
 請求項1に記載の表示装置。
- [請求項3] 前記走査回路は、前記ソースドレイン間を閉鎖状態から開通状態
 にするタイミングの前に前記第3電位だった前記走査線の電位を、当

該タイミングの後に前記ソースドレイン間を閉鎖状態にする場合に
前記第 2 電位にする

請求項 1 に記載の表示装置。

[請求項4] 前記液晶表示パネルを照明する光源が点灯するタイミングは、前記
ソースドレイン間が開通される複数回のタイミング間に設定される
前記 2 つの電極の一方の電位保持期間である

請求項 1 から 3 のいずれか一項に記載の表示装置。

[請求項5] 前記光源は、第 1 色の光源と、第 2 色の光源と、第 3 色の光源とを
含む

請求項 4 に記載の表示装置。

[請求項6] 前記第 1 色、前記第 2 色及び前記第 3 色の組み合わせは、赤、緑及
び青の組み合わせ又はシアン、マゼンタ及びイエローの組み合わせで
ある

請求項 5 に記載の表示装置。

[請求項7] 前記所定周期内に前記ソースドレイン間が開通される複数回の開
通期間は、前記第 1 色に対応した画素信号の書き込み期間と、前記第
2 色に対応した画素信号の書き込み期間と、前記第 3 色に対応した画
素信号の書き込み期間とを含む

請求項 5 又は 6 に記載の表示装置。

[請求項8] 前記光源は、前記液晶表示パネルで画像が表示される表示面の反対
側に設けられる

請求項 4 から 7 のいずれか一項に記載の表示装置。

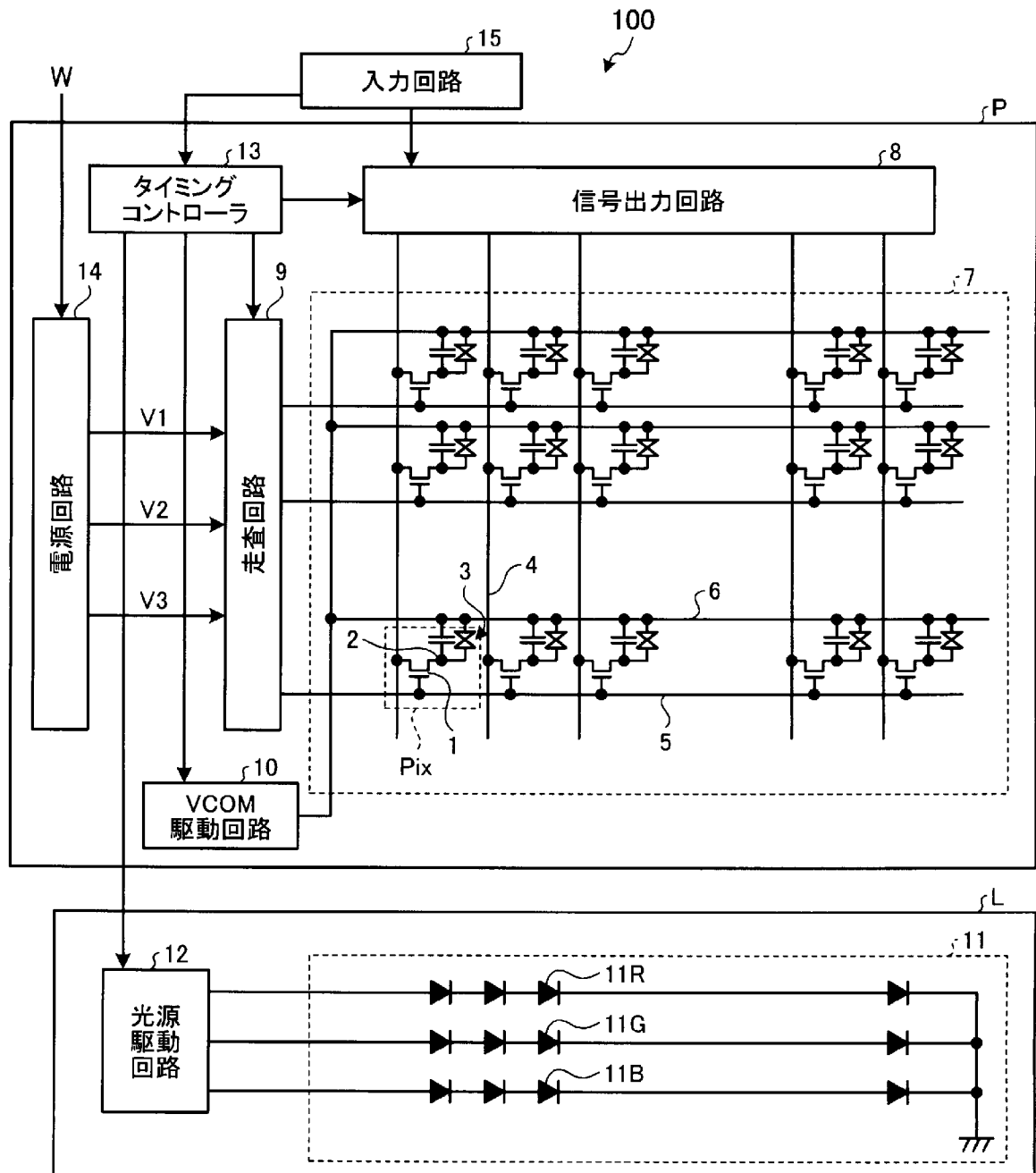
[請求項9] 前記光源は、前記液晶表示パネルの側方に設けられる

請求項 4 から 7 のいずれか一項に記載の表示装置。

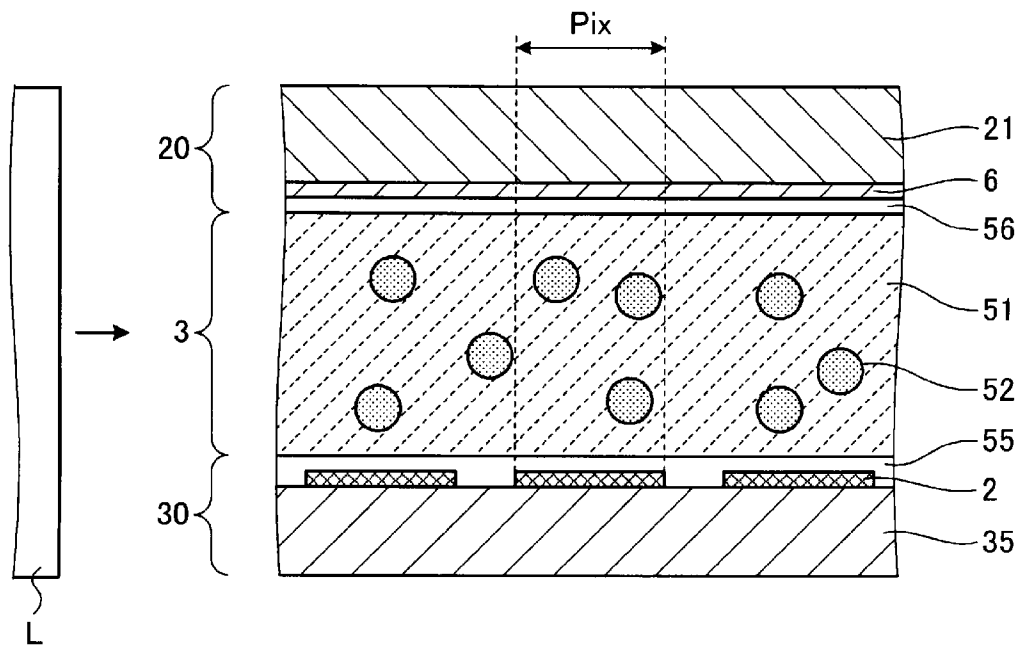
[請求項10] 前記液晶は、高分子分散型液晶である

請求項 1 から 9 のいずれか一項に記載の表示装置。

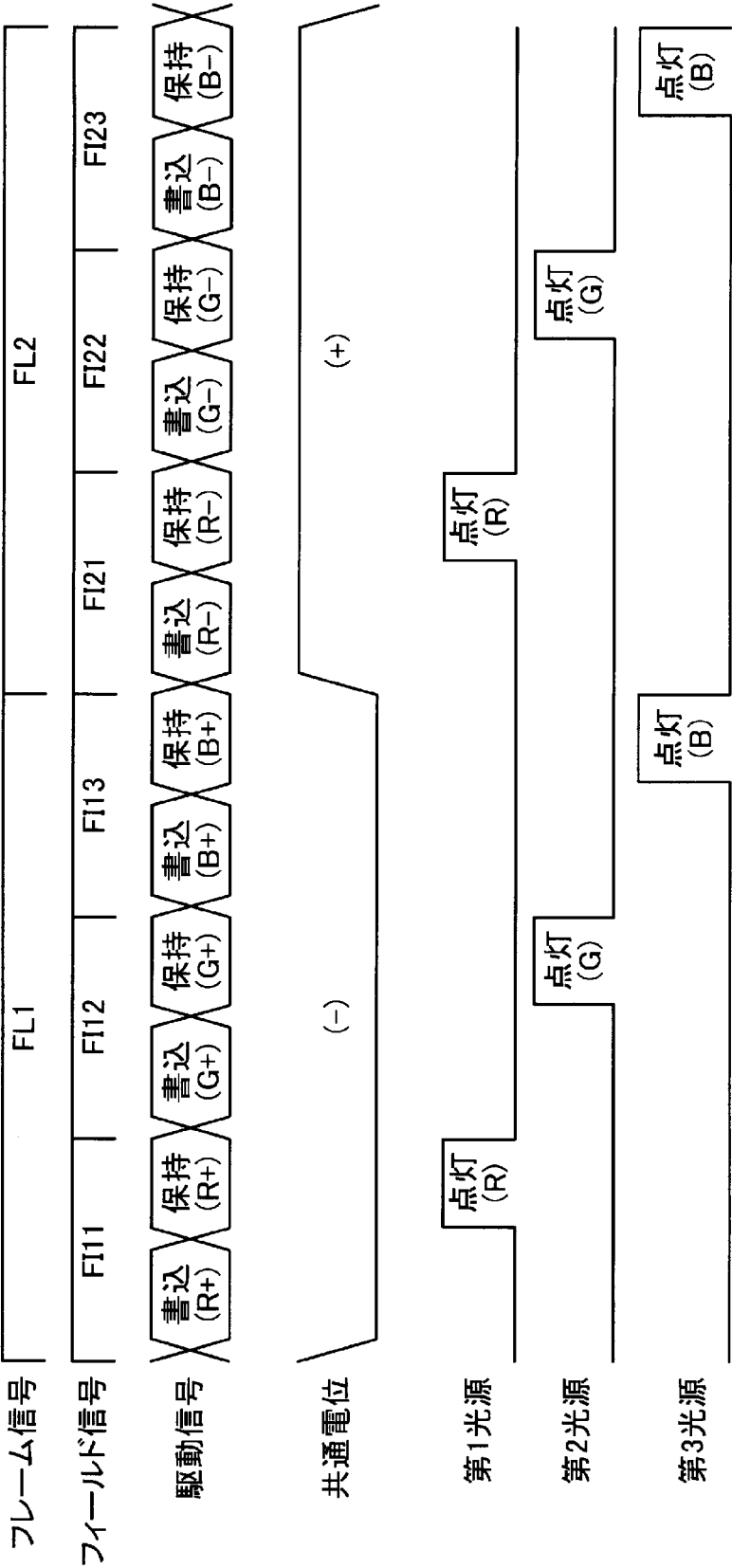
[図1]



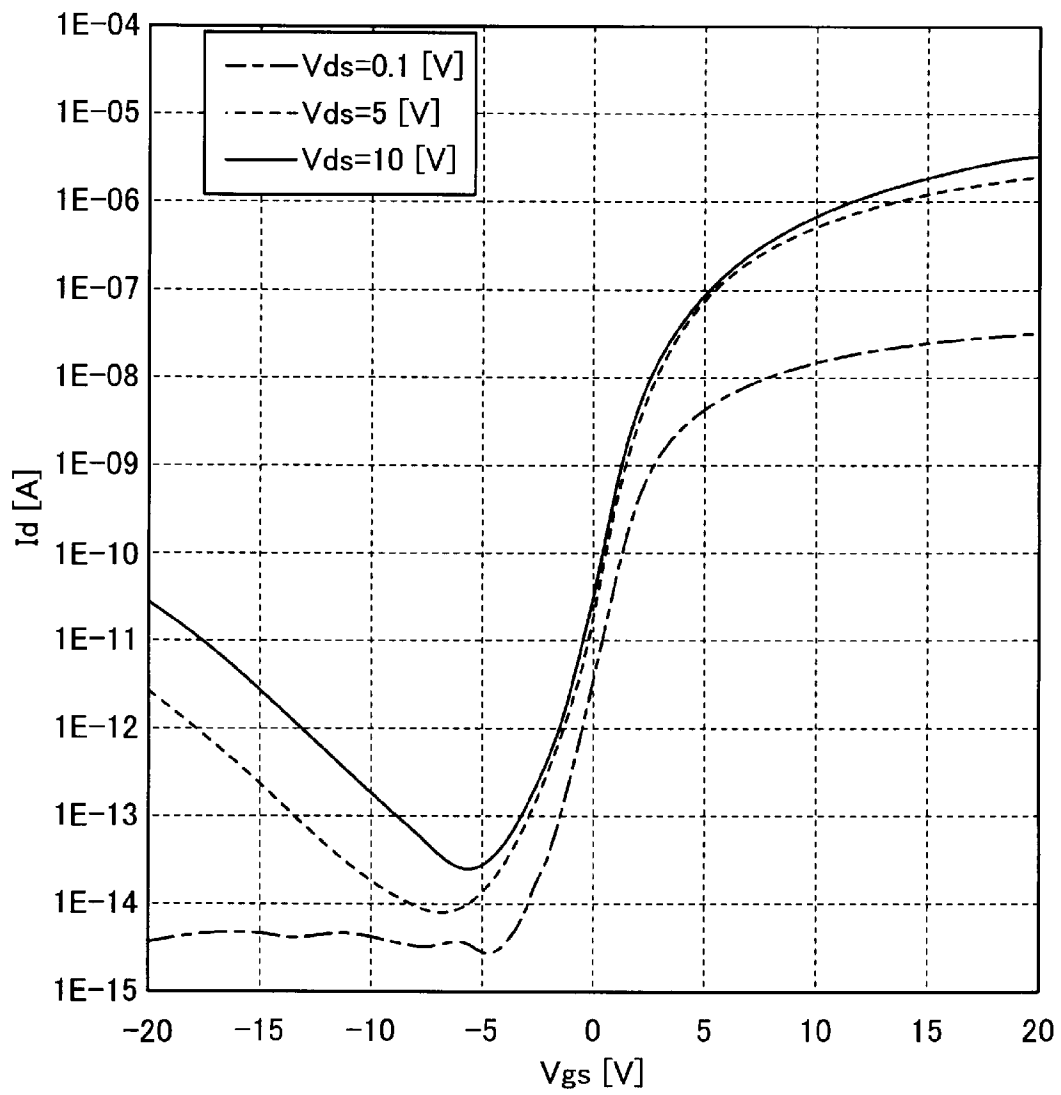
[図2]



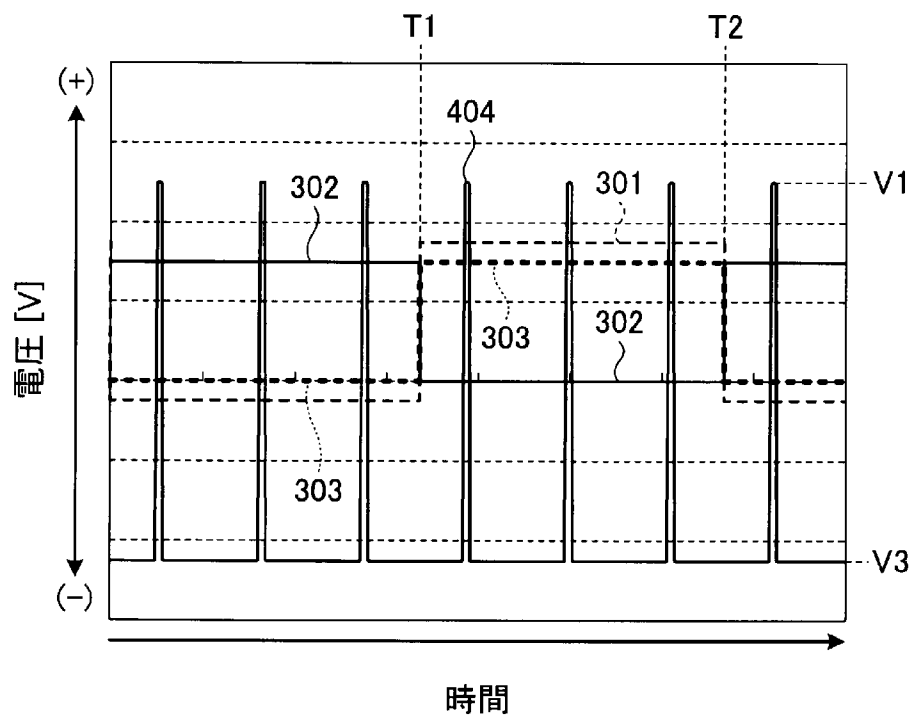
[図3]



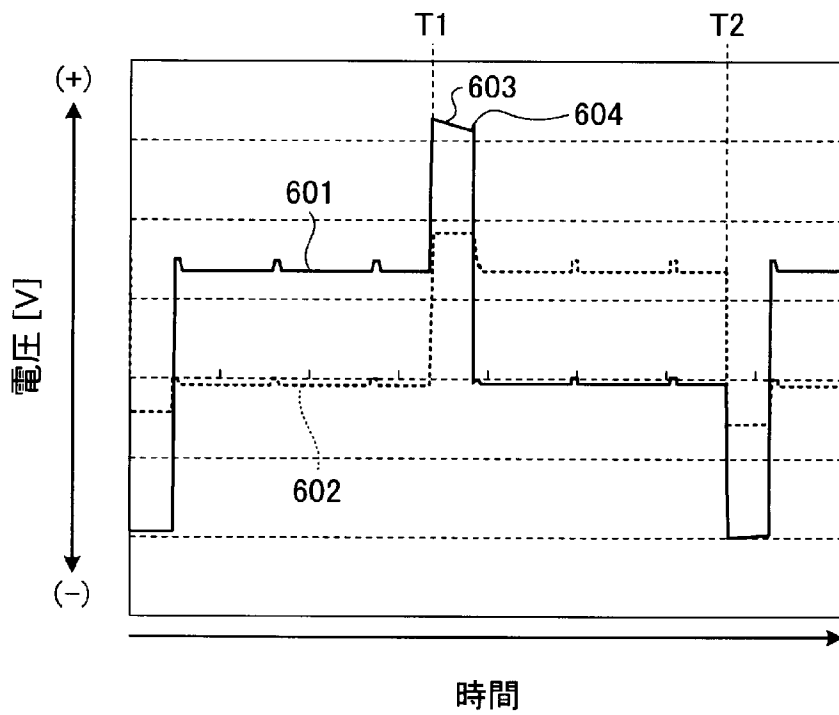
[図4]



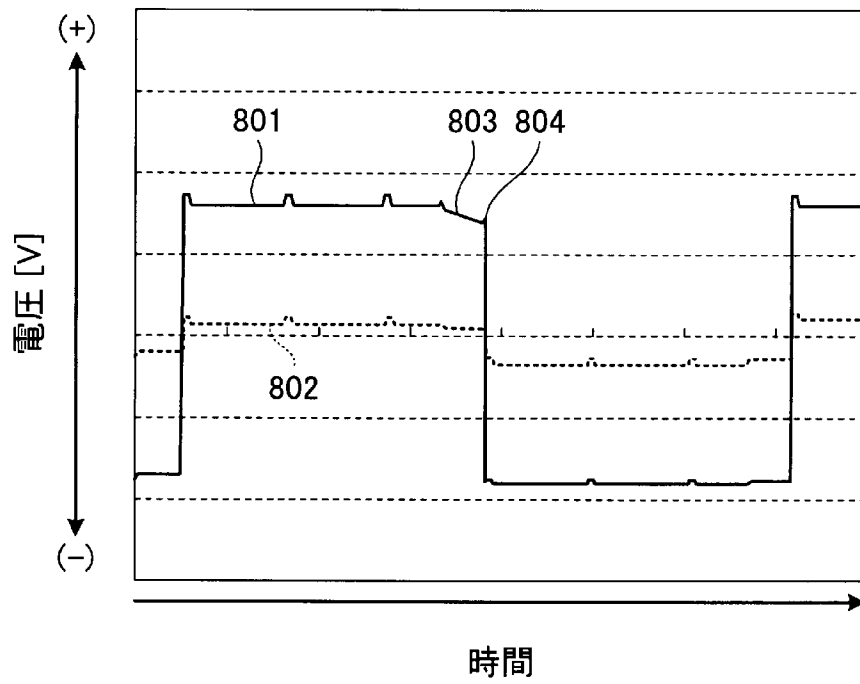
[図5]



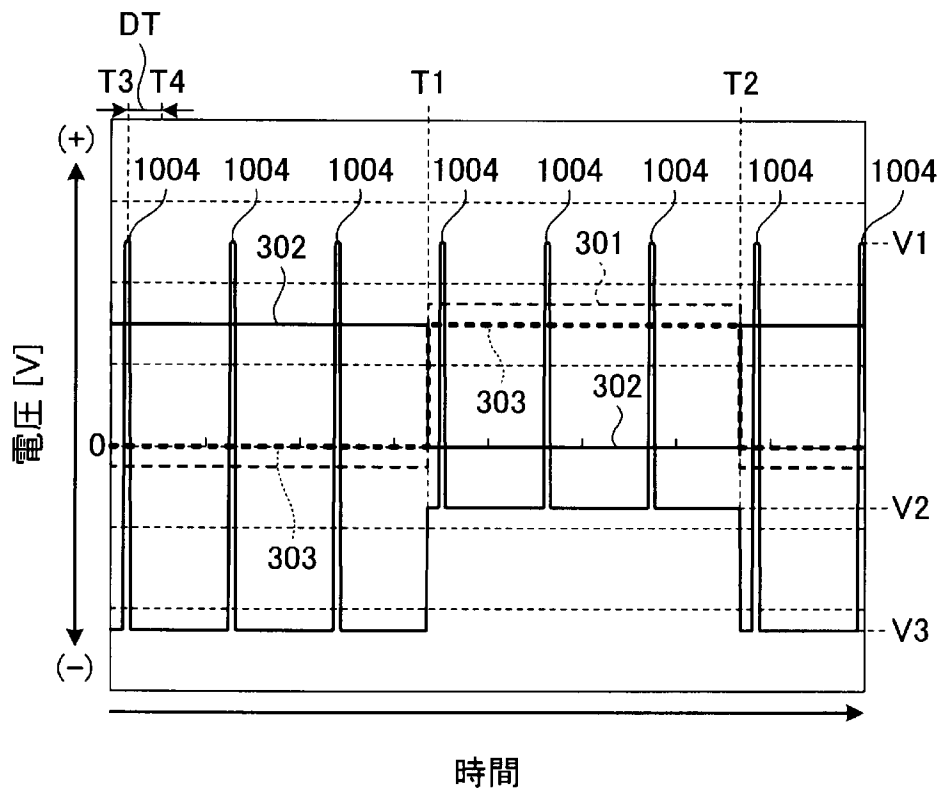
[図6]



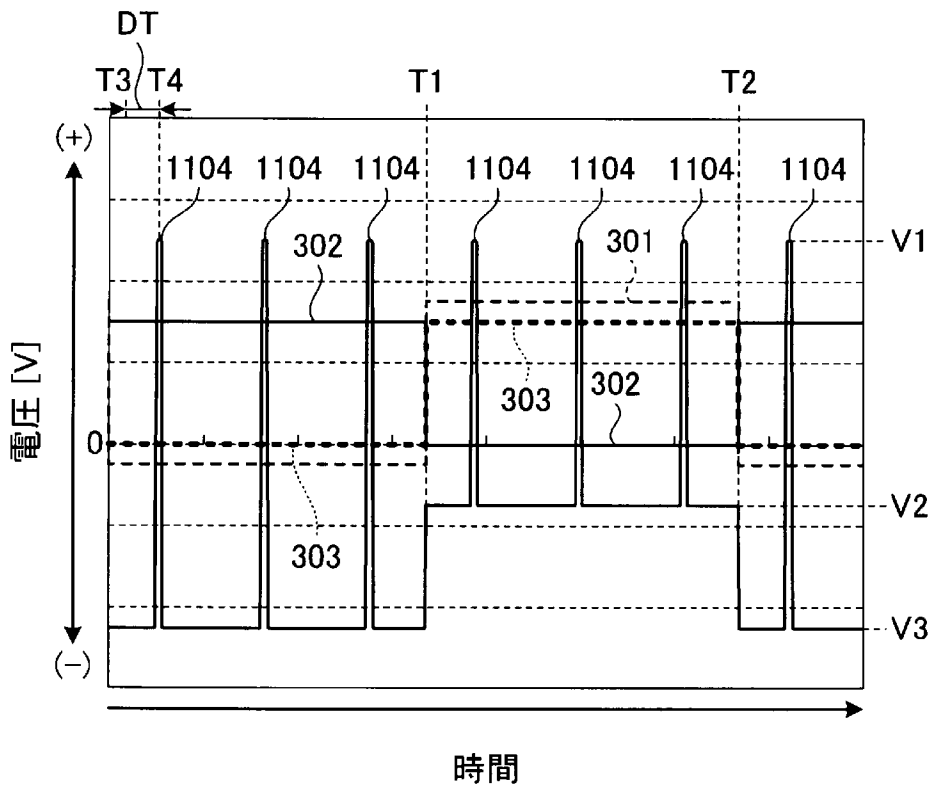
[図7]



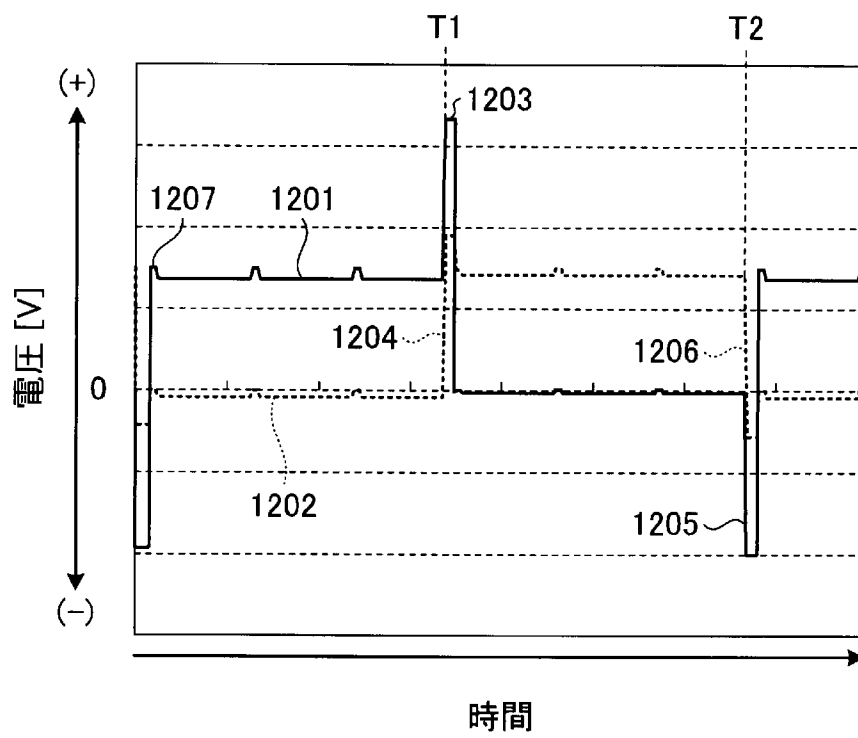
[図8]



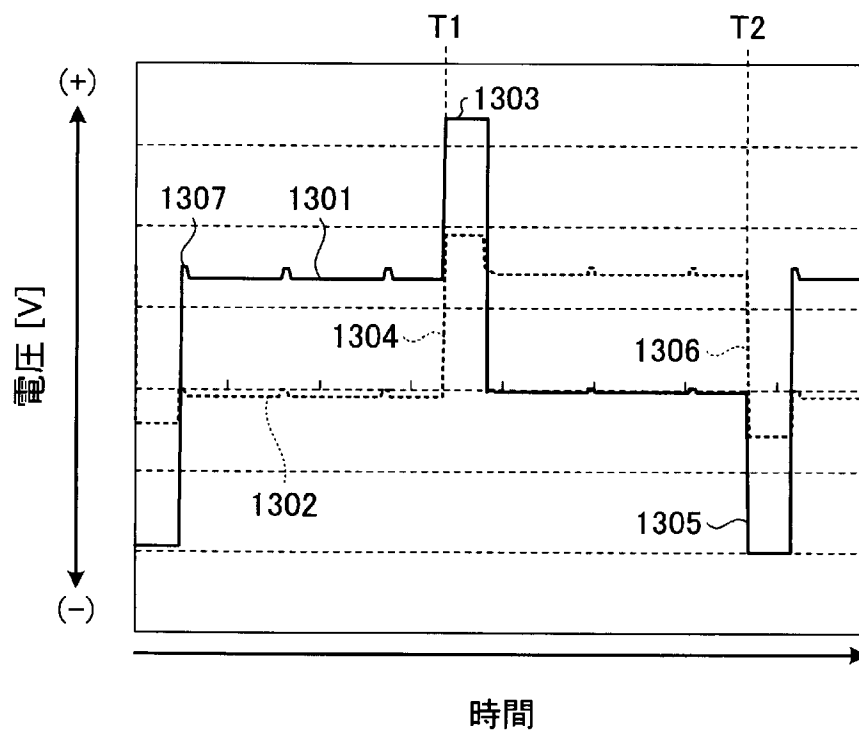
[図9]



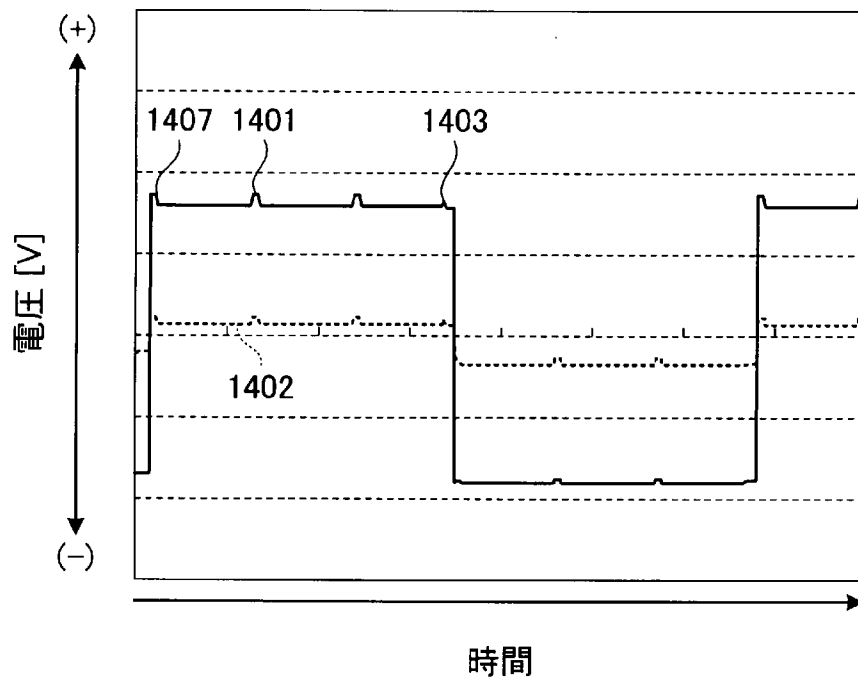
[図10]



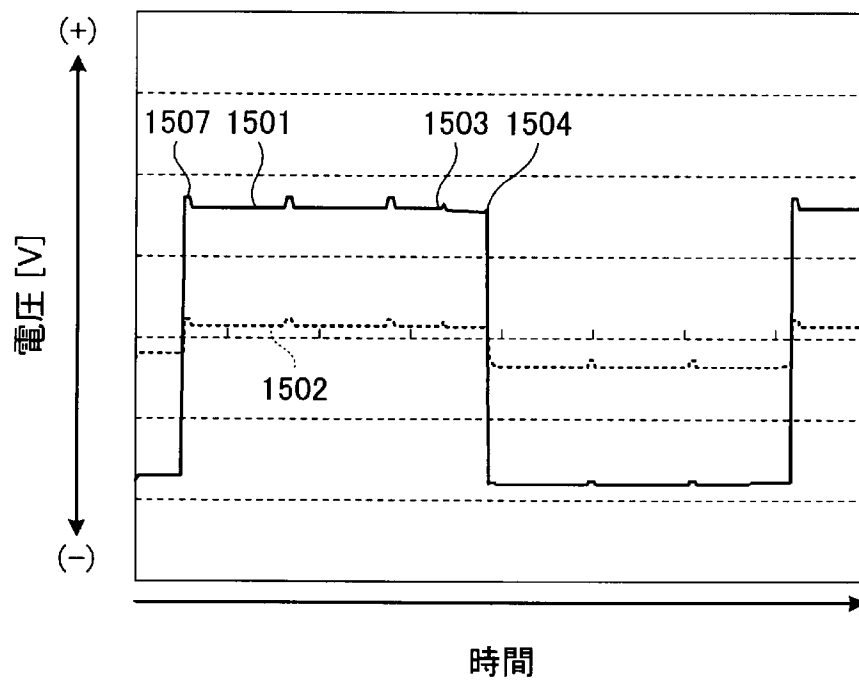
[図11]



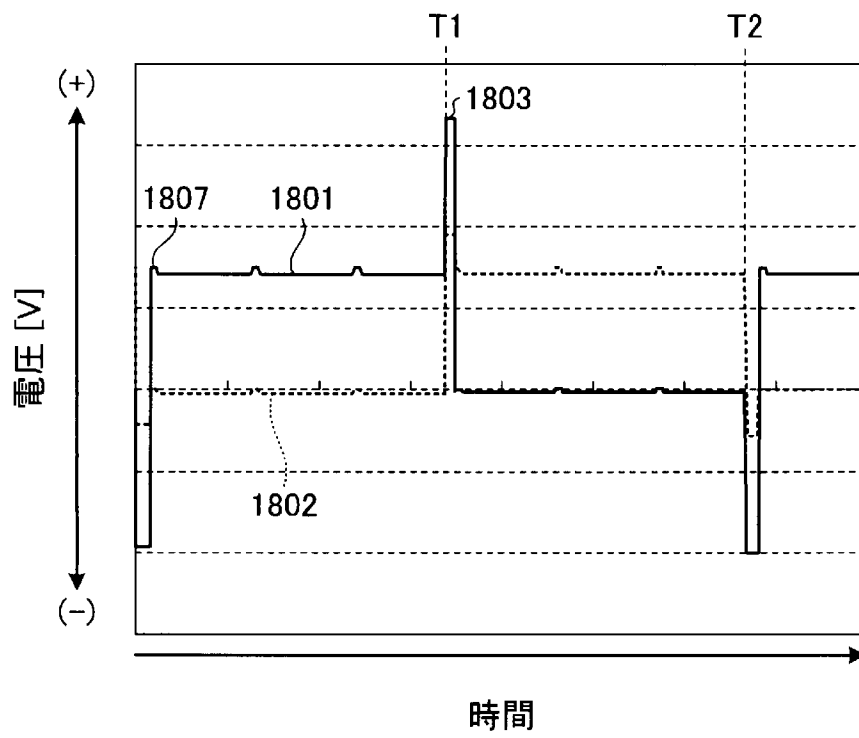
[図12]



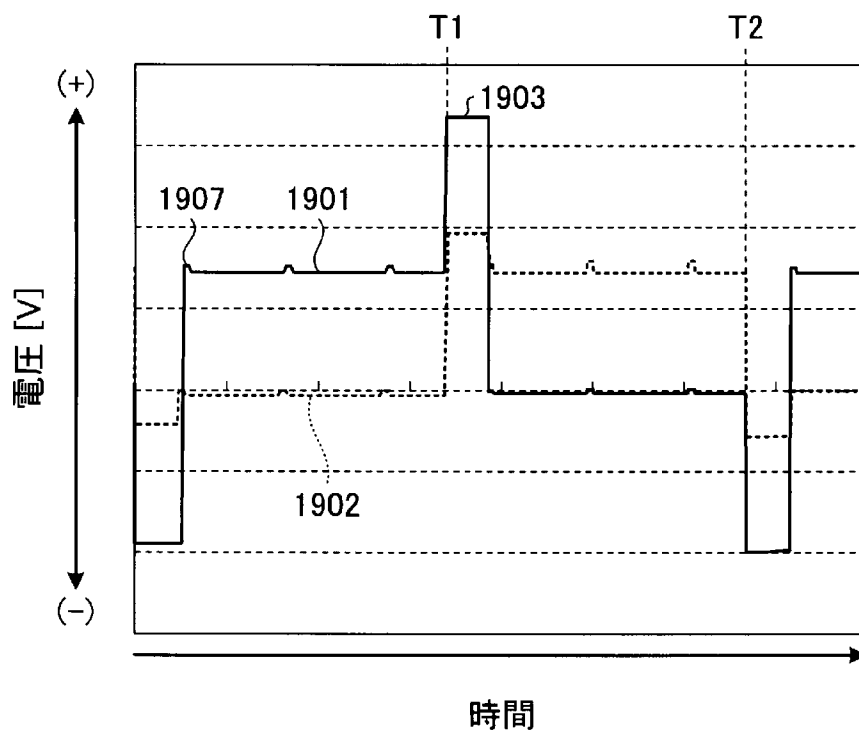
[図13]



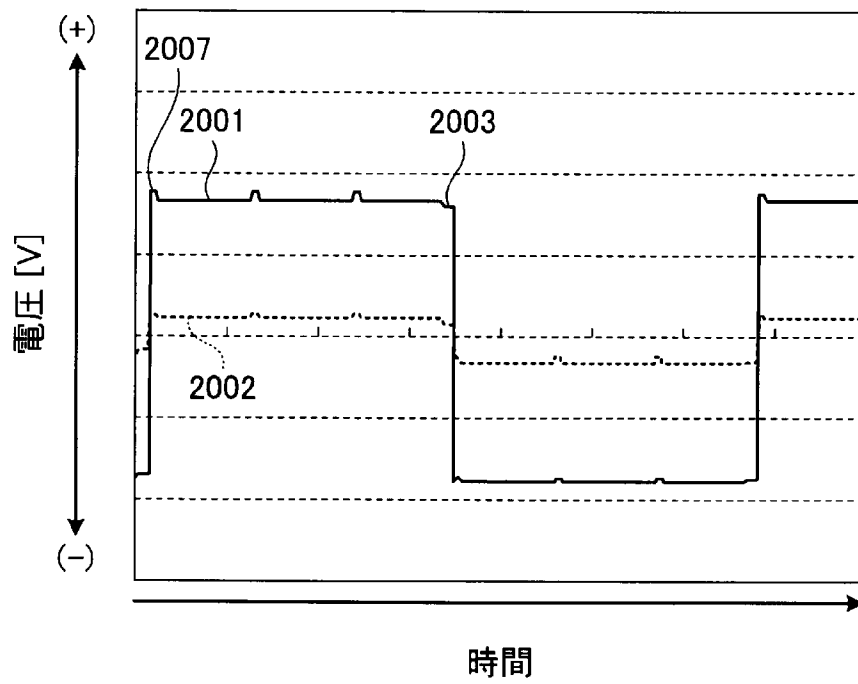
[図16]



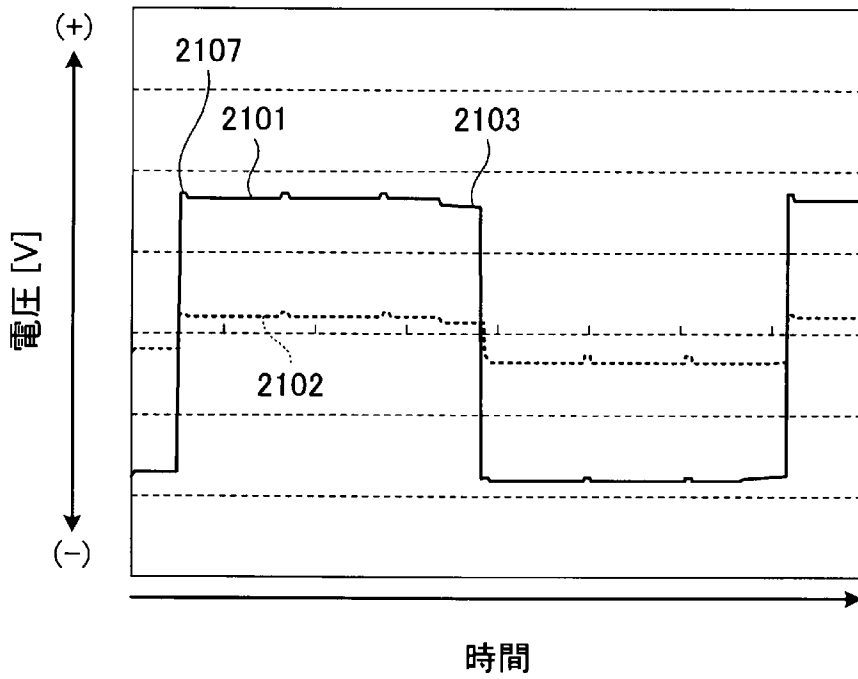
[図17]



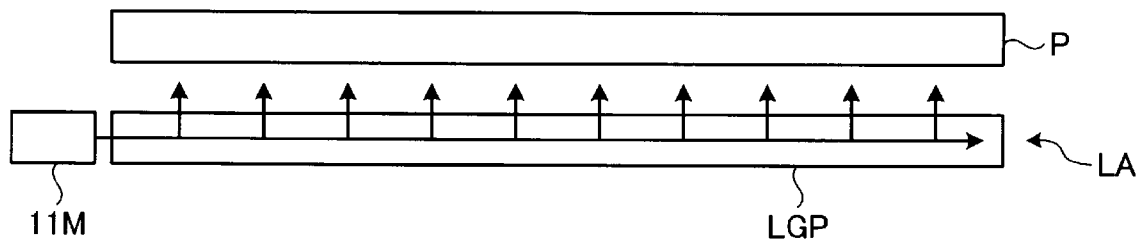
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045324

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/20(2006.01)i, G09G3/34(2006.01)i, G09G3/36(2006.01)i,
G02F1/133(2006.01)i
FI: G09G3/36, G09G3/20621B, G09G3/20622C, G09G3/20622D, G09G3/34J,
G09G3/20641E, G09G3/20611E, G09G3/20642A, G09G3/20670J, G02F1/133550,
G02F1/133535, G02F1/133510
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G09G3/20, G09G3/34, G09G3/36, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-346571 A (TOSHIBA CORPORATION) 27.12.1993 (1993-12-27), paragraph [0008], fig. 7	1-3 4-10
X Y	JP 2-77722 A (HITACHI, LTD.) 16.03.1990 (1990-03-16), page 2, upper right column, line 8 to page 3, lower right column, line 4, fig. 1-3	1-3 4-10
X Y	JP 4-51116 A (NEC CORPORATION) 19.02.1992 (1992-02-19), page 2, upper right column, line 19 to lower left column, line 20, fig. 1	1-3 4-10
Y	JP 2002-287708 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04.10.2002 (2002-10-04), paragraphs [0054]-[0067], [0149]-[0153], fig. 1, 10	4-10
Y	JP 2006-171084 A (JAPAN BROADCASTING CORPORATION) 29.06.2006 (2006-06-29), paragraphs [0083]-[0091], fig. 9	4-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
21.01.2020

Date of mailing of the international search report
18.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045324

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-120024 A (JAPAN DISPLAY INC.) 02.08.2018 (2018-08-02), paragraph [0002]	10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/045324

JP 5-346571 A	27.12.1993	(Family: none)
JP 2-77722 A	16.03.1990	(Family: none)
JP 4-51116 A	19.02.1992	(Family: none)
JP 2002-287708 A	04.10.2002	(Family: none)
JP 2006-171084 A	29.06.2006	(Family: none)
JP 2018-120024 A	02.08.2018	US 2018/0211630 A1 paragraph [0003]

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i; G09G 3/34(2006.01)i; G09G 3/36(2006.01)i; G02F 1/133(2006.01)i FI: G09G3/36; G09G3/20 621B; G09G3/20 622C; G09G3/20 622D; G09G3/34 J; G09G3/20 641E; G09G3/20 611E; G09G3/20 642A; G09G3/20 670J; G02F1/133 550; G02F1/133 535; G02F1/133 510		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/20; G09G3/34; G09G3/36; G02F1/133 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 5-346571 A（株式会社東芝）27.12.1993（1993-12-27） [0008], 図7	1-3
Y	[0008], 図7	4-10
X	JP 2-77722 A（株式会社日立製作所）16.03.1990（1990-03-16） 第2頁右上欄第8行－第3頁右下欄第4行，第1図－第3図	1-3
Y	第2頁右上欄第8行－第3頁右下欄第4行，第1図－第3図	4-10
X	JP 4-51116 A（日本電気株式会社）19.02.1992（1992-02-19） 第2頁右上欄第19行－同頁左下欄第20行，第1図	1-3
Y	第2頁右上欄第19行－同頁左下欄第20行，第1図	4-10
Y	JP 2002-287708 A（株式会社半導体エネルギー研究所）04.10.2002（2002-10-04） [0054]-[0067], [0149]-[0153], 図1, 図10	4-10
Y	JP 2006-171084 A（日本放送協会）29.06.2006（2006-06-29） [0083]-[0091], 図9	4-10
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 21.01.2020		国際調査報告の発送日 18.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西島 篤宏 21 9308 電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2018-120024 A (株式会社ジャパンディスプレイ) 02.08.2018 (2018 - 08 - 02) [0002]	10

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/045324

引用文献			公表日	パテントファミリー文献	公表日
JP	5-346571	A	27.12.1993	(ファミリーなし)	
JP	2-77722	A	16.03.1990	(ファミリーなし)	
JP	4-51116	A	19.02.1992	(ファミリーなし)	
JP	2002-287708	A	04.10.2002	(ファミリーなし)	
JP	2006-171084	A	29.06.2006	(ファミリーなし)	
JP	2018-120024	A	02.08.2018	US 2018/0211630 A1	
				[0003]	