

公告本

申請日期	91.3.22
案 號	91105611
類 別	H01L 21/8238

A4
C4

(以上各欄由本局填註)

577146

發明專利說明書

一、發明名稱	中 文	半導體裝置及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF
二、發明人	姓 名	桑野一幸 Kazuyuki KUMENO
	國 籍	日 本 JAPAN
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司 FUJITSU LIMITED
	國 籍	日 本 JAPAN
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
	代 表 人 姓 名	秋草直之 Naoyuki Akikusa

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
2001.12.11 特願2001-377623

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（¹）

相關申請案之交互參考資料

本申請案係以2001年12月11日所申請之日本專利申請案2001-377623為基礎並主張其優先權，其之完整內容係併於此以供參考。

發明背景

[發明範疇]

本發明係有關一種半導體裝置及其製造方法，當施用一設置有一包括金屬矽化物之閘極之半導體裝置時，本發明更為最佳。

[相關技藝之說明]

於近幾年之LSI系統中，為了降低該連接多晶矽閘極及元件間之佈線的電阻，故採用一多晶矽與金屬矽化物之疊層構造，且採用一雙構造，其中NMOS電晶體之閘極係為N-型，而PMOS電晶體之閘極係為P-型。

第13A、13B與13C圖以及第14A與14B圖係依其製程順序顯示一傳統CMOS電晶體之製造方法的截面圖，其採用前述之雙閘極構造。

如第13A圖所示，於一矽基材71上形成一場氧化薄膜72及閘極氧化薄膜73a與73b後，層疊一無摻雜之多晶矽薄膜。而後，一光阻罩幕75係形成於一區域中，以形成一閘極，且使用光阻罩幕75作為一罩幕以圖案化該無摻雜多晶矽薄膜，以形成一多晶矽薄膜74，其係用以形成閘極。

而後，如第13B圖所示，移除光阻罩幕75，而於多晶

五、發明說明 (2)

矽薄膜74上新形成一光阻罩幕76，該光阻罩幕76係置於一PMOS形成區域中，且使用光阻罩幕76作為一罩幕，以利用砷離子(As^+)進行離子植入製程。

而後，如第13C圖所示，於形成一絕緣薄膜以覆蓋多晶矽薄膜74(砷離子(As^+)係注入於其中)後，進行非等向性蝕刻以於閘極之側壁上形成側壁空間77a與77b。而後，PMOS形成區域中之多晶矽薄膜74的表面係以一光阻罩幕78所覆蓋，且一高濃度之砷離子(As^+)係被注入至一NMOS形成區域之NMOS側，以形成源極及汲極區域。

而後，如第14A圖所示，NMOS形成區域中之多晶矽薄膜74表面係以一光阻罩幕79覆蓋，且一高濃度之硼離子(B^+)係被注入至PMOS形成區域中之PMOS側，以形成源極及汲極區域。

而後，如第14B圖所示，加熱一矽基材71以活化該與離子一起注入之雜質。而後，使用一高熔點金屬以於閘極及源極與汲極區域中形成金屬矽化物80。

該使用以形成一前述之CMOS電晶體的光阻罩幕76-79一般係由一聚合化合物所形成。

，然而，當使用一光阻罩幕(其係由聚合化合物所形成)作為一罩幕以進行離子植入製程時，該構成光阻罩幕76-79之碳化物係被引至該位於光阻罩幕之邊緣部位的多晶矽薄膜74的表面。

所引入之碳化物無法藉由光阻灰化與清洗而移除。因此，如第14B圖所示，金屬矽化物係被認為無法形成於區

五、發明說明（³）

域81a與81b中(於此碳化物仍存在)，其乃因金屬矽化物之形成受到抑制之原因，而此缺點係在於，半導體裝置無法進行一預定的操作。

因此，其可想出於氧化矽薄膜層疊於多晶矽薄膜(其形成於半導體基材上)上之後進行離子植入，且而後，移除氧化矽薄膜以形成金屬矽化物，即如日本專利早期公開正式公報2000-138293中所示者。

然而，於日本專利早期公開正式公報2000-138293所述之技術中仍存在下列缺點。

首先，其需要一生長氧化矽薄膜的製程，其係造成生產成本的增加。

二者，由於離子植入製程係透過氧化矽薄膜而進行，其必需增加離子植入製程的能量。因此，源極及汲極的擴散層係深入形成於半導體基材的內部，其難以實現在微小尺寸下形成電晶體。

發明概述

有鑑於前述之缺點，本發明之目的係在提供一半導體裝置及其製造方法，其使在多晶矽上形成金屬矽化物上時，可於低電阻佈線下進行一正常操作變得可能，且可實現成本的降低與在微小尺寸下形成半導體裝置。

本發明係提供下列之具體實施例以解決前述缺點。

於本發明之第一具體實施例中，一半導體裝置係包含一形成於半導體基材上之半導體薄膜以及一形成於前述半

五、發明說明 (4)

導體薄膜上之金屬矽化物薄膜，其中多個相同之導電性半導體薄膜(其形成於半導體基材上)之至少之一係被連接，其沿半導體基材表面處係包含二或多個濃度差。

具體言之，其特徵在於，一不形成金屬矽化物薄膜之區域係位於一具有前述濃度差異之區域上。

當具有此一結構時，該不形成金屬矽化物薄膜之區域與不同傳導型半導體薄膜之接面係不會重疊。

於第一具體實施例中，前述半導體薄膜係包含一第一傳導型半導體薄膜(其具有二或多個濃度差)以及一不同於第一傳導型之第二傳導型半導體薄膜，其中一位於第一傳導型半導體薄膜上之低濃度區域係連接至第二傳導型半導體薄膜。然後，當形成一第一傳導型電晶體時其為較佳，其乃因該不形成金屬矽化物薄膜之區域不會與該不同之傳導型半導體薄膜相重疊。

再者，於第一具體實施例中，前述半導體薄膜特別包含該具有二或多個濃度差之第一傳導型半導體薄膜、該不同於第一傳導型之第二傳導型半導體薄膜以及一無摻雜半導體薄膜(其中不摻雜有雜質)，其中該無摻雜半導體薄膜係沿半導體基材之表面，而連接性地夾置於第一傳導型半導體薄膜之低濃度區域與第二傳導型半導體薄膜之間。而後其會更佳，此乃因第一傳導型之雜質與第二傳導型之雜質可在任何濃度下被注入。

再者，於第一具體實施例中，前述半導體薄膜具體地包含該具有二或多個濃度差之第一傳導型半導體薄膜以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（⁵）

第二傳導型半導體薄膜（其具有二或多個不同濃度且不同於第一傳導型半導體薄膜），其中於第一傳導型半導體薄膜中之低濃度區域係與第二傳導型半導體薄膜中之低濃度區域相連接。而後，其為較佳，此乃因當形成第二傳導型電晶體時，該不形成金屬矽化物薄膜之區域不會與不同傳導型半導體薄膜之接面相重疊。

又，於第一具體實施例中，其存在一高濃度之半導體薄膜雜質，其質量係高於該存在於半導體薄膜內之低濃度區域的雜質。

再者，於第一具體實施例中，一半導體裝置係包含一形成於半導體基材之表面上之絕緣薄膜以及一形成於半導體基材中之擴散層，其係以夾置該相同之傳導型半導體薄膜之低濃度區域的方式來配置，以形成一電晶體，其中半導體薄膜係作為一閘極，該絕緣薄膜係作為一閘極絕緣薄膜，且擴散層作為一源極與一汲極。

再者，於第一具體實施例中，半導體薄膜係為一多晶矽薄膜。

於本發明之第二具體實施例中，一半導體裝置之製造方法係包含：一於半導體基材上形成一半導體薄膜之第一步驟；一形成一覆蓋半導體薄膜之部分區域之第一罩幕層的第二步驟；一於半導體薄膜中形成一第一傳導型半導體薄膜之第三步驟，其係藉由使用該第一罩幕層作為一罩幕，而將第一傳導型之第一雜質注入半導體薄膜中來進行；一移除該第一罩幕層之第四步驟；一形成一第二罩幕

五、發明說明（⁶）

層之第五步驟，其覆蓋第一傳導型半導體薄膜之部分區域與一不同於第一傳導型半導體薄膜之半導體薄膜，以包括一位於第一傳導型半導體薄膜與該不同於第一傳導性半導體薄膜之半導體薄膜之間的界限區域；一形成高濃度之第一傳導型半導體薄膜與低濃度之第一傳導型半導體薄膜的第六步驟，其係藉使用第二罩幕層作為一罩幕，而將與該第一傳導型相同之第二傳導型雜質注入半導體薄膜來進行，該第二雜質係由一質量比第一雜質重之元素所構成；一移除第二罩幕層之第七步驟；以及一於半導體薄膜上形成金屬矽化物之第八步驟，以使得不形成金屬矽化物之區域不會與該具有不同傳導型之半導體薄膜的接面相重疊。

於本發明第三具體實施例中，在於一半導體基材上形成一閘極半導體薄膜（其中二不同之傳導型半導體薄膜係彼此接合）後，在閘極半導體薄膜上形成一金屬矽化物薄膜之製造半導體裝置中，該半導體裝置的製造方法包含：一於一相同傳導型半導體薄膜中形成一低濃度區域的第一步驟，其係藉將一輕元素之雜質離子注入到閘極半導體薄膜之至少一相同傳導型之半導體薄膜中；一於相同傳導型半導體薄膜中形成高濃度區域的第二步驟，其係藉將一質量比輕元素重之重元素雜質離子注入到一相同傳導型半導體薄膜之低濃度區域側，該低濃度區域側係相對於該位於二不同傳導型半導體薄膜間之接面；以及一於二不同傳導型半導體薄膜間之接面上形成一金屬矽化物薄膜的第三步驟，以使得該不形成金屬矽化物薄膜之區域不會與二不同

五、發明說明 (7)

傳導型半導體薄膜間之接面相重疊。

圖式簡要說明

第1A、1B與1C圖係指本發明之第一具體實施例，且為顯示半導體裝置製造方法之製程順序的圖示截面圖；

第2A、2B與2C圖係指本發明之第一具體實施例，且為顯示於第1A、1B與1C圖後之半導體裝置製造方法之製程順序的圖示截面圖；

第3圖係指本發明之第一具體實施例且為一顯示由前述之第1A、1B與1C圖及第2A、2B與2C圖所製造之半導體裝置的圖示平面圖；

第4A、4B與4C圖係指本發明之第二具體實施例，且為顯示半導體裝置製造方法之製程順序的圖示截面圖；

第5A、5B與5C圖係指本發明之第二具體實施例，且為顯示於第4A、4B與4C圖後之半導體裝置製造方法之製程順序的圖示截面圖；

第6圖係指本發明之第一具體實施例，且為一顯示由前述之第4A、4B與4C圖及第5A、5B與5C圖所製造之半導體裝置的第一圖示平面圖；

第7圖係指本發明之第一具體實施例，且為一顯示由前述之第4A、4B與4C圖及第5A、5B與5C圖所製造之半導體裝置的第二圖示平面圖；

第8A、8B與8C圖係指本發明之第三具體實施例，且為顯示半導體裝置製造方法之製程順序的圖示截面圖；

五、發明說明（⁸）

第9A、9B與9C圖係指本發明之第三具體實施例，且為顯示於第8A、8B與8C圖後之半導體裝置製造方法之製程順序的圖示截面圖；

第10A與10B圖係指本發明之第三具體實施例，且顯示於第9A、9B與9C圖後之半導體裝置製造方法之製程順序的圖示截面圖；

第11A、11B與11C圖係指本發明之第四具體實施例，且為顯示半導體裝置製造方法之製程順序的圖示截面圖；

第12A、12B與12C圖係指本發明之第四具體實施例，且為顯示於第11A、11B與11C圖後之半導體裝置製造方法之製程順序的圖示截面圖；

第13A、13B與13C圖係指之前技藝，且為顯示其半導體裝置製造方法之製程順序的圖示截面圖；以及

第14A與14B圖係指之前技藝，且為顯示於第13A、13B與13C圖後之半導體裝置製造方法之製程順序的圖示截面圖。

較佳具體實施例之詳細說明

-實施具體實施例之條件-

在解釋本發明之半導體裝置及其製造方法之具體實施例的詳細說明之前，將先解釋本發明之發明人於今已發現用以實施本發明之事實。

本發明之發明人係仔細研究該注入至金屬矽化物上之多晶矽中之不同離子的作用，該金屬矽化物而後係形成於

五、發明說明 (9)

多晶矽上。因此，發現了下面重要的事實。

即，本發明之發明人已發現該形成於多晶矽上之金屬矽化物主要係取決於注入離子的種類、離子植入製程能量以及劑量，且特別是，當使用砷離子(As^+)時，金屬矽化物的形成係十分困難，但，當使用磷離子(P^+)或硼離子(B^+)且在高劑量時，不易查覺矽化物形成的抑制作用，且發明人已確定，金屬矽化物形成有時簡單有時困難乃取決於所選用之離子種類。

詳言之，當砷離子(As^+)於10 keV、 $6 \times 10^{13} \text{cm}^{-2}$ 之條件下注入至多晶矽以形成金屬矽化物時，多晶矽上無法形成完美的金屬矽化物且會產生一不形成金屬矽化物區域。

另一方面，當多晶矽上之離子植入製程係於20 keV、 $4 \times 10^{15} \text{cm}^{-2}$ 之條件下以磷離子(P^+)進行，或於7 keV、 $4 \times 10^{15} \text{cm}^{-2}$ 之條件下以硼離子(B^+)進行時，不形成金屬矽化物之區域係不形成於多晶矽上。

因此，本發明之發明人發現，當離子植入製程係使用一原子數相當大(即，質量大)之元素來進行時，金屬矽化物的形成會易於被阻礙，換言之，當離子植入製程係使用一原子數小(即，質量小)之元素來進行時，金屬矽化物的形成會變容易。

以下將說明使用已發現之特徵之本發明的各半導體裝置及其製造方法的具體實施例。

- 第一具體實施例 -

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

以下將參照附圖以說明本發明之半導體裝置及其製造方法的第一具體實施例。

第1A、1B與1C圖及第2A、2B與2C圖係為顯示本具體實施例之半導體裝置製造方法之製程順序的圖示截面圖，而第3圖係為一顯示依前述之第1A、1B與1C圖及第2A、2B與2C圖之製程順序所製造之半導體裝置的圖示平面圖。

首先，如第1A圖所示，於半導體基材之元件形成區域1上，使用一熱氧化方法等之方法形成一閘極絕緣薄膜(其由如SiO₂薄膜所製成)後，一場絕緣薄膜2係使用LOCOS等方法而形成於一元件分隔區域中。經由此一製程而於NMOS形成區域中形成閘極絕緣薄膜3a且於PMOS形成區域中形成閘極絕緣薄膜3b，其等係由場絕緣薄膜2所分隔。

而後，一多晶矽薄膜4係在氮大氣下，藉一諸如熱解作用而層疊於閘極絕緣薄膜3a與3b及場絕緣薄膜2上。

而後，一用於閘極n-型形成之窗口係藉以第一光阻罩幕5(其作為一第一罩幕層)覆蓋多晶矽薄膜4之PMOS形成區域4b而形成，且一作為第一雜質之磷離子(P⁺)係在如20KeV及 $4 \times 10^{15} \text{cm}^{-2}$ 之條件下自上方注入。

經由此一製程，多晶矽閘極薄膜4之NMOS形成區域4a係在約 $2.5 \times 10^{20} \text{cm}^{-3}$ 之濃度下轉變成n-型。而後，剝落第一光阻罩幕5並清洗該經剝落的部分。

必須注意的是，該用以在覆蓋第一光阻罩幕5下將多晶矽薄膜4形成至n-型之n-型形成圖案資料(於第3圖中之多晶矽n-型形成光阻圖案)可僅藉轉移n-井資料而產生，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（¹¹）

因此其可方便地自動產生。

接下來，如第1B圖所示，一多晶矽薄膜4之閘極形成區域係以一第二光阻罩幕6所覆蓋，該閘極形成區域係包括多晶矽閘極薄膜4之NMOS形成區域4a與多晶矽閘極薄膜4之PMOS形成區域4b（於上並無離子被摻雜），且多晶矽薄膜4係使用如微影技術及乾蝕刻技術而圖案化，以形成閘極形成層4a1與4b1。而後，剝落第二光阻罩幕6且清洗之。

接下來，如第1C圖所示，為了於NMOS形成區域中形成一LDD（微摻雜汲極），一無摻雜區域4b1與n-型形成區域4a1之部份區域係以一第三光阻罩幕7（其作為一第二罩幕層）所覆蓋，以包括一位於區域4b1（於此，該位於閘極形成層4a1與4b1中之離子係不被摻雜，此後係稱為無摻雜區域）與一n-型形成區域4a1（此後稱為n-型形成區域）間之界限部份。

具體而言，一形成NMOS形成區域內之LDD的NMOSLDD離子植入製程窗口（位於NMOS形成區域側上之第三光阻罩幕7的A端）係被排列以定位於閘極之n-型形成窗口（NMOS形成區域側上之第一光阻罩幕5之B端）與NMOS閘極（置於PMOS形成區域側上之閘極絕緣薄膜3a上的多晶矽薄膜4的一端）之間。

同時，於 $0.25\mu\text{m}$ 元件之例子中，閘極之n-型形成窗口（第一光阻罩幕的B端）與NMOSLDD形成離子植入製程窗口（第三光阻罩幕7的A端）之間的距離較佳係約 $0.3\mu\text{m}$ 。

五、發明說明（¹²）

而後，在一例如10KeV、 $3 \times 10^{14} \text{ cm}^{-2}$ 之條件下，將一作為第二雜質之砷離子(As^+)自上方注入，以進行NMOS電晶體之LDD形成的離子植入製程。

如前述之使用砷離子(As^+)以用於形成LDD之理由係因其必須於半導體基材1中形成一淺接面。此外，使用砷離子(As^+)之優點不僅可使離子植入製程之能量降低，且可降低元件之電阻，而可改良元件之容積。

用於形成前述之NMOSLDD離子植入製程窗口之LDD(於第3圖中之NMOSLDD光阻圖案)的植入窗口資料可藉轉移閘極之n-型形成圖案資料(第3圖中之多晶矽n-型形成光阻圖案)而自動產生。

而後，剝除第三光阻罩幕7且清洗該剝除部份。

接下來，如第2A圖所示，於覆蓋閘極形成層4a1與4b1之頂面及側面且形成一絕緣薄膜後，施用非等向性蝕刻等製程以於閘極形成層4a1與4b1之側壁上形成側壁空間8a與8b。

而後，為了於NMOS形成區域中形成源極及汲極區域，一無摻雜區域4b1與n-型形成區域4a1之部份區域係以一第四光阻罩幕9(其作為第四罩幕層)所覆蓋，以包括閘極形成層4a1與4b1之無摻雜區域4b1與一位於無摻雜區域4b1與n-型形成區域4a1間之界限部位。

具體言之，一位於NMOS形成區域側上之第四光阻罩幕9的A端係以與前述之NMOSLDD離子植入製程例子相似之方式，而配置以定位於閘極n-型形成窗口之一端(位於

五、發明說明 (13)

NMOS形成區域側上之第一光阻罩幕5上的B端)與NMOS閘極(一置於PMOS形成區域側上之閘極絕緣薄膜3a上之多晶矽薄膜4的一端)之間。

同時，於 $0.25\mu\text{m}$ 元件之例子中，閘極之n-型形成窗口(第一光阻罩幕5的B端)與NMOS源極及汲極形成離子植入製程窗口(第四光阻罩幕9的A端)之間的距離較佳係約 $0.3\mu\text{m}$ 。

而後，在一例如 40KeV 、 $2\times 10^{15}\text{cm}^{-2}$ 之條件下，將一作為第四雜質之砷離子(As^+)自上方注入。透過此一製程，一源極區域與一汲極區域(第3圖中之NMOS LDD源極及汲極13)係在高濃度下形成於半導體基材之NMOS形成區域中。

使用砷離子(As^+)以形成源極區域與汲極區域之理由係因其所需之離子植入製程能量較少，且可降低元件電阻，以改良元件之容積。

因此，在閘極形成層4a1與4b1之n-型形成區域4a1中之以第四光阻罩幕9所覆蓋之區域內的離子濃度 N^+ 與未覆蓋之區域內的離子濃度 N^{++} 差異係約 $1.5\times 10^{20}\text{cm}^{-3}$ 。

該用以形成NMOS形成區域內之源極及汲極區域的NMOS源極及汲極形成植入製程窗口資料(第3圖中之NMOS源極及汲極光阻圖案)係與該用以形成NMOSLDD離子植入製程窗口之LDD植入窗口資料(第3圖中之NMOSLDD光阻圖案)相同。

而後，剝除第四光阻罩幕9且清洗該剝除的部份。

五、發明說明 (14)

接下來，如第2B圖所示，為了於PMOS形成區域中形成源極及汲極區域，一不包括鄰近該無摻雜區域4b1之區域的n-型形成區域4a1係以第五光阻罩幕10(作為第三罩幕層)所覆蓋。

具體言之，一位於PMOS形成區域上之第五光阻罩幕10的C端係以與前述之NMOSLDD離子植入製程例子相似之方式，而配置以定位於閘極之n-型形成窗口(位於NMOS形成區域側上之第一光阻罩幕5的B端)與NMOS閘極(一置於PMOS形成區域側上之閘極絕緣薄膜3a上之多晶矽薄膜4的一端)之間。

而後，在一例如7KeV、 $2 \times 10^{15} \text{ cm}^{-2}$ 之條件下，將一作為第三雜質之硼離子(B^+)自上方注入。透過此一製程，一無摻雜區域4b1係形成為一p-型(此後係將p-型無摻雜區域指稱為p-型形成區域)，且同時，一源極區域與一汲極區域(第3圖中之PMOS LDD源極及汲極14)係在高濃度下形成於半導體基材之PMOS形成區域中。

必須注意的是，硼離子(B^+)的植入係在比砷離子植入製程之量($4 \times 10^{15} \text{ cm}^{-2}$)更低之下進行，以形成第1A圖所示之NMOS形成區域4a。此係因為該不被第五光阻罩幕10所覆蓋之n-型形成區域係不被轉換成p-型。

在被第四光阻罩幕9所覆蓋之區域(如第2A圖示)中，該被第五光阻罩幕10所覆蓋之區域內的離子濃度 N1^+ 與未覆蓋之區域內的離子濃度 N2^+ 差異係約 $1 \times 10^{20} \text{ cm}^{-3}$ 。

必須注意的是，該用以形成前述PMOS形成區域內之

五、發明說明 (15)

源極及汲極區域的PMOS源極及汲極形成植入製程窗口資料(第3圖中之PMOS源極及汲極光阻圖案)可以與前述LDD植入窗口資料相同之方式，而藉轉移前述之閘極之n-型形成圖案資料(第3圖中之多晶矽n-型形成光阻圖案)而自動產生。

接下來，如第2C圖所示，一離子注入之雜質係藉加熱一半導體基材之元件形成區域1而活化。而後，金屬矽化物11係使用一高熔點金屬而形成於閘極及源極與汲極區域中。

同時，由於碳化物係藉第1C與2A圖所示之砷離子(As^+)植入技術而被引入多晶矽薄膜(其係置於第三與第四光阻罩幕7與9之A端處)之表面中，故金屬矽化物11係不形成於此一部份上。

然而，當一雙閘極結構之半導體裝置係藉本具體實施例之方法而形成時，一金屬矽化物不形成區域12(於此不形成前述之金屬矽化物10)係形成於閘極形成層4a1與4b1之n-型區域4a1之中心部份的鄰近處。

因此，金屬矽化物不形成區域12可被配置以不與一閘極形成層4a1與4b1之pn接面重疊，且前述之金屬矽化物不形成部份的一部份可在 $1 \times 10^{20} \text{ cm}^{-3}$ 之濃度下與多晶矽電阻相接。

因此，於本具體實施例中，當金屬矽化物不形成區域12形成於閘極形成層4a1與4b1之n-型形成區域4a1上，以使得金屬矽化物不形成區域12不與閘極形成層4a1與4b1之

五、發明說明（ 16）

pn接面重疊且金屬矽化物薄膜11形成於pn接面上時，一構成pn接面之寄生二極體係不形成於閘極上，其可避免金屬矽化物不形成區域12之電阻的增加。

由於此一結構，故不需習知技術中之在多晶矽薄膜上形成氧化矽薄膜的製程，且可在遠比習知技術之低成本下製造雙閘極結構之半導體裝置。

此外，由於不具該形成氧化矽薄膜之必要性，離子植入製程之能量係不需過大。因此，本發明之半導體裝置可製造的比習知之雙結構的半導體裝置更為微細。

-第二具體實施例-

本發明之第二半導體裝置之具體實施例及其製造方法將於下說明。

第4A、4B與4C圖及第5A、5B與5C圖係為顯示一本具體實施例之半導體裝置製造方法之製程順序的圖示截面圖。第6與7圖係為一顯示依前述之第4A、4B與4C圖及第5A、5B與5C圖之製程順序所製造之半導體裝置的圖示平面圖。

由於本具體實施例之製造半導體裝置的方法與前述之第一具體實施例之製造半導體裝置的方法在形成第五光阻罩幕10之部份不同，與第一具體實施例相之部份係給予相同的符號及數字，且省略其等之詳細說明。

首先，如第4A圖示，於一半導體基材之元件形成區域1上形成閘極絕緣薄膜後，形成一場絕緣薄膜2以將

五、發明說明（¹⁷）

NMOS形成區域之閘極絕緣薄膜3a與PMOS形成區域之閘極絕緣薄膜3b分開。

而後，在一多晶矽薄膜4層疊於閘極絕緣薄膜3a及3b與場絕緣薄膜2上後，形成一閘極之n-型形成窗口，其以第一光阻罩幕5覆蓋多晶矽薄膜4之PMOS形成區域4b。

而後，在一例如20KeV、 $4 \times 10^{15} \text{ cm}^{-2}$ 之條件下，將磷離子(P^+)自上方注入，以將多晶矽閘極薄膜4之NMOS形成區域4a轉換成n-型。而後，剝除第一光阻罩幕5且清洗剝落部份。

必須注意的是，一將多晶矽薄膜4轉換成n-型且覆蓋第一光阻罩幕5之n-型形成圖案資料(第6圖中之多晶矽n-型形成光阻圖案)可僅藉轉移n-井資料而產生，因此而易於達成自動化生產。

接下來，如第4B圖所示，多晶矽薄膜4之閘極形成區域係以一第二光阻罩幕6所覆蓋，且圖案化多晶矽薄膜4，以形成閘極形成層4a1與4b1。而後，剝除且清洗第二光阻罩幕6。

接下來，如第4C圖所示，為了於NMOS形成區域中形成LDD，以一第三光阻罩幕7覆蓋一無摻雜區域4b1以及n-型形成區域4a1的部份區域，以包括閘極形成層4a1與4b1之無摻雜區域以及一位於無摻雜區域4b1及n-型形成區域4a1間之界限部位。

具體言之，用以形成NMOS形成區域內之LDD的NMOSLDD離子植入製程窗口(NMOS形成區域側上之第三

五、發明說明 (18)

光阻罩幕7的A端)係被配置以定位於一閘極之n-型形成窗口(NMOS形成區域側上之第一光阻罩幕5的B端)與NMOS閘極(置於PMOS形成區域側上之閘極絕緣薄膜3a上之多晶矽薄膜4的一端)之間。

而後，在一例如10KeV、 $3 \times 10^{14} \text{ cm}^{-2}$ 之條件下，將砷離子(As^+)自上方注入，以進行NMOS電晶體之LDD的離子植入製程。

用於形成前述之NMOSLDD離子植入製程窗口之LDD的植入窗口資料(第6圖中之NMOSLDD光阻圖案)可藉轉移閘極之n-型形成圖案資料(第6圖中之多晶矽n-型形成光阻圖案)而自動產生。

而後，剝除第三光阻罩幕7且清洗剝落部份。

接下來，如第5A圖所示，為了於NMOS形成區域中形成源極及汲極區域，故於閘極形成層4a1與4b1之側壁上之側壁空間8a與8b形成後，以一作為第四罩幕層之第四光阻罩幕9覆蓋無摻雜區域4b1與n-型形成區域4a1之部份區域，以包括一位於閘極形成層4a1與4b1之無摻雜區域4b1與n-型形成區域4a1間之界限部位。

具體言之，一位於NMOS形成區域側上之第四光阻罩幕9的A端係以與前述之NMOSLDD離子植入製程相似的方式而配置，以定位於閘極之n-型形成窗口的一端(位於NMOS形成區域側上之第一光阻罩幕5的B端)與NMOS閘極(定位於PMOS形成區域側上之閘極絕緣薄膜3a上之多晶矽薄膜4的一端)之間。

五、發明說明 (19)

而後，一作為第四雜質之砷離子(As^+)係在一例如 40KeV、 $2 \times 10^{15} \text{ cm}^{-2}$ 之條件下，自上方注入，以在高濃度下，於半導體基材之NMOS形成區域內形成一源極區域與一汲極區域(第6及7圖中之NMOS LDD S/D24)。

在閘極形成層4a1與4b1之n-型形成區域4a1中之以第四光阻罩幕9所覆蓋之區域內的離子濃度 N^+ 與未覆蓋之區域內的離子濃度 N^{++} 差異係約 $1.5 \times 10^{20} \text{ cm}^{-3}$ 。

該用以形成NMOS形成區域內之源極及汲極區域的NMOS源極及汲極形成植入製程窗口資料(第6圖中之NMOS S/D光阻圖案)係與該用以形成NMOSLDD離子植入製程窗口之LDD植入窗口資料(第6圖中之NMOSLDD光阻圖案)相同。

而後，剝除第四光阻罩幕9且清洗該剝除的部份。

接下來，如第5B圖所示，一排除一E區域(其係用以形成PMOS閘極)之無摻雜區域4b1與n-型形成區域4a1係以一第六光阻罩幕21(作為第三罩幕層)所覆蓋。

具體言之，一位於PMOS形成區域上之第六光阻罩幕21之D端係被配置以定位於閘極之n-型形成窗口之B端與PMOS閘極(其置於NMOS形成區域側上之閘極絕緣薄膜3b上之多晶矽薄膜4的一端)之間。

此時，於 $0.25 \mu\text{m}$ 元件之例子中，閘極之n-型形成窗口(第一光阻罩幕的B端)與PMOS源極及汲極離子植入製程窗口(第六光阻罩幕21的D端)之間的距離較佳係約 $0.3 \mu\text{m}$ 。

五、發明說明（²⁰）

而後，在一例如 7KeV 、 $2 \times 10^{15} \text{ cm}^{-2}$ 之條件下，將一作為第三雜質之硼離子 (B^+) 自上方注入。透過此一製程，一用於形成 PMOS 閘極之 E 區域係被轉換成 p-型 (此後，一 p-型形成之無摻雜區域係以 p-型形成區域來表示)，且同時，一高濃度之源極區域與汲極區域 (第 6 及 7 圖所示之 PMOS LDD 源極及汲極 25) 係形成於半導體基材之 PMOS 形成區域中。

必須注意的是，該用以形成前述 PMOS 形成區域內之源極及汲極區域的 PMOS 源極及汲極形成植入製程窗口資料 (第 7 圖中之 PMOS 源極及汲極光阻圖案) 可以與前述 LDD 植入窗口資料相同之方式，而藉轉移閘極之 n-型形成圖案資料 (第 7 圖中之多晶矽 n-型形成光阻圖案) 以自動產生。

接下來，如第 5C 圖所示，一離子注入之雜質係藉加熱一半導體基材之元件形成區域 1 而活化。而後，金屬矽化物 22 係使用一高熔點金屬而形成於閘極及源極與汲極區域中。

此時，由於碳化物係藉第 5A 圖所示之砷離子 (As^+) 植入技術而被引入多晶矽薄膜 (其係置於第四光阻罩幕 9 的 A 端處) 之表面內，故金屬矽化物 22 係不形成於此一部份上。

然而，於本具體實施例之方法中亦然，一金屬矽化物不形成區域 23 (於此不形成金屬矽化物 22) 係形成於閘極形成層 4a1 與 4b1 之 n-型區域 4a1 之中心部份的鄰近處。

因此，金屬矽化物不形成區域 23 可被配置以不與一閘極形成層 4a1 與 4b1 之 pn 接面重疊，以使該不形成前述之金

五、發明說明（²¹）

屬矽化物的部份可在 10^{20} cm^{-3} 之濃度下與多晶矽電阻相接。

因此，於本具體實施例中亦然，當金屬矽化物不形成區域23形成於閘極形成層4a1與4b1之n-型形成區域4a1之上以使得金屬矽化物不形成區域23不與閘極形成層4a1與4b1之pn接面重疊且金屬矽化物薄膜22形成於pn接面上時，一構成pn接面之寄生二極體係不形成於閘極上，其可避免金屬矽化物不形成區域23之電阻的增加。

由於此一結構，故不需如習知技術中之在多晶矽薄膜上形成氧化矽薄膜的製程，且可在遠比習知技術之低成本下製造雙閘極結構之半導體裝置。

此外，由於不具該形成氧化矽薄膜之必要性，離子植入製程之能量係不需過大。因此，本發明之半導體裝置可製造的比習知之雙結構的半導體裝置更為微細。

再者，於本具體實施例之半導體裝置中，當閘極形成層4a1與4b1被轉換成p-型時，由於不形成第六光阻圖案21以覆蓋無摻雜區域4b之部份，故PMOS形成區域可在無硼離子(B^+)注入n-型形成區域4a之情況下被轉換成p-型。

因此，與第一具體實施例相同，於本具體實施例之半導體裝置的製造方法中，其亦具有一良好功效，即，其使得硼離子(B^+)之植入濃度可不需低於該被注入以形成一n-型形成區域4a1之砷離子(As^+)的濃度。

必須注意的是，雖然於前述之第一與第二具體實施例中，磷離子係作為第一雜質且砷離子係作為第二及第四雜

五、發明說明 (22)

質，該第一雜質與第二雜質係不限於此。任何符合下列條件之物質皆可被接受，即，該構成第一雜質之元素之質量係小於該構成第二雜質之元素之質量者。

- 第三具體實施例 -

本發明之第三半導體裝置之具體實施例及其製造方法將於下說明。

第一與第二具體實施例係為一排除由製造雙閘極結構之CMOS電晶體中之NMOS電晶體所伴隨之金屬矽化物非-形成區域所造成之不利影響的技術。然而，於本具體實施例中，將解釋該排除由製造PMOS電晶體所伴隨之金屬矽化物非-形成區域所造成之不利影響的技術。

第8A至10B圖係為顯示本具體實施例之半導體裝置製造方法之製程順序的圖示截面圖。

如第8A圖所示，於使用一熱氧化等方法，於一半導體基材之元件形成區域31上形成一由如SiO₂薄膜所形成之閘極絕緣薄膜後，使用LOCOS等方法，於一元件分隔區域中形成一場絕緣薄膜32。經由此一製程以形成一位於NMOS形成區域中之閘極絕緣薄膜33a以及一位於PMOS形成區域中之閘極絕緣薄膜33b，該PMOS形成區域係被場絕緣薄膜32所分隔。

而後，一多晶矽薄膜34係在氮大氣下，藉一諸如SiH₄氣體之熱解(pyrolysis)的方法而層疊於閘極絕緣薄膜33a與33b及場絕緣薄膜32上。

五、發明說明（²³）

而後，一閘極之n-型形成窗口係藉以一第七光阻罩幕35(作為第一罩幕層)覆蓋多晶矽薄膜34之PMOS形成區域34b而形成，且一作為第一雜質之磷離子(P⁺)係於一如15KeV、 $4 \times 10^{15} \text{ cm}^{-2}$ 之條件下，自上方注入。

經由此一製程，多晶矽閘極薄膜34之NMOS形成區域34a係在約 $3.5 \times 10^{20} \text{ cm}^{-3}$ 之濃度下被轉換成n-型。而後，剝除第七光阻罩幕35且清洗剝除的部份。

必須注意的是，該藉覆蓋第七光阻罩幕35以將多晶矽薄膜34轉換成n-型之n-型形成圖案資料可僅藉轉移n-井資料而產生，以使得其可簡單且自動地形成。

接下來，如第8B圖所示，一n-型形成多晶矽薄膜34之NMOS形成區域34a係被一第八光阻罩幕36(其為第五罩幕層)所覆蓋，且一第五雜質之硼離子(B⁺)係於5KeV、 $4 \times 10^{15} \text{ cm}^{-2}$ 之條件下，自上方注入。

經由此一製程，多晶矽薄膜34之PMOS形成區域34b係在約 $3.5 \times 10^{20} \text{ cm}^{-3}$ 之濃度下被轉換成p-型。而後，剝除第八光阻罩幕36產清洗剝落部份。

必須注意的是，一藉覆蓋第八光阻罩幕36而將多晶矽薄膜34轉換成p-型之p-型形成圖案資料可僅藉轉移p-井資料而產生，因此而易於達成自動化生產。

接下來，如第8C圖所示，多晶矽薄膜34之閘極形成區域(其包括多晶矽閘極薄膜34之NMOS形成區域34a與晶矽閘極薄膜34之PMOS形成區域34b)係以一第九光阻罩幕37所覆蓋，且使用如微影技術及乾蝕刻法圖案化該多晶矽

五、發明說明 (24)

薄膜34，以形成閘極形成層34a1與34b1。而後，剝除並清洗第九光阻罩幕37。

接下來，如第9A圖所示，為了於NMOS形成區域中形成LDD，p-型形成區域34b1與n-型形成區域34a1之部份區域(其包括一位於34a1與34b1間之界限區域)係以第十光阻罩幕38(其作為第二罩幕層)所覆蓋。

具體言之，用以形成NMOS形成區域內之LDD的NMOSLDD離子植入製程窗口(位於NMOS形成區域側上之第十光阻罩幕38的F端)係被配置以定位於閘極之n-型形成窗口(NMOS形成區域側上之第七光阻罩幕35之G端)與NMOS閘極(置於PMOS形成區域側上之閘極絕緣薄膜3a上之多晶矽薄膜34的一端)之間。

而後，在一例如5KeV、 $3 \times 10^{14} \text{ cm}^{-2}$ 之條件下，將一作為第二雜質之砷離子(As^+)自上方注入，以進行NMOS電晶體之LDD的離子植入製程。

使用砷離子(As^+)以形成前述LDD之原因在於，其必須於半導體基材1中形成一淺接面。此外，使用砷離子(As^+)之優點不僅可使離子植入製程之能量變小，且可降低元件之電阻，而可改良元件之容積。

必須注意的是，用於形成前述之NMOSLDD離子植入製程窗口之LDD的植入窗口資料可藉轉移閘極之n-型形成圖案資料而自動產生。

而後，剝除第十光阻罩幕38且清洗該剝除部份。

接下來，如第9B圖所示，為了於PMOS形成區域中形

五、發明說明（ 25）

成一LDD，一排除一H區域(其係用以形成PMOS閘極)之p-型形成區域34b1以及一n-型形成區域34a1係以一第十一光阻罩幕39(作業第六罩幕層)所覆蓋。

具體言之，一位於PMOS形成區域上之PMOSLDD離子植入製程窗口(NMOS形成區域側之第十一光阻罩幕39的I端)係被配置以置於閘極之p-型形成窗口(PMOS形成區域側上之第八光阻罩幕36之G端)與PMOS閘極(置於NMOS形成區域側上之閘極絕緣薄膜33b上之多晶矽薄膜34的一端上)之間。

而後，一作為第六雜質之銦離子(In^+)係在一例如5KeV、 $3 \times 10^{14} \text{ cm}^{-2}$ 之條件下，自上方注入，以進行PMOS電晶體之LDD的離子植入製程。

使用銦離子(In^+)以形成前述LDD之原因在於，其必須於半導體基材1中形成一淺接面。此外，使用銦離子(In^+)之優點不僅可使離子植入製程之能量變小，且可降低元件之電阻，因此可改良元件之驅動容積。

必須注意的是，形成前述PMOSLDD離子植入製程窗口之LDD植入窗口資料可藉轉移閘極之p-型形成圖案資料而自動產生。

而後，剝除第十一光阻罩幕39且清洗剝落部份。

接下來，如第9C圖所示，於覆蓋閘極形成層34a1與34b1之頂面及側面以形成一絕緣薄膜後，施用一非等向性蝕刻等製程以於閘極形成層34a1與34b1之側壁上形成側壁空間40a與40b。

五、發明說明 (26)

而後，閘極形成層34a1與34b1之p-型形成區域34b1、一n-型形成區域34a1之部份區域(其包括一位於34a1與34b1間之界限區域)以上側壁空間40b係以第十二光阻罩幕41(作為第四罩幕層)所覆蓋。

具體言之，NMOS形成區域側上之第十二光阻罩幕41之E端係以與前述之NMOSLDD 離子植入製程之相似的方式而配置，以置於閘極之n-型形成窗口(位於NMOS形成區域側上之第七阻罩幕35的F端)與NMOS閘極(置於NMOS形成區域側上之閘極絕緣薄膜33b上之多晶矽薄膜34的一端)之間。

同時，於 $0.25\mu\text{m}$ 元件之例子中，閘極之n-型形成窗口(第七光阻罩幕5的F端)與NMOS源極及汲極形成離子植入製程窗口(第十二光阻罩幕41之E端)之間的距離較佳係約 $0.3\mu\text{m}$ 。

而後，在一例如 15KeV 、 $2\times 10^{15}\text{cm}^{-2}$ 之條件下，將一砷離子(As^+)自上方注入，以在半導體基材(未顯示)之NMOS形成區域中形成一高濃度之源極區域與汲極區域。

使用砷離子(As^+)以用於形成前述之源極區域與汲極區域的理由係因其所需之離子植入製程的能量低，且可降低元件之電阻，因此可改良驅動容積。

因此，在閘極形成層34a1與34b1之n-型形成區域34a1中之以第十二光阻罩幕41所覆蓋之區域內的離子濃度 N^+ 與未覆蓋之區域內的離子濃度 N^{++} 差異係約 $2\times 10^{20}\text{cm}^{-3}$ 。

該用以形成NMOS形成區域內之源極及汲極區域的

五、發明說明（²⁷）

NMOS源極及汲極形成植入製程窗口資料係與該用以形成前述之NMOSLDD離子植入製程窗口之LDD植入窗口資料相同。

而後，剝除第十二光阻罩幕41且清洗剝落部份。

接下來，如第10A圖所示，一排除該用以形成PMOS閘極之G區域的p-型形成區域34b1以及一n-型形成區域34a1係以一作為第三罩幕層之第十三光阻罩幕42所覆蓋。

具體言之，一位於PMOS形成區域側上之NMOS形成區域側之第十三光阻罩幕42的I端係受控制以置於閘極之p-型形成窗口（位於PMOS形成區域側上之第八光阻罩幕36的G端）與PMOS閘極（置於NMOS形成區域側上之閘極絕緣薄膜33b上之多晶矽薄膜34的一端）之間。

而後，在一例如5KeV、 $2 \times 10^{15} \text{ cm}^{-2}$ 之條件下，將一作為第三雜質之硼離子（ B^+ ）自上方注入。經由此一製程，一用於形成PMOS閘極之G區域係被轉換成p-型，且同時，於半導體基材（未顯示）之PMOS形成區域中形成一高濃度之源極區域與一汲極區域。

因此，於閘極形成層34a1與34b1之p-型形成區域34b1中，該被第十三光阻罩幕42所覆蓋之區域中的離子濃度 P^+ 與不被覆蓋之區域中的離子濃度 P^{++} 的差異係約 $2 \times 10^{20} \text{ cm}^{-3}$ 。

必須注意的是，一用於形成PMOS形成區域中之源極及汲極區域之PMOS源極及汲極之形成的植入窗口資料亦可藉轉移閘極之p-型形成圖案資料而自動產生。

五、發明說明 (28)

接下來，如第10B圖所示，一經離子注入之雜質係藉加熱半導體基材之元件形成區域31而活化。而後，金屬矽化物43係使用一高熔點金屬而形成於閘極以及源極與汲極區域中。

同時，由於碳化物係藉第9A與9C圖所示之砷離子(As^+)植入技術而被引入多晶矽薄膜34(置於第十光阻罩幕38與第十二光阻罩幕41之E端)的表面中，故金屬矽化物43係不形成於此一部份上。

由於碳化物亦藉第9B圖所示之銦離子(In^+)植入技術而引入多晶矽薄膜(其係置於第十一光阻罩幕39之H與J端處)之表面中，故金屬矽化物43係不形成於此一部份上。

然而，依本具體實施例之製造方法，一金屬矽化物不形成區域44a到44c(於此不形成金屬矽化物43)係形成於閘極形成層4a1與4b1之n-型區域4a1之中心部份的鄰近處或p-型形成區域34b1之中心部份的鄰近處。

因此，金屬矽化物不形成區域43可被配置以不與一閘極形成層34a1與34b1之pn接面重疊，以便該用以形成金屬矽化物不形成區域43之一部份可在 10^{20} cm^{-3} 之濃度下與多晶矽電阻相接。

因此，於本具體實施例中，當金屬矽化物不形成區域44a至44c不與閘極形成層34a1與34b1之pn接面重疊以使得金屬矽化物薄膜43形成於pn接面上時，一構成pn接面之寄生二極體係不以雙閘極結構之方式形成於PMOS電晶體之閘極上，其可避免金屬矽化物不形成區域44內之電阻的增

五、發明說明（²⁹）

加。

必須注意的是，雖然於本具體實施例係使用磷離子作為第一雜質，且砷離子作為第二及第四雜質，該第一雜質、第二與第四雜質係不限於此。任何符合下列條件之物質皆可被接受，即，該構成第一雜質之元素的質量係小於該構成第二與第四雜質之元素的質量者。

雖然硼離子係使用以作為第三與第五雜質，且銦離子係作為第六雜質，但第三、第五及第六雜質係不限於此。任何符合下列條件之物質皆可被接受，即，該構成第三及第五雜質之元素的質量係小於該構成第六雜質之元素的質量者。

-第四具體實施例-

本發明之第四半導體裝置之具體實施例及其製造方法將於下說明。

第11A、11B與11C圖及第12A、12B與12C圖係為顯示本具體實施例之半導體裝置製造方法之製程順序的圖示截面圖。

如第11A圖所示，於一半導體基材之元件形成區域51上形成一閘極絕緣薄膜後形成一場絕緣薄膜52，以使NMOS形成區域上之閘極絕緣薄膜53a與PMOS形成區域上之閘極絕緣薄膜53b彼此分開。

而後，於閘極絕緣薄膜53a與53b及場絕緣薄膜52上層疊一多晶矽薄膜54後，多晶矽薄膜54之PMOS形成區域54b

五、發明說明 (30)

係以一第十四光阻罩幕55(其作為第一罩幕層)所覆蓋，以形成一閘極之n-型形成窗口。

而後，一作為第一雜質之磷離子(P^+)係在一例如20KeV、 $4 \times 10^{15} \text{ cm}^{-2}$ 之條件下，自上方注入，以將多晶矽閘極薄膜54之NMOS形成區域54轉換成n-型。而後，剝除第十四光阻罩幕55且清洗剝落部份。

接下來，如第11B圖所示，多晶矽薄膜54之閘極形成區域係以一第十五光阻罩幕56所覆蓋，且圖案化多晶矽薄膜54，以形成一NMOS閘極形成層54a1與一PMOS閘極形成層54b1。而後，剝除第十五光阻罩幕56且清洗剝落的部份。

接下來，如第11C圖所示，為了於NMOS形成區域中形成一LDD，PMOS閘極形成層54b1與位於PMOS閘極形成層54b1側上之NMOS閘極形成層54a1的一部份係以一第十六光阻罩幕57(作為第二罩幕層)所覆蓋。

具體言之，用以形成NMOS形成區域內之LDD的NMOSLDD離子植入製程窗口(位於NMOS形成區域側上之第十六光阻罩幕57的L端)係被配置以定位於閘極之n-型形成窗口(NMOS形成區域側上之第十四光阻罩幕55之K端)與NMOS閘極(置於PMOS形成區域側上之閘極絕緣薄膜53a之多晶矽薄膜54的一端)。

而後，一作為第二雜質之砷離子(As^+)係在一例如10KeV、 $3 \times 10^{14} \text{ cm}^{-2}$ 之條件下，自上方注入，以進行NMOS電晶體之LDD的離子植入製程。

五、發明說明（³¹）

剝除第十六光阻罩幕57且清洗剝落部份。

接下來，如第12A圖所示，於NMOS閘極形成層54a1與PMOS閘極形成層54b1之側壁上形成側壁空間58a至58d後，形成一作為第四罩幕層之第十七光阻罩幕59，以自上方覆蓋該PMOS閘極形成層54b1與位於PMOS形成區域側上之NMOS閘極形成層54a1的部份區域。

具體言之，NMOS形成區域側上之第十七光阻罩幕59之L端係以與前述之NMOSLDD離子植入製程之例子相似的方式受配置，以定位於閘極之n-型形成窗口（位於NMOS形成區域側上之第十四光阻罩幕55的K端）與NMOS閘極（位於PMOS形成區域側上之閘極絕緣薄膜53a上的多晶矽薄膜54的一端）之間。

而後，一作為第四雜質之砷離子(As^+)係在一例如40KeV、 $2 \times 10^{15} \text{ cm}^{-2}$ 之條件下，自上方注入，以在半導體基材（未顯示）之NMOS形成區域中形成一高濃度之源極區域與一汲極區域。

因此，在NMOS閘極形成層54a1中之以第十七光阻罩幕59所覆蓋之區域內的離子濃度 N^+ 與未覆蓋之區域內的離子濃度 N^{++} 差異係約 $1.5 \times 10^{20} \text{ cm}^{-3}$ 。

而後，剝除第十七光阻罩幕59產清洗剝落部份。

接下來，如第12B圖所示，一排除M區域（其用於形成PMOS閘極）之區域係以一第十八光阻罩幕60（作為第三罩幕層）所覆蓋。

而後，一作為為三雜質之硼離子(B^+)係在一例如

五、發明說明（³²）

7KeV、 $2 \times 10^{15} \text{ cm}^{-2}$ 之條件下，自上方注入。經由此一製程，一用於形成PMOS閘極之PMOS閘極形成層54b1係被轉換成p-型，且同時，於半導體基材(未顯示)之PMOS形成區域中形成一高濃度之源極區域與一汲極區域。

接下來，如第12C圖所示，一經離子注入之雜質係藉加熱半導體基材之元件形成區域51而活化。而後，金屬矽化物61a與61b係使用一高熔點金屬而形成於閘極以及源極與汲極區域中。

同時，由於碳化物係藉第12A圖所示之砷離子(As^+)注入技術砷離子(As^+)植入技術(置於第十七光阻罩幕57之M端)的表面中，故金屬矽化物61a係不形成於此一部份中。

然而，依據本具體實施例之方法，一金屬矽化物不形成區域62(於此不形成金屬矽化物61a)係形成於NMOS閘極形成層54a1上。

因此，金屬矽化物不形成區域62可被配置以不與閘極形成層54a1與54b1之pn接面重疊，且該形成金屬矽化物不形成區域62之部份可在 10^{20} cm^{-3} 之濃度下與多晶矽電阻相接。

因此，其至於在NMOS電晶體與PMOS電晶體不是由相同多晶矽所形成之半導體裝置中，金屬矽化物不形成區域62可以本具體實施例之第一到第三具體實施例中之CMOS電晶體之例子相似的方式，而形成於n-型形成區域(NMOS閘極形成層54a1)上，且金屬矽化物不形成區域62

五、發明說明 (33)

係不置於pn接面上。

其可避免寄生二極體(其構成閘極上之pn接面)的形成，且可避免金屬矽化物不形成區域62中之電阻的增加。

此外，於本具體實施例之PMOS電晶體中，金屬矽化物61b可完美地形成於PMOS閘極形成層54b1上。因此，可完全免除因金屬矽化物的形成而在半導體裝置操作上所造成之不良的影響。

必須注意的是，雖然與第一及第二具體實施例相似，於本具體實施例係使用磷離子作為第一雜質，且使用砷離子作為第二及第四雜質，該第一與第二雜質係不限於此，且任何符合下列條件之物質皆可被接受，即，該構成第一雜質之元素的質量係小於該構成第二雜質之元素的質量者。

再者，於前述之第一及第四具體實施例中，雖然多晶矽薄膜係使用以作為閘極之材料，但閘極材料係不限於多晶矽薄膜，且任何半導體薄膜可應用之材料皆可被接受。

又，磷離子、硼離子與砷離子之離子植入製程的條件係不限於第一至第四具體實施例中所述之值。此即，磷離子於20keV、 $4 \times 10^{15} \text{ cm}^{-2}$ 或更低之條件下進行植入係可被接受，而硼離子於7keV、 $4 \times 10^{15} \text{ cm}^{-2}$ 或更低之條件下進行植入係可被接受，而砷離子於10keV、 $6 \times 10^{13} \text{ cm}^{-2}$ 或更高之條件下亦可被接受。

本具體實施例係考慮所有層面而作為範例說明且非限制性的，且因此，所有落於申請專利範圍中之等效物的意

五、發明說明 (34)

義與範圍中的變化係被包含於其中。發明可以在不偏離其精神與必要特徵之下，以其他特定的形成具體化。

如前所述，依據本發明，該形成於半導體基材上之相同的傳導型半導體薄膜係被連接，同時，其等沿半導體基材之表面處係具有二或多種濃度差異，且金屬矽化物薄膜之不形成區域可形成於該具有不同濃度之區域上。此使其可能形成金屬矽化物不形成區域(其形成於相同傳導型半導體薄膜上之半導體薄膜)，且可避免該構成pn接面之寄生二極體形成於閘極上。因此，可達成成本的降低與微細構造的形成，同時，抑制該金屬矽化物形成於半導體薄膜上所造成之不良的影響。

元件標號對照表

1、31、51	元件形成區域
2、32、52	場絕緣薄膜
3a、3b、33a、33b、53a、53b	閘極絕緣薄膜
4、34、54、74	多晶矽薄膜
4a、34a、54a	NMOS形成區域
4b、34b、54b	PMOS形成區域
4a1、4b1、34a1、34b1、54a1、54b1	閘極形成層
5、6、7、9、10、21、35、36、37、38、39、41、42、55、56、57、59、75、76、78、79	光阻罩幕
8a、8b、40a、40b、58a-58d、77a、77b	側壁空間
11、22、43、61a、61b、80	金屬矽化物

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (35)

12、23、44a-44c、62	金屬矽化物不形成區域		
13	NMOS LDD源極及汲極		
14	PMOS LDD源極及汲極		
34	n-型形成多晶矽薄膜		
71	矽基材	72	場氧化薄膜
73a、73b	閘極氧化薄膜	81a、81b	區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體裝置及其製造方法)

當一質量大之砷離子(As^+)被注入時，多晶矽薄膜係以一第五光阻罩幕所覆蓋，以覆蓋該光阻罩幕(其覆蓋多晶矽薄膜)之一端，而形成一PMOS形成區域。經由此一製程，一金屬矽化物不形成區域係被配置以不與一pn接面相重疊，以避免金屬矽化物不形成區域之電阻的增加。

英文發明摘要(發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF)

When an arsenic ion (As^+) large in mass is injected, polysilicon films are covered with a fifth resist mask so as to cover an end of the resist mask covering the polysilicon films to form a PMOS forming region. Through this process, a silicide non-forming region is arranged not to overlap with a pn junction to prevent the silicide non-forming region from increasing in resistance.

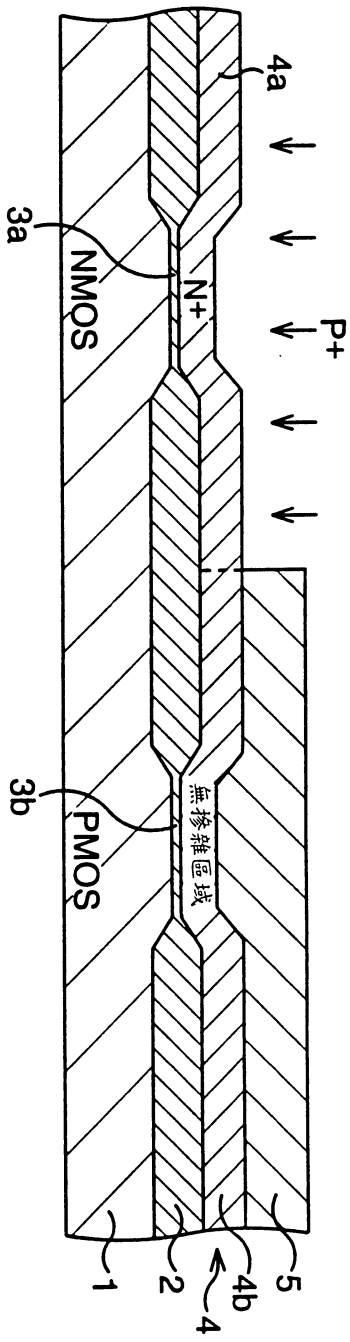
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

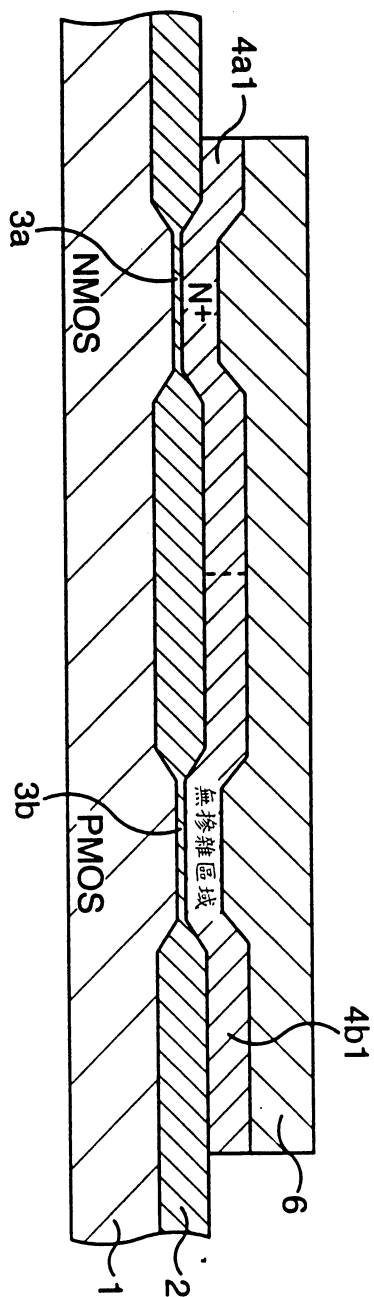
訂

線

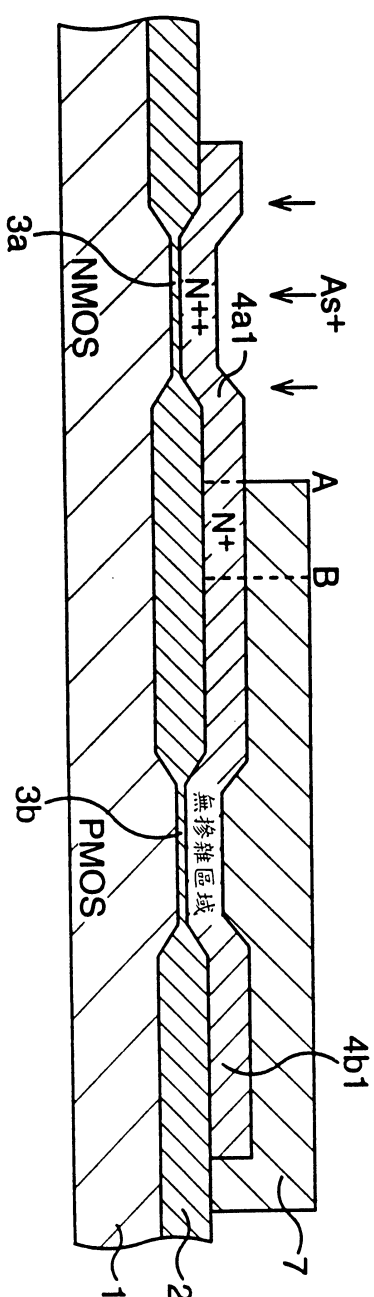
第 1A 圖



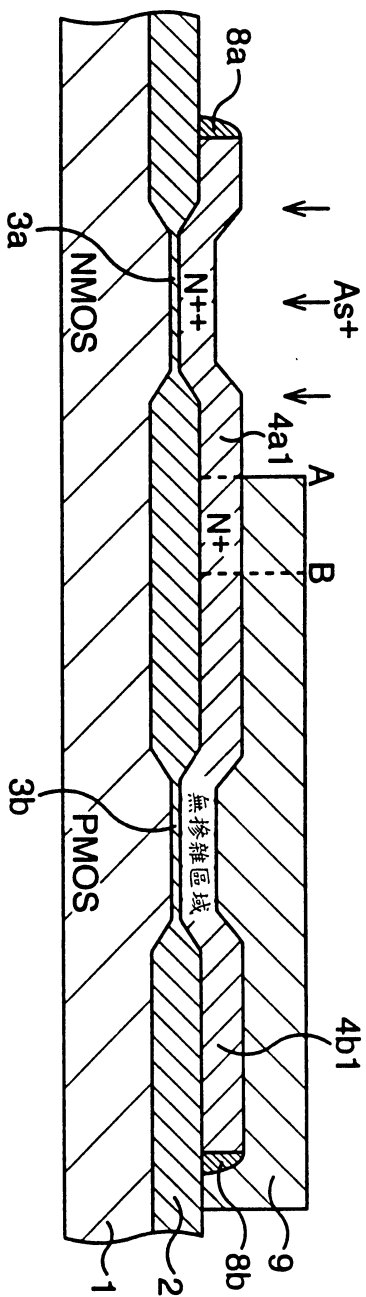
第 1B 圖



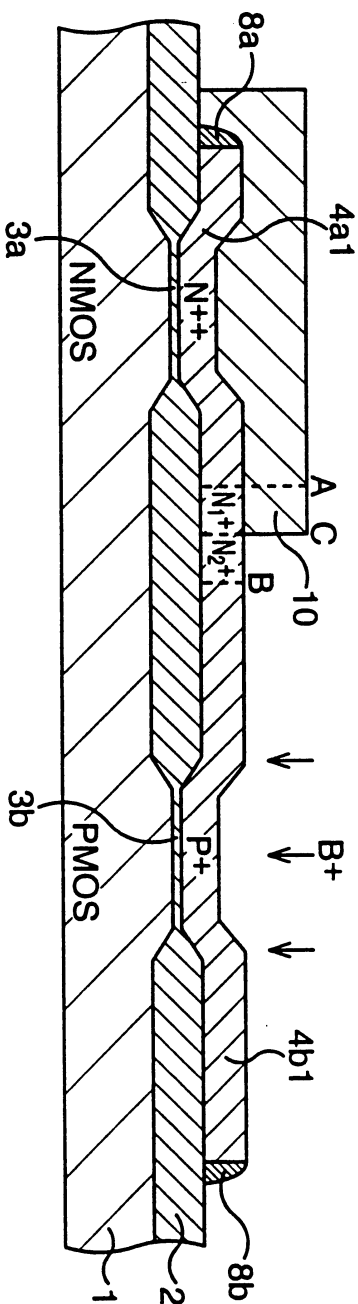
第 1C 圖



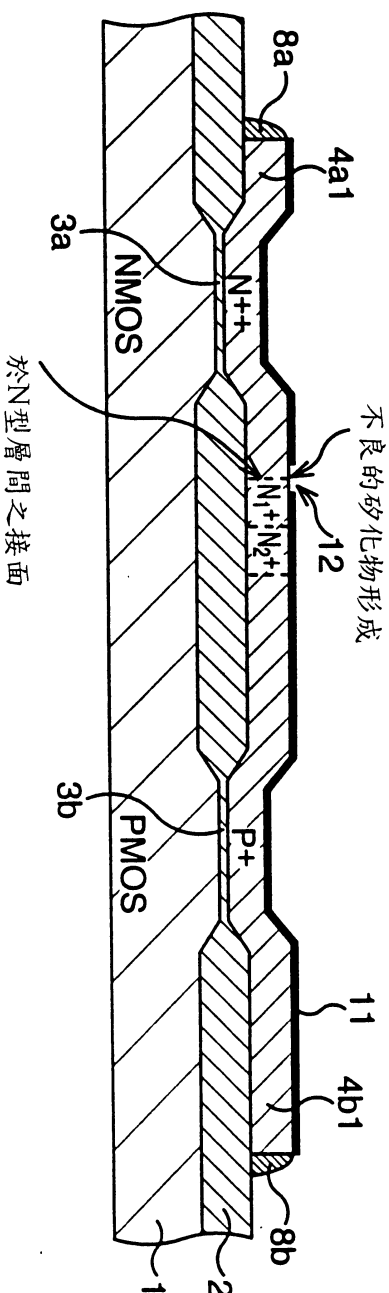
第 2A 圖



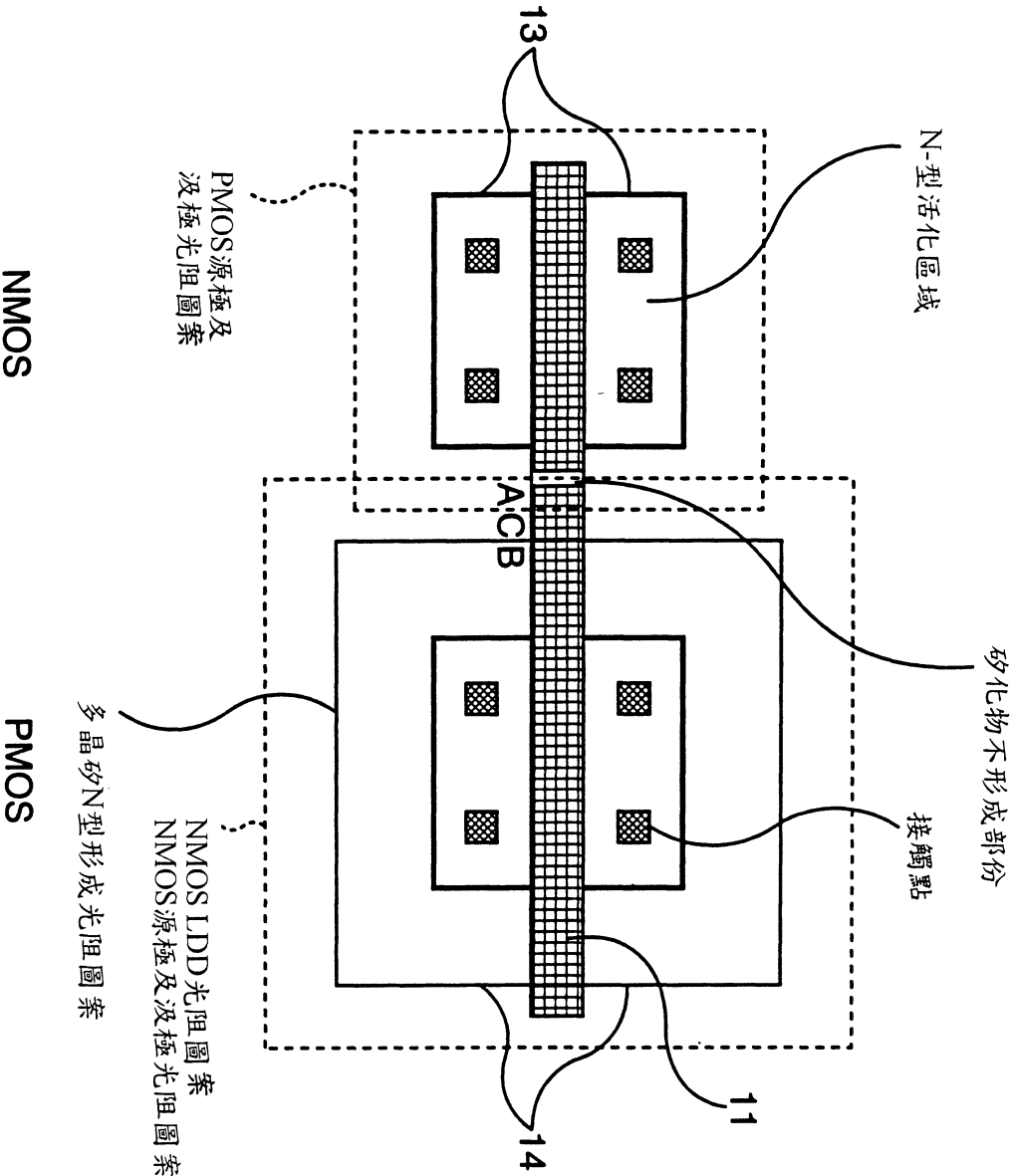
第 2B 圖



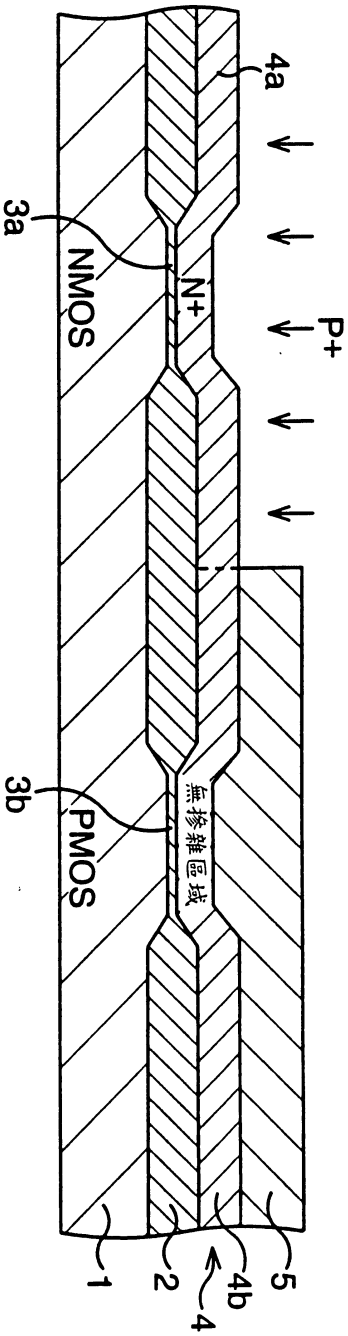
第 2C 圖



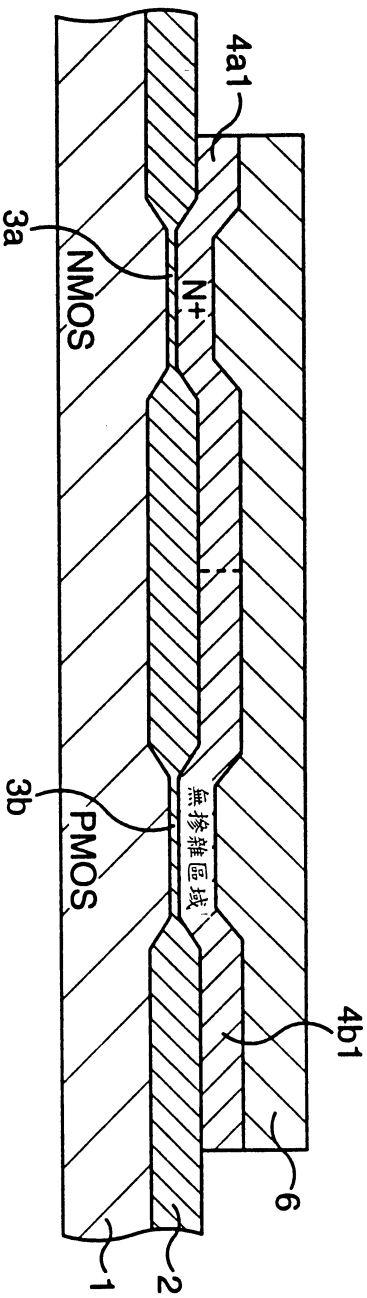
第 3 圖



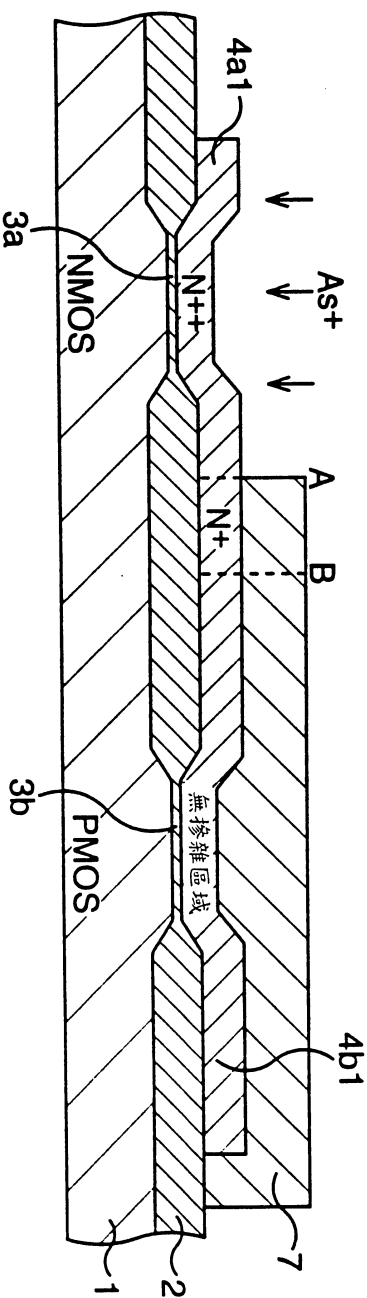
第 4A 圖



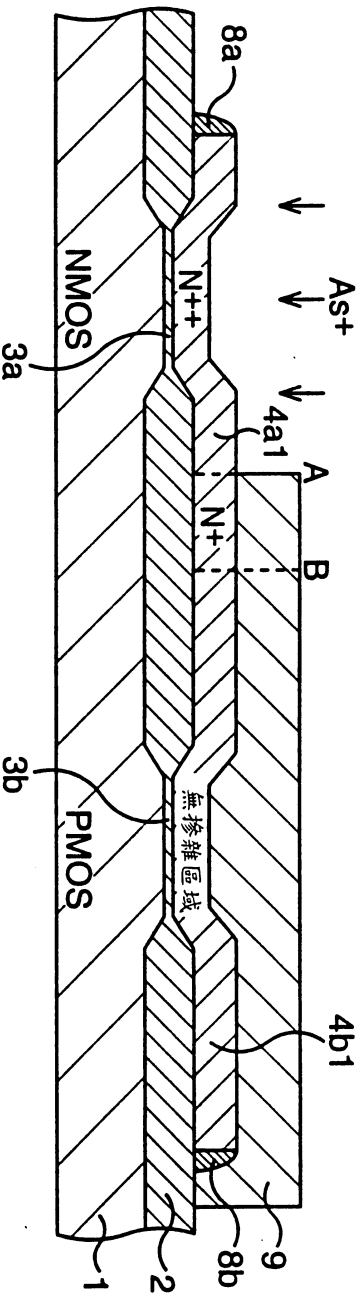
第 4B 圖



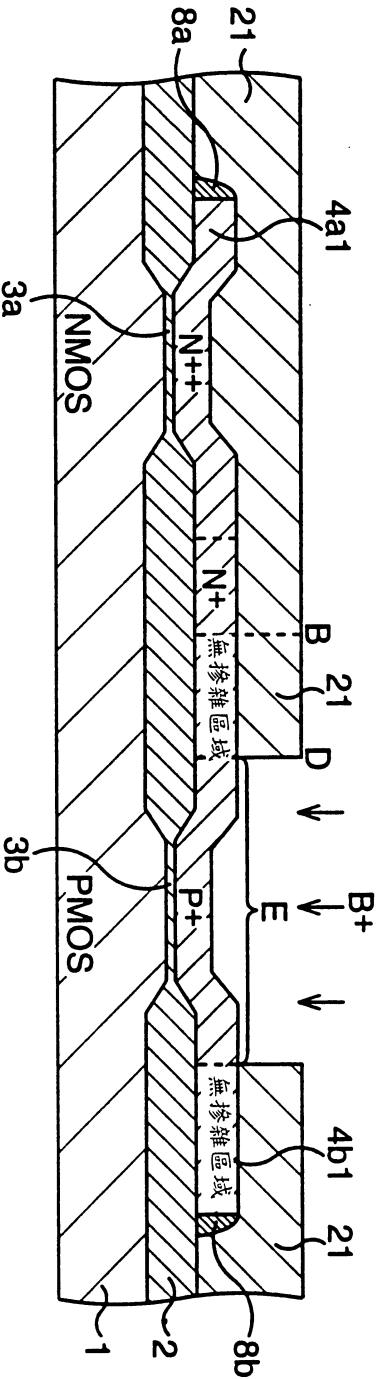
第 4C 圖



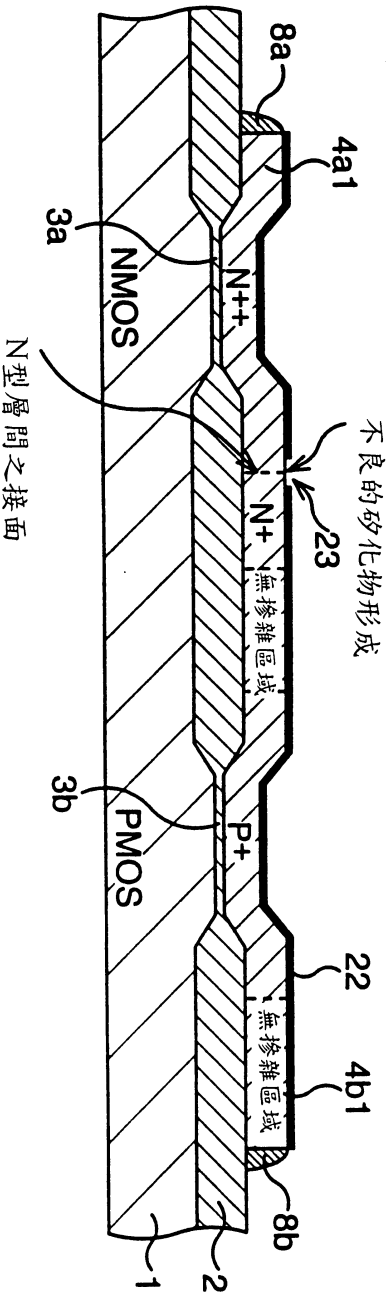
第 5A 圖



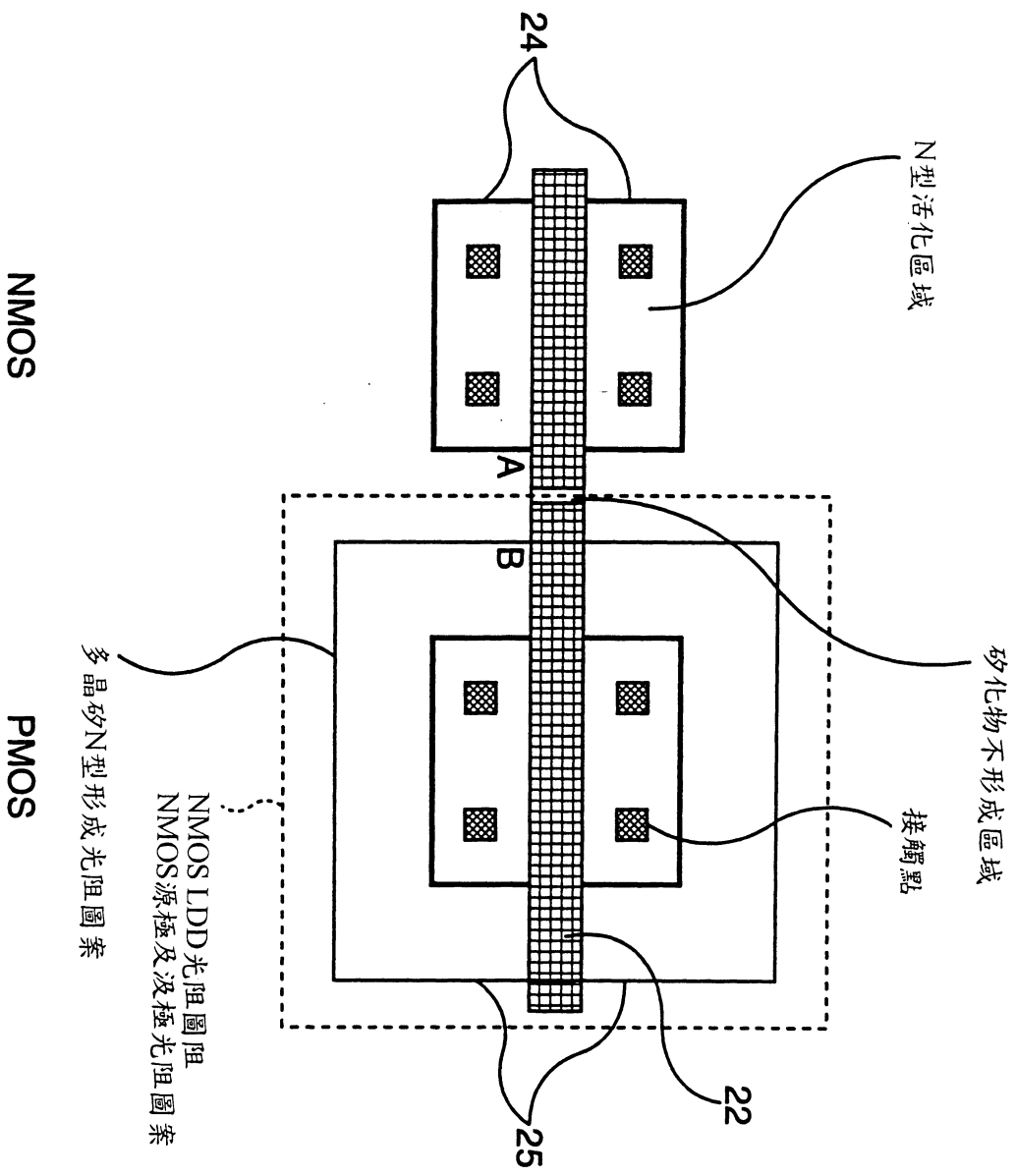
第 5B 圖



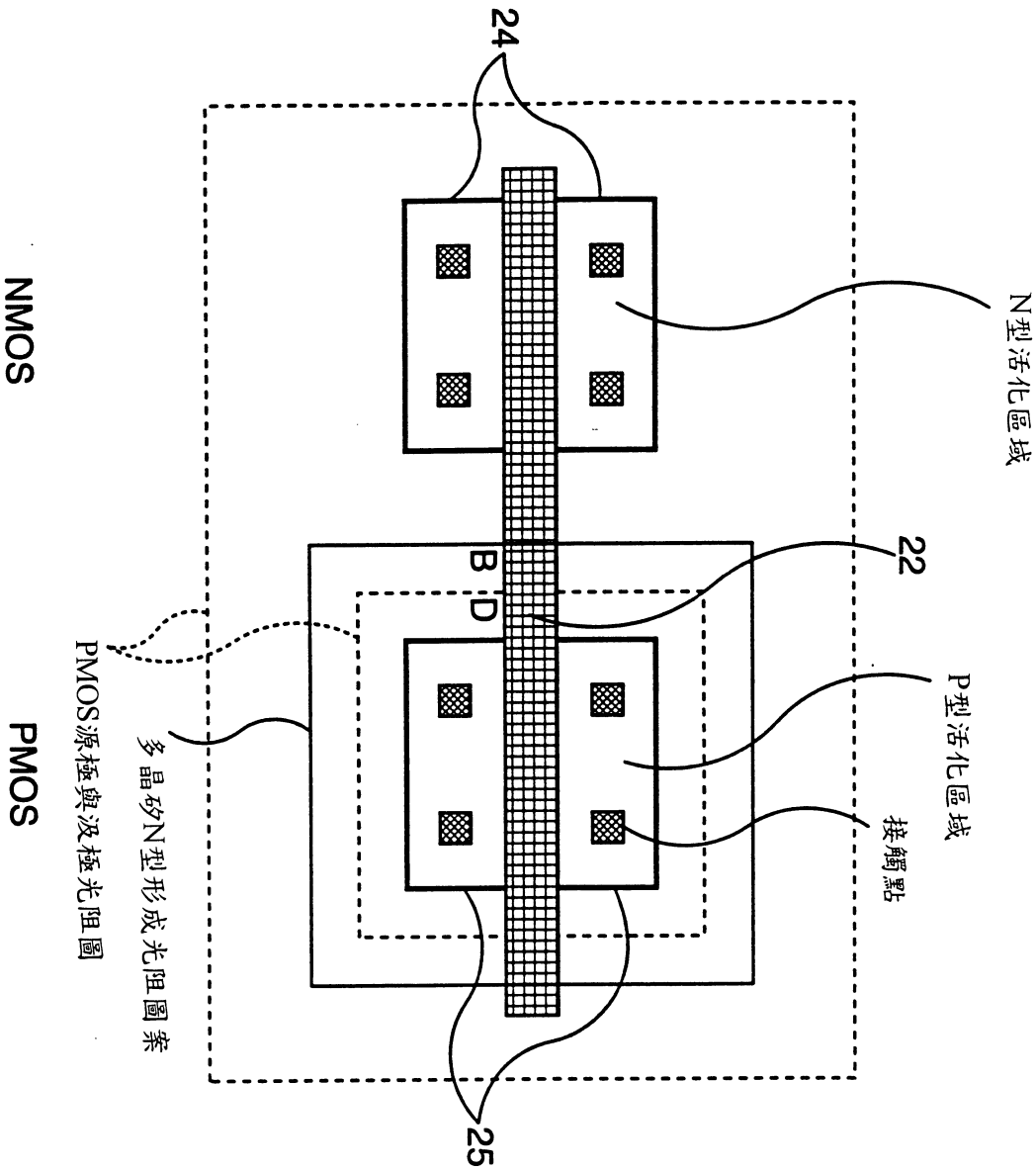
第 5C 圖



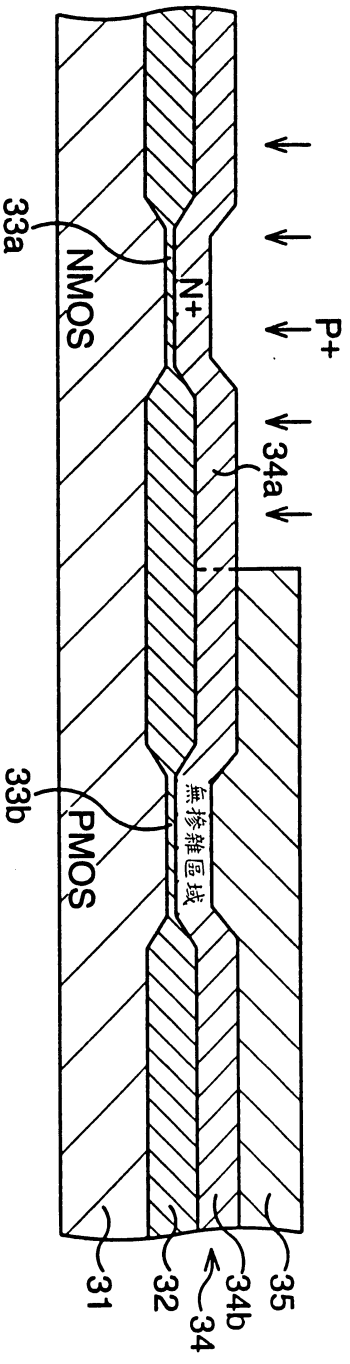
第六圖



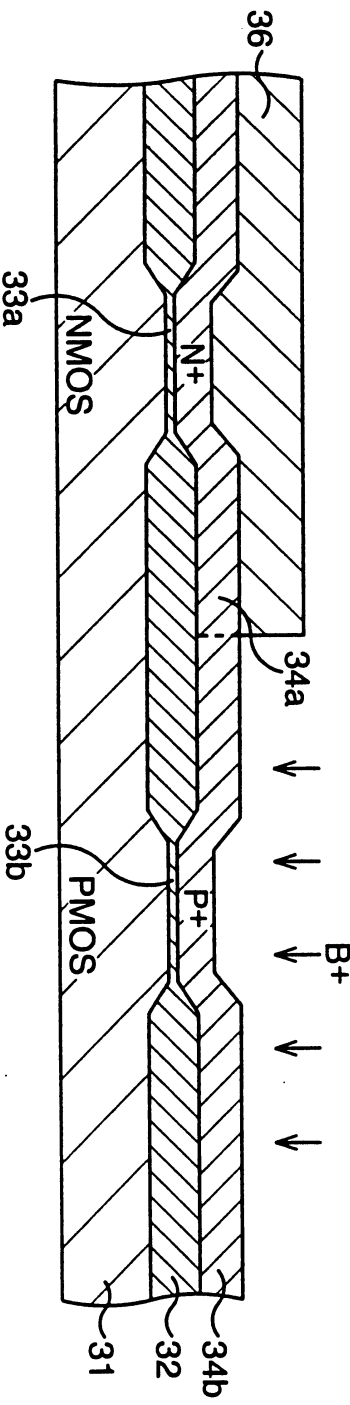
第 7 圖



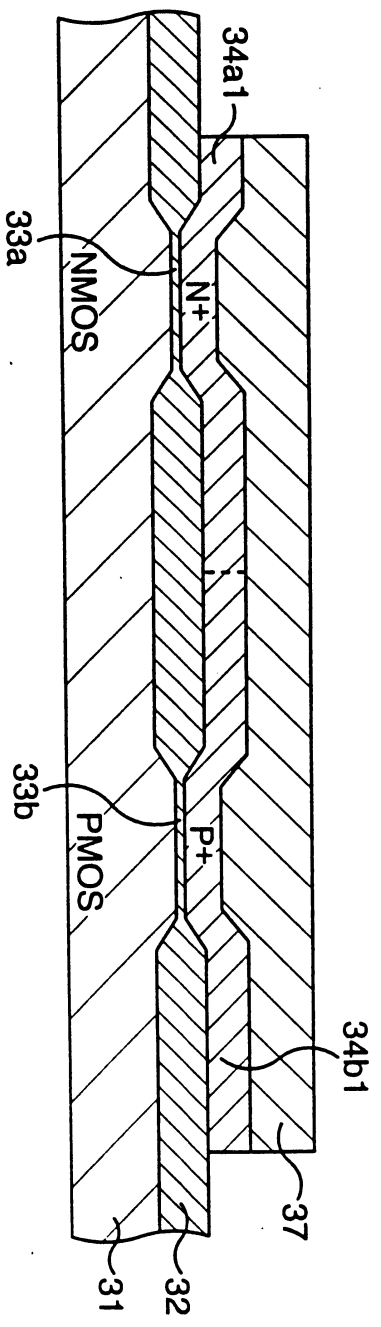
第 8A 圖



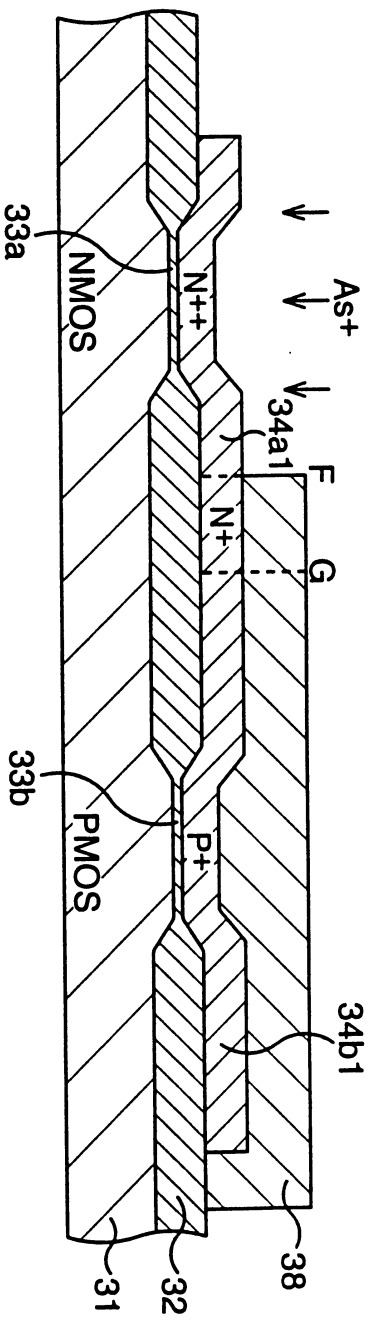
第 8B 圖



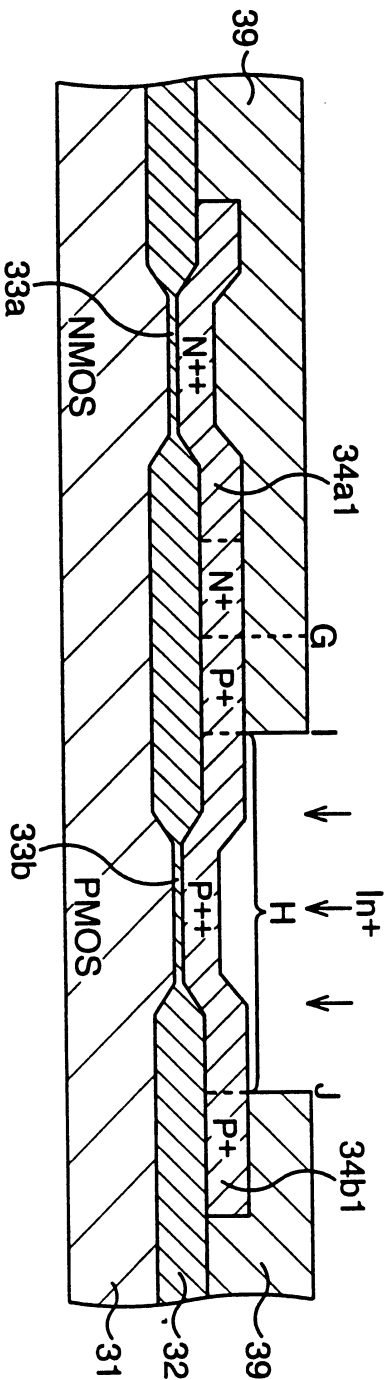
第 8C 圖



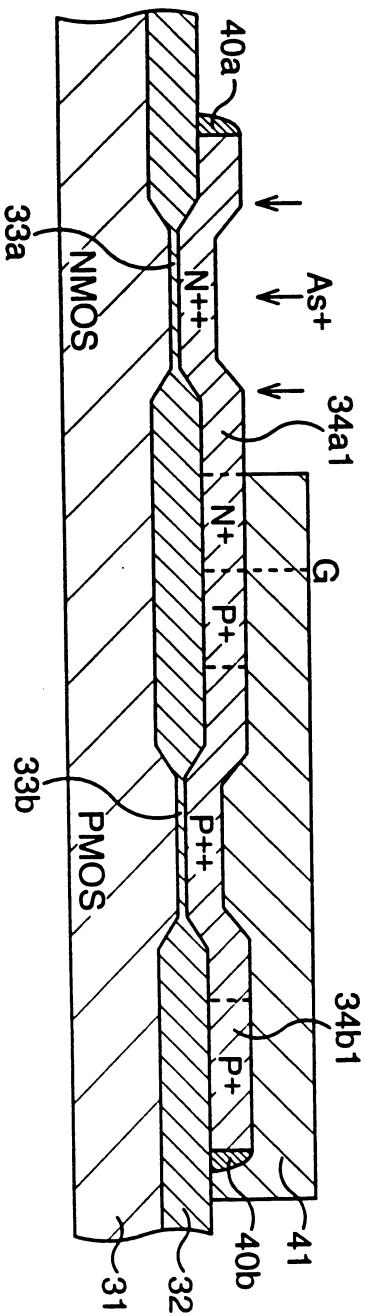
第 9A 圖



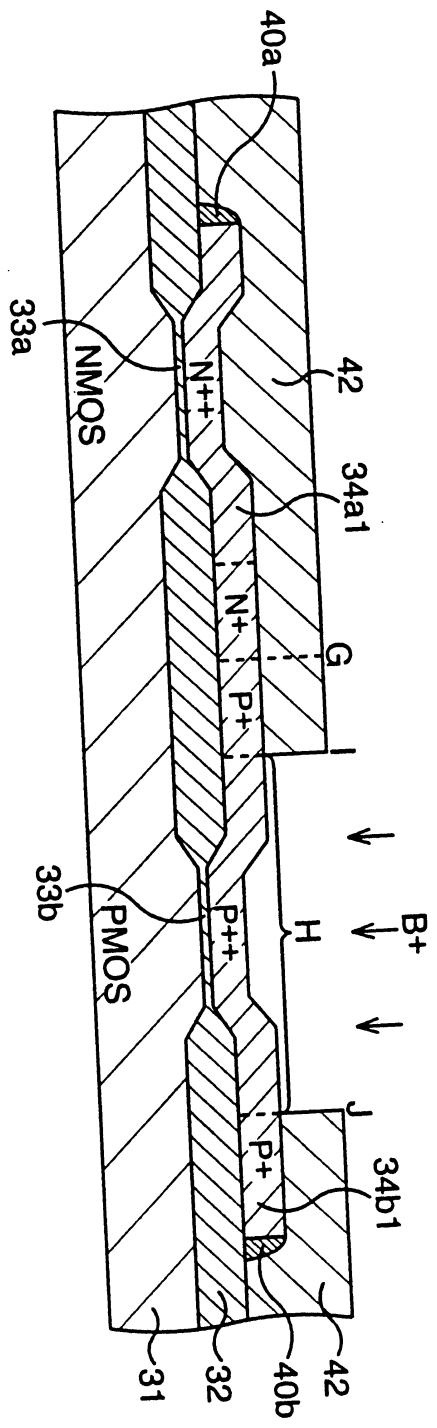
第 9B 圖



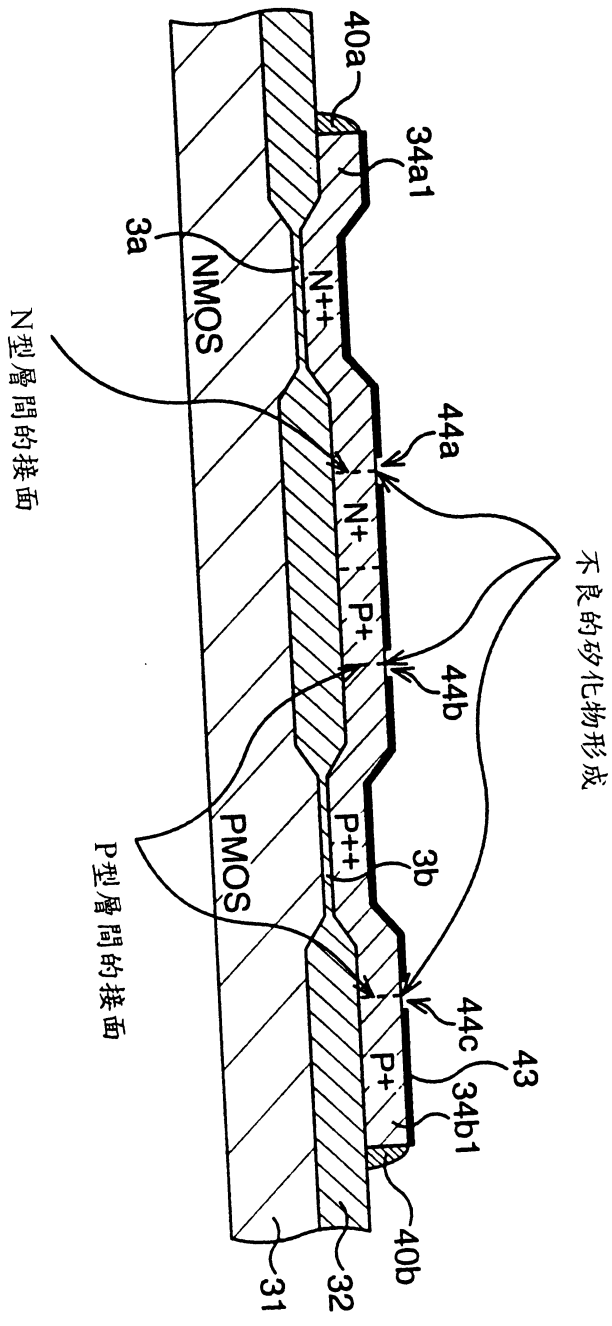
第 9C 圖



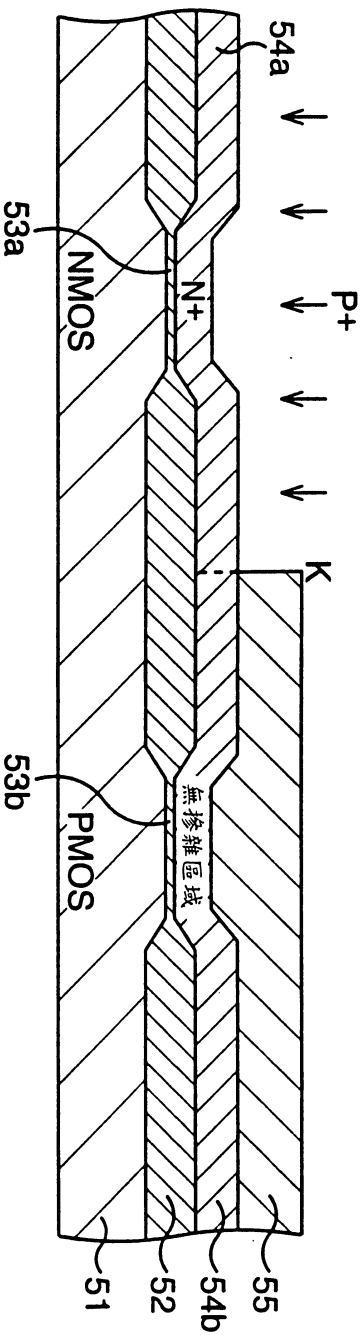
第10A 圖



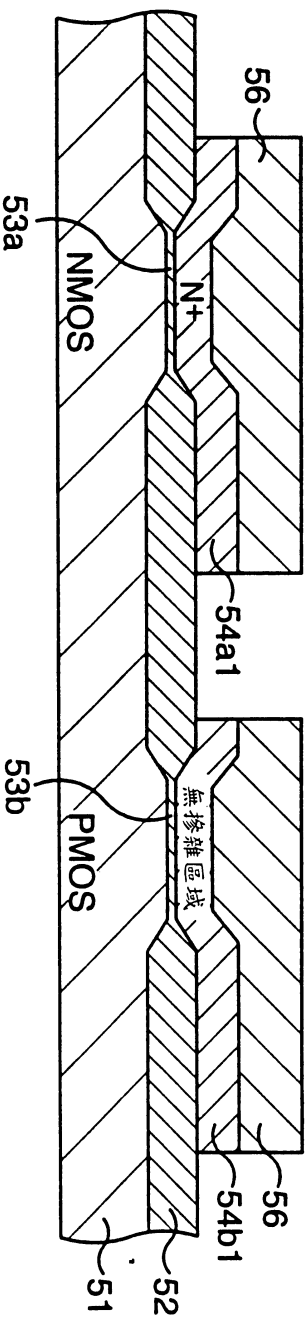
第10B 圖



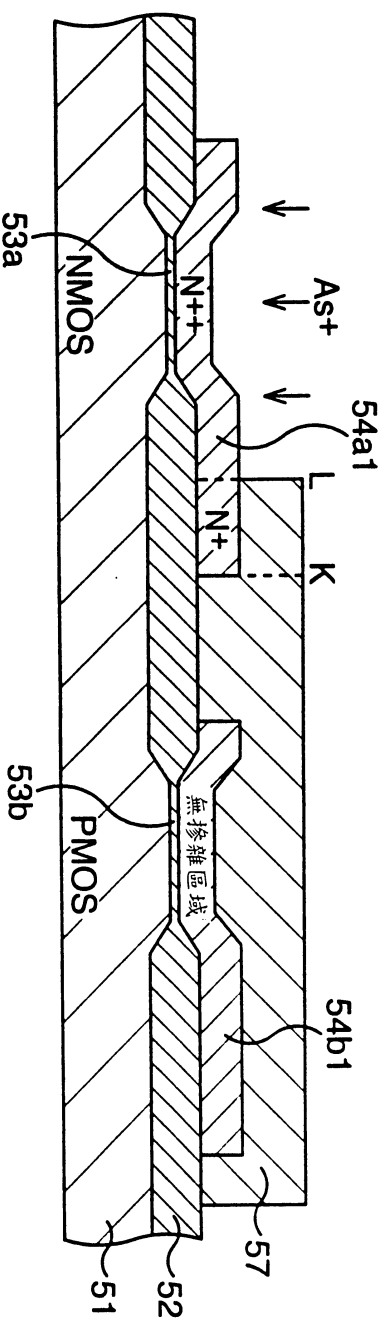
第 11A 圖



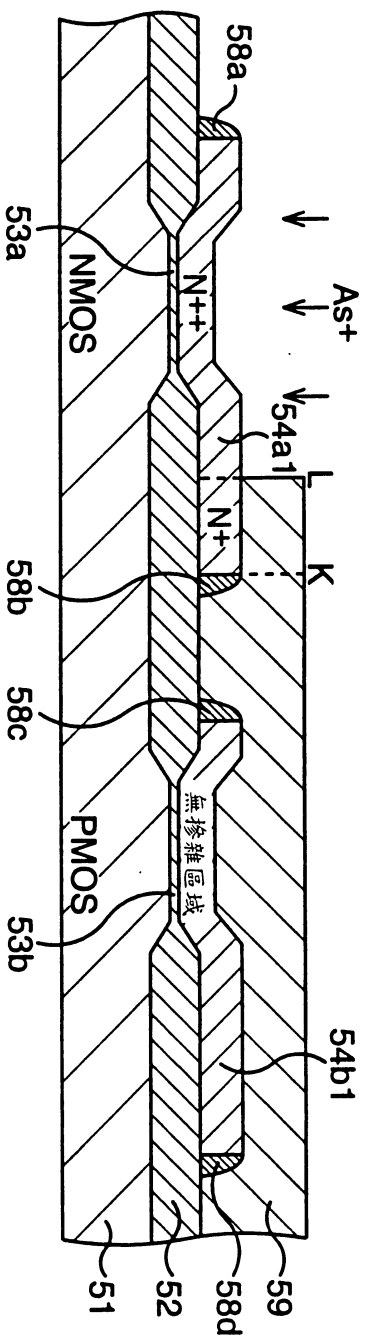
第 11B 圖



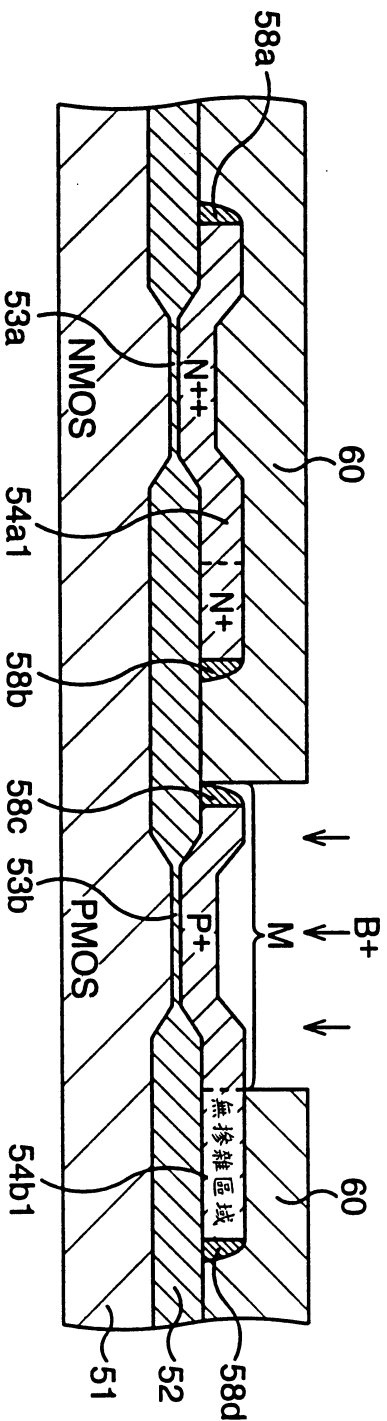
第 11C 圖



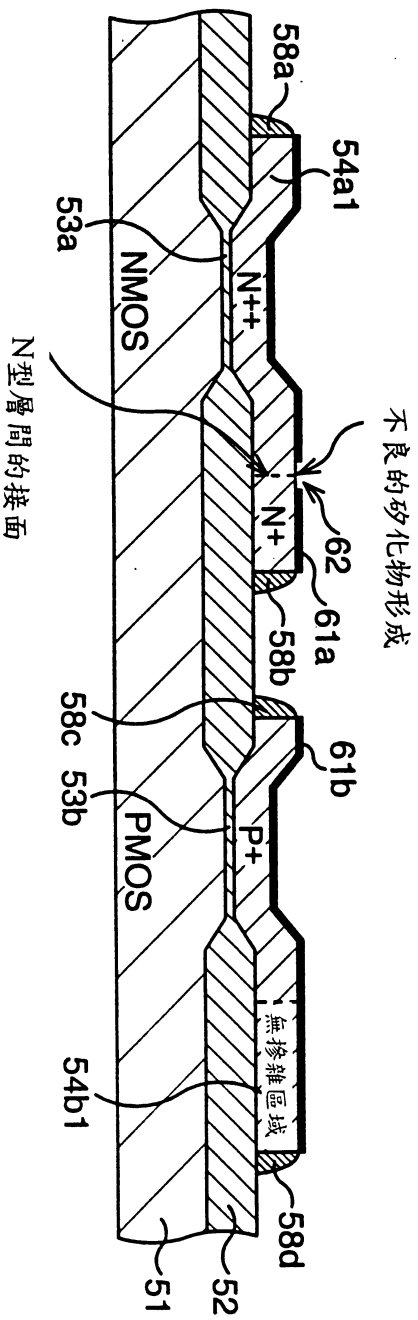
第12A圖



第12B圖

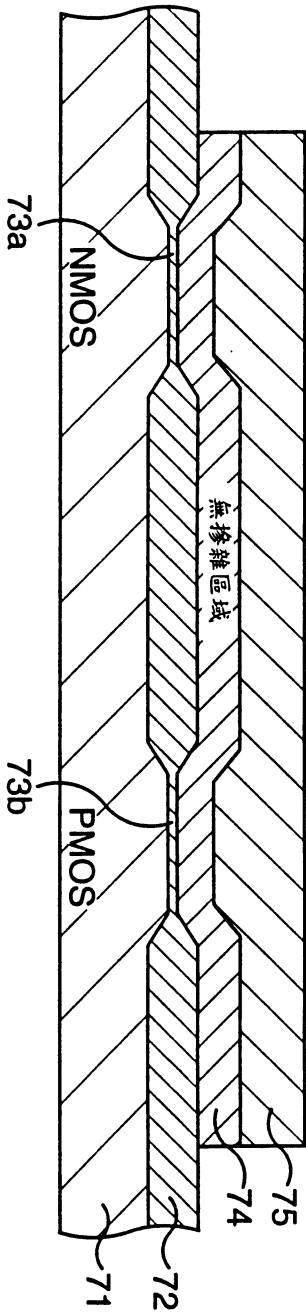


第12C圖

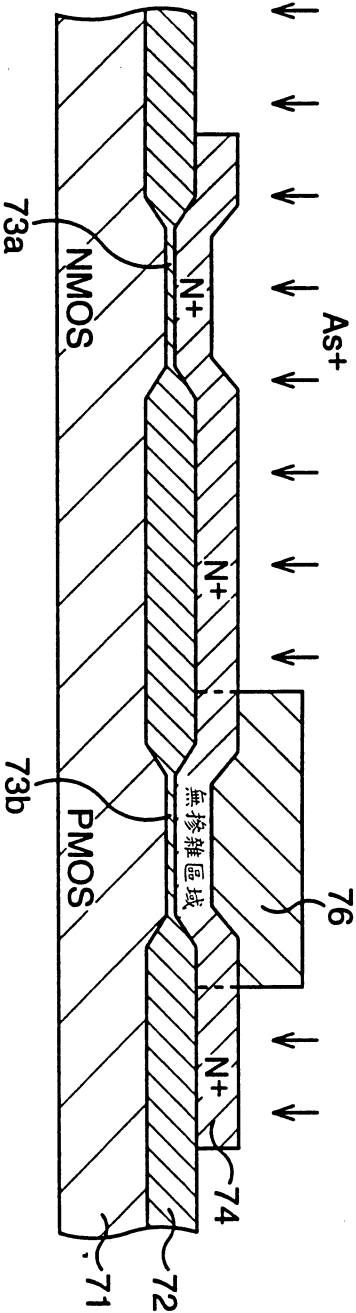


不良的矽化物形成

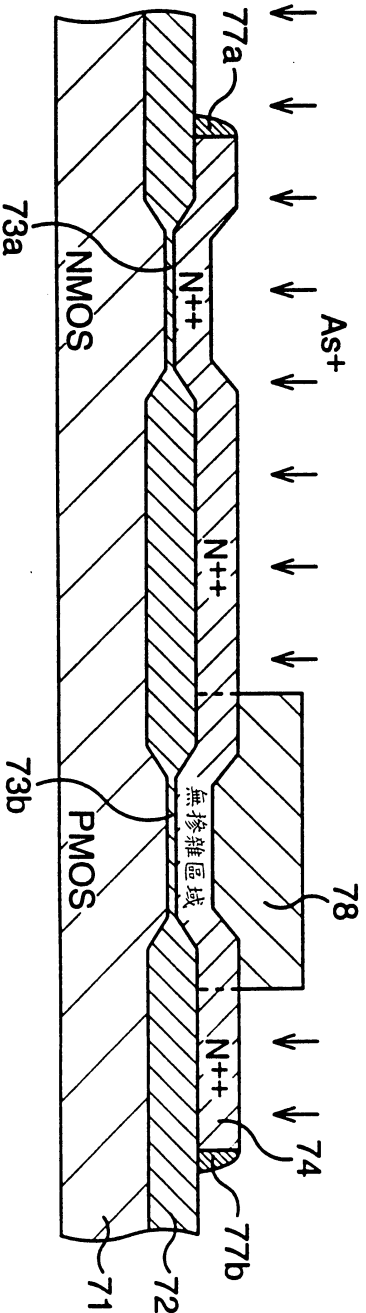
第 13A 圖
習知技藝



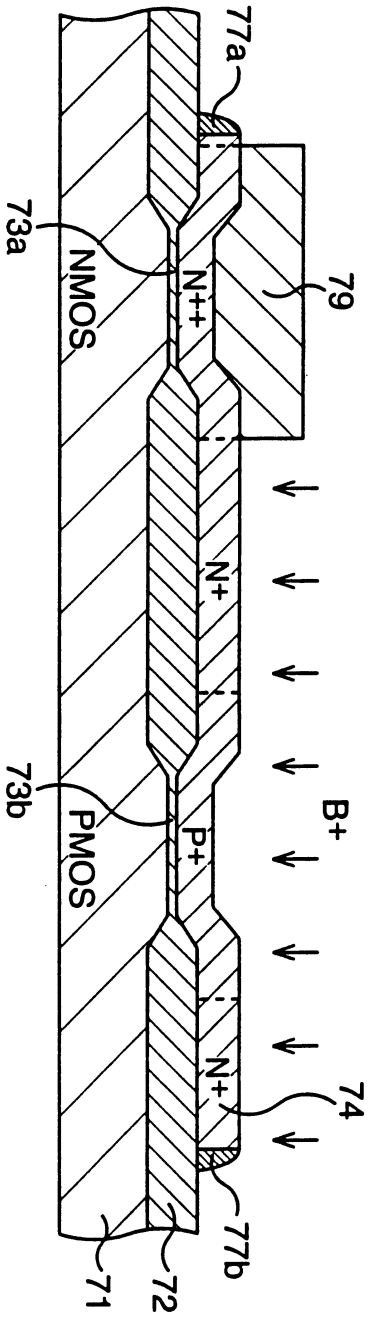
第 13B 圖
習知技藝



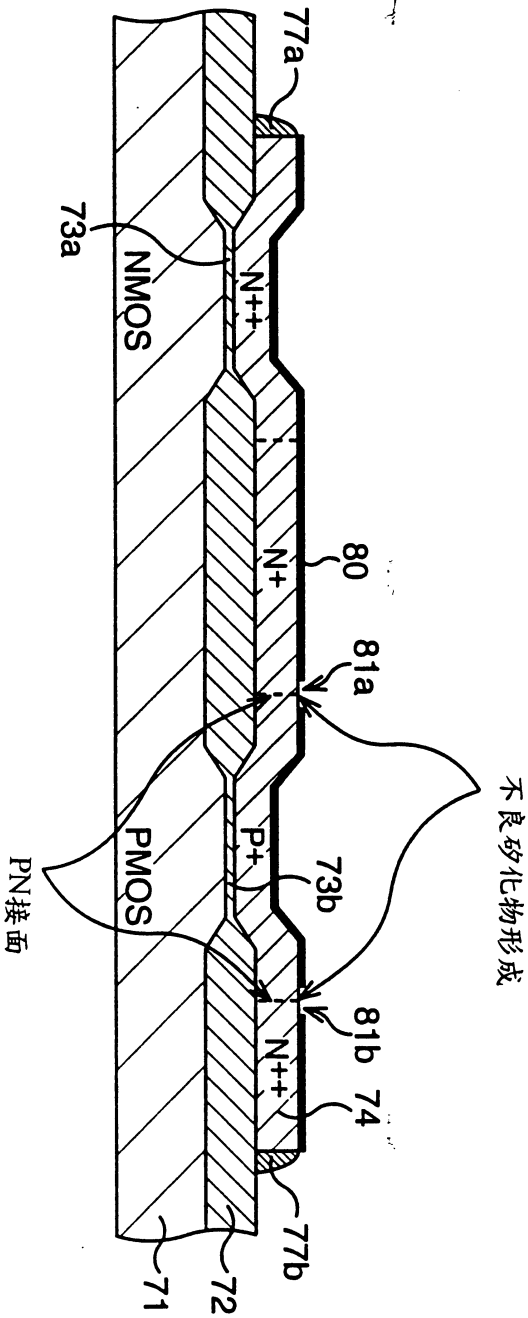
第 13C 圖
習知技藝



第 14A 圖
習知技藝



第 14B 圖
習知技藝



六、申請專利範圍

第 91105611 號專利申請案申請專利範圍修正本

修正
92.07.2
補充

1. 一種半導體裝置，其包含：

一形成於一半導體基材上之半導體薄膜；以及

一形成於該半導體薄膜上之金屬矽化物薄膜，

其中該形成於該半導體基材上之至少一相同的傳導型半導體薄膜係沿該半導體基材之表面處具有二或多個濃度差，其等之間係呈電氣連接。

2. 如申請專利範圍第 1 項之半導體裝置，其中一金屬矽化物薄膜之不形成區域係位於該具有濃度差之區域上。

3. 如申請專利範圍第 2 項之半導體裝置，其中該金屬矽化物薄膜之不形成區域係置於一界限上，該界限係位於具有最高濃度之區域與具有次高濃度之區域之間。

4. 如申請專利範圍第 1 項之半導體裝置，其中一存在於該半導體薄膜上之高濃度區域中之雜質的質量係重於該存在於該半導體薄膜中之低濃度區域中之雜質的質量。

5. 如申請專利範圍第 1 項之半導體裝置，該半導體裝置包含：

一第一傳導型半導體薄膜，其具有二或多個濃度差；以及

一第二傳導型半導體薄膜，其不同於該第一傳導型半導體，

其中該第一傳導型半導體薄膜中之低濃度區域係

六、申請專利範圍

電氣連接該第二傳導型半導體薄膜。

6. 如申請專利範圍第 5 項之半導體裝置，其中該第一傳導型半導體薄膜中之低濃度區域與第二傳導型半導體薄膜係沿該半導體基材之表面彼此電氣連接。

7. 如申請專利範圍第 1 項之半導體裝置，該半導體裝置包含：

一第一傳導型半導體薄膜，其具有二或多個濃度差；

一第二傳導型半導體薄膜，其不同於該第一傳導型半導體；以及

一無摻雜半導體薄膜，於其中並無摻雜一雜質；

其中該無摻雜半導體薄膜係連接，且同時沿該半導體基材之表面，而夾置於該第一傳導型半導體薄膜之低濃度區域與第二傳導型半導體薄膜之間。

8. 如申請專利範圍第 1 項之半導體裝置，該半導體裝置包含：

一第一傳導型半導體薄膜，其具有二或多個濃度差；以及

一第二傳導型半導體薄膜，其不同於該第一傳導型半導體且具有二或多個濃度差，

其中該第一傳導型半導體薄膜中之低濃度區域與第二傳導型半導體薄膜中之低濃度區域係彼此電氣相接。

9. 如申請專利範圍第 8 項之半導體裝置，其中該第一傳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

導型半導體薄膜中之低濃度區域與第二傳導型半導體薄膜中之低濃度區域係沿該半導體基材之表面處彼此電氣相接。

10. 如申請專利範圍第 5 項之半導體裝置，其中一砷離子係存在於該第一傳導型半導體薄膜之高濃度區域中。
11. 如申請專利範圍第 5 項之半導體裝置，其中一磷離子係存在於該第一傳導型半導體薄膜之低濃度區域中。
12. 如申請專利範圍第 8 項之半導體裝置，其中一銦離子存在於該第二傳導型半導體薄膜之高濃度區域中。
13. 如申請專利範圍第 8 項之半導體裝置，其中一硼離子係存在於該第二傳導型半導體薄膜之低濃度區域中。
14. 如申請專利範圍第 1 至 13 項中任一項之半導體裝置，其中該半導體裝置包含：

一絕緣薄膜，其形成於該半導體基材之表面上；
以及

形成於該半導體基材中之擴散層，以夾置該相同傳導型半導體薄膜之低濃度區域，且

其中該半導體裝置包括一電晶體，其中該半導體薄膜係作為一閘極，該絕緣薄膜係作為一閘極絕緣薄膜，且該擴散層係作為一源極與一汲極。

15. 如申請專利範圍第 14 項之半導體裝置，其中該半導體裝置包括一 CMOS 電晶體，

其中該 CMOS 電晶體包：

一第一 MOS 電晶體，其中該第一傳導型半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

薄膜係作為一閘極，該絕緣薄膜作為一閘極絕緣薄膜，且該形成以夾置該第一傳導型半導體薄膜之低濃度區域的擴散層係作為一源極與一汲極；以及

一第二 MOS 電晶體，其中該第二傳導型半導體薄膜係作為一閘極，該絕緣薄膜作為一閘極絕緣薄膜，且該形成以夾置該第二傳導型半導體薄膜之低濃度區域的擴散層係作為一源極與一汲極。

16. 如申請專利範圍第 15 項之半導體裝置，其中該形成於第一 MOS 電晶體與第二 MOS 電晶體間之界限區域上的絕緣薄膜的厚度係比其他區域的厚度更厚。
17. 如申請專利範圍第 15 項之半導體裝置，其中該擴散層係具有濃度差。
18. 如申請專利範圍第 14 項之半導體裝置，其中側壁空間係形成於該半導體薄膜之二側上。
19. 一種製造半導體裝置的方法，其包含：

一於一半導體基材上形成一半導體薄膜的第一步驟；

一形成一第一單幕層之第二步驟，該第一單幕層係覆蓋該半導體薄膜之部分區域；

一於該半導體薄膜中形成一第一傳導型半導體薄膜之第三步驟，其係藉由使用該第一單幕層作為一單幕，而將一第一傳導型之第一雜質注入該半導體薄膜中來進行；

一移除該第一單幕層之第四步驟；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一形成一第二罩幕層之第五步驟，該第二罩幕層係覆蓋該第一傳導型半導體薄膜之部分區域與一不同於第一傳導型半導體薄膜之半導體薄膜，以包括一界限區域，該界限區域係位於該傳導型半導體薄膜以及一不同於第一傳導性半導體薄膜之半導體薄膜之間；

一形成高濃度之第一傳導型半導體薄膜與低濃度之第一傳導型半導體薄膜的第六步驟，其係藉由使用該第二罩幕層作為一罩幕，而將一與第一傳導型具有相同之傳導型的第二雜質注入該半導體薄膜中來進行，該第二雜質係由一質量比第一雜質重之元素所構成；

一移除該第二罩幕層之第七步驟；以及

一於該半導體薄膜上形成金屬矽化物之第八步驟。

20. 如申請專利範圍第 19 項之製造半導體裝置的方法，其於第七步驟與第八步驟間更包含下列步驟：

一形成第三罩幕層之第九步驟，該罩幕層係覆蓋該低濃度之第一傳導型半導體薄膜之部份或全部區域與該高濃度之第一傳導型半導體薄膜；

一將不同於第一傳導型之第二傳導型的第三雜質注入至該半導體薄膜中，其使用該第三罩幕層作為一罩幕；以及

一移除該第三罩幕層之第十一步驟。

21. 如申請專利範圍第 20 項之製造半導體裝置的方法，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

其於第七步驟與第九步驟間更包含下列步驟：

一於該半導體薄膜之二側上形成側壁空間的第十二步驟；

一形成一第四單幕層的第十三步驟，該第四單幕層係覆蓋該第一傳導型半導體薄膜之部份區域與一不同於該第一傳導型半導體薄膜之半導體薄膜，以包括一界限區域，該界限區域係位於該第一傳導型半導體薄膜與一不同於該第一傳導型半導體薄膜之半導體薄膜；

一使用該第四單幕層作為一單幕以將一與第一傳導型具有相同傳導型之第四雜質注入該半導體薄膜中之第十四步驟，該第四雜質係由一質量比該第一雜質重之元素所構成；以及

一移除該第四單幕層的第十五步驟。

22. 如申請專利範圍第 21 項之製造半導體裝置的方法，

其於第四步驟與第五步驟間更包含下列步驟：

一形成第五單幕層之第十六步驟，該五單幕層係覆蓋該第一傳導型半導體薄膜；

一將一不同於第一傳導型半導體薄膜之半導體薄膜轉換成一第二傳導型半導體薄膜的第十七步驟，其係藉由使用該第五單幕層作為一單幕，以將一與該第一傳導型半導體薄膜不同之第二傳導型的第五雜質注入至該半導體薄膜；以及

一移除該第五單幕層之第十八步驟，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

且於第七步驟與第十二步驟間更包含下列步驟：

一形成一第六單幕層之第十九步驟，該第六單幕層係覆蓋該第一傳導型半導體薄膜與一部份區域之第二傳導型半導體薄膜，以包括一界限區域，該界限區域係位於該第一傳導型半導體薄膜與該第二傳導型半導體薄膜之間；

一形成一高濃度之第二傳導型半導體薄膜與一低濃度之第二傳導型半導體薄膜之第二十步驟，其係藉由使用第六單幕層作為一單幕，而將一與第二傳導型具有相同傳導型之第六雜質注入該半導體薄膜，該第六雜質係由一質量比該第五雜質重之元素所構成；

一移除該第六單幕之第二十一步驟。

23. 如申請專利範圍第 19 項之製造半導體裝置的方法，其中該第三步驟包含將一磷離子植入該半導體薄膜中。
24. 如申請專利範圍第 19 項之製造半導體裝置的方法，其中該第六步驟包含將一砷離子植入該半導體薄膜中。
25. 如申請專利範圍第 20 項之製造半導體裝置的方法，其中該第九步驟係用以形成一第三單幕層，該第三單幕層係覆蓋該第一傳導型半導體薄膜與該不同於第一傳導型半導體薄膜之半導體薄膜的部份區域，以包括一界限區域，該界限區域係位於該第一傳導型半導體薄膜與一不同於該第一傳導型半導體薄膜之半導體薄

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

膜之間。

26. 如申請專利範圍第 21 項之製造半導體裝置的方法，其中該第十步驟係包含植入一第二傳導型雜質之步驟，該第二傳導型雜質之濃度係低於該於第三步驟中注入至一半導體薄膜中之第一傳導型雜質的濃度。
27. 如申請專利範圍第 26 項之製造半導體裝置的方法，其中該第十步驟係包含將一硼離子植入該半導體薄膜中。
28. 如申請專利範圍第 21 項之製造半導體裝置的方法，其中該第十四步驟係包含一注入與該第二雜質相同之雜質的步驟。
29. 如申請專利範圍第 28 項之製造半導體裝置的方法，其中該第十四步驟包含一將銦離子注入至該半導體薄膜中。
30. 如申請專利範圍第 22 項之製造半導體裝置的方法，其中該第十七步驟係包含將一硼離子注入至該半導體薄膜中。
31. 如申請專利範圍第 22 項之製造半導體裝置的方法，其中該第二十步驟係包含將一銦離子注入至該半導體薄膜中。
32. 如申請專利範圍第 19 項之製造半導體裝置的方法，其更包含一於該第一步驟之前於該半導體基材之表面上形成一絕緣薄膜的第二十二步驟；
其中該第一步驟係包含於該半導體基材上形成一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

半導體薄膜，於該半導體基材上形成有絕緣薄膜。

33. 一種半導體裝置，其包含：

一形成於一半導體基材上之閘極半導體薄膜，其係處於二不同傳導型半導體薄膜彼此相連之狀態下；以及

一形成於該閘極半導體薄膜上之金屬矽化物薄膜，

其中該金屬矽化物薄膜係至少形成於該閘極半導體薄膜之一接面上，且該等相同傳導型半導體薄膜之至少之一係具有二或多個濃度差。

34. 如申請專利範圍第 33 項之半導體裝置，其中一金屬矽化物薄膜不形成區域係形成於該具有濃度差之區域上。

35. 如申請專利範圍第 33 項之半導體裝置，其中一存在於相同傳導型半導體薄膜中之高濃度區域中之雜質的質量係重於該存在於半導體薄膜中之低濃度區域中之雜質的質量。

36. 如申請專利範圍第 33 項之半導體裝置，其中該濃度之差異係為或高於 $1.5 \times 10^{20} \text{ cm}^{-3}$ 且為或低於 $2 \times 10^{20} \text{ cm}^{-3}$ 。

37. 一種製造半導體裝置的方法，其係藉由在一閘極半導體薄膜形成後，於該閘極半導體薄膜上形成一金屬矽化物薄膜以製造一半導體裝置，其中二不同傳導型半導體薄膜係彼此連接於一閘極半導體基材上，該製造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

半導體裝置之方法係包含：

一於該相同傳導型半導體薄膜中形成一低濃度區域的第一步驟，其係藉由將一輕元素雜質注入到該閘極半導體薄膜之至少一相同型傳導型半導體薄膜中；

一於該相同傳導型半導體薄膜中形成一高濃度區域的第二步驟，其係藉由將一質量重於該輕元素之重元素雜質離子注入到相同傳導型半導體薄膜中之低濃度區域側，該低濃度區域側係相對於該二不同傳導型半導體薄膜之接面；以及

一至少於該二不同傳導型半導體薄膜之接面上形成金屬矽化物薄膜的第三步驟。

38. 如申請專利範圍第 37 項之製造半導體裝置的方法，其中該第一步驟包含至少一磷離子或一硼離子的植入。
39. 如申請專利範圍第 37 項之製造半導體裝置的方法，其中該第二步驟包含至少一砷離子或一銦離子的植入。