

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-128918

(P2012-128918A)

(43) 公開日 平成24年7月5日(2012.7.5)

(51) Int.Cl.
G11C 13/00 (2006.01)

F I
G11C 13/00 A

テーマコード (参考)

審査請求 未請求 請求項の数 10 O L (全 32 頁)

(21) 出願番号 特願2010-280871 (P2010-280871)
(22) 出願日 平成22年12月16日 (2010.12.16)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100080001
弁理士 筒井 大和
(72) 発明者 半澤 悟
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(54) 【発明の名称】 半導体記憶装置、およびメモリモジュール

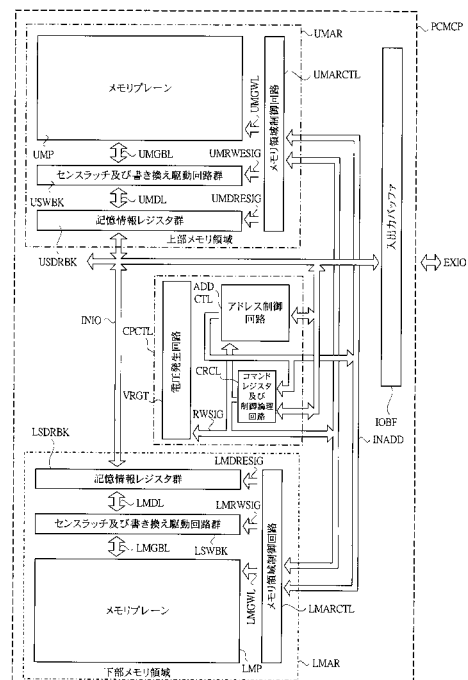
(57) 【要約】

【課題】高速、低電流、高信頼の大容量相変化メモリを実現する。

【解決手段】メモリ領域制御回路UMARCTLの読み出し起動信号が活性化され、上部メモリ領域UMARにおいて、センスラッチ及び書き換え駆動回路群USWBKがベリファイ読み出し動作を行っている期間に、メモリ領域制御回路LMARCTLの書き換え起動信号WEOL、WE1Lが活性化され、下部メモリ領域LMARにおいて、センスラッチ及び書き換え駆動回路群LSWBKがデータの書き換え動作を行う。このような動作によって、一方のメモリ領域において時分割書き換えを行っている最中に、他方のメモリ領域においてベリファイ読み出しを行うことによって、時分割書き換え動作に要する時間とベリファイ読み出し動作に要する時間を相殺しながら、書き換え動作のピーク電流抑制と書き換え動作の確度向上を両立させることができる。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

第 1、および第 2 のメモリ領域を有し、
 前記第 1 のメモリ領域は、
 複数のメモリセルが、行列状に配置された第 1、および第 2 のメモリプレーンと、
 前記第 1、および前記第 2 のメモリプレーンに情報を、書き込み / 読み出しする第 1、
 および第 2 のセンスラッチ及び書き換え駆動回路群と、
 入力された内部アドレス、および読み書き制御信号に応じて、前記第 1 のセンスラッチ
 及び書き換え駆動回路群に出力する第 1 の書き換え起動信号、前記第 2 のセンスラッチ及
 び書き換え駆動回路群に出力する第 2 の書き換え起動信号、および前記第 1、および前記
 第 2 のセンスラッチ及び書き換え駆動回路群に出力する第 1 の読み出し起動信号をそれぞ
 れ生成する第 1 のメモリ領域制御回路とを有し、
 前記第 2 のメモリ領域は、
 複数のメモリセルが、行列状に配置された第 3、および第 4 のメモリプレーンと、
 前記第 3、および前記第 4 のメモリプレーンに情報を、書き込み / 読み出しする第 3、
 および第 4 のセンスラッチ及び書き換え駆動回路群と、
 入力された内部アドレス、および読み書き制御信号に応じて、前記第 3 のセンスラッチ
 及び書き換え駆動回路群に出力する第 3 の書き換え起動信号、前記第 4 のセンスラッチ及
 び書き換え駆動回路群に出力する第 4 の書き換え起動信号、および前記第 3、および前記
 第 4 のセンスラッチ及び書き換え駆動回路群に出力する第 2 の読み出し起動信号をそれぞ
 れ生成する第 2 のメモリ領域制御回路とを有し、
 前記第 1 のメモリ領域制御回路の第 1 の読み出し起動信号が活性化され、前記第 1 のメ
 モリ領域において、前記第 1、および前記第 2 のセンスラッチ及び書き換え駆動回路群が
 第 1 のペリファイ読み出し動作を行っている第 1 の期間に、前記第 2 のメモリ領域制御回
 路の第 3、および第 4 の書き換え起動信号が活性化され、前記第 2 のメモリ領域において
 、前記第 3、および前記第 4 のセンスラッチ及び書き換え駆動回路群が第 1、および第 2
 の書き換え動作を行うことを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 記載の半導体記憶装置において、
 前記第 1 の期間に続いて、前記第 1、および前記第 2 の書き換え起動信号が活性化され
 、前記第 1 のメモリ領域において、第 3、および第 4 の書き換え動作が行われている第 2
 の期間に、前記第 2 の読み出し起動信号が活性化され、前記第 2 のメモリ領域において第
 2 のペリファイ読み出し動作が行われる第 2 の期間を有することを特徴とする半導体記憶
 装置。

【請求項 3】

請求項 1 記載の半導体記憶装置において、
 前記複数のメモリセルは、
 記憶素子としてカルコゲナイド材料を用いた記録層を有することを特徴とする半導体記
 憶装置。

【請求項 4】

請求項 3 記載の半導体記憶装置において、
 前記複数のメモリセルは、
 さらに選択素子としてダイオードを有することを特徴とする半導体記憶装置。

【請求項 5】

第 1、および第 2 のメモリ領域を有し、
 前記第 1 のメモリ領域は、
 複数のメモリセルが、行列状に配置された第 1、および第 2 のメモリプレーンと、
 前記第 1、および前記第 2 のメモリプレーンに情報を、書き込み / 読み出しする第 1、
 および第 2 のセンスラッチ及び書き換え駆動回路群と、
 入力された内部アドレス、および読み書き制御信号に応じて、前記第 1 のセンスラッチ

及び書き換え駆動回路群に出力する第 1 の書き換え起動信号、前記第 2 のセンスラッチ及び書き換え駆動回路群に出力する第 2 の書き換え起動信号、前記第 1 のセンスラッチ及び書き換え駆動回路群に出力する第 1 の読み出し起動信号、および前記第 2 のセンスラッチ及び書き換え駆動回路群に出力する第 2 の読み出し起動信号をそれぞれ生成する第 1 のメモリ領域制御回路とを有し、

前記第 2 のメモリ領域は、

複数のメモリセルが、行列状に配置された第 3、および第 4 のメモリプレーンと、

前記第 3、および前記第 4 のメモリプレーンに情報を、書き込み/読み出しする第 3、および第 4 のセンスラッチ及び書き換え駆動回路群と、

入力された内部アドレス、および読み書き制御信号に応じて、前記第 3 のセンスラッチ及び書き換え駆動回路群に出力する第 3 の書き換え起動信号、前記第 4 のセンスラッチ及び書き換え駆動回路群に出力する第 4 の書き換え起動信号、前記第 3 のセンスラッチ及び書き換え駆動回路群に出力する第 3 の読み出し起動信号、および前記第 4 のセンスラッチ及び書き換え駆動回路群に出力する第 4 の読み出し起動信号をそれぞれ生成する第 2 のメモリ領域制御回路とを有し、

前記第 1 のセンスラッチ及び書き換え駆動回路群は、

前記第 1 の書き換え起動信号が活性化されることにより、前記第 1 のメモリプレーンにおける第 1 の書き換え動作を行い、前記第 1 の読み出し起動信号が活性化されることにより、前記第 1 のメモリプレーンにおける第 1 のペリファイ読み出し動作を行い、

前記第 2 のセンスラッチ及び書き換え駆動回路群は、

前記第 2 の書き換え起動信号が活性化されることにより、前記第 2 のメモリプレーンにおける第 2 の書き換え動作を行い、さらに、前記第 2 の読み出し起動信号が活性化されることにより、前記第 2 のメモリプレーンにおける第 2 のペリファイ読み出し動作を行い、

前記第 3 のセンスラッチ及び書き換え駆動回路群は、

前記第 3 の書き換え起動信号が活性化されることにより、前記第 3 のメモリプレーンにおける第 3 の書き換え動作を行い、前記第 3 の読み出し起動信号が活性化されることにより、前記第 3 のメモリプレーンにおける第 3 のペリファイ読み出し動作を行い、前記第 4 の書き換え起動信号が活性化されることにより、前記第 4 のメモリプレーンにおける第 4 の書き換え動作を行い、

さらに、前記第 4 のセンスラッチ及び書き換え駆動回路群は、

前記第 4 の読み出し起動信号が活性化されることにより、前記第 4 のメモリプレーンにおける第 4 のペリファイ読み出し動作を行い、

前記第 1、および前記第 2 の書き換え動作の後に、前記第 3、および前記第 4 の書き換え動作を行うことを特徴とする半導体記憶装置。

【請求項 6】

請求項 5 記載の半導体記憶装置において、

前記第 1 のメモリ領域における前記第 1、および前記第 2 の書き換え動作と前記第 2 のメモリ領域における前記第 3、および前記第 4 の書き換え動作とを交互に繰り返すことを特徴とする半導体記憶装置。

【請求項 7】

請求項 5 記載の半導体記憶装置において、

前記複数のメモリセルは、

記憶素子としてカルコゲナイド材料を用いた記録層を有することを特徴とする半導体記憶装置。

【請求項 8】

複数のメモリチップと、前記メモリチップの動作制御を行うコントローラチップとを有したメモリモジュールであって、

前記メモリチップは、

第 1、および第 2 のメモリ領域を有し、

前記第 1 のメモリ領域は、

10

20

30

40

50

複数のメモリセルが、行列状に配置された第 1、および第 2 のメモリプレーンと、
前記第 1、および前記第 2 のメモリプレーンに情報を、書き込み / 読み出しする第 1、
および第 2 のセンスラッチ及び書き換え駆動回路群と、

入力された内部アドレス、および読み書き制御信号に応じて、前記第 1 のセンスラッチ
及び書き換え駆動回路群に出力する第 1 の書き換え起動信号、前記第 2 のセンスラッチ及
び書き換え駆動回路群に出力する第 2 の書き換え起動信号、および前記第 1、および前記
第 2 のセンスラッチ及び書き換え駆動回路群に出力する第 1 の読み出し起動信号をそれぞ
れ生成する第 1 のメモリ領域制御回路とを有し、

前記第 2 のメモリ領域は、

複数のメモリセルが、行列状に配置された第 3、および第 4 のメモリプレーンと、
前記第 3、および前記第 4 のメモリプレーンに情報を、書き込み / 読み出しする第 3、
および第 4 のセンスラッチ及び書き換え駆動回路群と、

入力された内部アドレス、および読み書き制御信号に応じて、前記第 3 のセンスラッチ
及び書き換え駆動回路群に出力する第 3 の書き換え起動信号、前記第 4 のセンスラッチ及
び書き換え駆動回路群に出力する第 4 の書き換え起動信号、および前記第 3、および前記
第 4 のセンスラッチ及び書き換え駆動回路群に出力する第 2 の読み出し起動信号をそれぞ
れ生成する第 2 のメモリ領域制御回路とを有し、

前記第 1 のメモリ領域制御回路の第 1 の読み出し起動信号が活性化され、前記第 1 のメ
モリ領域において、前記第 1、および前記第 2 のセンスラッチ及び書き換え駆動回路群が
第 1 のペリファイ読み出し動作を行っている第 1 の期間に、前記第 2 のメモリ領域制御回
路の第 3、および第 4 の書き換え起動信号が活性化され、前記第 2 のメモリ領域において
、前記第 3、および前記第 4 のセンスラッチ及び書き換え駆動回路群が第 1、および第 2
の書き換え動作を行うことを特徴とするメモリモジュール。

【請求項 9】

請求項 8 記載のメモリモジュールにおいて、

前記第 1 の期間に続いて、前記第 1、および前記第 2 の書き換え起動信号が活性化され
、前記第 1、および前記第 2 のセンスラッチ及び書き換え駆動回路群が前記第 1 のメモリ
領域において第 3、および第 4 の書き換え動作を行う第 2 の期間に、前記第 2 の読み出し
起動信号が活性化され、前記第 3、および前記第 4 のセンスラッチ及び書き換え駆動回路
群が前記第 2 のメモリ領域において第 2 のペリファイ読み出し動作を行う第 2 の期間を有
することを特徴とするメモリモジュール。

【請求項 10】

請求項 8 記載のメモリモジュールにおいて、

前記複数のメモリセルは、
記憶素子としてカルコゲナイド材料を用いた記録層を有することを特徴とするメモリモ
ジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体メモリにおけるデータ書き換え技術に関し、特に、記憶情報
に対応して抵抗値に差ができる素子からなるメモリセルを含む記憶装置に有効な技術に関
する。

【背景技術】

【0002】

現在、プログラムやデータを不揮発記憶するメモリとして、NAND型フラッシュメモ
リの伸長が著しい。NAND型フラッシュメモリの特徴は、大容量、かつ高速データ転送
が可能点にある。大容量化を実現するために、ビット線とメモリセルとを接続する領域
の面積を低減したNANDストリング構造にて、メモリセル占有率を向上してきた。また
、微細加工技術と多値記憶技術を追求して、大容量化を実現してきた。

【0003】

10

20

30

40

50

この結果、1つのワード線に接続されるメモリセルが多いという特徴を有した、メモリセルアレー構成となっている。このような構造上の特徴を活かして、NAND型フラッシュメモリでは、外部から入力された数百バイト～数キロ・バイトの書き込みデータをチップ内部のバッファに一旦記憶してから、これらのデータをメモリセルに同時に書き込むメモリセルアレー動作を行うことにより、データ転送効率が向上されてきた。

【0004】

一方、最小加工寸法が20ナノ・メートルに到達しようとしている昨今、メモリセルの書き換え耐性の低下やメモリセルアレーにおける誤動作が予見され、NAND型フラッシュメモリの微細化、すなわち大容量化が限界に達しつつあると考えられている。

【0005】

このような微細化限界を打破するために、次世代の不揮発性メモリとして、従来のNAND型フラッシュメモリとは原理および構造の異なる、カルコゲナイド材料からなる記録層とダイオードとを用いた相変化メモリが提案されている。

【0006】

現在検討されている相変化メモリセルの記憶素子は、少なくともアンチモン(Sb)とテルル(Te)を含むGe(ゲルマニウム)-Sb-Te系、Ag(銀)-In(インジウム)-Sb-Te系などのカルコゲナイド材料(または、相変化材料)を記録層の材料として用いている。

【0007】

また、相変化メモリセルにおけるデータの書き換え動作は、記憶情報に応じたジュール加熱によって、記録層の結晶状態を変化させる。一方、データの読み出し動作では、記録層に一定の電圧を印加して、その結晶状態に応じた抵抗値に依存した電流信号を弁別する。

【0008】

このようなメモリセルの構造と動作特性は、たとえば、非特許文献1のFig. 1～Fig. 3に記載されている(非特許文献1参照)。また、非特許文献2のFig. 7に記載されているように、記録層の状態変化領域が小さい程、書き込み動作に必要なとする電力が小さくなる(非特許文献2参照)。したがって、相変化メモリは持続的な微細化に適しており、次世代の不揮発性メモリとして有望である。

【0009】

大容量かつデータ転送効率の高い相変化メモリを実現するためには、メモリセルにおける書き換え特性のばらつきを補償することが求められる。ギガ・ビット級の情報を記憶するメモリチップでは、10億個以上のメモリセルが作り込まれるので、このばらつき補償は必須の要件となる可能性が高い。

【0010】

ばらつきを補償する方法としては、書き換え動作の成否に応じて動作条件を調整しながら、書き換え動作を繰り返す動作方式が広く知られている。以下では、書き換え動作の成否確認のことを、特に『ペリファイ読み出し動作』と呼ぶ。

【0011】

書き換え動作を繰り返すことによって、全てのデータを正しく書き換えられるようになる反面、書き換え動作に要する総時間が長くなるという課題がある。

【0012】

このような課題を解決するために、二つのメモリセル群に対して、書き換え動作とペリファイ読み出し動作を交互に行うことによって、ペリファイ読み出し動作時間を隠蔽する動作方式が知られている(特許文献1、および特許文献2)。

【先行技術文献】

【非特許文献】

【0013】

【非特許文献1】IEEE International Solid-State Circuits Conference, Digest of Technical Papers(米国)、2007年、pp. 472-473

10

20

30

40

50

【非特許文献2】IEEE International Electron Devices meeting、 TECHNICAL DIGEST (米国)、2001年、pp. 803 - 806

【特許文献】

【0014】

【特許文献1】特開2010-113742号公報

【特許文献2】特開2010-129104号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

ところが、上記のような相変化メモリにおけるデータの書き換え技術では、次のような問題点があることが本発明者により見いだされた。

10

【0016】

相変化メモリでは、信頼性の高い相変化メモリを実現するためのもう1つの要求として、上述したメモリセルにおける書き換え特性のばらつきを補償するほかに、相変化メモリの動作電流に関して、書き換え電流のピーク値を抑制することがある。

【0017】

相変化メモリでは、カルコゲナイド材料の状態変化に必要なジュール熱を発生するために、選択されたメモリセルに所定の電流を印加する必要がある。この電流値は、NAND型フラッシュメモリよりも桁違いに大きいので、数百バイト～数キロ・バイトのデータを同時に書き込もうとすると、システム電源やメモリチップに内蔵した電源回路の電流駆動能力を超過してしまい、所望の情報に正しく書き換えられなくなる恐れがある。

20

【0018】

したがって、小数のメモリセルを選択しながら、少しずつ情報を書き換える、いわゆる、時分割書き換え動作が必要となる。しかし、時分割動作によって、書き換え動作の総時間が増加してしまうという問題があり、前述の特許文献1および特許文献2では、この課題に関する検討が欠けていた。

【0019】

本発明の目的は、相変化メモリにおいて、安定かつ低電流動作でありながら、書き換えデータ転送効率の高い動作シーケンスを実現することのできる技術を提供することにある。

30

【0020】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0021】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0022】

本発明は、第1、および第2のメモリ領域を有し、該第1のメモリ領域は、複数のメモリセルが、行列状に配置された第1、および第2のメモリプレーンと、第1、および第2のメモリプレーンに情報を、書き込み/読み出しする第1、および第2のセンスラッチ及び書き換え駆動回路群と、入力された内部アドレス、および読み書き制御信号に応じて、第1のセンスラッチ及び書き換え駆動回路群に出力する第1の書き換え起動信号、第2のセンスラッチ及び書き換え駆動回路群に出力する第2の書き換え起動信号、および第1、および第2のセンスラッチ及び書き換え駆動回路群に出力する第1の読み出し起動信号をそれぞれ生成する第1のメモリ領域制御回路とを有し、第2のメモリ領域は、複数のメモリセルが、行列状に配置された第3、および第4のメモリプレーンと、第3、および第4のメモリプレーンに情報を、書き込み/読み出しする第3、および第4のセンスラッチ及び書き換え駆動回路群と、入力された内部アドレス、および読み書き制御信号に応じて、第3のセンスラッチ及び書き換え駆動回路群に出力する第3の書き換え起動信号、第4の

40

50

セン斯拉ッチ及び書き換え駆動回路群に出力する第4の書き換え起動信号、および第3、および第4のセン斯拉ッチ及び書き換え駆動回路群に出力する第2の読み出し起動信号をそれぞれ生成する第2のメモリ領域制御回路とを有し、第1のメモリ領域制御回路の第1の読み出し起動信号が活性化され、第1のメモリ領域において、第1、および第2のセン斯拉ッチ及び書き換え駆動回路群が第1のペリファイ読み出し動作を行っている第1の期間に、第2のメモリ領域制御回路の第3、および第4の書き換え起動信号が活性化され、第2のメモリ領域において、第3、および第4のセン斯拉ッチ及び書き換え駆動回路群が第1、および第2の書き換え動作を行うものである。

【0023】

また、本発明は、複数のメモリセルが、記憶素子としてカルコゲナイド材料を用いた記録層を有するものである。

10

【0024】

さらに、本発明は、複数のメモリセルが、さらに選択素子としてダイオードを有する構成からなる。

【0025】

また、本発明は、第1の期間に続いて、第1、および第2の書き換え起動信号が活性化され、第1のメモリ領域において、第3、および第4の書き換え動作が行われている第2の期間に、第2の読み出し起動信号が活性化され、第2のメモリ領域において第2のペリファイ読み出し動作が行われる第2の期間を有するものである。

【0026】

20

さらに、本願のその他の発明の概要を簡単に示す。

【0027】

本発明は、第1、および第2のメモリ領域を有し、該第1のメモリ領域は、複数のメモリセルが、行列状に配置された第1、および第2のメモリプレーンと、第1、および第2のメモリプレーンに情報を、書き込み/読み出しする第1、および第2のセン斯拉ッチ及び書き換え駆動回路群と、入力された内部アドレス、および読み書き制御信号に応じて、第1のセン斯拉ッチ及び書き換え駆動回路群に出力する第1の書き換え起動信号、第2のセン斯拉ッチ及び書き換え駆動回路群に出力する第2の書き換え起動信号、第1のセン斯拉ッチ及び書き換え駆動回路群に出力する第1の読み出し起動信号、および第2のセン斯拉ッチ及び書き換え駆動回路群に出力する第2の読み出し起動信号をそれぞれ生成する第1のメモリ領域制御回路とを有し、第2のメモリ領域は、複数のメモリセルが、行列状に配置された第3、および第4のメモリプレーンと、第3、および第4のメモリプレーンに情報を、書き込み/読み出しする第3、および第4のセン斯拉ッチ及び書き換え駆動回路群と、入力された内部アドレス、および読み書き制御信号に応じて、第3のセン斯拉ッチ及び書き換え駆動回路群に出力する第3の書き換え起動信号、第4のセン斯拉ッチ及び書き換え駆動回路群に出力する第4の書き換え起動信号、第3のセン斯拉ッチ及び書き換え駆動回路群に出力する第3の読み出し起動信号、および第4のセン斯拉ッチ及び書き換え駆動回路群に出力する第4の読み出し起動信号をそれぞれ生成する第2のメモリ領域制御回路とを有し、第1のセン斯拉ッチ及び書き換え駆動回路群は、第1の書き換え起動信号が活性化されることにより、第1のメモリプレーンにおける第1の書き換え動作を行い、第1の読み出し起動信号が活性化されることにより、第1のメモリプレーンにおける第1のペリファイ読み出し動作を行い、第2のセン斯拉ッチ及び書き換え駆動回路群は、第2の書き換え起動信号が活性化されることにより、第2のメモリプレーンにおける第2の書き換え動作を行い、さらに、第2の読み出し起動信号が活性化されることにより、第2のメモリプレーンにおける第2のペリファイ読み出し動作を行い、第3のセン斯拉ッチ及び書き換え駆動回路群は、第3の書き換え起動信号が活性化されることにより、第3のメモリプレーンにおける第3の書き換え動作を行い、第3の読み出し起動信号が活性化されることにより、第3のメモリプレーンにおける第3のペリファイ読み出し動作を行い、第4の書き換え起動信号が活性化されることにより、第4のメモリプレーンにおける第4の書き換え動作を行い、さらに、第4のセン斯拉ッチ及び書き換え駆動回路群は、第4の読み

30

40

50

出し起動信号が活性化されることにより、第4のメモリプレーンにおける第4のペリファイ読み出し動作を行い、第1、および第2の書き換え動作の後に、第3、および第4の書き換え動作を行うものである。

【0028】

また、本発明は、複数のメモリチップと、該メモリチップの動作制御を行うコントローラチップとを有したメモリモジュールであって、該メモリチップは、第1、および第2のメモリ領域を有し、該第1のメモリ領域は、複数のメモリセルが、行列状に配置された第1、および第2のメモリプレーンと、第1、および第2のメモリプレーンに情報を、書き込み/読み出しする第1、および第2のセンスラッチ及び書き換え駆動回路群と、入力された内部アドレス、および読み書き制御信号に応じて、第1のセンスラッチ及び書き換え駆動回路群に出力する第1の書き換え起動信号、第2のセンスラッチ及び書き換え駆動回路群に出力する第2の書き換え起動信号、および第1、および第2のセンスラッチ及び書き換え駆動回路群に出力する第1の読み出し起動信号をそれぞれ生成する第1のメモリ領域制御回路とを有し、第2のメモリ領域は、複数のメモリセルが、行列状に配置された第3、および第4のメモリプレーンと、第3、および第4のメモリプレーンに情報を、書き込み/読み出しする第3、および第4のセンスラッチ及び書き換え駆動回路群と、入力された内部アドレス、および読み書き制御信号に応じて、第3のセンスラッチ及び書き換え駆動回路群に出力する第3の書き換え起動信号、第4のセンスラッチ及び書き換え駆動回路群に出力する第4の書き換え起動信号、および第3、および第4のセンスラッチ及び書き換え駆動回路群に出力する第2の読み出し起動信号をそれぞれ生成する第2のメモリ領域制御回路とを有し、第1のメモリ領域制御回路の第1の読み出し起動信号が活性化され、第1のメモリ領域において、第1、および第2のセンスラッチ及び書き換え駆動回路群が第1のペリファイ読み出し動作を行っている第1の期間に、第2のメモリ領域制御回路の第3、および第4の書き換え起動信号が活性化され、第2のメモリ領域において、第3、および第4のセンスラッチ及び書き換え駆動回路群が第1、および第2の書き換え動作を行うものである。

【発明の効果】

【0029】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0030】

(1) データの書き換え時間を高速化することができる。

【0031】

(2) データの書き換え動作時におけるピーク電流を抑制することができる。

【0032】

(3) 上記(1)、(2)により、信頼性の高い大容量の半導体記憶装置を実現することができる。

【図面の簡単な説明】

【0033】

【図1】本発明の実施の形態1における相変化メモリチップの要部回路の構成の一例を示すブロック図である。

【図2】図1の相変化メモリチップにおける上部メモリ領域の要部回路の構成の一例を示すブロック図である。

【図3】図2の上部メモリ領域における要部回路を繋ぐ配線構成の一例を示すブロック図である。

【図4】図3の上部メモリ領域における要部回路の具体的な構成の一例を示す説明図である。

【図5】図3の上部メモリ領域におけるメモリセルの構成の一例を示す説明図である。

【図6】図1の相変化メモリチップにおける2キロ・バイト書き換え動作の一例を示すタイミングチャートである。

10

20

30

40

50

【図 7】図 6 の書き換え動作における記憶情報の受信動作シーケンスの一例を示すタイミングチャートである。

【図 8】図 7 の書き換え動作におけるメモリプレーンへの書き換え動作シーケンスの一例を示すタイミングチャートである。

【図 9】図 8 の書き換え動作シーケンスにおける書き換え動作とベリファイ読み出し動作の位相関係の一例を示すタイミングチャートである。

【図 10】図 8 の書き換え動作シーケンスにおける上部メモリ領域の詳細動作の一例を示すタイミングチャートである。

【図 11】図 8 の書き換え動作シーケンスにおける下部メモリ領域の詳細動作の一例を示すタイミングチャートである。

【図 12】本発明の実施の形態 2 における相変化メモリチップの書き換え動作シーケンスの書き換え動作とベリファイ読み出し動作の位相関係の一例を示すタイミングチャートである。

【図 13】図 12 に記載の書き換え動作シーケンスにおける上部メモリ領域の詳細動作の一例を示すタイミングチャートである。

【図 14】図 13 の書き換え動作シーケンスにおける下部メモリ領域の詳細動作の一例を示す図である。

【図 15】本発明の実施の形態 3 における相変化メモリチップを用いて構成したメモリモジュールの構成の一例を示すブロック図である。

【発明を実施するための形態】

【0034】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0035】

また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知の CMOS (相補型 MOS (Metal Oxide Semiconductor) トランジスタ) 等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。さらに、実施の形態の各メモリプレーンを構成するメモリセルは、例えば、カルコゲナイド材料の状態変化を利用して情報を記憶し、その情報による抵抗値差を検出して情報を弁別するメモリセルを用いた相変化メモリや ReRAM (Resistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory) のようにブロック消去動作を必要としないメモリセルである。

【0036】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 における相変化メモリチップの要部回路の構成の一例を示すブロック図、図 2 は、図 1 の相変化メモリチップにおける上部メモリ領域の要部回路の構成の一例を示すブロック図、図 3 は、図 2 の上部メモリ領域における要部回路を繋ぐ配線構成の一例を示すブロック図、図 4 は、図 3 の上部メモリ領域における要部回路の具体的な構成の一例を示す説明図、図 5 は、図 3 の上部メモリ領域におけるメモリセルの構成の一例を示す説明図、図 6 は、図 1 の相変化メモリチップにおける 2 キロ・バイト書き換え動作の一例を示すタイミングチャート、図 7 は、図 6 の書き換え動作における記憶情報の受信動作シーケンスの一例を示すタイミングチャート、図 8 は、図 7 の書き換え動作におけるメモリプレーンへの書き換え動作シーケンスの一例を示すタイミングチャート、図 9 は、図 8 の書き換え動作シーケンスにおける書き換え動作とベリファイ読み出し動作の位相関係の一例を示すタイミングチャート、図 10 は、図 8 の書き換え動作シーケンスにおける上部メモリ領域の詳細動作の一例を示すタイミングチャート、図 11 は、図 8 の書き換え動作シーケンスにおける下部メモリ領域の詳細動作の一例を示すタイミングチャートである。

【0037】

《 発明の概要 》

本発明の第1の概要は、第1、および第2のメモリ領域（上部メモリ領域UMAR、下部メモリ領域LMAR）を有し、前記第1のメモリ領域は、複数のメモリセルが、行列状に配置された第1、および第2のメモリプレーン（小規模メモリプレーンUSMP0、小規模メモリプレーンUSMP1）と、前記第1、および前記第2のメモリプレーンに情報を、書き込み/読み出しする第1、および第2のセンスラッチ及び書き換え駆動回路群（センスラッチ及び書き換え駆動回路群USWM0, USWM1）と、入力された内部アドレス（内部アドレスINADD）、および読み書き制御信号（読み書き制御信号RWSIG）に応じて、前記第1のセンスラッチ及び書き換え駆動回路群に出力する第1の書き換え起動信号、前記第2のセンスラッチ及び書き換え駆動回路群に出力する第2の書き換え
10
起動信号（書き換え起動信号WE0U、WE1U）、および前記第1、および前記第2のセンスラッチ及び書き換え駆動回路群に出力する第1の読み出し起動信号（読み出し起動信号REU）をそれぞれ生成する第1のメモリ領域制御回路（メモリ領域制御回路UMARCTL）とを有している。

【0038】

また、前記第2のメモリ領域は、複数のメモリセルが、行列状に配置された第3、および第4のメモリプレーン（小規模メモリプレーンUSMP0、USMP1）と、前記第3、および前記第4のメモリプレーンに情報を、書き込み/読み出しする第3、および第4のセンスラッチ及び書き換え駆動回路群（センスラッチ及び書き換え駆動回路群USWM0, USWM1）と、入力された内部アドレス（内部アドレスINADD）、および読み
20
書き制御信号（読み書き制御信号RWSIG）に応じて、前記第3のセンスラッチ及び書き換え駆動回路群に出力する第3の書き換え起動信号、前記第4のセンスラッチ及び書き換え駆動回路群に出力する第4の書き換え起動信号（書き換え起動信号WE0L, WE1L）、および前記第3、および前記第4のセンスラッチ及び書き換え駆動回路群に出力する第2の読み出し起動信号（読み出し起動信号REL）をそれぞれ生成する第2のメモリ領域制御回路（メモリ領域制御回路LMARCTL）とを有している。

【0039】

そして、前記第1のメモリ領域制御回路の第1の読み出し起動信号が活性化され、前記第1のメモリ領域において、前記第1、および前記第2のセンスラッチ及び書き換え駆動回路群が第1のベリファイ読み出し動作を行っている第1の期間（図9の上部メモリ領域
30
UMARにおける第1サイクルのベリファイ読み出し動作VRYU）に、前記第2のメモリ領域制御回路の第3、および第4の書き換え起動信号が活性化され、前記第2のメモリ領域において、前記第3、および前記第4のセンスラッチ及び書き換え駆動回路群が第1、および第2の書き換え動作を行う（図9の下部メモリ領域LMARにおける第1サイクルの書き込み動作PRG0L, PRG1L）ものである。

【0040】

本実施の形態は、時分割書き換え動作を行いながら、書き換え動作とベリファイ読み出し動作を交互に実行する動作シーケンスを有する相変化メモリのチップ構成の例について説明する。以下では、一例として、一回の書き換え命令と一緒に受信する記憶情報量は、ある世代のNAND型フラッシュメモリの動作単位と同等の値である2キロ・バイトとする。
40

【0041】

この動作単位は、一般に、512バイトの整数倍数に定められる。ここで、512バイトはハード・ディスク・ドライブ(Hard Disk Drive:HDD)においてセクタと呼ばれる情報量と同等の値である。

【0042】

NAND型フラッシュメモリの微細化に伴って、一本のワード線に接続されるメモリセル数が倍増されるのに応じて、当該ワード線を用いて一度に選択されるメモリセル数も倍増される傾向にある。しかし、動作単位が2キロ・バイトより大きくなっても、以下で説明する動作原理は拡張可能であり、将来に渡って有効な技術である。
50

【 0 0 4 3 】

以下、上記した概要に基づいて、実施の形態を詳細に説明する。

【 0 0 4 4 】

《チップ構成》

図1は、本実施の形態における相変化メモリチップPCMC Pの要部回路ブロックの構成の例を示している。図1における相変化メモリチップPCMC Pは大別すると、入出力バッファIOBF、データの書き込み/読み出し動作などを行う2つのメモリ領域(上部メモリ領域UMAR、下部メモリ領域LMAR)、およびチップ制御回路CPC TLによって構成される。

【 0 0 4 5 】

入出力バッファIOBFは、相変化メモリチップPCMC P外部の入出力線EX IOと相変化メモリチップPCMC P内部の入出力線INI Oとの間に配置され、記憶情報などの授受を双方に向かって行う。

【 0 0 4 6 】

以下では、入出力線の本数を8本と仮定して説明を行うので、一度に授受される記憶情報量は8ビット(=1バイト)である。なお、入出力線の本数は8本に限らず、本発明による半導体記憶装置が組み込まれるシステムの仕様に依りて種々の形態があり得る。例えば、16本であったり、32本であったりしてもよい。これらの場合であっても、以下に説明する本実施の形態を否定するものではない。

【 0 0 4 7 】

上述したように、メモリ領域は、上部メモリ領域UMARと下部メモリ領域LMARに分離されている。以下に示す回路ブロックや信号線群を表わす記号の頭文字は、当該回路ブロックや信号線群が属するメモリ領域を示している。

【 0 0 4 8 】

すなわち、頭文字“U”は上部メモリ領域UMARに属する回路ブロックや信号線群であることを、頭文字“L”は下部メモリ領域LMARに属する回路ブロックや信号線群であることを夫々示す。

【 0 0 4 9 】

したがって、前者の上部メモリ領域UMARは、メモリプレーンUMP、センスラッチ及び書き換え駆動回路群USWB K、記憶情報レジスタ群USDRBK、ならびにメモリ領域制御回路UMARCTLにより構成される。

【 0 0 5 0 】

また、後者の下部メモリ領域LMARは、メモリプレーンLMP、センスラッチ及び書き換え駆動回路群LSWB K、記憶情報レジスタ群LSDRBK、およびメモリ領域制御回路LMARCTLによって構成される。

【 0 0 5 1 】

メモリプレーンUMP, LMPの各々は、例えば相変化材料で形成された可変抵抗素子を記憶素子に用いた複数のメモリセルが、行列状に配置された構成である。メモリプレーンUMPに記憶される情報は、センスラッチ及び書き換え駆動回路群USWB Kからグローバルビット線群UMGBLを介して書き込まれる。あるいは、メモリプレーンUMPに記憶された情報は、グローバルビット線群UMGBLからセンスラッチ及び書き換え駆動回路群USWB Kを介して読み出される。

【 0 0 5 2 】

同様に、メモリプレーンLMPに記憶される情報は、センスラッチ及び書き換え駆動回路群LSWB Kからグローバルビット線群LMGBLを介して書き込まれる。或いは、メモリプレーンLMPに記憶された情報は、グローバルビット線群LMGBLからセンスラッチ及び書き換え駆動回路群LSWB Kを介して読み出される。

【 0 0 5 3 】

同図のようにメモリ領域を2つに分離して、読み書き動作に必要な回路群(詳細は後述する)を夫々に配置することにより、2つのメモリ領域を独立に制御して動作させること

10

20

30

40

50

ができるようになり、一方のメモリ領域にて書き換え動作を行いながら、他方のメモリ領域にてペリファイ読み出し動作を行うことが可能となる。

【0054】

記憶情報レジスタ群USDRBK, LSDRBKの各々は、対応するメモリプレーンUMP, LMPにおいて記憶する情報を一時的に記憶しつつ、パラレル-シリアル、またはシリアル-パラレル変換する回路ブロックである。

【0055】

記憶情報レジスタ群USDRBKは、データ線群UMDLを介してセンスラッチ及び書き換え駆動回路群USWBKに接続される。また、記憶情報レジスタ群USDRBKは、相変化メモリチップPCMC内部の入出力線INIOを介して入出力バッファIOBFに接続される。

10

【0056】

同様に、記憶情報レジスタ群LSDRBKは、データ線群LMDLを介してセンスラッチ及び書き換え駆動回路群LSWBKに接続される。また、記憶情報レジスタ群LSDRBKは、相変化メモリチップPCMC内部の入出力線INIOを介して入出力バッファIOBFに接続される。

【0057】

センスラッチ及び書き換え駆動回路群USWBK, LSBKの各々は、読み出し動作において対応するメモリプレーンUMP, LMPから読み出した微小信号を分別、増幅して、さらに一時的に記憶する機能を有する複数のセンスラッチを有する。

20

【0058】

また、書き換え動作において、記憶情報レジスタ群USDRBK, LSDRBKに一時的に記憶された情報に応じたパルスを、選択されたメモリセルに印加する機能を有する複数の書き換え駆動回路を有する。

【0059】

メモリ領域制御回路UMARCTL, LMARCTLの各々は、後述するチップ制御回路CPCTLから入力される内部アドレスINADD、および読み書き制御信号RWSIGに応じて、メモリ領域内部の回路ブロックを制御するための三対の信号を発生する回路ブロックである。

【0060】

第1の信号対は、メモリプレーンUMP, LMP内のワード線を選択的に活性化するためのグローバルワード線群UMGWL, LMGWLである。第2の信号対は、センスラッチ及び書き換え駆動回路群USWBK, LSBKを選択的に活性化するための読み書き起動信号群UMRWESIG, LMRWESIGである。第3の信号対は、記憶情報レジスタ群USDRBK, LSDRBKを制御するための記憶情報レジスタ起動信号群UMDRESIG, LMDRESIGである。

30

【0061】

チップ制御回路CPCTLは、アドレス制御回路ADDCTL、コマンド・レジスタ及び制御論理回路CRCL、ならびに電圧発生回路VRGTによって構成される。アドレス制御回路ADDCTLは、相変化メモリチップPCMC内部の入出力線INIOから受信した先頭 ROW・アドレス信号および先頭カラム・アドレス信号を夫々デコードして、相変化メモリチップPCMC内部の先頭アドレスSTADDを発生する。

40

【0062】

さらに、この先頭アドレスSTADDと後述する読み書き制御信号RWSIGに応じて、相変化メモリチップPCMC内部のアドレスINADDを発生する。内部アドレスINADDは、各メモリ領域と後述するコマンド・レジスタ及び制御論理回路CRCLに入力される。

【0063】

コマンド・レジスタ及び制御論理回路CRCLは、相変化メモリチップPCMC内部の入出力線INIOとの間でコマンド信号の授受を行うと共に、受信したコマンド信号を

50

一時的に記憶する。また、受信したコマンド信号と前述の内部アドレス $INADD$ に応じて、相変化メモリチップ $PCMC P$ 内部を制御するための信号、すなわち読み書き制御信号 $RWSIG$ を発生する。

【0064】

電圧発生回路 $V R G T$ は、相変化メモリチップ $PCMC P$ 内部の入出力線 $INIO$ を介して受信する信号と読み書き制御信号 $RWSIG$ とに応じて、相変化メモリチップ $PCMC P$ 内部の電圧を制御する回路である。

【0065】

例えば、読み出し動作の場合、選択されたメモリセルにおけるデータ破壊を防ぐために、システム電源（同図では省略）よりも低い読み出し電圧を発生する。あるいは、書き換え動作の場合、選択されたメモリセルにおいて確実に相変化を起こすために、システム電源と同等か、それよりも高い書き換え電圧を発生する。

10

【0066】

《メモリ領域の構成》

次に、図2～図4に従って、図1に示したメモリ領域の構成を詳細に説明する。

【0067】

図2は一例として、上部メモリ領域 $UMAR$ の回路ブロック構成を示している。この図2の特徴は後述するように、メモリプレーン UMP が $(x+1)$ 個の小規模メモリプレーン $USMP0 \sim USMPx$ に論理的に分割された構成になっているのに応じて、センスラッチ及び書き換え駆動回路群 $USWBK$ と記憶情報レジスタ群 $USDRBK$ も $(x+1)$ 個の回路ブロックに論理的に分割されている点にある。

20

【0068】

センスラッチ及び書き換え駆動回路群 $USWBK$ は、 $(x+1)$ 個の小規模センスラッチ及び書き換え駆動回路群 $USWM0 \sim USWMx$ で構成される。これらの小規模センスラッチ及び書き換え駆動回路群 $USWM0 \sim USWMx$ は、小規模グローバルビット線群 $UMGBL0 \sim UMGBLx$ を介して、小規模メモリプレーン $USMP0 \sim USMPx$ に接続されて、対応する小規模メモリプレーン $USMP0 \sim USMPx$ との間で、記憶情報の読み出し及び書き換えを行う。

【0069】

記憶情報レジスタ群 $USDRBK$ は、 $(y+1)$ 個の小規模記憶情報レジスタ群 $USDR0 \sim USDRy$ で構成される。これら小規模記憶情報レジスタ群 $USDR0 \sim USDRy$ の各々は、 $(x+1)$ 個の z バイト・レジスタ $UZBR0 \sim UZBRx$ で構成される。

30

【0070】

これら z バイト・レジスタ $UZBR0 \sim UZBRx$ の各々は、対応する小規模メモリプレーン $USMP0 \sim USMPx$ が記憶する情報を一時的に記憶する回路群である。小規模記憶情報レジスタ群 $USDR0 \sim USDRy$ の各々は、共通のデータ線群 $UMDL0 \sim UMDLx$ を介して、小規模記憶情報レジスタ群 $USDR0 \sim USDRy$ からなるセンスラッチ及び書き換え駆動回路群 $USWBK$ に接続されている。

【0071】

より具体的には、各小規模記憶情報レジスタ群 $USDR0 \sim USDRy$ における z バイト・レジスタ $UZBR0 \sim UZBRx$ は、図3に示すように対応するデータ線群 $UMDL0 \sim UMDLx$ を介して小規模センスラッチ及び書き換え駆動回路群 $USWM0 \sim USWMx$ に夫々接続されている。

40

【0072】

ここで、データ線群 $UMDL0 \sim UMDLx$ は、図1に記載のデータ線群 $UMDL$ の構成要素である。また、詳細は後述するが、図1に示した相変化メモリチップ $PCMC P$ は上部メモリ領域 $UMAR$ 、下部メモリ領域 $LMAR$ の各々に記憶情報レジスタ群 $USDRBK$ 、 $LSDRBK$ を配置することにより、大容量の記憶情報を独立的かつ連続的に読み書きすることができる。

【0073】

50

図4は一例として、上部メモリ領域UMARにおける各回路ブロックの構成を詳細に示している。小規模メモリプレーンUSMP0～USMPxの各々は、同図における小規模メモリプレーンUSMP0に代表されるように、m行n列の行列状に配置されたメモリタイルMT00～MTmnで構成される。

【0074】

これら $(m+1) \times (n+1)$ 個のメモリタイルMT00～MTmnは、 $(m+1)$ 組の小規模グローバルワード線群UMGWL0～UMGWLmと $(n+1)$ 組の小規模グローバルビット線群UMGBL0～MGBLnとの交点に夫々配置される。

【0075】

ここで、 $(m+1)$ 組の小規模グローバルワード線群UMGWL0～MGWLmは、グローバルワード線群UMGWLの構成要素である。また、 $(n+1)$ 組の小規模グローバルビット線群UMGBL0～UMGBLnは、グローバルビット線群UMGBLの構成要素である。

10

【0076】

メモリタイルMT00～MTmnの各々は、メモリタイルMT0nに代表されるように、 $(j+1)$ 行 $(k+1)$ 列の行列状に配置されたメモリセルMC00～MCjkと、ビット線選択回路MUX、 $(j+1)$ 個のワードドライバWD0～WDjとで構成される。

【0077】

これら $(j+1) \times (k+1)$ 個のメモリセルMC00～MCjkは、 $(j+1)$ 本のワード線WL0～WLjと $(k+1)$ 本のビット線BL0～BLkとの交点に夫々配置される。

20

【0078】

例えば、メモリセルMC00は、図5に示すように、カルコゲナイド材料形成された抵抗変化型の記憶素子RとダイオードDとが、ワード線WL0とビット線BL0との交点に直列接続された構造である。

【0079】

ビット線選択回路MUXは、 $(k+1)$ 本のビット線BL0～BLkとグローバルビット線GBLnUとの間に配置されて、 $(k+1)$ 本のビット線BL0～BLkの中から選択された一本のビット線をグローバルビット線GBLnUに接続する。

【0080】

ワードドライバWD0～WDjは、ワード線WL0～WLjとグローバルワード線GWL00U～GWL0jU（すなわち小規模グローバルワード線群UMGWL0）との間に配置される。

30

【0081】

グローバルワード線GWL00U～GWL0jUの中から選択された1本のグローバルワード線に応じたワード・ドライバが活性化されことによって、 $(j+1)$ 本のワード線WL0～WLjの中の1本が選択されて、所望の電圧が供給される。

【0082】

一般に、相変化メモリでは、ジュール熱を用いて情報が書き換えられるので、カルコゲナイド材料で形成された記録層を熱するのに必要十分な電流を印加する必要があるため、電流源たるワードドライバの駆動能力を大きくしなければならない。

40

【0083】

しかし、上述した構成および動作のメモリタイルにすることで、1つのメモリタイルにおいて、読み書き動作が行われるメモリセルは1つとなる。よって、ワードドライバの回路面積を小さくできて、メモリセルの占有率を向上させることが可能となる。

【0084】

センスラッチ及び書き換え駆動回路群USWBKにおいて、 $(x+1)$ 個の小規模センスラッチ及び書き換え駆動回路群USWM0～USWMxの各々は、例えば小規模センスラッチ及び書き換え駆動回路群USWM0内のセンスラッチSL0と書き換え駆動回路WDC0とによる対のような $(n+1)$ 対のセンスラッチ(SL0～SLn)及び書き換え

50

駆動回路 (WDC0 ~ WDCn) で構成される。

【0085】

これらのセンスラッチ - 書き換え駆動回路の対は、(n + 1)本のグローバルビット線 GBL00U ~ GBL0nU (すなわち小規模グローバルビット線群UMGBL0)に夫々配置される。

【0086】

なお、(n + 1)対のセンスラッチ及び書き換え駆動回路の各々は図3に示したように、例えば小規模センスラッチ及び書き換え駆動回路群USWM0のようにデータ線群UMDL0を介して、記憶情報レジスタ群USDRBK内の小規模記憶情報レジスタ群USDR0 ~ USDRyにおけるzバイト・レジスタUZBR0と接続されている。

10

【0087】

《書き換え動作の概要》

図6は、2キロ・バイト書き換え動作の一例を示している。ロウレベルとなっているコマンド・ラッチ起動信号CLEをハイレベルに駆動し、ハイレベルとなっているチップ起動信号CEB、およびアドレス・ラッチ起動信号ALEをロウレベルに駆動する。

【0088】

この後、2キロ・バイト書き込みのコマンド信号PG1が外部の入出力線EXIOを介して入力される。このコマンド信号PG1はライト起動信号WEBの立ち上りエッジによって、相変化メモリチップPCMC Pに取り込まれる。

【0089】

次に、ハイレベルとなっているコマンド・ラッチ起動信号CLEをロウレベル、ロウレベルとなっているアドレス・ラッチ起動信号ALEをハイレベルに夫々駆動して、先頭カラム・アドレスを2回(CA1、CA2)、先頭ロウ・アドレスを3回(RA1、RA2、RA3)に分けて順に入力する。

20

【0090】

これらのアドレスは、ライト起動信号WEBの立ち上りエッジによって相変化メモリチップPCMC Pに取り込まれる。なお、カラム・アドレスが2回、ロウ・アドレスが3回入力されるのは、NAND型フラッシュメモリの規格の一例に合わせたものであり、これらとは異なる長さのアドレスが異なる順序で入力するようなチップ仕様とすることも可能である。

30

【0091】

続いて、ハイレベルとなっているアドレス・ラッチ起動信号ALEをロウレベルに駆動して、2キロ・バイトの記憶情報D0 ~ D2047を外部の入出力線EXIOから入力する。ここで、記憶情報D0 ~ D2047の各々は、1バイト (= 8ビット)の情報量である。

【0092】

さらに、ロウレベルとなっているコマンド・ラッチ起動信号CLEをハイレベルに駆動して、コマンド信号PG2を外部の入出力線EXIOから入力する。このコマンド信号PG2が、ライト起動信号WEBの立ち上りエッジによって相変化メモリチップPCMC Pに取り込まれた後、両メモリ領域にて書き換え動作が行われる。

40

【0093】

この時、ハイレベルとなっているレディー/ビジー信号RBBはロウレベルに駆動される。書き換え動作が終了すると、ロウレベルとなっているレディー/ビジー信号RBBがハイレベルに駆動される。

【0094】

ここで、記憶情報D0の入力開始から書き換え動作終了までに要する時間を、2キロ・バイト書き換え動作時間TPGで表すことにする。また、スタート・カラム・アドレス、およびスタート・ロウ・アドレスが入力されるアドレス入力時間TWAと、記憶情報が小規模記憶情報レジスタ群に格納されるデータ格納時間TWRと、レディー/ビジー信号RBBがロウレベルに駆動されるビジー時間TWBとを含む時間をアクセスサイクル時間T

50

WCとする。2キロ・バイト書き換え動作時間TPGの大半は、データ格納時間TWRとビジー時間TWBである。

【0095】

最後に、書き換え動作が成功したか否かを確認するために、状態読み出しコマンド信号RDSを入力する。状態読み出しコマンド信号RDSは、ライト起動信号WEBの立ち上がりエッジにて相変化メモリチップPCMC内部に取り込まれる。そして、読み出し起動信号REBに同期して、書き換え後の状態RIOが外部の入出力線EXIOから出力される。

【0096】

《書き換え動作における一時的な記憶動作》

外部の入出力線EXIOから内部の入出力線INIOへ入力された2キロ・バイトの記憶情報D0～D2047は、図7に示すような手順で上部メモリ領域UMAR、および下部メモリ領域LMAR内の記憶情報レジスタ群USDRBK, LSDRBKに夫々取り込まれる。

【0097】

図7に示した動作シーケンスの特徴は、2キロ・バイトの記憶情報D0～D2047が128バイト単位に分割されており、上部メモリ領域UMAR, 下部メモリ領域LMARへ交互に転送される点にある。

【0098】

ここで、図3に示した上部メモリ領域UMARの記憶情報レジスタ群USDRBKには、2キロ・バイトの半分の情報量である1024バイトが転送される。ここで、一本のグローバルワード線に結合されるメモリアル数が1024個の場合、一度に読み書きできる情報量は128バイト(=1024ビット)となるので、1024バイトの記憶情報は8回に分けて書き込まれることになる。

【0099】

したがって、書き換え動作シーケンスとの整合性をとりながら、1024バイトの記憶情報の全てを格納する観点から、記憶情報レジスタ群USDRBKは、128バイトを1つの単位とした8つの小規模記憶情報レジスタ群USDR0～USDRy(y=7)で形成されるのが望ましい。

【0100】

さらに、後述するように、例えば16バイト(=128ビット)ずつ時分割書き換えを行う場合、これら8つの小規模記憶情報レジスタ群USDR0～USDR7の各々は、8個のzバイト・レジスタUZBR0～UZBRx(x=7)で形成されるのが望ましい。

【0101】

さて、図7には、読み書き制御信号RWSIGの構成要素のうち、グローバル・記憶情報レジスタ起動信号GWIEU、GWIELが記載されている。一方のグローバル・記憶情報レジスタ起動信号GWIEUは、上部メモリ領域UMAR内のメモリ領域制御回路UMARCTLに入力されて、内部の入出力線INIOから入力された記憶情報を上部メモリ領域UMAR内の記憶情報レジスタ群USDRBKに一時的に記憶するために用いられる。

【0102】

他方のグローバル・記憶情報レジスタ起動信号GWIELは、下部メモリ領域LMAR内のメモリ領域制御回路LMARCTLに入力されて、内部の入出力線INIOから入力された記憶情報を下部メモリ領域LMAR内の記憶情報レジスタ群LSDRBKに一時的に記憶するために用いられる。また、内部アドレスINADDの構成要素のうち、内部ロウ・アドレスIXと内部カラム・アドレスIYが記載されている。

【0103】

さらに、図7には、上部メモリ領域UMAR、下部メモリ領域LMARにおける記憶情報レジスタ起動信号群UMDRESIG, LMDRESIGの構成要素のうち、記憶情報入力起動信号WIEU, WIELと記憶情報出力起動信号WOEU, WOELが記載され

10

20

30

40

50

ている。

【0104】

前者の記憶情報入力起動信号WIEU, WIELは、内部の入出力線INIOから転送されてきた記憶情報を各メモリ領域内の記憶情報レジスタ群USDRBK, LDRBKに一時的に記憶するために夫々用いられる。

【0105】

後者の記憶情報出力起動信号WOEU, WOELは、記憶情報レジスタ群USDRBK, LDRBKに一時的に記憶している情報を、データ線群UMDL, LMDLを介して対応するセンスラッチ及び書き換え駆動回路群USWBK, LSBKに選択的に送信するために夫々用いられる。

10

【0106】

以下に、動作の詳細を述べる。

【0107】

まず、先頭アドレス信号(図7のロウ・アドレスRA2およびロウ・アドレスRA3)の入力が完了すると、始めの128バイトの記憶情報を取り込むための内部カラム・アドレスIY0U~IY127Uと、128周期のグローバル・記憶情報レジスタ起動信号GWIEUが夫々発生される。

【0108】

すると、上部メモリ領域UMARにおいて、グローバル・記憶情報レジスタ起動信号GWIEUに同期した記憶情報入力起動信号WIEUが発生される。これら内部カラム・アドレスIY0U~IY127Uと記憶情報入力起動信号WIEUに同期して、記憶情報D0~D127が上部メモリ領域UMAR内の記憶情報レジスタ群USDRBKにおける小規模記憶情報レジスタ群USDR0のzバイト・レジスタUZBR0~UZBR7へ順に入力される。

20

【0109】

次に、記憶情報D128~D255を取り込むための内部カラム・アドレスIY0L~IY127Lと、128周期のグローバル・記憶情報レジスタ起動信号GWIELが夫々発生される。

【0110】

すると、下部メモリ領域LMARにおいて、グローバル・記憶情報レジスタ起動信号GWIELに同期した記憶情報入力起動信号WIELが発生される。これら内部カラム・アドレスIY0L~IY127Lと記憶情報入力起動信号WIELに同期して、記憶情報D128~D255が下部メモリ領域LMAR内の記憶情報レジスタ群LDRBKにおける小規模記憶情報レジスタ群LDR0のzバイト・レジスタLZBR0~LZBR7へ順に入力される。

30

【0111】

続いて、記憶情報D256~D383を取り込むための内部カラム・アドレスIY128U~IY255Uと、128周期のグローバル・記憶情報レジスタ起動信号GWIEUが夫々発生される。

【0112】

すると、上部メモリ領域UMARにおいて、グローバル・記憶情報レジスタ起動信号GWIEUに同期した記憶情報入力起動信号WIEUが発生される。これら内部カラム・アドレスIY128U~IY255Uと記憶情報入力起動信号WIEUに同期して、記憶情報D256~D383が上部メモリ領域UMAR内の記憶情報レジスタ群USDRBKにおける小規模記憶情報レジスタ群USDR1のzバイト・レジスタUZBR0~UZBR7へ順に入力される。

40

【0113】

以下同様に、記憶情報の転送が行われて、記憶情報D1792~D1919がメモリ領域UMAR内の記憶情報レジスタ群USDRBKにおける小規模記憶情報レジスタ群USD7へ、記憶情報D1920~D2047が下部メモリ領域LMAR内の記憶情報レジ

50

スタ群 L S D R B K における小規模記憶情報レジスタ群 L S D R 7 へ入力される。

【 0 1 1 4 】

以上で、記憶情報の転送が終了する。

【 0 1 1 5 】

このとき、受信される記憶情報の全てが記憶情報レジスタ群 U S D R B K , L S D R B K の夫々に記憶される前に、一部の記憶情報を先行して対応するセンスラッチ及び書き換え駆動回路群 U S W B K , L S W B K に送ることもできる。

【 0 1 1 6 】

《メモリプレーンへの書き換え動作》

上部メモリ領域 U M A R、および下部メモリ領域 L M A R の記憶情報レジスタ群 U S D R B K , L S D R B K に入力された合計 2 キロ・バイトの記憶情報は、図 8 に示すように 2 つのメモリプレーン U M P , L M R におけるグローバルワード線が交互に選択されることによって、1 2 8 バイトずつ書き込まれる。

【 0 1 1 7 】

この図 8 には、読み書き制御信号 R W S I G の構成要素のうち、グローバル書き換え起動信号 G W E U , G W E L が記載されている。一方のグローバル書き換え起動信号 G W E U は、上部メモリ領域 U M A R 内のメモリ領域制御回路 U M A R C T L に入力される。他方のグローバル書き換え起動信号 G W I E L は、下部メモリ領域 L M A R 内のメモリ領域制御回路 L M A R C T L に入力される。

【 0 1 1 8 】

また、上部メモリ領域 U M A R、および下部メモリ領域 L M A R における記憶情報レジスタ起動信号群 U M D R E S I G , L M D R E S I G に加えて、読み書き起動信号群 U M R W E S I G , L M R W E S I G の構成要素である読み出し起動信号 R E U , R E L と書き換え起動信号 W E U , W E L とが夫々記載されている。

【 0 1 1 9 】

前者の読み出し起動信号 R E U , R E L は、対応するセンスラッチ及び書き換え駆動回路群 U S W B K , L S W B K 内の各センスラッチを起動するために用いられる。後者の書き換え起動信号 W E U , W E L は、対応する同回路群内（センスラッチ及び書き換え駆動回路群 U S W B K , L S W B K ）の各書き換え駆動回路を起動するために用いられる。

【 0 1 2 0 】

2 キロ・バイトの記憶情報を各メモリ領域 U M A R , L M A R 内の記憶情報レジスタ群 U S D R B K , L S D R B K に一時的に書き込み、コマンド信号 P G 2 が入力されると、位相の異なる 8 周期のグローバル書き換え起動信号 G W E U , G W E L と 8 つの内部ロウ・アドレス I X m 0 ~ I X m 7、さらに位相の異なる記憶情報出力起動信号 W O E U , W O E L が夫々順に発生される。

【 0 1 2 1 】

すなわち、最初の内部ロウ・アドレス I X m 0 が発行されると、各メモリ領域 U M A R , L M A R 内のメモリ領域制御回路 U M A R C T L , L M A R C T L がグローバル書き換え起動信号 G W E U , G W E L に同期して、内部ロウ・アドレス I X m 0 に応じたグローバルワード線 G W L m 0 U , G W L m 0 L を夫々選択する。

【 0 1 2 2 】

また、上部メモリ領域 U M A R では、記憶情報出力起動信号 W O E 0 U が活性化されることにより、記憶情報レジスタ群 U S D R B K における小規模記憶情報レジスタ群 U S D R 0 に一時記憶されている 1 2 8 バイトの記憶情報 D 0 ~ D 1 2 7 が、センスラッチ及び書き換え駆動回路群 U S W B K に転送されて、書き込み動作が開始される。

【 0 1 2 3 】

また、下部メモリ領域 L M A R では、グローバル書き換え起動信号 G W E U とグローバル書き換え起動信号 G W E L との位相差に応じた時間を置いて、記憶情報出力起動信号 W O E 0 L が活性化されることにより、記憶情報レジスタ群 L S D R B K における小規模記憶情報レジスタ群 L S D R 0 に一時記憶されている 1 2 8 バイトの記憶情報 D 1 2 8 ~ D

10

20

30

40

50

255が、センスラッチ及び書き換え駆動回路群LSWBKに転送されて、書き込み動作が開始される。

【0124】

続いて、内部ロウ・アドレスIXm1が発行されると、各メモリ領域UMAR, LMAR内のメモリ領域制御回路UMARCTL, LMARCTLがグローバル書き換え起動信号GWEU, GWELに同期して、内部ロウ・アドレスIXm1に応じたグローバルワード線GWLm1U, GWLm1Lを夫々選択する。

【0125】

また、上部メモリ領域UMARでは、記憶情報出力起動信号WOE1Uが活性化されることにより、記憶情報レジスタ群USDRBKにおける小規模記憶情報レジスタ群USDR1に一時記憶されている128バイトの記憶情報D256~D383が、センスラッチ及び書き換え駆動回路群USWBKに転送されて、書き込み動作が開始される。

10

【0126】

また、下部メモリ領域LMARでは、グローバル書き換え起動信号GWEUとグローバル書き換え起動信号GWELとの位相差に応じた時間を置いて、記憶情報出力起動信号WOE1Lが活性化されることにより、記憶情報レジスタ群LSDRBKにおける小規模記憶情報レジスタ群LSDR1に一時記憶されている128バイトの記憶情報D384~D511が、センスラッチ及び書き換え駆動回路群LSWBKに転送されて、書き込み動作が開始される。

【0127】

以上の動作と同様に、後続の記憶情報は、内部ロウ・アドレスIXm2~IXm7に応じて、上部メモリ領域UMARと下部メモリ領域LMARに交互に128バイトずつ書き込まれる。

20

【0128】

次に、図8に示した書き換え動作の詳細について、一例として、記憶情報D0~D255の書き込み動作に注目して説明する。

【0129】

本書き換え動作の特徴は、図9に示すように2つある。第1の特徴は、上部メモリ領域UMARにおける書き込み動作PRG0U~PRGxUと下部メモリ領域LMARにおける書き込み動作PRG0L~PRGxLを交互に繰り返し実行すると共に、一方のメモリ領域において書き込み動作(PRG0U~PRGxU、またはPRG0L~PRGxL)を行いながら、他方のメモリ領域においてペリファイ読み出し動作(VRYL、またはVRYU)を行う点にある。

30

【0130】

ここで、ペリファイ読み出し動作の回数は、メモリセルの特性バラツキの程度に依存するが、後述する図10および図12に示す動作シーケンスの例では10回である。

【0131】

第2の特徴は、128バイトの記憶情報が(x+1)分割されて、(x+1)分の2キロ・バイトずつ選択的に書き込まれている点にある。分割数は、図1に示した相変化メモリチップPCMCが許容されている書き換え動作電流に応じて決定される。

40

【0132】

後述する図10および図12に示す動作シーケンスの例では、xは7である。つまり、書き込み動作PRG0U~PRGxUおよび書き込み動作PRG0L~PRGxL(x=7)の各々では、128バイトの記憶情報が8分割されて16バイトずつ書き込まれている。

【0133】

このような選択動作は、例えば上部メモリ領域UMARでは、図10に示すように、読み書き制御信号群UMRWESIGの構成要素である書き換え起動信号WE0U~WE7Uに従って行われる。

【0134】

50

書き換え起動信号WE0Uは、図4におけるセンスラッチ及び書き換え駆動回路群USWBKにおける小規模センスラッチ及び書き換え駆動回路群USWM0に対応して入力される。

【0135】

同様に、書き換え起動信号WE1Uは、小規模センスラッチ及び書き換え駆動回路群USWM1、書き換え起動信号WE2Uは小規模センスラッチ及び書き換え駆動回路群USWM2、書き換え起動信号WE3Uは小規模センスラッチ及び書き換え駆動回路群USWM3に対応して夫々入力される。

【0136】

また、書き換え起動信号WE4Uは小規模センスラッチ及び書き換え駆動回路群USWM4、書き換え起動信号WE5Uは小規模センスラッチ及び書き換え駆動回路群USWM5、書き換え起動信号WE6Uは小規模センスラッチ及び書き換え駆動回路群USWM6、書き換え起動信号WE7Uは小規模センスラッチ及び書き換え駆動回路群USWMx(x=7)に対応して夫々入力される。

10

【0137】

したがって、記憶情報レジスタ群USDRBKにおける小規模記憶情報レジスタ群USDR0内のzバイト・レジスタUZBR0(ここで、z=16)に一時記憶されている記憶情報D0~D15は、小規模センスラッチ及び書き換え駆動回路群USWM0における書き換え駆動回路WDC0~WDCn(n=127)を介して、小規模メモリプレーンUSMP0の各々でグローバルワード線GWLm0Uと交わるメモリタイルMTm0~MTmn(n=127)におけるメモリセルに書き込まれる。

20

【0138】

例えば、このメモリセルがMC00の場合、メモリ領域制御回路UMARCTLは、アドレス制御回路ADDCTLにて生成された先頭アドレスに従ってビット線選択回路MUXを制御して、メモリタイルMTm0~MTmn(n=127)におけるビット線BL0の各々とグローバルビット線GBL00U~GBL0nUとを接続する。

【0139】

同様にして、記憶情報レジスタ群USDRBKにおける小規模記憶情報レジスタ群USDR0内のzバイト・レジスタUZBR1に一時記憶されている記憶情報D16~D31は、小規模センスラッチ及び書き換え駆動回路群USWM1における書き換え駆動回路WDC0~WDCn(n=127)を介して、小規模メモリプレーンUSMP1の各々でグローバルワード線GWLm0Uと交わるメモリタイルMTm0~MTmn(n=127)におけるメモリセルに書き込まれる。

30

【0140】

以降、同じようにして、記憶情報D32~D127の書き込み動作が行われた後、読み書き制御信号群UMRWESIGの構成要素である読み出し起動信号REUを活性化することによって、これら128バイトの記憶情報を同時に読み出して、書き換え動作が成功したか否かの判定を行う。

【0141】

以上の動作を、書き換え動作が成功するまで、最大10回繰り返して、記憶情報D0~D127の書き込み動作を完了する。

40

【0142】

同様に、下部メモリ領域LMARでは図12に示すように、読み書き制御信号LRWESIGの構成要素である書き換え起動信号WE0L~WE7Lに従って、記憶情報D128~D255の書き換え動作が行われる。

【0143】

すなわち、書き換え起動信号WE0Lはセンスラッチ及び書き換え駆動回路群LSWBKにおける小規模センスラッチ及び書き換え駆動回路群LSWM0に対応して入力されることは、図1および図4を参照すれば容易に理解できる。

【0144】

50

同様に、書き換え起動信号WE 1 Lは小規模センスラッチ及び書き換え駆動回路群LSWM 1、書き換え起動信号WE 2 Lは小規模センスラッチ及び書き換え駆動回路群LSWM 2、書き換え起動信号WE 3 Lは小規模センスラッチ及び書き換え駆動回路群LSWM 3、書き換え起動信号WE 4 Lは小規模センスラッチ及び書き換え駆動回路群LSWM 4に対応して夫々入力される。

【0145】

さらに、書き換え起動信号WE 5 Lは小規模センスラッチ及び書き換え駆動回路群LSWM 5、書き換え起動信号WE 6 Lは小規模センスラッチ及び書き換え駆動回路群LSWM 6、書き換え起動信号WE 7 Lは小規模センスラッチ及び書き換え駆動回路群LSWM x (x = 7)に対応して夫々入力される。

10

【0146】

したがって、記憶情報レジスタ群LSDRBKにおける小規模記憶情報レジスタ群LSDR 0内のzバイト・レジスタLZBR 0(ここでは、z = 16)に一時記憶されている記憶情報D 1 2 8 ~ D 1 4 3は、小規模センスラッチ及び書き換え駆動回路群LSWM 0における書き換え駆動回路WDC 0 ~ WDC n (n = 1 2 7)を介して、小規模メモリプレーンLSMP 0の各々でグローバルワード線GWL m 0 Lと交わるメモリタイルMT m 0 ~ MT m n (n = 1 2 7)におけるメモリセルに書き込まれる。

【0147】

例えば、このメモリセルがMC 0 0(図4)の場合、メモリ領域制御回路LMARCTLはアドレス制御回路ADDC TLにて生成された先頭アドレスに従ってビット線選択回路MUXを制御して、メモリタイルMT m 0 ~ MT m n (n = 1 2 7)におけるビット線BL 0の各々とグローバルビット線GBL 0 0 L ~ GBL 0 n Lとを接続する。

20

【0148】

同様にして、記憶情報レジスタ群LSDRBKにおける小規模記憶情報レジスタ群LSDR 0内のzバイト・レジスタLZBR 1に一時記憶されている記憶情報D 1 4 4 ~ D 1 5 9は、小規模センスラッチ及び書き換え駆動回路群LSWM 1における書き換え駆動回路WDC 0 ~ WDC n (n = 1 2 7)を介して、小規模メモリプレーンLSMP 1の各々でグローバルワード線GWL m 0 Lと交わるメモリタイルMT m 0 ~ MT m n (n = 1 2 7)におけるメモリセルに書き込まれる。

【0149】

以降、同じようにして、記憶情報D 1 6 0 ~ D 2 5 5の書き込み動作が行われた後、読み書き制御信号LRWSIGの構成要素である読み出し起動信号RELを活性化することによって、これら1 2 8バイトの記憶情報を同時に読み出して、書き換え動作が成功したか否かの判定を行う。

30

【0150】

以上の動作を、書き換え動作が成功するまで、最大10回繰り返して、記憶情報D 1 2 8 ~ D 2 5 5の書き込み動作を完了する。

【0151】

図10および図12では、256バイトの記憶情報D 0 ~ D 2 5 5の書き換え動作に注目したが、残りの1792バイトの記憶情報D 2 5 6 ~ D 2 0 4 7についても同様な動作シーケンスにて書き換えられる。

40

【0152】

例えば上部メモリ領域UMARでは、記憶情報レジスタ群USDRBKにおける小規模記憶情報レジスタ群USDR 1内のzバイト・レジスタUZBR 0に一時記憶されている記憶情報D 2 5 6 ~ D 2 7 1が、小規模センスラッチ及び書き換え駆動回路群USWM 0における書き換え駆動回路WDC 0 ~ WDC n (n = 1 2 7)を介して、小規模メモリプレーンUSMP 0の各々でグローバルワード線GWL m 1 Uと交わるメモリタイルMT m 0 ~ MT m n (n = 1 2 7)におけるメモリセルに書き込まれる。

【0153】

続いて、記憶情報レジスタ群USDRBKにおける小規模記憶情報レジスタ群USDR

50

1 内の z バイト・レジスタ U Z B R 1 に一時記憶されている記憶情報 D 2 7 2 ~ D 2 8 7 が、小規模センスラッチ及び書き換え駆動回路群 U S W M 1 における書き換え駆動回路 W D C 0 ~ W D C n (n = 1 2 7) を介して、小規模メモリプレーン U S M P 1 の各々でグローバルワード線 G W L m 1 U と交わるメモリタイル M T m 0 ~ M T m n (n = 1 2 7) におけるメモリセルに書き込まれる。以下、記憶情報 D 2 8 8 ~ D 3 8 3 の書き込み動作も同様である。

【 0 1 5 4 】

また、別の例として、例えば下部メモリ領域 L M A R では、記憶情報レジスタ群 L S D R B K における小規模記憶情報レジスタ群 L S D R 1 内の z バイト・レジスタ U Z B R 0 に一時記憶されている記憶情報 D 3 8 4 ~ D 3 9 9 が、小規模センスラッチ及び書き換え駆動回路群 L S W M 0 における書き換え駆動回路 W D C 0 ~ W D C n (n = 1 2 7) を介して、小規模メモリプレーン L S M P 0 の各々でグローバルワード線 G W L m 1 L と交わるメモリタイル M T m 0 ~ M T m n (n = 1 2 7) におけるメモリセルに書き込まれる。

10

【 0 1 5 5 】

続いて、記憶情報レジスタ群 L S D R B K における小規模記憶情報レジスタ群 L S D R 1 内の z バイト・レジスタ U Z B R 1 に一時記憶されている記憶情報 D 4 0 0 ~ D 4 1 5 が、小規模センスラッチ及び書き換え駆動回路群 L S W M 1 における書き換え駆動回路 W D C 0 ~ W D C n (n = 1 2 7) を介して、小規模メモリプレーン L S M P 1 の各々でグローバルワード線 G W L m 1 L と交わるメモリタイル M T m 0 ~ M T m n (n = 1 2 7) におけるメモリセルに書き込まれる。以下、記憶情報 D 4 1 6 ~ D 5 1 1 の書き込み動作も同様である。

20

【 0 1 5 6 】

このような構成と動作により、本実施の形態 1 によれば、次の効果が得られる。

【 0 1 5 7 】

すなわち、メモリセルの特性バラツキが大きい場合の相変化メモリチップ P C M C P において、一方のメモリ領域においてベリファイ読み出し動作を行いながら、他方のメモリ領域において時分割書き込み動作を行うことによって、ベリファイ読み出し動作に要する時間と、時分割書き込み動作に要する時間を相殺することができて、書き換え動作時間を抑制しながら、ベリファイ読み出し動作と再書き込み動作との組み合わせによる動作信頼性の向上と、時分割書き込み動作による動作電流のピーク値抑制を両立することが可能となる。

30

【 0 1 5 8 】

なお、本実施の形態 1 では、以上の通り、2 キロ・バイトの書き換え動作を行うために、2 キロ・バイトの記憶情報を 1 2 8 バイトずつ 1 6 個に分割して上部メモリ領域 U M D R、および下部メモリ領域 L M D R に対し、それぞれ 8 回書き換え動作を行う。このため、メモリプレーン M P に対する内部アドレスを 8 回生成する。また小規模レジスタ群を 1 2 8 バイト毎に 8 本 (両方で 1 6 本) 準備している。

【 0 1 5 9 】

別の方法として、記憶情報 D 0 ~ D 2 0 4 7 と内部カラム・アドレス I Y がそれぞれ一対一に対応したデータ構造を取らない方法もある。

40

【 0 1 6 0 】

例えば、小規模記憶情報レジスタ群 U S D R 0 ~ U S D R 7、L S D R 0 ~ L S D R 7 に入力される記憶情報量をカウントするカウンタを用いて、送られてきた記憶情報量を計測し、記憶情報量が所定の値になった時に、新たな小規模記憶情報レジスタ群に後続の記憶情報を入力する。この方法を用いると、先頭部を除く記憶情報は内部カラム・アドレス I Y に対して一対一に対応させる必要がなくなり、相変化メモリチップ P C M C P 内で転送するデータを低減させて、信号線駆動電力を抑制することができる。

【 0 1 6 1 】

また、これまでは、一時的に格納された記憶情報を小規模記憶情報レジスタ群 U S D R 0 ~ U S D R y (y = 7)、L S D R 0 ~ L S D R y (y = 7) の中の一つから小規模メ

50

メモリプレーン $USMP_0 \sim USMP_x$, $LSMP_0 \sim LSMP_x$ ($x = 7$) に書き込む度に、ワード線を選択し直していた。

【0162】

しかし、メモリセルの選択動作はこれに限定されず、1つのメモリタイル内にビット線 $BL_0 \sim BL_k$ を8本以上 ($k > 7$) 配置すれば、メモリタイル内の1つのビット線選択回路 MUX だけを切り替えるようなメモリ選択動作も可能である。

【0163】

この場合、上部メモリ領域 $UMAR$ では、8つの小規模記憶情報レジスタ群 $USDR_0 \sim USDR_y$ ($y = 7$) の全てのデータが、同一ワード線上のメモリセルに書き込まれる。

10

【0164】

同様に、下部メモリ領域 $LMAR$ では、8つの小規模記憶情報レジスタ群 $LSDR_0 \sim LSDR_y$ ($y = 7$) の全てのデータが、同一ワード線上のメモリセルに書き込まれる。よって、ワード線の選択回数が低減されるので、ワード線駆動電力を抑制することができる。

【0165】

(実施の形態2)

図12は、本発明の実施の形態2における相変化メモリチップの書き換え動作シーケンスの書き換え動作とベリファイ読み出し動作の位相関係の一例を示すタイミングチャート、図13は、図12に記載の書き換え動作シーケンスにおける上部メモリ領域の詳細動作の一例を示すタイミングチャート、図14は、図13の書き換え動作シーケンスにおける下部メモリ領域の詳細動作の一例を示す図である。

20

【0166】

《発明の概要》

本発明の第2の概要は、第1、および第2のメモリ領域(上部メモリ領域 $UMAR$ 、下部メモリ領域 $LMAR$) を有し、前記第1のメモリ領域は、複数のメモリセルが、行列状に配置された第1、および第2のメモリプレーン(小規模メモリプレーン $USMP_0$, $USMP_1$) と、前記第1、および前記第2のメモリプレーンに情報を、書き込み/読み出しする第1、および第2のセンスラッチ及び書き換え駆動回路群(小規模センスラッチ及び書き換え駆動回路群 $USWM_0$, $USWM_1$) と、入力された内部アドレス(内部アドレス $INADD$)、および読み書き制御信号(読み書き制御信号 $RWSIG$) に応じて、前記第1のセンスラッチ及び書き換え駆動回路群に出力する第1の書き換え起動信号、前記第2のセンスラッチ及び書き換え駆動回路群に出力する第2の書き換え起動信号(書き換え起動信号 $WE0U$, $WE1U$)、前記第1のセンスラッチ及び書き換え駆動回路群に出力する第1の読み出し起動信号、および前記第2のセンスラッチ及び書き換え駆動回路群に出力する第2の読み出し起動信号(読み出し起動信号 $RE0U$, $RE1U$) をそれぞれ生成する第1のメモリ領域制御回路(図1の $UMARCTL$) とを有している。

30

【0167】

前記第2のメモリ領域は、複数のメモリセルが、行列状に配置された第3、および第4のメモリプレーン(小規模メモリプレーン $USMP_0$, $USMP_1$) と、前記第3、および前記第4のメモリプレーンに情報を、書き込み/読み出しする第3、および第4のセンスラッチ及び書き換え駆動回路群(小規模センスラッチ及び書き換え駆動回路群 $USWM_0$, $USWM_1$) と、入力された内部アドレス(内部アドレス $INADD$)、および読み書き制御信号(読み書き制御信号 $RWSIG$) に応じて、前記第3のセンスラッチ及び書き換え駆動回路群に出力する第3の書き換え起動信号、前記第4のセンスラッチ及び書き換え駆動回路群に出力する第4の書き換え起動信号(書き換え起動信号 $WE0U$, $WE1U$)、前記第3のセンスラッチ及び書き換え駆動回路群に出力する第3の読み出し起動信号、および前記第4のセンスラッチ及び書き換え駆動回路群に出力する第4の読み出し起動信号(読み出し起動信号 $RE0L$, $RE1L$) をそれぞれ生成する第2のメモリ領域制御回路(メモリ領域制御回路 $LMARCTL$) とを有している。

40

50

【 0 1 6 8 】

また、前記第 1 のセンスラッチ及び書き換え駆動回路群は、前記第 1 の書き換え起動信号が活性化されることにより、前記第 1 のメモリプレーンにおける第 1 の書き換え動作を行い、前記第 1 の読み出し起動信号が活性化されることにより、前記第 1 のメモリプレーンにおける第 1 のペリファイ読み出し動作を行い、前記第 2 のセンスラッチ及び書き換え駆動回路群は、前記第 2 の書き換え起動信号が活性化されることにより、前記第 2 のメモリプレーンにおける第 2 の書き換え動作を行い、さらに、前記第 2 の読み出し起動信号が活性化されることにより、前記第 2 のメモリプレーンにおける第 2 のペリファイ読み出し動作を行い、前記第 3 のセンスラッチ及び書き換え駆動回路群は、前記第 3 の書き換え起動信号が活性化されることにより、前記第 3 のメモリプレーンにおける第 3 の書き換え動作を行い、前記第 3 の読み出し起動信号が活性化されることにより、前記第 3 のメモリプレーンにおける第 3 のペリファイ読み出し動作を行い、前記第 4 の書き換え起動信号が活性化されることにより、前記第 4 のメモリプレーンにおける第 4 の書き換え動作を行い、さらに、前記第 4 のセンスラッチ及び書き換え駆動回路群は、前記第 4 の読み出し起動信号が活性化されることにより、前記第 4 のメモリプレーンにおける第 4 のペリファイ読み出し動作を行い、前記第 1、および前記第 2 の書き換え動作の後に、前記第 3、および前記第 4 の書き換え動作を行うものである。

10

【 0 1 6 9 】

以下、上記した概要に基づいて、実施の形態を詳細に説明する。

【 0 1 7 0 】

本実施の形態 2 では、別の書き換え動作シーケンスを説明する。

20

【 0 1 7 1 】

本書き換え動作シーケンスの特徴は、時分割書き換え動作に合わせて、ペリファイ読み出し動作も時分割で行う点にある。例えば、図 1 2 に示す書き換え動作シーケンスにおいて、上部メモリ領域 U M A R において記憶情報 D 0 ~ D 1 2 7 を、下部メモリ領域 L M A R において記憶情報 D 1 2 8 ~ D 2 5 5 を夫々書き込む場合、上部メモリ領域 U M A R における書き込み動作と下部メモリ領域 L M A R における書き込み動作は、図 9 に示した書き換え動作シーケンスと同様に交互に行われる。

【 0 1 7 2 】

しかし、例えば、上部メモリ領域において 1 6 バイトの記憶情報 D 0 ~ D 1 5 を書き込む場合のように、書き込み動作 P R G 0 U の直後にペリファイ読み出し動作 V R Y 0 U を行う点が異なる。

30

【 0 1 7 3 】

このような書き換え動作シーケンスを実現するために、読み書き制御信号の構成要素である読み出し起動信号も、書き換え起動信号と同様に複数の多相信号とし、小規模センスラッチ及び書き換え駆動回路群毎に設ける。

【 0 1 7 4 】

すなわち、上部メモリ領域 U M A R では、図 1 3 に示すように読み書き制御信号群 U M R W E S I G の構成要素は読み出し起動信号 R E 0 U ~ R E 7 U で構成する。

【 0 1 7 5 】

ここで、読み出し起動信号 R E 0 U は小規模センスラッチ及び書き換え駆動回路群 U S W M 0、読み出し起動信号 R E 1 U は小規模センスラッチ及び書き換え駆動回路群 U S W M 1、読み出し起動信号 R E 2 U は小規模センスラッチ及び書き換え駆動回路群 U S W M 2、読み出し起動信号 R E 3 U は小規模センスラッチ及び書き換え駆動回路群 U S W M 3 に対応して夫々入力される。

40

【 0 1 7 6 】

さらに、読み出し起動信号 R E 4 U は小規模センスラッチ及び書き換え駆動回路群 U S W M 4、読み出し起動信号 R E 5 U は小規模センスラッチ及び書き換え駆動回路群 U S W M 5、読み出し起動信号 R E 6 U は小規模センスラッチ及び書き換え駆動回路群 U S W M 6、読み出し起動信号 R E 7 U は小規模センスラッチ及び書き換え駆動回路群 U S W M 7

50

に対応して夫々入力される。

【0177】

例えば、読み出し起動信号 RE0U が、小規模メモリプレーン USMP0 に記憶情報 D0 ~ D15 を書き込んだ直後に活性化されることにより、小規模センスラッチ及び書き換え駆動回路群 USWM0 におけるセンスラッチ SL0 ~ SLn (n = 127) が起動されて、小規模メモリプレーン USMP0 における直前の書き込み動作で選択されたメモリセルが記憶している情報が読み出される。

【0178】

そして、この読み出し情報と記憶情報レジスタ群 USDRBK における小規模記憶情報レジスタ群 USDR0 の z バイト・レジスタ UZBR0 に一時的に記憶している情報とが 10
センスラッチ SL0 ~ SLn (n = 127) 内に内蔵されている比較器によって比較されて、所望の記憶情報が正しく書き込まれたか否かが判断される。

【0179】

同様に、下部メモリ領域 LMAR では、図 14 に示すように読み書き制御信号 LMRWE SIG の構成要素は読み出し起動信号 RE0L ~ RE7L で構成する。

【0180】

ここで、読み出し起動信号 RE0L は小規模センスラッチ及び書き換え駆動回路群 LSWM0、読み出し起動信号 RE1L は小規模センスラッチ及び書き換え駆動回路群 LSWM1、読み出し起動信号 RE2L は小規模センスラッチ及び書き換え駆動回路群 LSWM2、読み出し起動信号 RE3L は小規模センスラッチ及び書き換え駆動回路群 LSWM3 20
に対応して夫々入力される。

【0181】

また、読み出し起動信号 RE4L は小規模センスラッチ及び書き換え駆動回路群 LSWM4、読み出し起動信号 RE5L は小規模センスラッチ及び書き換え駆動回路群 LSWM5、読み出し起動信号 RE6L は小規模センスラッチ及び書き換え駆動回路群 LSWM6、読み出し起動信号 RE7L は小規模センスラッチ及び書き換え駆動回路群 LSWM7 に対応して夫々入力される。

【0182】

例えば、読み出し起動信号 RE0L が、小規模メモリプレーン LSMP0 に記憶情報 D128 ~ D143 を書き込んだ直後に活性化されることにより、小規模センスラッチ及び書き換え駆動回路群 LSWM0 におけるセンスラッチ SL0 ~ SLn (n = 127) が起動されて、小規模メモリプレーン LSMP0 における直前の書き込み動作で選択されたメモリセルが記憶している情報が読み出される。 30

【0183】

そして、この読み出し情報と記憶情報レジスタ群 LSDRBK における小規模記憶情報レジスタ群 LSDR0 の z バイト・レジスタ LZBR0 に一時的に記憶している情報とがセンスラッチ SL0 ~ SLn (n = 127) 内に内蔵されている比較器によって比較されて、所望の記憶情報が正しく書き込まれたか否かが判断される。

【0184】

相変化メモリの書き換え動作では、前述したように、ジュール熱によってカルコゲナイド材料による記録層の状態を変化させる。したがって、材料の組成や記録層の構造によっては、書き換え動作の後の予熱のために、若干の抵抗変化が生じる可能性がある。 40

【0185】

しかし、本実施の形態で説明してきた構成と動作により、全メモリセルの書き換え動作とベリファイ読み出し動作の間隔が等しくなるので、若干の抵抗変化が生じた場合においても、その変化量を見越した書き換え動作の成否判定を行うことができ、メモリセルの抵抗値をより均一に制御することが可能となる。

【0186】

それにより、本実施の形態 2 によれば、更に高信頼な相変化メモリを実現することが可能となる。 50

【 0 1 8 7 】

(実施の形態 3)

図 15 は、本発明の実施の形態 3 における相変化メモリチップを用いて構成したメモリモジュールの構成の一例を示すブロック図である。

【 0 1 8 8 】

《発明の概要》

本発明の第 3 の概要は、複数のメモリチップ（相変化メモリチップ P C M C P 0 ~ P C M C P 3）と、前記メモリチップの動作制御を行うコントローラチップ（コントローラブロック C T L R B L K）とを有したメモリモジュール（メモリモジュール P C M M D L）から構成されている。

10

【 0 1 8 9 】

前記メモリチップは、第 1、および第 2 のメモリ領域（上部メモリ領域 U M A R、下部メモリ領域 L M A R）を有し、前記第 1 のメモリ領域は、複数のメモリセルが、行列状に配置された第 1、および第 2 のメモリプレーン（小規模メモリプレーン U S M P 0、小規模メモリプレーン U S M P 1）と、前記第 1、および前記第 2 のメモリプレーンに情報を、書き込み/読み出しする第 1、および第 2 のセンスラッチ及び書き換え駆動回路群（小規模センスラッチ及び書き換え駆動回路群 U S W M 0, U S W M 1）と、入力された内部アドレス（内部アドレス I N A D D）、および読み書き制御信号（読み書き制御信号 R W S I G）に応じて、前記第 1 のセンスラッチ及び書き換え駆動回路群に出力する第 1 の書き換え起動信号、前記第 2 のセンスラッチ及び書き換え駆動回路群に出力する第 2 の書き換え起動信号（書き換え起動信号 W E 0 U, W E 1 U）、および前記第 1、および前記第 2 のセンスラッチ及び書き換え駆動回路群に出力する第 1 の読み出し起動信号（読み出し起動信号 R E U）をそれぞれ生成する第 1 のメモリ領域制御回路（メモリ領域制御回路 U M A R C T L）とを有している。

20

【 0 1 9 0 】

また、前記第 2 のメモリ領域は、複数のメモリセルが、行列状に配置された第 3、および第 4 のメモリプレーン（小規模メモリプレーン U S M P 0、U S M P 1）と、前記第 3、および前記第 4 のメモリプレーンに情報を、書き込み/読み出しする第 3、および第 4 のセンスラッチ及び書き換え駆動回路群（小規模センスラッチ及び書き換え駆動回路群 U S W M 0, U S W M 1）と、入力された内部アドレス（内部アドレス I N A D D）、および読み書き制御信号（読み書き制御信号 R W S I G）に応じて、前記第 3 のセンスラッチ及び書き換え駆動回路群に出力する第 3 の書き換え起動信号、前記第 4 のセンスラッチ及び書き換え駆動回路群に出力する第 4 の書き換え起動信号（書き換え起動信号 W E 0 L, W E 1 L）、および前記第 3、および前記第 4 のセンスラッチ及び書き換え駆動回路群に出力する第 2 の読み出し起動信号（読み出し起動信号 R E L）をそれぞれ生成する第 2 のメモリ領域制御回路（メモリ領域制御回路 L M A R C T L）とを有している。

30

【 0 1 9 1 】

そして、前記第 1 のメモリ領域制御回路の第 1 の読み出し起動信号が活性化され、前記第 1 のメモリ領域において、前記第 1、および前記第 2 のセンスラッチ及び書き換え駆動回路群が第 1 のベリファイ読み出し動作を行っている第 1 の期間（図 9 の上部メモリ領域 U M A R における第 1 サイクルのベリファイ読み出し動作 V R Y U）に、前記第 2 のメモリ領域制御回路の第 3、および第 4 の書き換え起動信号が活性化され、前記第 2 のメモリ領域において、前記第 3、および前記第 4 のセンスラッチ及び書き換え駆動回路群が第 1、および第 2 の書き換え動作を行う（図 9 の下部メモリ領域 L M A R における第 1 サイクルの書き込み動作 P R G 0 L, P R G 1 L）ものである。

40

【 0 1 9 2 】

以下、上記した概要に基づいて、実施の形態を詳細に説明する。

【 0 1 9 3 】

本実施の形態 3 では、先の実施の形態 1, 2 で説明した相変化メモリのセルアレイを適用したメモリモジュール P C M M D L の構成例について、図 15 を参照しながら説明する

50

。

【0194】

メモリモジュールPCMMDLは、相変化メモリチップPCMCP0～PCMCP3、外付けのランダム・アクセス・メモリRAM1、コントローラブロックCTLRBLKで構成される。

【0195】

相変化メモリチップPCMCP0～PCMCP3の各々は、相変化メモリアレイPCMAと周辺回路PERIとで構成される。相変化メモリアレイPCMAは例えば、図1に示したメモリ領域UMAR、LMARとで構成される。周辺回路PERIは、入出力バッファIOBFとチップ制御回路CPCTLとで構成される。

10

【0196】

外付けのランダム・アクセス・メモリRAM1は、SRAM（スタティック・ランダム・アクセス・メモリ）またはDRAM（ダイナミック・ランダム・アクセス・メモリ）である。

【0197】

コントローラブロックCTLRBLKは、マイクロ・プロセッサ・ユニットMPU、ランダム・アクセス・メモリRAM0、読み出し専用メモリ（リード・オンリー・メモリ）ROM、相変化メモリインタフェースPCMI F、およびホスト機器インタフェースHOSTIFで構成される。

20

【0198】

ランダム・アクセス・メモリRAM0は、SRAMまたはDRAMである。外付けのランダム・アクセス・メモリRAM1やランダム・アクセス・メモリRAM0は、相変化メモリチップPCMCP0～PCMCP3から読み出した記憶情報や、相変化メモリチップPCMCP0～PCMCP3へ新たに書き込む情報を一時的に保持する。

【0199】

Wear levelingや誤り訂正などのプログラムは、読み出し専用メモリROMに記憶されている。マイクロ・プロセッサ・ユニットMPUは、このプログラムを読み出して、Wear levelingを実行する。

【0200】

コントローラブロックCTLRBLKの各ユニットは、相変化メモリインタフェースPCMI Fから相変化メモリ信号線群PCMSIGを介して相変化メモリチップPCMCP0～PCMCP3と接続される。

30

【0201】

また、RAM信号線群RAMSIGを介して外付けのランダム・アクセス・メモリRAM1と接続される。さらに、ホスト機器インタフェースHOSTIFからホスト機器信号線群HOSTSIGを介してホスト機器HOSTと接続される。

【0202】

コントローラブロックCTLRBLKは、ホスト機器HOSTから転送された命令に基づいて、コマンドを発行して相変化メモリインタフェースPCMI Fに出力したり、相変化メモリチップPCMCP0～PCMCP3へのデータ転送のタイミング調整を行ったりする。

40

【0203】

以上のような構成と機能により、大容量かつ高信頼のメモリモジュールを実現することができる。

【0204】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0205】

例えば、本発明は、単体メモリチップに限らず、オンチップ・メモリに適用することも

50

可能である。また、本発明の概念は、記憶素子にカルコゲナイド材料を用いた相変化メモリを前提にしていた。しかし、記憶素子の材料は限定されず、相変化メモリに限らず、磁気抵抗ランダム・アクセス・メモリや抵抗性メモリなど、ブロック消去動作を必要としない様々な半導体メモリに適用することも可能である。

【産業上の利用可能性】

【0206】

本発明は、相変化メモリにおけるデータの書き換え技術に適している。

【符号の説明】

【0207】

PCMC P	相変化メモリチップ	10
UMAR	上部メモリ領域	
LMAR	下部メモリ領域	
LMP	メモリプレーン	
USMP0	小規模メモリプレーン	
USMP1	小規模メモリプレーン	
USWBK	センスラッチ及び書き換え駆動回路群	
USWM0 ~ USWMx	小規模センスラッチ及び書き換え駆動回路群	
UMARCTL	メモリ領域制御回路	
LMARCTL	メモリ領域制御回路	
IOBF	入出力バッファ	20
CPCTL	チップ制御回路	
EXIO	入出力線	
INIO	入出力線	
UMP	メモリプレーン	
USDRBK	記憶情報レジスタ群	
LSDRBK	記憶情報レジスタ群	
LSWBK	センスラッチ及び書き換え駆動回路群	
UMGBL	グローバルビット線群	
LMGBL	グローバルビット線群	
UMDL	データ線群	30
LMDL	データ線群	
UMGWL	グローバルワード線群	
LMGWL	グローバルワード線群	
ADDCTL	アドレス制御回路	
VRGT	電圧発生回路	
CRCL	コマンド・レジスタ及び制御論理回路	
USWM0 ~ USWMx	小規模センスラッチ及び書き換え駆動回路群	
UMGBL0 ~ UMGBLx	小規模グローバルビット線群	
USDR0 ~ USDRy	小規模記憶情報レジスタ群	
UZBR0 ~ UZBRx	zバイト・レジスタ	40
UMDL0 ~ UMDLx	データ線群	
MT00 ~ MTmn	メモリタイル	
UMGWL0 ~ UMGWLm	小規模グローバルワード線群	
MC00 ~ MCjk	メモリセル	
MUX	ビット線選択回路	
WD0 ~ WDj	ワードドライバ	
WL0 ~ WLj	ワード線	
BL0 ~ BLk	ビット線	
R	記憶素子	
D	ダイオード	50

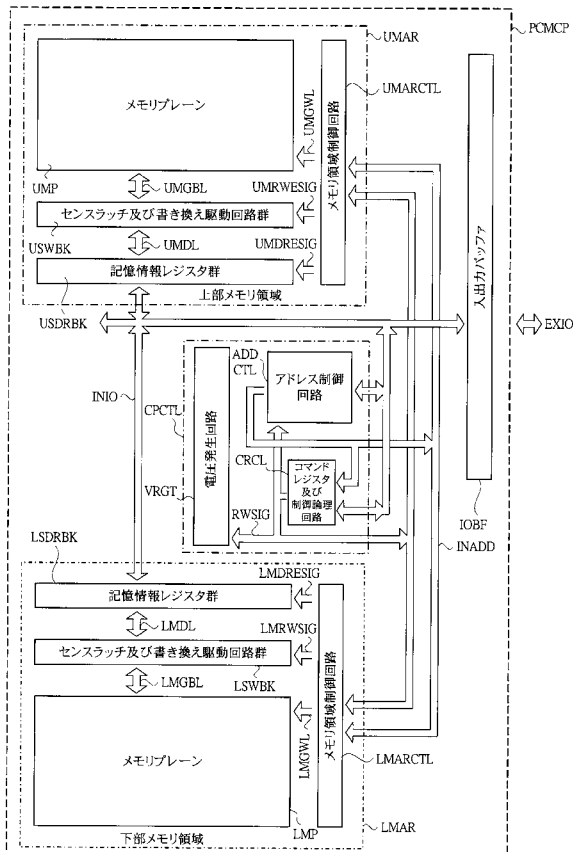
- GBL00U ~ GBL0nU グローバルビット線
- GWL00U ~ GWL0jU グローバルワード線
- SL0 ~ SLn セン斯拉ッチ
- WDC0 ~ WDCn 書き換え駆動回路
- LSDR0 ~ LSDRy 小規模記憶情報レジスタ群
- LZBR0 ~ LZBR7 zバイト・レジスタ
- CTLRBLK コントローラブロック
- PCMMDL メモリモジュール
- PCM0 ~ PCM3 相変化メモリ
- RAM1, RAM1 メモリ
- PCMA 相変化メモリアレイ
- PERI 周辺回路
- MPU マイクロ・プロセッサ・ユニット
- PCMIF 相変化メモリインタフェース
- HOSTIF ホスト機器インタフェース
- ROM 専用メモリ
- PCMSIG 相変化メモリ信号線群
- RAMSIG RAM信号線群
- HOSTSIG ホスト機器信号線群
- HOST ホスト機器

10

20

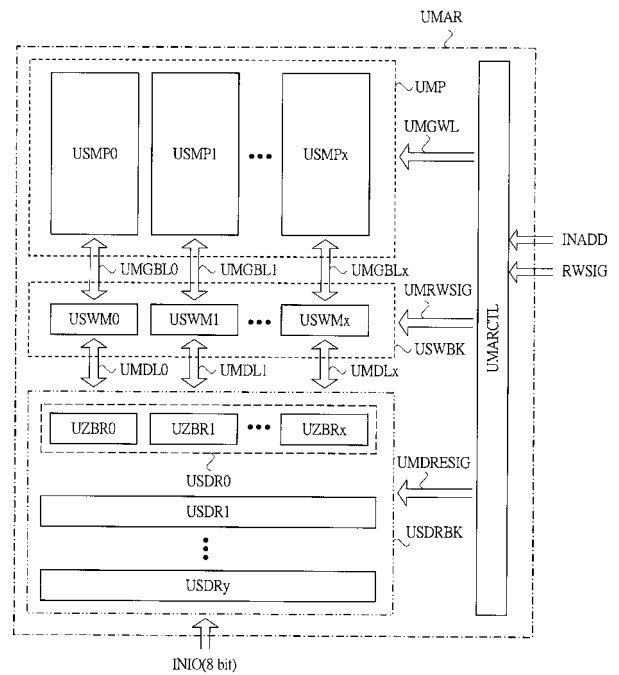
【 図 1 】

図 1

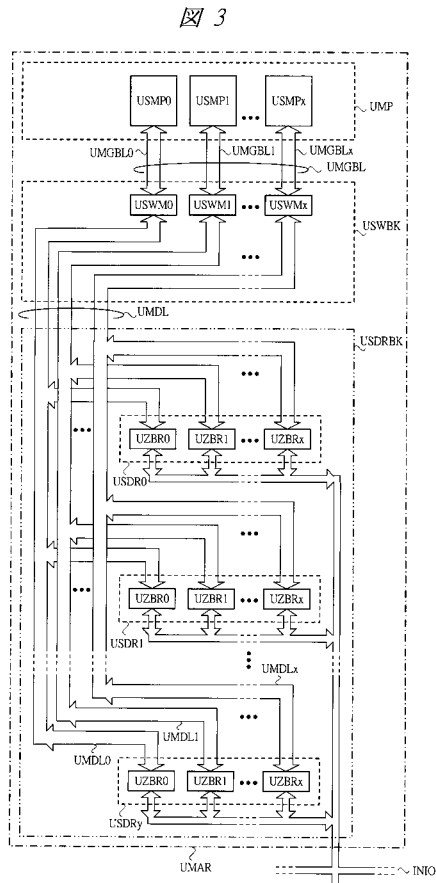


【 図 2 】

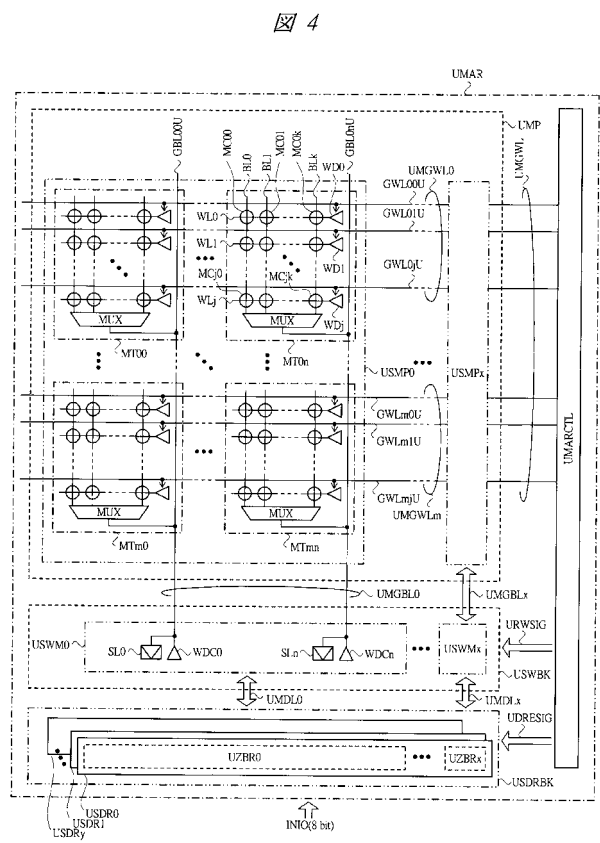
図 2



【図3】

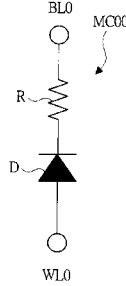


【図4】

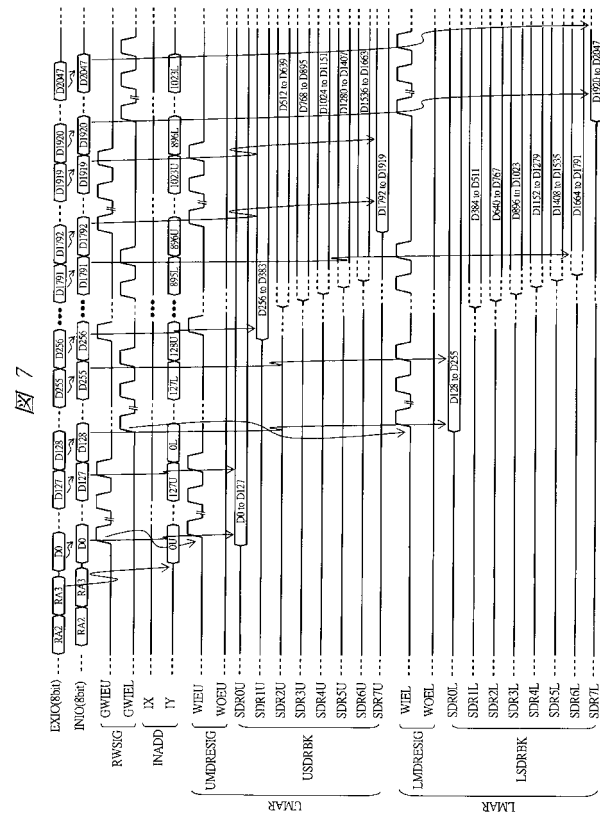


【図5】

図5

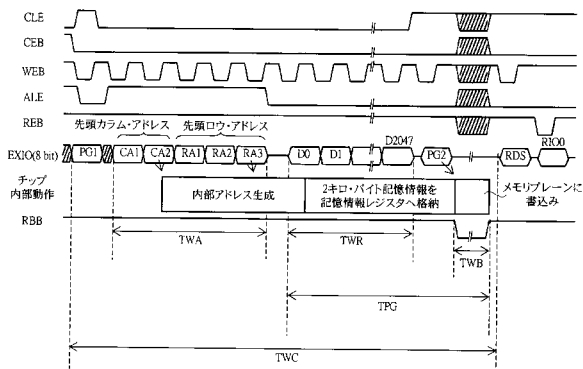


【図7】

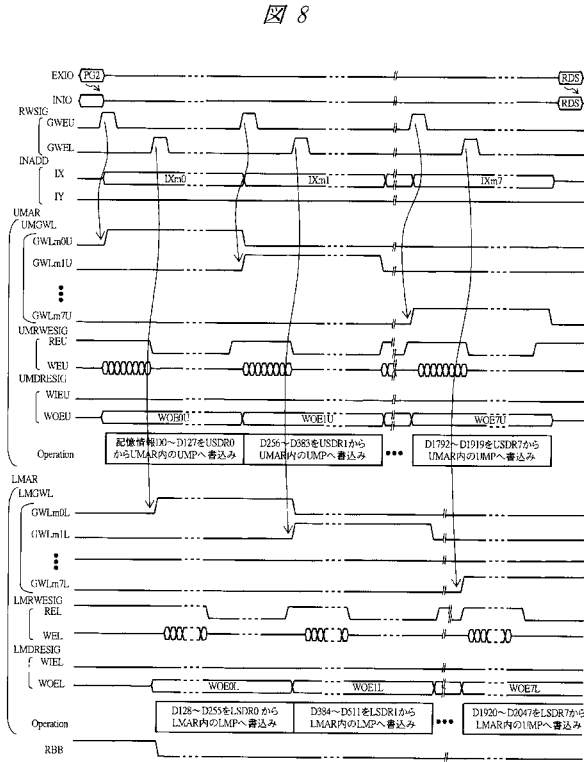


【図6】

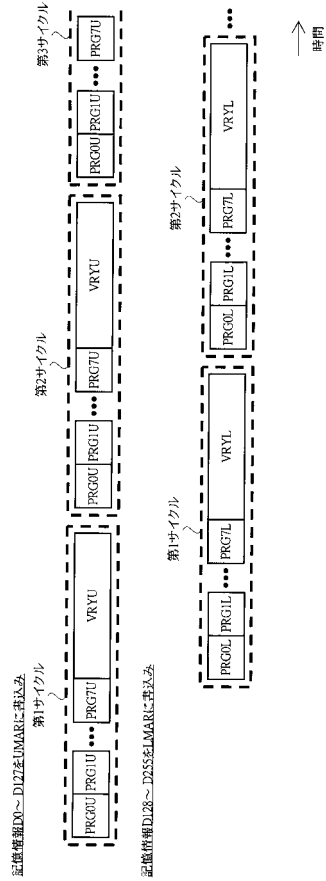
図6



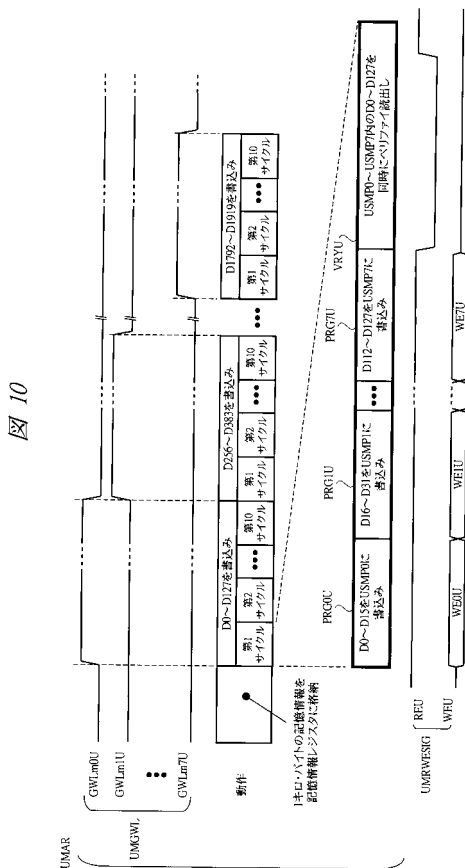
【 図 8 】



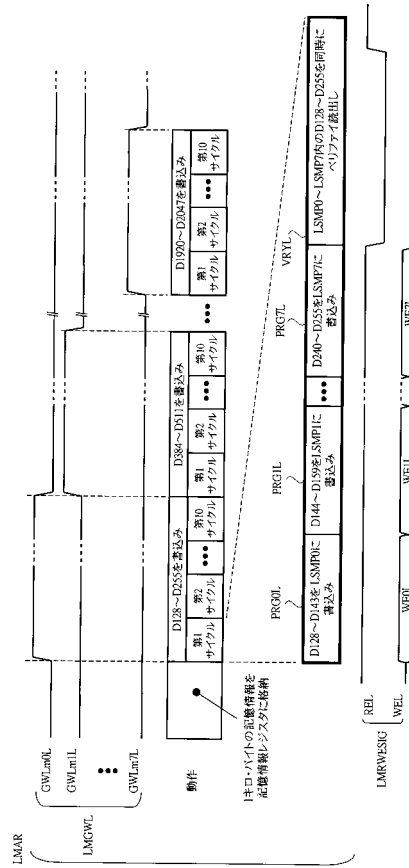
【 図 9 】



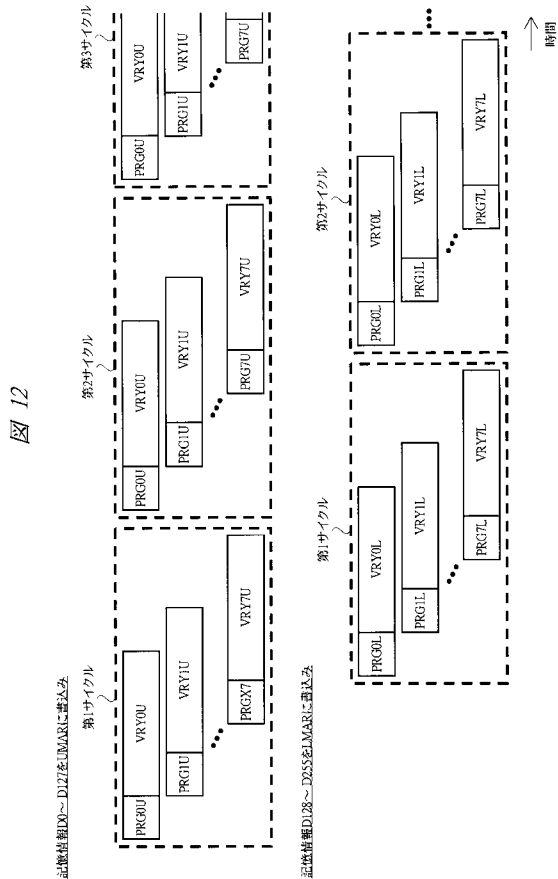
【 図 10 】



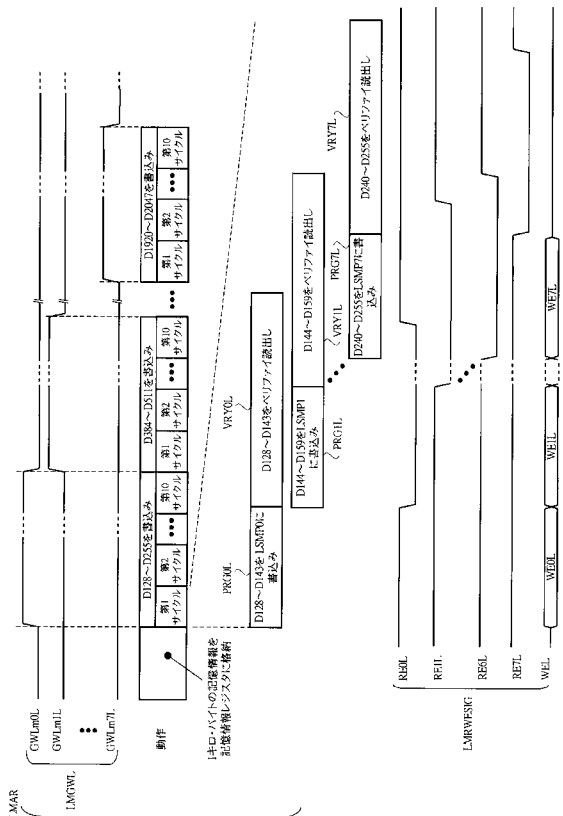
【 図 11 】



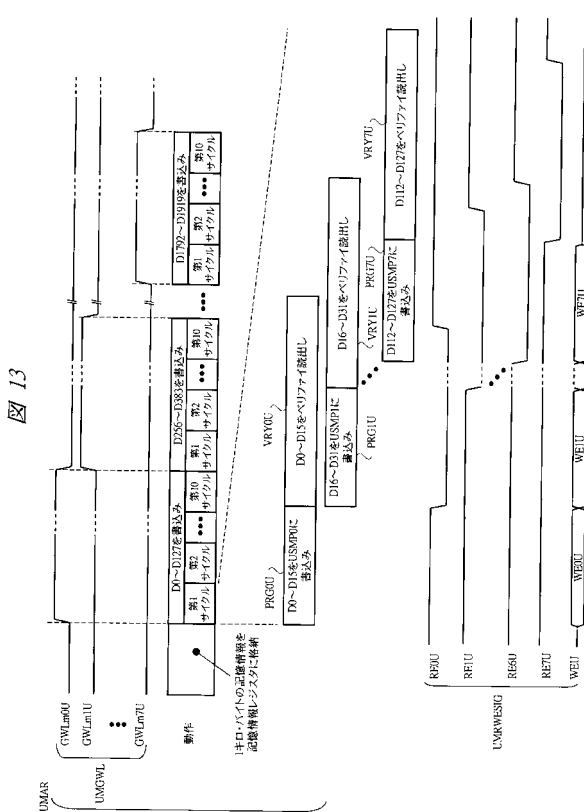
【 図 1 2 】



【 図 1 4 】



【 図 1 3 】



【 図 1 5 】

