

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

H01L 29/24 (2006.01)

H01L 29/808 (2006.01)

H01L 21/04 (2006.01)

专利号 ZL 99808341.0

[45] 授权公告日 2008 年 4 月 30 日

[11] 授权公告号 CN 100385676C

[22] 申请日 1999.6.8 [21] 申请号 99808341.0

[30] 优先权

[32] 1998.7.9 [33] US [31] 09/112686

[86] 国际申请 PCT/US1999/012861 1999.6.8

[87] 国际公布 WO2000/003440 英 2000.1.20

[85] 进入国家阶段日期 2001.1.8

[73] 专利权人 克里公司

地址 美国北卡罗来纳州

[72] 发明人 R·辛格

[56] 参考文献

EP703629A 1996.3.27

DE19644821C 1998.2.12

审查员 唐俊峰

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王勇 王忠忠

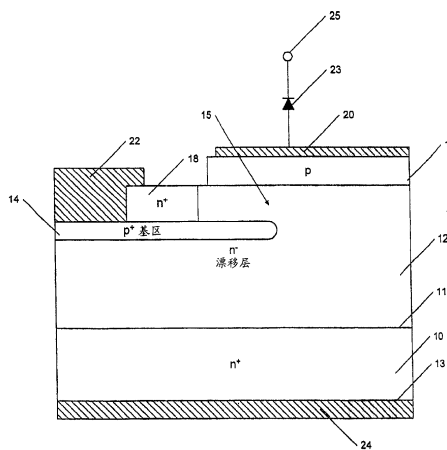
权利要求书 2 页 说明书 12 页 附图 5 页

[54] 发明名称

碳化硅水平沟道缓冲栅极半导体器件

[57] 摘要

本发明揭示了多种碳化硅沟道半导体器件，通过利用半导体栅极层和掩埋基区当栅极上无偏置电压时产生一个“夹断”栅极区，去掉了栅极绝缘体。在本发明的实施例中，半导体器件包括一个第一类电导类型碳化硅漂移层，其中碳化硅漂移层有一个第一表面，并且有一个沟道区。在碳化硅漂移层中提供了一个第二类电导类型半导体材料的掩埋基区，以定义沟道区。在碳化硅漂移层的第一表面上形成了一个第二类电导类型半导体材料的栅极层，与碳化硅漂移层的沟道区相邻。在栅极层上还可以形成一个栅极接触。晶体管 and 闸流管都可以提供。



1、一种碳化硅沟道半导体器件，具有一个第一类电导类型的碳化硅漂移层，并具有一个第一表面、集电极或漏极区上的集电极或漏极接触，其中碳化硅漂移层具有第一表面，该器件包括：

在碳化硅漂移层的第一表面上的一个第二类电导类型半导体材料的栅极层，与碳化硅漂移层的一个沟道区(15)相邻并且电相连；

碳化硅漂移层中的一个第二类电导类型半导体材料的掩埋基区，它的一部分放置在栅极层的下面，并与漂移层的第一表面分隔开，以定义第一类电导类型漂移层中的沟道区；

栅极层上的一个栅极接触；

半导体材料第一区上的第一接触，电连接到沟道区；

第二接触，电连接到漂移区；和

一个阴极连接着栅极接触的二极管。

2、一种碳化硅沟道半导体器件，该器件有一个具有第一载流子密度的碳化硅衬底，该器件包括：

碳化硅衬底上的一个第一类电导类型的碳化硅第一层，具有比第一载流子密度更小的载流子密度；

碳化硅第一层中的一个第二类电导类型半导体材料的掩埋区，定义位于碳化硅第一层的第一表面和掩埋区之间的一个沟道区；

一个第一类电导类型半导体材料的第一区，经掺杂具有比碳化硅第一层的载流子密度更高的载流子密度，其中第一类电导类型半导体材料的第一区位于半导体材料掩埋区和与衬底相对的碳化硅第一层的一个表面之间，并与碳化硅第一层的沟道区相邻；

碳化硅第一层上的一个第二类电导类型半导体材料的栅极层，其中栅极层与半导体材料第一区相邻但分隔开，并延伸到覆盖住碳化硅第一层的沟道区；

半导体材料栅极层上的一个栅极接触，以定义碳化硅第一层的沟道区；

栅极层和栅极接触之间的一层高度掺杂的第一类电导类型半导体材料；

半导体材料第一区上的一个第一接触；和

碳化硅衬底上的一个第二接触，与碳化硅第一层相对。

3、权利要求 2 所述的一种碳化硅沟道半导体器件，其中碳化硅衬底是一个第一类电导类型碳化硅衬底，以提供一个碳化硅晶体管。

4、权利要求 2 所述的一种碳化硅沟道半导体器件，其中碳化硅衬底包括一个第二类电导类型碳化硅衬底，以提供一个碳化硅闸流管。

5、权利要求 1, 2, 3, 4 中任何一个所述的一种碳化硅沟道半导体器件，其中第一类电导类型是 n-型电导，第二类电导类型是 p-型电导。

6、权利要求 1, 2, 3, 4 中任何一个所述的一种碳化硅沟道半导体器件，其中第一类电导类型是 p-型电导，第二类电导类型是 n-型电导。

7、权利要求 1, 2, 3, 4 中任何一个所述的一种碳化硅沟道半导体器件，其中掩埋区和栅极层的半导体材料是碳化硅。

8、权利要求 1, 2, 3, 4 任何一个所述的一种碳化硅沟道半导体器件，其中掩埋区和栅极层的半导体材料是从氮化镓和氮化铟镓组成的组中选择的。

9、权利要求 1, 2, 3, 4 中任何一个所述的一种碳化硅沟道半导体器件，其中半导体材料第一区与掩埋区是电连接的。

10、权利要求 1, 2, 3, 4 中任何一个所述的一种碳化硅沟道半导体器件，其中半导体材料掩埋区与栅极层和栅极接触是电连接的。

11、权利要求 1, 2, 3 中任何一个所述的一种碳化硅沟道半导体器件，其中第一接触是源极接触，第二接触是漏极接触。

12、权利要求 1, 2, 4 中任何一个所述的一种碳化硅沟道半导体器件，其中第一接触是发射极接触，第二接触是集电极接触。

## 碳化硅水平沟道缓冲栅极半导体器件

### 发明领域

本发明涉及到半导体器件，尤其涉及到在碳化硅中制成的这类器件。本发明特别涉及到在碳化硅中制成的功率器件。

### 发明背景

由于碳化硅的物理特性，碳化硅被看作是可用于高温和高功率应用的一种可能的半导体材料。结果，为了利用碳化硅这些很有前途的特性，已经开发出各种碳化硅半导体器件。这些器件包括金属氧化物半导体场效应晶体管(MOSFET)、结型场效应晶体管(JFET)和ACCUFET。

在功率 MOSFET 中，通过施加一个合适的栅极偏置电压，栅极电极提供了开启和关闭控制。例如，在一个 n-型加强 MOSFET 中，加上一个正向栅极偏置电压，作为响应在 p-型沟道区中形成一个导电 n-型反型层(inversion layer)，这时就发生了开启。该反型层在 n-型源区和耗尽区之间提供了电连接，允许源区和耗尽区之间的多子导通。

功率 MOSFET 栅极电极与导电沟道区之间是隔离的，这是通过插入绝缘层实现的，通常为二氧化硅。因为栅极与沟道区是绝缘的，所以将 MOSFET 维持在导通状态或者从开状态切换到关状态或者反过来从关状态切换到开状态都只需要很小的栅极电流。在开关期间栅极电流很小是因为栅极电极与 MOSFET 沟道区构成了一个电容。这样，在开关时只需要充电和放电电流(“位移电流”)。由于绝缘栅极电极具有高输入阻抗，因此栅极的电流要求极小，这样栅极驱动电路很容易实现。

而且，由于 MOSFET 中的电流导通只是通过多子传输实现的，不存在与过剩少子复合有关的延时。因此，功率 MOSFET 的开关速度可以做得比双极晶体管和闸流管的高几个数量级。跟双极晶体管和闸流管不同，功率 MOSFET 可以设计成能够同时承受高电流密度和相对较长的高压，在开关瞬间不会遇到称作“二次击穿”的破坏性故障

机制。功率 MOSFET 还很容易并联，因为功率 MOSFET 的前向电压下降随温度的升高而增加，从而使并联器件中的电流分布更平均。这跟依赖双极导通的器件相反，例如双极结型晶体管或闸流管，开启状态的电压下降与运行温度成反比。

但是，对高压器件来说，功率 MOSFET 的上述有益特性通常被 MOSFET 的漂移区相对较高的开启电阻所抵消，这是因为没有少数注入的缘故。这样，商用硅 MOSFET 的运行前向电流密度通常限制在相对较低的值上，对于 600V 的器件来说一般在  $40\text{--}50\text{A}/\text{cm}^2$  范围，对比之下，对同样的开启状态压降，双极闸流管的典型导通压降一般为  $100\text{--}120\text{A}/\text{cm}^2$ 。

由于 MOSFET 利用的是反型层，碳化硅 MOSFET 还有另一个限制。利用反型层的后果是，碳化硅的低迁移率会导致沟道具有很高的电阻。因此，碳化硅的优良性能可能会被由于利用反型层以及碳化硅的低迁移率造成的 MOSFET 局限性所掩盖。

ACCUFET 的开发，至少部分原因就是为了解决 MOSFET 的局限性。ACCUFET 利用分隔开的掩埋基极层将栅极氧化物跟基极隔离开。ACCUFET 依靠累积层，而不是象 MOSFET 那样依靠反型层，因此具有比碳化硅 MOSFET 更高的沟道迁移率。有关 ACCUFET 的更多描述可参阅 1997 年 12 月出版的期刊《IEEE Electron Device Letters》第 8 卷 12 期中 Shenoy 等的论文“The planar 6H-SiC ACCUFET: A New High-Voltage Power MOSFET Structure”。

另外，在高温下运行时，MOSFET 或 ACCUFET 都不可能达到理论极限，这是因为氧化物栅极里的 Fowler-Nordheim (F-N) 电流引起的氧化物栅极恶化。向氧化物栅极注入 Fowler-Nordheim 电流会损坏 MOSFET 的氧化物，最终通过引起氧化物栅极击穿而导致器件失效。这种击穿还会因为 MOSFET 结构中可能具有的可在氧化物中聚集电场的区域而加剧。例如，在 UMOSFET 栅极沟道中的氧化物边角上。可参阅 1997 年 12 月出版的期刊《IEEE Electron Device Letters》第 18 卷 12 期中 Agarwal 等的论文“Temperature Dependence of Flower-Nordheim Current in 6H- and 4H-SiC MOS Capacitors”。

氧化物栅极中的 F-N 注入或“热电子”注入，在用碳化硅制成的

半导体器件中可能更成问题，因为碳化硅的禁带较宽。这是因为氧化物栅极的反型层或累积层载流子注入是碳化硅导带边和栅极氧化物导带边之间的势垒高度的函数。因此，已经发现禁带为 3.26eV 的 4H-SiC 的电流密度高于禁带为 2.85eV 的 6H-SiC 的 F-N 电流。见 1997 年 12 月的《IEEE Electron Device Letters》第 18 卷 12 期中 Agarwal 等的论文“Temperature Dependence of Fowler-Nordheim Current in 6H- and 4H-SiC MOS Capacitors”。这个问题在高温下会更严重，这时碳化硅和栅极绝缘体之间的有效势垒高度会因为载流子能量的统计扩展而降低。因此，表面上极有吸引力的碳化硅器件会受到与时间有关的介电击穿的限制，这个击穿是基于 4H-SiC MOS 的器件在开和关状态下运行时氧化物栅极中的 F-N 电流造成的，如 MOSFET 和 ACCUFET。

作为 MOSFET 和 ACCUFET 的一种替代方案，结型场效应晶体管 (JFET) 可以以很低的开状态电压降提供极好的电流和电压栅极控制。另外，JFET 非常可靠，并且提供很好的高温运行性能。因为 JFET 没有 MOSFET 和 ACCUFET 那样的半导体氧化物界面，也就不存在由 F-N 电流引起的氧化物击穿问题。然而 JFET 是一个“平常处于开启状态的”器件，这会限制它在很多电路中的应用。这是因为在栅极驱动失效时会危及到一个功率系统的可靠性。JFET 还受到相对较低的电压增益(漏极电压和栅极电压之比)的限制。因此，当器件处于关闭状态时需要较大的栅极偏置电压。JFET 的最大击穿电压还会受到栅极-源极击穿电压的限制。另外，JFET 也具有较大的泄漏电流。

根据上述讨论，需要改进高压功率碳化硅器件，以提供更方便的栅极控制。

#### 发明目的及概述

考虑到上述讨论，本发明的一个目的是提供一种碳化硅功率器件。

本发明的另一个目的是提供一种可靠性超过 MOS 器件的碳化硅功率器件。

本发明的又一个目的是提供一种可减少 Fowler-Nordheim 电流影响的碳化硅功率器件。

本发明的再一个目的是提供一种平常处于关闭状态的半导体器件。

本发明的这些目的以及其他目的由碳化硅沟道半导体器件提供，这种器件利用半导体栅极层和掩埋基区在栅极无偏置电压时产生“夹断”栅极区，去掉了栅极的绝缘层。去掉栅极的绝缘层可以消除与 MOSFET 和 ACCUFET 有关的 F-N 电流问题的影响。对栅极施加偏置电压，可以在基区和栅极层之间形成导电沟道，使载流子能够流动。通过去掉绝缘栅极同时仍然提供平常处于关闭状态的器件，本发明可以克服前面很多器件的局限性，例如在高温下应用的器件 MOSFET、ACCUFET 和 JFET。用半导体材料做栅极层，以提供本发明器件中沟道区的 pn 结，可以缓冲在漂移层中形成的沟道，这样就可以减少栅极层的“热电子”效应。

在本发明的实施例中，半导体器件包括一个第一类电导类型碳化硅漂移层，碳化硅漂移层内有一个第一表面，并有一个沟道区。在碳化硅漂移层中提供了一个第二类电导类型半导体材料的掩埋基区，以确定沟道区。在碳化硅漂移层的第一表面上，紧邻碳化硅漂移层沟道区制作了一个第二类电导类型半导体材料的栅极层。在栅极层上还制作了一个栅极接触。

在掩埋基区和漂移层的第一表面之间还提供了一个第一类电导类型半导体材料的源极区。源极区经掺杂后具有的载流子密度大于漂移层的载流子密度。在紧邻漂移层的一个第二表面上还提供了一个第一类电导类型半导体材料的漏极区，这样半导体器件包括了一个具有侧向碳化硅沟道区的垂直器件。

在具体实施例中，碳化硅沟道半导体器件在栅极层和栅极接触之间还包括一层高度掺杂的第一类电导类型半导体材料。加上一个正向栅极偏置电压时这一层可提供一个反向偏置的二极管，当器件工作时可以限制栅极到源极的电流。另一种选择是，在半导体器件外面提供一个阴极连接着栅极接触的二极管，以限制栅极电流。

本发明的另一个具体实施例中，提供了一种碳化硅沟道半导体器件，其中第一类电导类型是 n-型电导，第二类电导类型是 p-型电导。另一种选择是，第一类电导类型是 p-型电导，第二类电导类型是 n-

型电导。

而且，可以提供这样一种器件，其中包括一个碳化硅衬底，该衬底紧邻碳化硅漂移层的第二面，与碳化硅漂移层的第一面相对。在这样的器件中可提供一个水平沟道缓冲的栅极晶体管，其中碳化硅衬底是一个高度掺杂的第一类电导类型碳化硅衬底。也可以提供一个碳化硅衬底是高度掺杂的第二类电导类型碳化硅衬底的水平沟道缓冲栅极闸流管。在这两种情况下，第一类电导类型可以是 n-型电导，第二类电导类型是 p-型电导。或者第一类电导类型可以是 p-型电导，第二类电导类型是 n-型电导。

本发明所述的器件中，掩埋基区和栅极层的半导体材料可以是碳化硅、氮化镓或氮化铟镓。而且，源极区和基区可以是电连接的。

本发明的一个晶体管实施例中，一个单元的碳化硅沟道晶体管包括一个第一类电导类型碳化硅衬底，衬底经掺杂具有第一个载流子密度。第一类电导类型碳化硅第一层形成在碳化硅衬底上，其掺杂和厚度与器件的需要的击穿电压有关。这种掺杂通常使第一层的载流子密度少于第一个载流子密度。在碳化硅第一层中形成了一个第二类电导类型半导体材料的掩埋区，并且延伸到碳化硅第一层的沟道区的下面。第一类电导类型半导体材料第一区经过掺杂其载流子密度大于碳化硅第一层的载流子密度。第一类电导类型半导体材料第一区位于半导体材料的掩埋区和衬底对面、紧邻碳化硅第一层的沟道区的碳化硅第一层的一个表面之间。

在碳化硅第一层上制成第二类电导类型半导体材料的栅极层，并且从半导体材料的第一个区延伸到碳化硅第一层的沟道区。在半导体材料的栅极层上还制成栅极接触，以确定碳化硅第一层的沟道区。在半导体材料的第一区上制成第一个欧姆金属接触，在与碳化硅的第一层相对的碳化硅衬底上制成第二个欧姆金属接触。或者，在栅极层和栅极接触之间制成一层高度掺杂的第一类电导类型半导体材料。

本发明的一个闸流管具体实施例中，一个单元的碳化硅沟道闸流管包括一个第二类电导类型碳化硅衬底，这个衬底经过掺杂具有第一个载流子密度。在碳化硅衬底上制成第一类电导类型碳化硅第一层，这一层经掺杂具有的载流子密度小于第一个载流子密度。在碳化硅第



一层中制成一个第二类电导类型半导体材料的掩埋区，并延伸到碳化硅第一层的沟道区之下。在半导体材料掩埋区和与衬底相对、紧邻碳化硅第一层的沟道区的碳化硅第一层的一个表面之间制成第一类电导类型半导体材料的第一区，这个区经掺杂具有的载流子密度大于碳化硅第一层的载流子密度。在碳化硅第一层上制成一个第二类电导类型半导体材料的栅极层，并从半导体材料的第一区延伸到碳化硅第一层的沟道区。在栅极层半导体材料上制成栅极接触，以确定碳化硅第一层的沟道区。在半导体材料第一区上制成第一个接触，在与碳化硅第一层相对的碳化硅衬底上制成第二个接触。或者，在栅极层和栅极接触之间制成一层高度掺杂的第一类电导类型半导体材料。

上述目的和其他目的，本发明的优点及特点，以及达到同样目的的方式，根据本发明的以下详细描述和附随的显示优选示范实现的图例，将变得更显而易见。

#### 附图描述

图 1 是本发明第一个实施例的一个单元的横截面示意图；

图 2 是本发明所述的一个两单元器件的横截面示意图；

图 3 是本发明的第二个实施例的横截面示意图；

图 4 是本发明第三个实施例的横截面示意图；以及

图 5 是本发明第四个实施例的一个单元横截面示意图

#### 优选实施例的详细描述

现在将在下文中参照附图更完整地描述本发明，在附图里会显示本发明的优选实施例。然而，本发明可以以很多不同形式实现，不应当局限于这里给出的实施例来解释；更确切地说，提供这些实施例是为了使本公开内容更完整全面，给那些熟识本行业的人士更全面地表述本发明的范围。相同的数字指的是同样的部件。而且，各个附图显示的各层、各区域是示意性地显示。那些熟识本行业的人士也可以理解的是，这里所述的“在”一个衬底或其他层上制成的一层意指直接在衬底或其他层或在衬底或其他层上制成的一个中间层或多个中间层上制成的层。那些熟识本行业的人士还可以理解的是，尽管本发明是按照层来描述的，但这些层可以是外延生长的或注入形成的。因此，本发明不限于附图中显示的相对尺寸和间隔。

图 1, 3, 5 描述了本发明各种实施例的单元。通过在该单元的两个垂直外围精确地复制这些单元, 可以生产出具有多个单元的器件。那些熟识本行业的人士也可以理解的是, 通过在器件的垂直外围精确地复制该单元, 本发明的这些单元还可以用来制造一个单元的器件。

图 1 所示的本发明的水平沟道缓冲栅极晶体管 (HCBGT) 包括一个第一类电导类型碳化硅的单晶碳化硅衬底 10, 有一个第一表面 11。正如图 1 显示的, 这一第一类电导类型碳化硅可以是 n-型电导类型碳化硅。衬底 10 有一个上表面或第一表面 11 和一个与上表面相对的下表面或第二表面 13。在衬底 10 的第一表面 11 上制成第一类电导类型碳化硅的第一层 12, 形成一个漂移区。如图 1 所示, 漂移区 12 可以是 n<sup>-</sup>碳化硅漂移层。或者为了在衬底中提供 n<sup>+</sup>和 n<sup>-</sup>区, 在一个 n<sup>-</sup>衬底的下表面注入形成一个 n<sup>+</sup>区。因此, 在这里所用的衬底和第一层参照系是指在衬底上和衬底中形成的层。衬底 10 的载流子密度大于第一层 12 的载流子密度。因此, 该衬底可以看作一个 n<sup>+</sup>衬底。适合衬底的层电阻应少于 1 欧姆-cm。第一层 12 的合适载流子密度从大约  $10^{12}\text{cm}^{-3}$  到大约  $10^{17}\text{cm}^{-3}$ 。衬底的厚度从大约  $100\mu\text{m}$  到大约  $500\mu\text{m}$ 。第一层 12 的厚度从大约  $3\mu\text{m}$  到大约  $500\mu\text{m}$ 。

在第一层 12 中形成的是一个第二类电导类型半导体材料的区域 14, 提供一个电导类型与第一层 12 相反的基区。基区 14 可以是外延生长的或在第一层 12 中注入形成的, 图 1 所示的实施例中形成的基区是 p-型电导类型半导体材料的。在第一层 12 中形成的还有 n<sup>+</sup>电导类型半导体材料的区域 18, 形成该器件的一个源极。如图 1 所示, 形成源极区 18 是为了接触基区 14, 但基区 14 延伸到源极区 18 之外, 进入了在第一层 12 中形成的沟道区 15。n<sup>+</sup>源极区 18 的宽度最好在大约  $1\mu\text{m}$  到大约  $5\mu\text{m}$  之间, 延伸到栅极之下越少越好。例如, 这个间距可以在大约  $0.5\mu\text{m}$  到大约  $3\mu\text{m}$  之间。大于约  $10^{18}\text{cm}^{-3}$  的载流子密度对 n<sup>+</sup>区 18 较合适。基区 14 和源极区 18 的半导体材料任一或都是碳化硅, 或者是其他半导体材料, 如氮化镓 (GaN) 或氮化镓铟 (InGaN)。

基区 14 的载流子密度最好是大约  $10^{16}\text{cm}^{-3}$  到大约  $10^{18}\text{cm}^{-3}$ , 厚度最好在大约  $0.3\mu\text{m}$  到  $5\mu\text{m}$  之间。基区 14 最好延伸过源极区 18, 从大约  $3\mu\text{m}$  到大约  $12\mu\text{m}$ 。大于  $10^{18}\text{cm}^{-3}$  的载流子密度适合于 n<sup>+</sup>源极区 18。

图 1 中还显示了一个第二类电导类型半导体材料栅极层 16, 它形成在漂移层 12 上, 延伸到源极区 18。因为栅极层 16 是半导体材料而不是绝缘体, 它与漂移层 12 是电接触的。如图 1 所示的实施例中, 这种第二类电导类型栅极层是 p-型半导体材料栅极层。栅极层 16 的半导体材料可以是碳化硅或其它诸如氮化镓 (GaN) 或氮化镓铟 (InGaN) 半导体材料。

在图 1 中还可以看到, 栅极接触 20 在栅极层 16 上形成, 为了与源极区 18 实现电连接还形成了一个源极接触 22。在图 1 中还可以看到, 可以形成源极接触, 以同时连接源极区 18 和基区 14。在衬底 10 与第一层 12 相对的一个表面上还形成了一个漏极接触 24。接触 20, 22 和 24 可以用任何合适的材料构成, 以形成下面描述的欧姆接触。

p-型栅极层 16 的作用是把栅极接触 20 与第一层 12 隔离开来, 这样在栅极接触 20 上施加一个偏置电压时, 在沟道区 15 里会形成一个导电沟道区。在栅极接触 20 上没有施加偏置电压时, 栅极层 16 与基区 14 之间的沟道就会夹断, 这样电流就不会从源极接触 22 流到漏极接触 24。为了实现平常处于关闭状态这一特性, 需要选择第一层 12、基区 14 和栅极层 16 的掺杂水平, 还需要选择基区 14 和栅极层 16 之间的间距, 以便耗尽基区 14 和栅极层 16 之间的沟道区 15 的载流子。

在开启状态, 在栅极接触 20 上施加一个正向偏置时, 栅极层下面的沟道区 15 中会形成一个导电沟道, 允许电流从源极接触 22 流到漏极接触 24。然而, 由于栅极层 16 和源极区 18 之间的 p/n 结, 如果栅极上加的电压高于 p/n 结的内建电压, 电流将从栅极流向源极, 这样栅极/源极结的作用就象一个前向偏置的二极管。在本发明的一个实施例中, 按照本发明, 通过一个反向偏置的二极管 23 给栅极接触加一个栅极电压, 该器件的栅极电流可以限制住。这个二极管可以是与图 1 的 HCBGT 结构分离的器件。在这种情况下, 可以在一个连接着二极管 23 的阳极的接点 25 上加正向栅极电压, 二极管 23 的阴极与栅极接触 20 是电连接的。

图 2 显示了一个包括两个图 1 所示的单元的器件。从图 2 可以看到, 基区 16 在空间上间距为  $W$ 。间距  $W$  可以调节, 控制本发明的操作

特性。一般来说，当间距  $W$  减小时，器件的电阻将增加但可以实现更有效的沟道夹断。然而，如果采用了一个较大的  $W$  值，沟道密质会降低，对于特别大的  $W$  值，沟道和源电阻都会变得过量。而且，相邻基区之间的间距  $W$  取决于器件里单元的数量以及所需的工作特性。

正如上面描述的那样，基区 14 的优选厚度从大约  $0.3\mu\text{m}$  到大约  $5\mu\text{m}$ ，延伸到栅极接触 20 下面大约  $3\mu\text{m}$  到大约  $12\mu\text{m}$ 。然而，基区 14 延伸到栅极接触下的距离根据特定的应用会有所变化。尤其是，基区 14 在栅极接触之下的距离可以用来调整沟道区 15 中的电阻和电场。当基区 14 之间的间距  $W$  减小时，在栅极层 16 附近的电场会减小。大约  $1\mu\text{m}$  到大约  $20\mu\text{m}$  的间距较为合适。就象上面所述的，可以选择合适的漂移层 12 和基区 14 掺杂浓度，使漂移层 12 被零偏置时基区  $p^+/n$  结和  $n/p^+$  栅极结的内建电势完全耗尽。

图 3 显示了本发明所述的另一种 HCBGT。从图 3 可见，图 1 的单元还可以包括一个第一类电导类型半导体材料的第二个栅极层 26，它在栅极层 16 和栅极接触 20 之间形成。图 3 所示的第二个栅极层 26 是  $n$ -型半导体材料。此  $n$ -型半导体最好是碳化硅，但是也可以是氮化镓或氮化镓铟。可以选择第一和第二栅极层 16 和 26 的掺杂及厚度，使  $n^+p^+n^-$  晶体管的击穿电压高于栅极偏置电压。第二个栅极层 26 的载流子密度可以选为从大约  $5 \times 10^{16} \text{cm}^{-3}$  到大约  $1 \times 10^{18} \text{cm}^{-3}$ 。比较适合第二个栅极层 26 的厚度是从大约  $0.3\mu\text{m}$  到大约  $3\mu\text{m}$ ，适合第一个栅极层 16 的厚度是从大约  $0.3\mu\text{m}$  到大约  $3\mu\text{m}$ 。然而，那些熟识本行业的人士可以理解的是，根据构成栅极层 16 和 26 的材料，也可以采用其他的掺杂水平和厚度。包含图 3 所示的单元的器件的其他特点，与这里图 1 所说明的基本上相同。

通过包含第二个栅极层 26，在 HCBGT 的栅极结构中可以加入一个反向偏置的  $p/n$  结，当栅极接点上加上一个正向偏置时就可以阻止电流从栅极接触 20 流到源极接触 22。这样，包含图 3 所示的单元的器件不需要外加的二极管来避免栅极电流。

图 4 显示了本发明所述的一个水平沟道缓冲栅极闸流管 (HCBGTh)。从图 4 可以看出，HCBGTh 的结构跟 HCBGT 相似。衬底 10 由第一类电导类型半导体材料构成。如图 4 所示，这样衬底可以是  $n$ -

型碳化硅衬底，或者跟上面描述的一样是一个 n-型碳化硅层。图 4 所示的器件与图 3 所示的器件之间的基本差别是衬底上形成的各个区域的电导类型与图 3 相反。这样，漂移层是一个 p-漂移层 12'，基区是一个 n-基区 14'，第一个栅极层是一个 n-型栅极层 16'，第二个栅极层是一个 p-型栅极层 26'。而且，图 1 到图 3 的源极区 18 和源极接触 22 将是一个发射极区 18'，它是一个 p+发射极区，而发射极接触 22 和漏极接触 24 将是一个集电极接触 24。在这个器件中，在栅极接触 20 上加一个偏置时，电流将从发射极接触 22 流向集电极接触 24。n-型和 p-型区的合适载流子密度和大小与图 1 到图 3 所示的器件的 n-型和 p-型区的相当。

图 4 所示的 HCBGTh 包括一个可选的 p-型层 26'，提供一个内部的栅极二极管。那些熟识本行业的人员可以理解的是，这一层可以去掉，提供一个跟图 1 相似的结构。在那种情况中，器件工作时可以用一个外部的二极管来控制栅极电流。

图 5 显示了本发明的又一个实施例。图 1 到图 4 的每一个器件中，源极接触 22 和掩埋基区 14 是短路的。然而，在图 5 的实施例中，栅极接触 20 和第一个栅极层 16 与基区在第三维是短路的。漂移层 12 的一部分把源极接触 22' 和基区从空间上分隔开。图 5 所示的 HCBGT 包括一个可选的 n-型层 26，以提供内部栅极二极管。那些熟识本行业的人员可以理解的是，去掉这一层可以提供一个类似图 1 的结构。在这种情况下，器件运行时可以用一个外部的二极管来控制栅极电流。另外，还可以调整图 4 结构中的栅极设计，就象图 5 所反映的一样，提供一个基区与栅极层和栅极接触电连接的闸流管。

将图 5 所示的 p-基区 14 与栅极 16 短路，可以实现更有效的夹断。在这种情况下，耗尽区从两个方向(顶部和底部)而不是一个方向(图 1 到图 4 所示的结构)扩展进沟道区。在开启状态下，这允许有相对较宽的沟道区，从而可以减小器件的开启状态电阻。

上述器件是按照第一类电导类型是 n-型电导，第二类电导类型是 p-型电导来描述的。那些熟识本行业的人员可以理解的是，依照本发明也可以生产互补的器件。这样，第一类电导类型可以是 p-型电导，第二类电导类型是 n-型电导。

那些熟识本行业的人员可以理解的是，本发明的各种实施例可以用传统的半导体制造技术来制作。不过，至于外延层 12，这一层最好利用一个外延生长过程在衬底 10 上生长，例如美国专利 NO. 4, 912, 064 中所描述的，其中的公开内容完整地并入了这里的参考文献中。或者，就象上面讨论的一样，可以利用轻掺杂的衬底，通过注入来提供掺杂浓度更高的层 10。

本发明所述的器件还可以通过通过在器件周围蚀刻出一个台面 (mesa) 来终止边界。台面 (没有显示) 可以从第一层 12 一直延伸到衬底 10。或者，台面可以部分延伸穿过第一层 12。在这种情况下，可以在暴露的第一层 12 中进行离子注入，深度从大约  $100\text{\AA}$  到大约  $5\ \mu\text{m}$ ，与台面边缘的距离从大约  $5\ \mu\text{m}$  到大约  $500\ \mu\text{m}$ 。如果在阻断工作模式中允许电场从主结到终止区的边缘是渐减的，最好采用注入方式。可以采用从大约  $5\times 10^{15}\ \text{cm}^{-3}$  到大约  $1\times 10^{17}\ \text{cm}^{-3}$  之间的载流子密度来形成一个低掺杂区，电导类型跟台面周围的第一层 12 相反。在这两种情形都可以在台面的暴露表面 (没有显示) 上形成一个钝化层。这种钝化层可以是  $\text{SiO}_2$  或熟识本行业的人士所了解的其他任何合适的材料或堆叠钝化层。

上述每一个实施例中，衬底和各层可以由从 6H, 4H, 15R 或 3C 碳化硅中选出的碳化硅组成，不过 4H 碳化硅最适合上述每个器件。适合作欧姆接触的金属包括镍、硅酸钽和铂。另外，铝/钛接触也可用来制作本发明的欧姆接触。虽然描述了这些特定的金属，但也可以使用熟识本行业的人士了解的可以制作碳化硅欧姆接触的其它任何金属。

至于上述器件的各外延层和注入区的载流子密度或掺杂水平，一般来说， $p^+$  或  $n^+$  型电导区和外延层应该尽可能重掺杂，只要不引起额外的晶格或外延缺陷。适合产生  $p$ -型区的掺杂物包括铝、硼和镓。适合产生  $n$ -型区的掺杂物包括氮和磷。铝是首选的  $p^+$  区掺杂物，最好是利用高温离子注入方法将铝注入到  $p^+$  区，例如美国专利 No. 5, 087, 576 所述的高温离子注入方法，其中的公开在这里完整地并入了参考文献中，采用的温度范围在大约  $1000^\circ\text{C}$  到大约  $1500^\circ\text{C}$  之间。

上述器件通过用半导体材料而不是 MOSFET 或 ACCUFET 栅极的绝

缘层来缓冲栅极区，可以减少 F-N 电流的影响。这个缓冲层可以很有效地减少 F-N 电流，从而减少这种电流引起的器件恶化。另外，本发明所述的器件可以是“平常关闭”的器件，因此可以克服 JFET 在很多应用上的局限性。因为沟道区是水平的，可以制成比垂直掩蔽 JFET 更大的栅极层。这就允许在阻断增益/导通阻抗之间进行更有利的折中。一般地，更大的栅极区会导致更高的阻断增益、更低的泄漏电流。因为 HCBGT 是一个平常关闭的器件，所以它要求较大的栅极区，这在垂直栅极结构中是不可能的。

导电沟道在 HCBGT 开启状态时是在  $p^+$  栅极 16 和  $p$  基区 14 之间形成的非耗尽部分中的三维体碳化硅。这与 MOS 控制器件相反，后者采用一个二维层电荷实现导通。因为 HCBGT 中的导通发生在低掺杂的体碳化硅中，它可以提供比 MOS 栅极器件更高的载流子迁移率（10 到 100 倍）。因为导通沟道远离结区，在 HCBGT 的设计中不会发生热电子注入，这样由于这种注入引起的损坏就不会发生。因此，本发明可以提供能够在高电压、高电流和高工作温度条件下工作更长时间的器件。

在附图和说明书中已经公开了本发明的典型优选实施例，尽管使用了专业术语，它们只用于一般和描述意义，不用于限制目的，本发明的范围将在随后的权利要求里陈述。

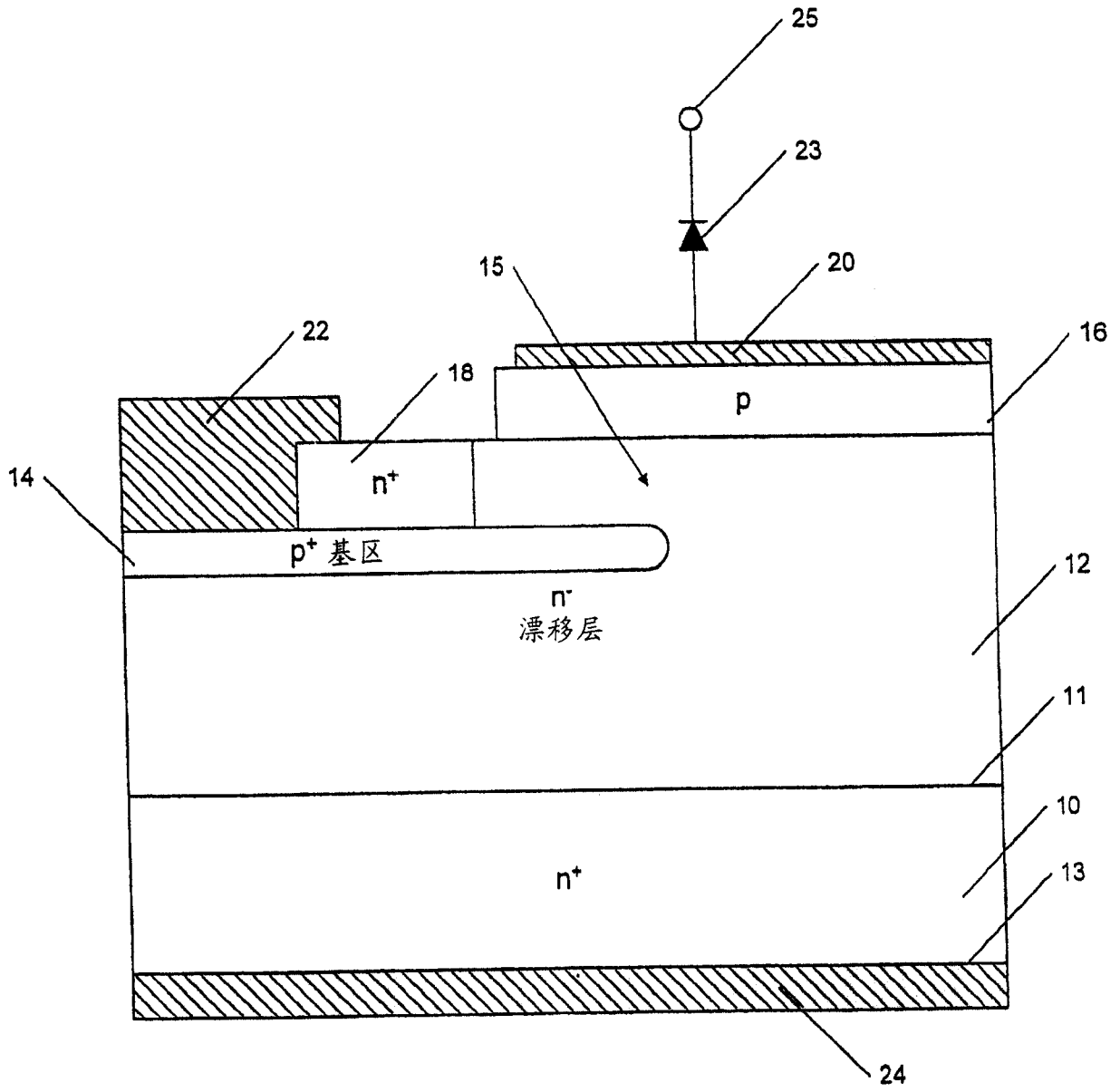


图 1



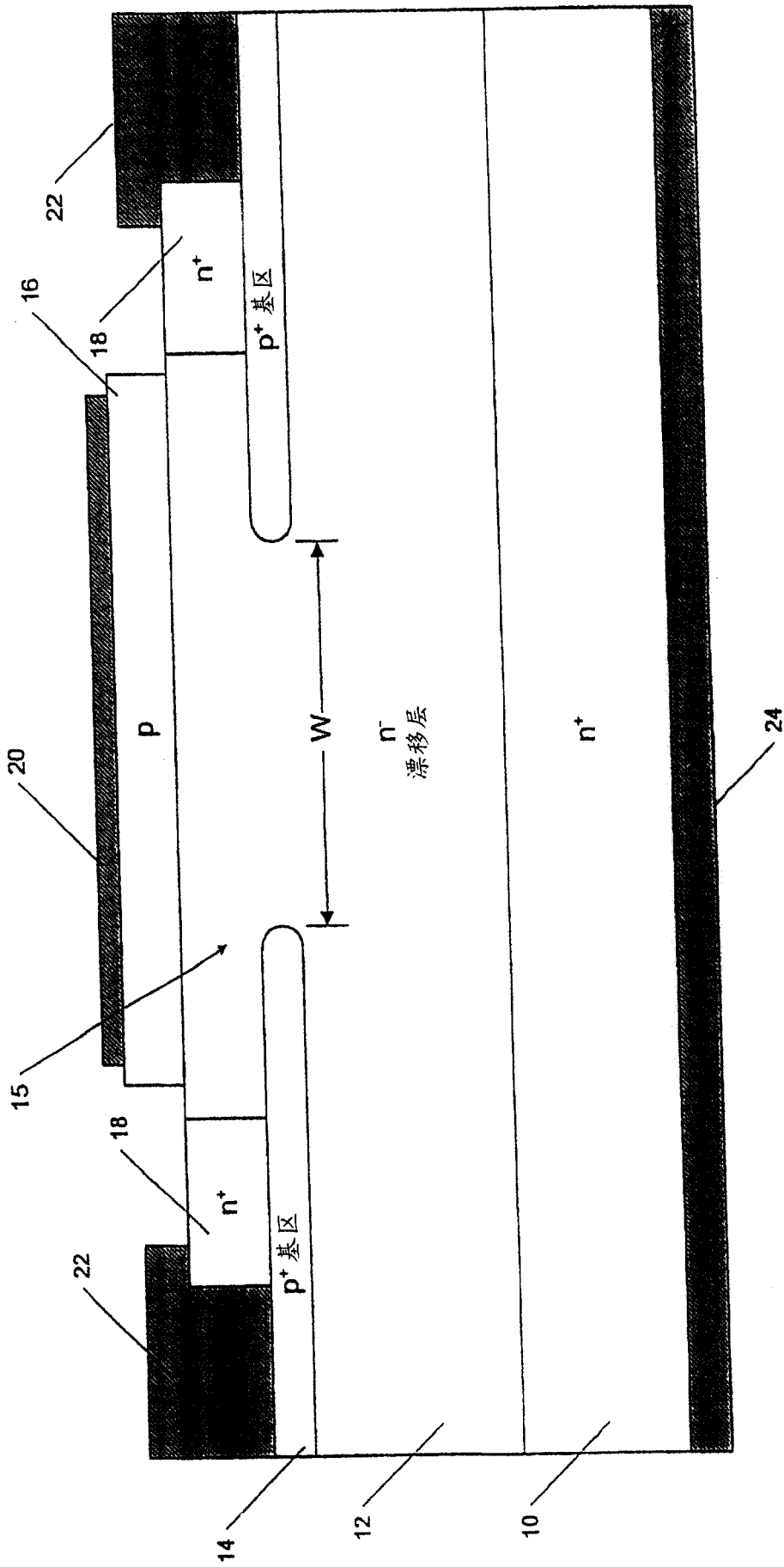


图 2

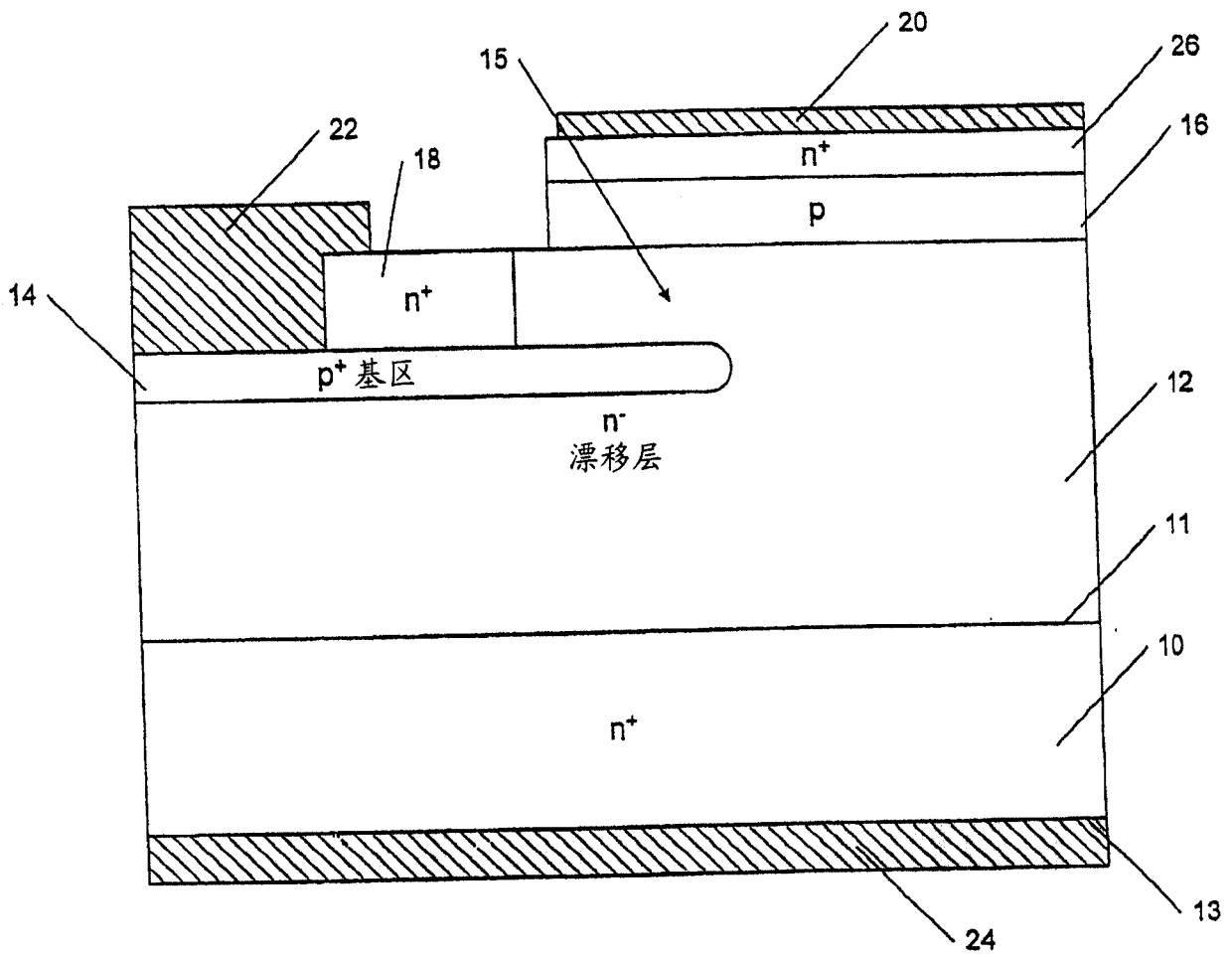


图 3

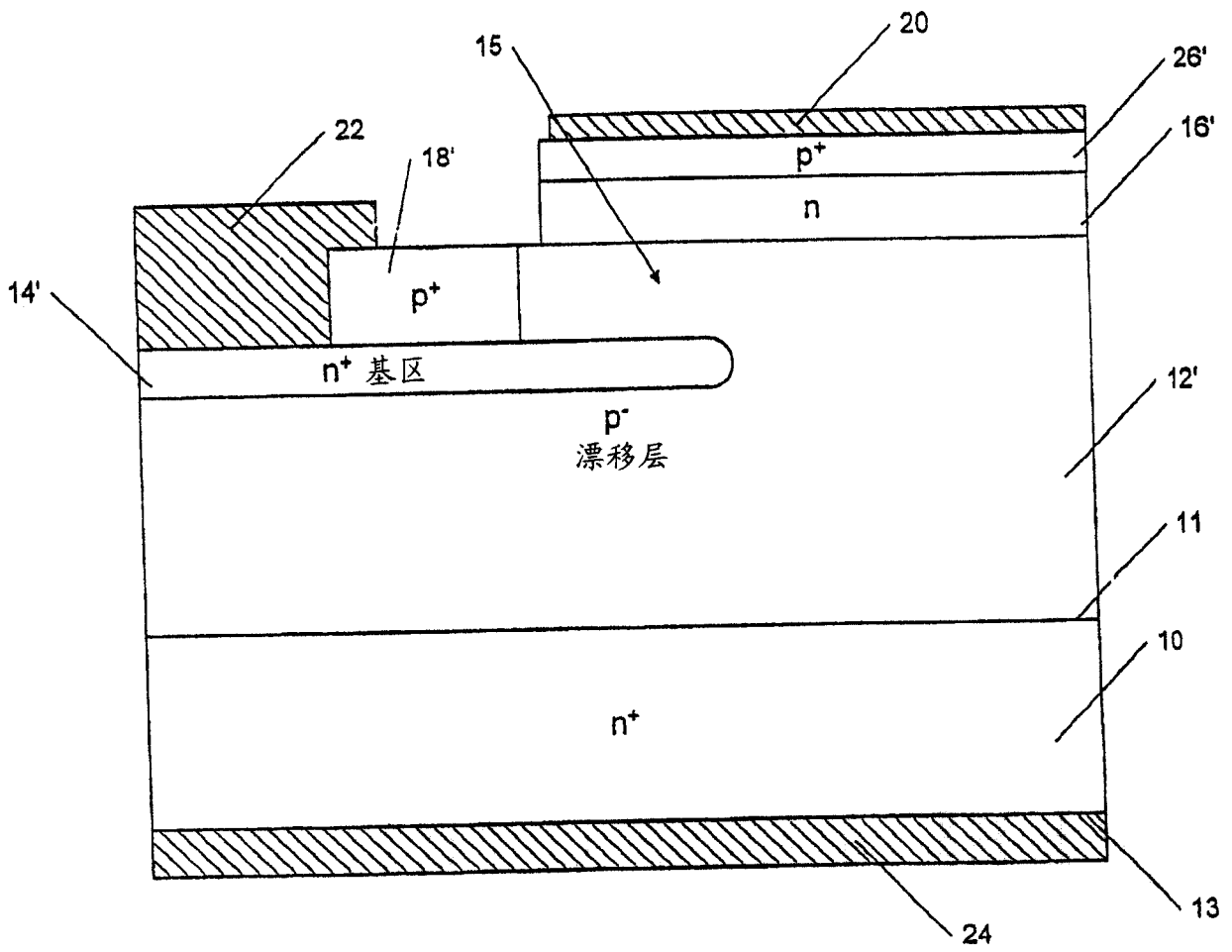


图 4

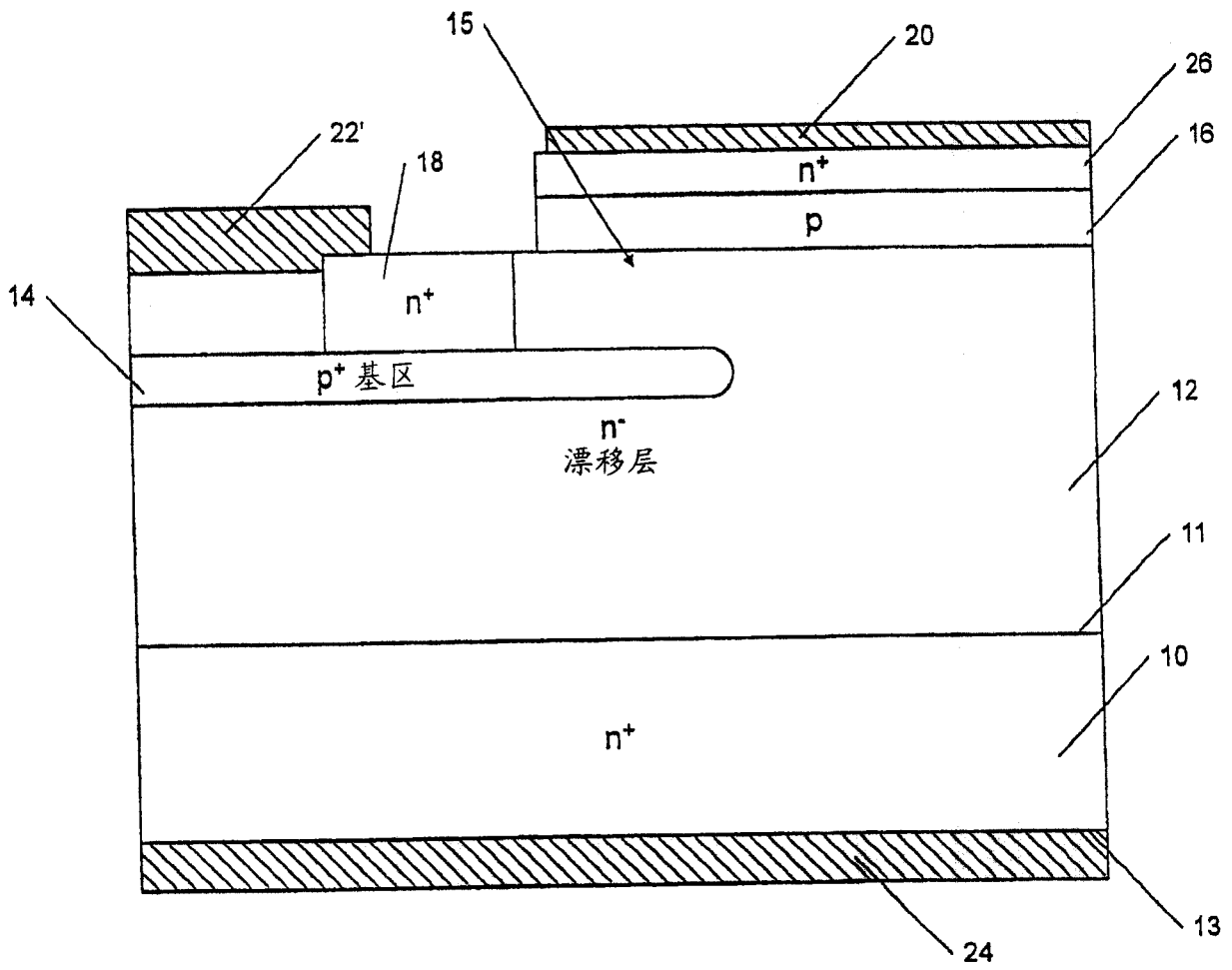


图 5