



(12) 发明专利申请

(10) 申请公布号 CN 119384054 A

(43) 申请公布日 2025. 01. 28

(21) 申请号 202411366097.8

(22) 申请日 2022.05.19

(30) 优先权数据

10-2021-0103290 2021.08.05 KR

(62) 分案原申请数据

202210556606.8 2022.05.19

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 朴海龙 崔性洙

(74) 专利代理机构 北京市立方律师事务所

11330

专利代理师 谢玉斌 王占杰

(51) Int. Cl.

H10F 39/12 (2025.01)

H10F 39/18 (2025.01)

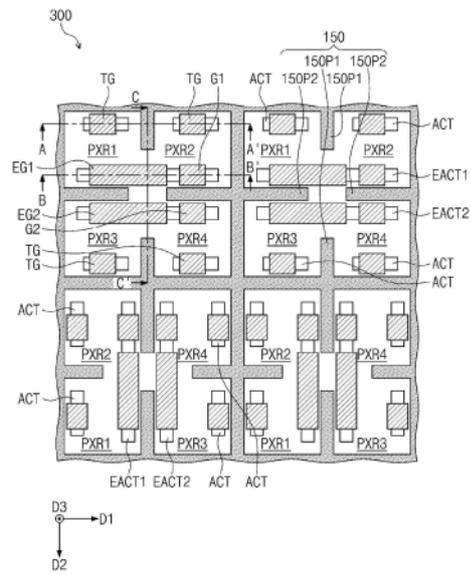
权利要求书3页 说明书17页 附图31页

(54) 发明名称

图像传感器

(57) 摘要

一种图像传感器包括具有多个像素区域的衬底和设置在像素区域之间的衬底中的深器件隔离图案。所述多个像素区域包括在第一方向和第二方向上彼此相邻的第一像素区域、第二像素区域、第三像素区域和第四像素区域。深器件隔离图案包括介于第一像素区域和第二像素区域之间以及第三像素区域和第四像素区域之间并且在第二方向上彼此间隔开的第一部分,以及介于第一像素区域和第三像素区域之间以及第二像素区域和第四像素区域之间并且在第一方向上彼此间隔开的第二部分。第一像素区域包括第一延伸有源图案,第一延伸有源图案在第一方向上延伸到第二像素区域并且设置在深器件隔离图案的第一部分之间。



1. 一种图像传感器,所述图像传感器包括:

衬底,所述衬底包括第一表面、与所述第一表面相对的第二表面、位于第一像素区域中的第一光电转换区域和位于第二像素区域中的第二光电转换区域;

第一微透镜,所述第一微透镜设置在所述第一光电转换区域上;

第二微透镜,所述第二微透镜设置在所述第二光电转换区域上;

第一转移晶体管,所述第一转移晶体管设置在所述第一像素区域中;

第二转移晶体管,所述第二转移晶体管设置在所述第二像素区域中;

深器件隔离图案,所述深器件隔离图案位于所述第一光电转换区域与所述第二光电转换区域之间;

第一晶体管,所述第一晶体管由所述第一光电转换区域和所述第二光电转换区域共享,所述第一晶体管包括:在第一方向上与所述第一像素区域垂直交叠的第一部分和在所述第一方向上与所述第二光电转换区域垂直交叠的第二部分;

第一浮置扩散区域,所述第一浮置扩散区域位于所述衬底中的所述第一像素区域中,所述第一浮置扩散区域被配置为存储在所述第一光电转换区域中产生的电荷;以及

第二浮置扩散区域,所述第二浮置扩散区域位于所述衬底中的所述第二像素区域中,所述第二浮置扩散区域被配置为存储在所述第二光电转换区域中产生的电荷,

其中,所述第一浮置扩散区域与所述第二浮置扩散区域间隔开,

其中,所述第一方向垂直于所述第一表面,

其中,所述深器件隔离图案与所述第一表面和所述第二表面接触,并且

其中,所述图像传感器被配置为通过所述第二表面接收光。

2. 根据权利要求1所述的图像传感器,其中,所述第一晶体管是驱动晶体管。

3. 根据权利要求2所述的图像传感器,其中,所述驱动晶体管在俯视图中在与所述第一方向垂直的第二方向上具有第一宽度,并且在所述俯视图中在与所述第二方向垂直的第三方向上具有第二宽度,并且

其中,所述第二宽度大于所述第一宽度。

4. 根据权利要求3所述的图像传感器,其中,所述深器件隔离图案包括:

第一图案,所述第一图案与所述第一表面接触并且与所述第二表面间隔开;以及

第二图案,所述第二图案与所述第二表面接触并且与所述第一表面间隔开,

其中,所述第一图案在所述第一方向上与所述第二图案垂直交叠。

5. 根据权利要求4所述的图像传感器,其中,所述深器件隔离图案还包括:

沟槽,

其中,所述第二图案设置在所述沟槽中。

6. 根据权利要求5所述的图像传感器,其中,所述深器件隔离图案还包括:

第三图案,所述第三图案在所述沟槽中并且位于所述沟槽的侧壁与所述第二图案之间。

7. 根据权利要求6所述的图像传感器,其中,所述深器件隔离图案还包括:

第四图案,所述第四图案在所述沟槽中并且位于所述第三图案与所述第二图案之间。

8. 根据权利要求7所述的图像传感器,其中,所述第一图案和所述第三图案是绝缘图案。

9. 根据权利要求8所述的图像传感器,其中,所述第一图案在所述第一方向上具有第一高度,并且所述第二图案在所述第二方向上具有第二高度,并且

其中,所述第二高度大于所述第一高度。

10. 根据权利要求9所述的图像传感器,其中,所述第一图案在所述俯视图中沿所述第三方向在所述第一表面上具有第三宽度,并且所述第二图案在所述俯视图中沿所述第三方向在所述第二表面上具有第四宽度,并且

其中,所述第三宽度大于所述第四宽度。

11. 根据权利要求10所述的图像传感器,所述图像传感器还包括:

选择晶体管,所述选择晶体管设置在所述第二像素区域中,

其中,所述第一光电转换区域和所述第二光电转换区域在所述俯视图中沿所述第三方向布置,并且

其中,所述驱动晶体管和所述选择晶体管沿所述第三方向布置。

12. 根据权利要求11所述的图像传感器,其中,所述选择晶体管在所述第三方向上具有第一长度,

其中,所述驱动晶体管在所述第三方向具有第二长度,并且

其中,所述第二长度大于所述第一长度。

13. 一种图像传感器,所述图像传感器包括:

衬底,所述衬底包括第一表面、与所述第一表面相对的第二表面、位于第一像素区域中的第一光电转换区域和位于第二像素区域中的第二光电转换区域;

第一微透镜,所述第一微透镜设置在所述第一光电转换区域上;

第二微透镜,所述第二微透镜设置在所述第二光电转换区域上;

第一转移晶体管,所述第一转移晶体管设置在所述第一像素区域中;

第二转移晶体管,所述第二转移晶体管设置在所述第二像素区域中;

深器件隔离图案,所述深器件隔离图案位于所述第一光电转换区域与所述第二光电转换区域之间,所述深器件隔离图案包括与所述第一表面接触的第一图案和与所述第二表面接触的第二图案;

选择晶体管,所述选择晶体管设置在所述第二像素区域中,

第一晶体管,所述第一晶体管由所述第一光电转换区域和所述第二光电转换区域共享,所述第一晶体管包括:在第一方向上与所述第一像素区域垂直交叠的第一部分和在所述第一方向上与所述第二光电转换区域垂直交叠的第二部分;

其中,所述第一方向垂直于所述第一表面,

其中,所述选择晶体管在平行于所述第一表面的第二方向上具有第一长度,

其中,所述第一晶体管在所述第二方向上具有第二长度,

其中,所述第二长度大于所述第一长度,

其中,所述第一图案与所述第二图案接触,

其中,所述第一图案在所述第一方向上与所述第二图案垂直交叠,并且

其中,所述图像传感器被配置为通过所述第二表面接收光。

14. 根据权利要求13所述的图像传感器,其中,所述第一图案包括第一材料,并且所述第二图案包括不同于所述第一材料的第二材料。

15. 根据权利要求14所述的图像传感器,其中,所述第一晶体管是驱动晶体管。

16. 根据权利要求15所述的图像传感器,其中,所述深器件隔离图案还包括:

沟槽,所述沟槽与所述第二表面接触;

第三图案,所述第三图案在所述沟槽中并且位于所述沟槽的侧壁与所述第二图案之间;以及

第四图案,所述第四图案在所述沟槽中并且位于所述第三图案与所述第二图案之间,其中,所述第一图案和所述第三图案是绝缘图案。

17. 根据权利要求16所述的图像传感器,其中,所述第一转移晶体管和所述第二转移晶体管中的每一者包括:

第三部分,所述第三部分延伸到所述衬底中;以及

第四部分,所述第四部分位于所述第一表面上。

18. 一种图像传感器,所述图像传感器包括:

衬底,所述衬底包括第一表面、与所述第一表面相对的第二表面、位于第一像素区域中的第一光电转换区域、位于在俯视图中在第一方向上与所述第一像素区域紧邻设置的第二像素区域中的第二光电转换区域以及位于在俯视图中在第二方向上与所述第一像素区域紧邻设置的第三像素区域中的第三光电转换区域;

第一转移晶体管,所述第一转移晶体管设置在所述第一像素区域中;

第二转移晶体管,所述第二转移晶体管设置在所述第二像素区域中;

第三转移晶体管,所述第三转移晶体管设置在所述第三像素区域中;

深器件隔离图案,所述深器件隔离图案位于所述第一光电转换区域与所述第二光电转换区域之间以及所述第一光电转换区域与所述第三光电转换区域之间,所述深器件隔离图案包括与所述第一表面接触的第一图案和与所述第二表面接触的第二图案;

选择晶体管,所述选择晶体管设置在所述第二像素区域中;以及

驱动晶体管,所述驱动晶体管由所述第一光电转换区域和所述第三光电转换区域共享,所述驱动晶体管包括:在与所述第一方向垂直的第三方向上与所述第一像素区域垂直交叠的第一部分和在所述第三方向上与所述第二光电转换区域垂直交叠的第二部分,

其中,所述第二方向垂直于所述第一方向,

其中,所述选择晶体管在所述第一方向上具有第一长度,

其中,所述驱动晶体管在所述第一方向上具有第二长度,

其中,所述第二长度大于所述第一长度,

其中,所述第一图案与所述第二图案接触,

其中,所述第一图案在所述第三方向上与所述第二图案垂直交叠,并且

其中,所述图像传感器被配置为通过所述第二表面接收光。

19. 根据权利要求18所述的图像传感器,其中,所述深器件隔离图案还包括:

沟槽,所述沟槽与所述第二表面接触;

第三图案,所述第三图案在所述沟槽中并且位于所述沟槽的侧壁与所述第二图案之间;以及

第四图案,所述第四图案在所述沟槽中并且位于所述第三图案与所述第二图案之间,其中,所述第一图案和所述第三图案是绝缘图案。

## 图像传感器

[0001] 本申请是申请日为2022年5月19日、申请号为202210556606.8、题为“图像传感器”的专利申请的分案申请。

### 技术领域

[0002] 本公开涉及图像传感器,并且具体地涉及互补金属氧化物半导体(CMOS)图像传感器。

### 背景技术

[0003] 图像传感器可以是将光学图像转换为电信号的半导体器件。随着计算机和通信行业的最新发展,在诸如数字相机、摄像机、个人通信系统、游戏机、安全相机、用于医疗应用的微型相机、机器人等的各种应用中对高性能图像传感器的需求不断增加。这样的图像传感器可以被分类为至少包括电荷耦合器件(CCD)类型和互补金属氧化物半导体(CMOS)类型的各种类型。通常,CMOS类型的图像传感器(CIS)装置可以包括多个二维布置的像素。每个像素可以包括将入射光转换为电信号的光电二极管(PD)。像素可以由设置在它们之间的深隔离图案限定。

### 发明内容

[0004] 本公开的实施例提供了一种被配置为将像素之间的串扰最小化并且增加栅电极的尺寸的图像传感器及其制造方法。

[0005] 本公开的实施例提供了一种具有可以增加的集成密度的图像传感器及其制造方法。

[0006] 根据本公开的实施例,图像传感器可以包括:衬底,所述衬底包括多个像素区域;以及深器件隔离图案,所述深器件隔离图案设置在所述像素区域之间的所述衬底中。所述多个像素区域可以包括:第一像素区域和第二像素区域,所述第一像素区域和所述第二像素区域在与所述衬底的第一表面平行的第一方向上彼此相邻;第三像素区域,所述第三像素区域在第二方向上与所述第一像素区域相邻,所述第二方向与所述衬底的所述第一表面平行并且与所述第一方向交叉;以及第四像素区域,所述第四像素区域在所述第二方向上与所述第二像素区域相邻并且在所述第一方向上与所述第三像素区域相邻。所述深器件隔离图案可以包括:第一部分,所述第一部分介于所述第一像素区域和所述第二像素区域之间以及所述第三像素区域和所述第四像素区域之间,并且在所述第二方向上彼此间隔开;以及第二部分,所述第二部分介于所述第一像素区域和所述第三像素区域之间以及所述第二像素区域和所述第四像素区域之间,并且在所述第一方向上彼此间隔开。所述第一像素区域可以包括第一延伸有源图案。所述第一延伸有源图案可以在所述第一方向上延伸到所述第二像素区域,并且可以设置在所述深器件隔离图案的所述第一部分之间。

[0007] 根据本公开的实施例,图像传感器可以包括:衬底,所述衬底具有彼此相对设置的第一表面和第二表面;以及深器件隔离图案,所述深器件隔离图案穿透所述衬底。所述深器

件隔离图案可以具有在所述衬底的所述第一表面附近暴露于所述衬底的外部的顶表面和在所述衬底的所述第二表面附近暴露于所述衬底的外部的底表面。所述衬底可以包括：第一像素区域和第二像素区域，所述第一像素区域和所述第二像素区域在与所述第一表面平行的第一方向上彼此相邻；第三像素区域，所述第三像素区域在与所述第一表面平行并与所述第一方向交叉的第二方向上与所述第一像素区域相邻；以及第四像素区域，所述第四像素区域在所述第二方向上与所述第二像素区域相邻并且在所述第一方向上与所述第三像素区域相邻。所述深器件隔离图案可以包括：第一部分，所述第一部分介于所述第一像素区域和所述第二像素区域之间以及所述第三像素区域和所述第四像素区域之间，并且在所述第二方向上彼此间隔开；以及第二部分，所述第二部分介于所述第一像素区域和所述第三像素区域之间以及所述第二像素区域和所述第四像素区域之间，并且在所述第一方向上彼此间隔开。

### 附图说明

- [0008] 图1是示意性地示出了根据本公开的实施例的图像传感器的框图。
- [0009] 图2是示出了根据本公开的实施例的图像传感器的有源像素传感器阵列的电路图。
- [0010] 图3是示出了根据本公开的实施例的图像传感器的俯视图。
- [0011] 图4A、图4B和图4C是分别沿着图3的线A-A'、线B-B'和线C-C'截取的截面图。
- [0012] 图5A、图6A和图7A是沿着图3的线A-A'截取的截面图，以示出根据本公开的实施例的制造图像传感器的方法。
- [0013] 图5B、图6B和图7B是沿着图3的线B-B'截取的截面图，以示出根据本公开的实施例的制造图像传感器的方法。
- [0014] 图5C、图6C和图7C是沿着图3的线C-C'截取的截面图，以示出根据本公开的实施例的制造图像传感器的方法。
- [0015] 图8是示出了根据本公开的实施例的图像传感器的俯视图。
- [0016] 图9A、图9B和图9C是分别沿着图8的线A-A'、线B-B'和线C-C'截取的截面图。
- [0017] 图10是沿着图3的线B-B'截取的截面图，以示出根据本公开的实施例的图像传感器。
- [0018] 图11至图16是示出了根据本公开的实施例的图像传感器的俯视图。
- [0019] 图17A、图17B和图17C是分别沿着图3的线A-A'、线B-B'和线C-C'截取的截面图，以示出根据本公开的实施例的图像传感器。
- [0020] 图18是示出了根据本公开的实施例的图像传感器的俯视图。
- [0021] 图19是沿着图18的线I-I'截取的截面图。

### 具体实施方式

- [0022] 现在将参考附图更全面地描述本公开的示例性实施例，在附图中，同样的附图标记可以用于指示同样的特征，但不限于此。
- [0023] 图1示出了根据本公开的实施例的图像传感器。
- [0024] 参考图1，图像传感器101可以包括有源像素传感器阵列1、行译码器2、行驱动器3、

列译码器4、定时发生器5、相关双采样器(CDS)6、模数转换器(ADC)7和输入/输出(I/O)缓冲器8。

[0025] 有源像素传感器阵列1可以包括二维地布置并且用于将光信号转换为电信号的多个像素。有源像素传感器阵列1可以由从行驱动器3提供的多个驱动信号(例如,像素选择信号、复位信号和电荷转移信号)驱动。另外,由有源像素传感器阵列1转换的电信号可以提供给CDS 6。

[0026] 行驱动器3可以基于由行译码器2译码的结果向有源像素传感器阵列1提供用于驱动像素的多个驱动信号。在像素以矩阵形状布置的情况下,可以将驱动信号施加到各个行的像素。

[0027] 定时发生器5可以被配置为将定时信号和控制信号提供到行译码器2和列译码器4。

[0028] CDS 6可以被配置为接收由有源像素传感器阵列1生成的电信号,并且对所接收的电信号执行保持和采样操作。另外,CDS 6可以被配置为使用电信号的特定噪声电平和信号电平来执行双采样操作,然后输出与噪声电平和信号电平之间的差对应的差值电平。

[0029] ADC 7可以被配置为将包含关于从CDS 6输出的差值电平的信息的模拟信号转换为数字信号并且输出转换后的数字信号。

[0030] I/O缓冲器8可以被配置为锁存数字信号,然后基于由列译码器4译码的结果将锁存的数字信号顺序地输出到图像信号处理单元(未显示)。

[0031] 图2示出了根据本公开的实施例的图像传感器的有源像素传感器阵列。

[0032] 参考图1和图2,有源像素传感器阵列1可以包括具有以矩阵形状布置的多个像素PX的部分200。每个像素PX可以包括转移晶体管TX以及逻辑晶体管RX、SX和DX。逻辑晶体管可以包括复位晶体管RX、选择晶体管SX和驱动晶体管DX。转移晶体管TX、复位晶体管RX和选择晶体管SX可以分别包括转移栅极TG、复位栅极RG和选择栅极SG。每个像素PX还可以包括光电转换器件PD和浮置扩散区域FD。

[0033] 光电转换器件PD可以被配置为生成并保持其量与从外部入射的光的量成比例的光电荷。光电转换器件PD可以是包括p型杂质区域和n型杂质区域的光电二极管。转移晶体管TX可以被配置为将在光电转换器件PD中产生的电荷转移到浮置扩散区域FD。浮置扩散区域FD可以被配置为接收在光电转换器件PD中生成的电荷,并且将电荷累积地存储在其中。驱动晶体管DX可以由存储在浮置扩散区域FD中的光电荷的量控制。

[0034] 复位晶体管RX可以被配置为定期地释放存储在浮置扩散区域FD中的电荷。复位晶体管RX的漏电极可以连接到浮置扩散区域FD,并且复位晶体管RX的源电极可以连接到电源电压 $V_{DD}$ 。如果复位晶体管RX导通,则连接到复位晶体管RX的源电极的电源电压 $V_{DD}$ 可以施加到浮置扩散区域FD。因此,复位晶体管RX可以导通,并且在这种情况下,存储在浮置扩散区域FD中的电荷可以放电;即,浮置扩散区域FD可以复位。

[0035] 驱动晶体管DX可以用作源极跟随器缓冲放大器。驱动晶体管DX可以被配置为放大浮置扩散区域FD的电位的变化,并且将放大后的信号输出到输出线 $V_{OUT}$ 。

[0036] 选择晶体管SX可以用于选择将在读取操作期间读出的一行像素P。如果选择晶体管SX导通,则电源电压 $V_{DD}$ 可以施加到驱动晶体管DX的漏电极。

[0037] 图2示出了包括一个光电转换器件PD以及四个晶体管TX、RX、DX和SX的单位像素

PX,但是本公开不限于图像传感器的这种结构。例如,复位晶体管RX、驱动晶体管DX或选择晶体管SX可以由相邻的像素PX共享。在这种情况下,可以增加图像传感器的集成密度。

[0038] 图3示出了根据本公开的实施例的图像传感器。图4A、图4B和图4C显示出分别沿着图3的线A-A'、线B-B'和线C-C'截取的截面图。

[0039] 参考图3和图4A至图4C,例如在截面400A、400B和400C中,图像传感器300可以包括光电转换层10、互连层20和光学透明层30。光电转换层10可以设置在互连层20和光学透明层30之间。

[0040] 光电转换层10可以包括衬底100,并且衬底100可以包括多个像素区域PXR1、PXR2、PXR3和PXR4。衬底100可以是半导体衬底(例如,硅晶片、锗晶片、硅锗晶片、II-VI化合物半导体晶片或III-V化合物半导体晶片)或绝缘体上硅(SOI)晶片。衬底100可以具有彼此相对设置的第一表面100a和第二表面100b。像素区域PXR1、PXR2、PXR3和PXR4可以在与衬底100的第一表面100a平行的第一方向D1和第二方向D2上二维地布置。第一方向D1和第二方向D2可以彼此交叉或彼此不平行。

[0041] 光电转换层10还可以包括设置为穿透衬底100并且设置在像素区域PXR1、PXR2、PXR3和PXR4之间的深器件隔离图案150。深器件隔离图案150可以设置为在与衬底100的第一表面100a垂直的第三方向D3上穿透衬底100。深器件隔离图案150可以从衬底100的第一表面100a朝向衬底100的第二表面100b延伸。深器件隔离图案150的顶表面150U可以在第一表面100a附近暴露于衬底100的外部,并且深器件隔离图案150的底表面150B可以在第二表面100b附近暴露于衬底100的外部。换言之,衬底100的第一表面100a可以暴露深器件隔离图案150的顶表面150U,并且衬底100的第二表面100b可以暴露深器件隔离图案150的底表面150B。深器件隔离图案150的顶表面150U可以与衬底100的第一表面100a基本上共面,并且深器件隔离图案150的底表面150B可以与衬底100的第二表面100b基本上共面。深器件隔离图案150可以防止在像素区域PXR1、PXR2、PXR3和PXR4中的相邻的像素区域之间发生串扰。

[0042] 深器件隔离图案150可以包括穿透衬底100的至少一部分的半导体图案152和154、位于半导体图案152和154上的间隙填充绝缘图案158以及介于半导体图案152和154与衬底100之间的侧壁绝缘图案156。侧壁绝缘图案156可以从半导体图案152和154的侧表面延伸到间隙填充绝缘图案158的侧表面。半导体图案152和154可以包括第一半导体图案152和第二半导体图案154,第一半导体图案152设置为穿透衬底100的至少一部分,第二半导体图案154介于第一半导体图案152和侧壁绝缘图案156之间。第一半导体图案152可以覆盖第二半导体图案154的最顶表面,并且可以与侧壁绝缘图案156接触。间隙填充绝缘图案158可以设置在第一半导体图案152上。第一半导体图案152可以延伸到间隙填充绝缘图案158和第二半导体图案154之间的区域中,并且可以与侧壁绝缘图案156接触。

[0043] 第一半导体图案152和第二半导体图案154均可以由掺杂半导体材料形成,或包括掺杂半导体材料。在实施例中,第一半导体图案152和第二半导体图案154均可以由p型或n型的半导体材料形成,或包括p型或n型的半导体材料。作为示例,第一半导体图案152和第二半导体图案154均可以由硼掺杂的多晶硅形成,或包括硼掺杂的多晶硅。侧壁绝缘图案156和间隙填充绝缘图案158均可以由例如氧化硅、氮化硅和/或氮氧化硅中的至少一种形成,或包括例如氧化硅、氮化硅和/或氮氧化硅中的至少一种。

[0044] 像素区域PXR1、PXR2、PXR3和PXR4可以包括在第一方向D1和第二方向D2上彼此相邻的第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4。作为示例,第一像素区域PXR1可以在第一方向D1上与第二像素区域PXR2相邻,并且第三像素区域PXR3可以在第二方向D2上与第一像素区域PXR1相邻。第四像素区域PXR4可以在第二方向D2上与第二像素区域PXR2相邻,并且可以在第一方向D1上与第三像素区域PXR3相邻。然而,本公开不限于第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4的前述布置。例如,第一像素区域PXR1可以在第二方向D2上与第二像素区域PXR2相邻,并且第三像素区域PXR3可以在第一方向D1上与第一像素区域PXR1相邻。第四像素区域PXR4可以在第一方向D1上与第二像素区域PXR2相邻,并且可以在第二方向D2上与第三像素区域PXR3相邻。为了简洁起见,下面的描述将参考第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4被布置成使得第一像素区域PXR1和第二像素区域PXR2在第一方向D1上彼此相邻的示例。

[0045] 当在俯视图中观察时,深器件隔离图案150可以设置为包围第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4。深器件隔离图案150可以包括第一部分150P1和第二部分150P2,第一部分150P1分别延伸到第一像素区域PXR1和第二像素区域PXR2之间的区域以及第三像素区域PXR3和第四像素区域PXR4之间的区域中,第二部分150P2分别延伸到第一像素区域PXR1和第三像素区域PXR3之间的区域以及第二像素区域PXR2和第四像素区域PXR4之间的区域中。第一部分150P1可以分别介于第一像素区域PXR1和第二像素区域PXR2之间以及第三像素区域PXR3和第四像素区域PXR4之间,并且可以在第二方向D2上彼此间隔开。每个第一部分150P1可以具有在第二方向D2上延伸的条形状。第二部分150P2可以分别介于第一像素区域PXR1和第三像素区域PXR3之间以及第二像素区域PXR2和第四像素区域PXR4之间,并且可以在第一方向D1上彼此间隔开。每个第二部分150P2可以具有在第一方向D1上延伸的条形状。

[0046] 第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4可以通过深器件隔离图案150的第一部分150P1和第二部分150P2彼此部分地分开。在实施例中,第一像素区域PXR1和第二像素区域PXR2可以通过深器件隔离图案150的一个第一部分150P1彼此部分地分开,并且第三像素区域PXR3和第四像素区域PXR4可以通过深器件隔离图案150的另一个第一部分150P1彼此部分地分开。第一像素区域PXR1和第三像素区域PXR3可以通过深器件隔离图案150的一个第二部分150P2彼此部分地分开,并且第二像素区域PXR2和第四像素区域PXR4可以通过深器件隔离图案150的另一个第二部分150P2彼此部分地分开。因为第一部分150P1在第二方向D2上彼此间隔开并且第二部分150P2在第一方向D1上彼此间隔开,所以衬底100的第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4可以彼此部分地连接。

[0047] 像素区域PXR1、PXR2、PXR3和PXR4均可以包括光电转换区域110。衬底100可以具有第一导电型,并且光电转换区域110可以是具有不同于第一导电型的第二导电型的杂质区域。在实施例中,第一导电型和第二导电型可以分别是p型和n型。在这种情况下,第二导电型的杂质可以包含n型杂质(例如,磷、砷、铋和/或锑)。光电转换区域110和衬底100可以形成用作光电二极管的pn结。在实施例中,深器件隔离图案150的半导体图案152或154可以由掺杂半导体材料形成或包括掺杂半导体材料,该掺杂半导体材料包含第一导电型(例如,p

型)的杂质。

[0048] 浅器件隔离图案105可以设置为与衬底100的第一表面100a相邻。像素区域PXR1、PXR2、PXR3和PXR4均可以包括由浅器件隔离图案105限定的有源图案ACT、EACT1和EACT2。浅器件隔离图案105可以由例如氧化硅、氮化硅和氮氧化硅中的至少一种形成,或包括例如氧化硅、氮化硅和氮氧化硅中的至少一种。

[0049] 第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4均可以包括由浅器件隔离图案105限定的有源图案ACT。第一像素区域PXR1和第二像素区域PXR2还可以包括由浅器件隔离图案105限定的第一延伸有源图案EACT1。第一延伸有源图案EACT1可以在第一方向D1上从第一像素区域PXR1延伸到第二像素区域PXR2。第三像素区域PXR3和第四像素区域PXR4还可以包括由浅器件隔离图案105限定的第二延伸有源图案EACT2。第二延伸有源图案EACT2可以在第一方向D1上从第三像素区域PXR3延伸到第四像素区域PXR4。

[0050] 第一延伸有源图案EACT1和第二延伸有源图案EACT2可以设置在深器件隔离图案150的第一部分150P1之间。深器件隔离图案150的第二部分150P2可以设置在第一延伸有源图案EACT1和第二延伸有源图案EACT2之间。浅器件隔离图案105可以介于深器件隔离图案150的第一部分150P1之间、第一延伸有源图案EACT1和第二延伸有源图案EACT2之间以及深器件隔离图案150的第二部分150P2之间。

[0051] 深器件隔离图案150可以设置为穿透浅器件隔离图案105并且可以延伸到衬底100中。深器件隔离图案150的间隙填充绝缘图案158可以设置在浅器件隔离图案105中。间隙填充绝缘图案158可以设置为穿透浅器件隔离图案105并且与半导体图案152或154接触。深器件隔离图案150的侧壁绝缘图案156可以延伸到浅器件隔离图案105和间隙填充绝缘图案158之间的区域中。

[0052] 转移栅电极TG和浮置扩散区域FD可以设置在衬底100的第一表面100a上以及像素区域PXR1、PXR2、PXR3和PXR4中的每一者上。作为示例,转移栅电极TG和浮置扩散区域FD可以设置在第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4中的每一者的有源图案ACT上。转移栅电极TG和浮置扩散区域FD可以构成图2的转移晶体管TX。转移栅电极TG的下部可以设置为穿透有源图案ACT并且可以延伸到衬底100中。转移栅电极TG的上部可以在有源图案ACT的顶表面(即,衬底100的第一表面100a)上方突出。浮置扩散区域FD可以设置在有源图案ACT的位于转移栅电极TG一侧的部分中。浮置扩散区域FD可以是具有与衬底100的第一导电型不同的第二导电型(例如,n型)的掺杂区域。

[0053] 多个栅电极EG1、G1、EG2和G2可以设置在衬底100的第一表面100a上以及第一延伸有源图案EACT1和第二延伸有源图案EACT2上。栅电极EG1、G1、EG2和G2可以包括设置在第一延伸有源图案EACT1上的第一栅电极G1和第一延伸栅电极EG1以及设置在第二延伸有源图案EACT2上的第二栅电极G2和第二延伸栅电极EG2。第一栅电极G1和第一延伸栅电极EG1可以在第一延伸有源图案EACT1上彼此间隔开。第一延伸栅电极EG1可以设置在第一像素区域PXR1上,并且可以延伸到第二像素区域PXR2。即,第一延伸栅电极EG1的一部分可以与第一像素区域PXR1垂直地(例如,在第三方向D3上)交叠,并且第一延伸栅电极EG1的另一部分可以与第二像素区域PXR2垂直地(例如,在第三方向D3上)交叠。第二栅电极G2和第二延伸栅电极EG2可以在第二延伸有源图案EACT2上彼此间隔开。第二延伸栅电极EG2可以设置在第

三像素区域PXR3上,并且可以延伸到第四像素区域PXR4。即,第二延伸栅电极EG2的一部分可以与第三像素区域PXR3垂直地(例如,在第三方向D3)交叠,并且第二延伸栅电极EG2的另一部分可以与第四像素区域PXR4垂直地(例如,在第三方向D3)交叠。

[0054] 源极/漏极区SD可以设置在第一延伸有源图案EACT1的位于第一栅电极G1和第一延伸栅电极EG1中的每一者的两侧的部分中,并且设置在第二延伸有源图案EACT2的位于第二栅电极G2和第二延伸栅电极EG2中的每一者的两侧的部分中。在实施例中,源极/漏极区SD可以是具有与衬底100的第一导电型不同的第二导电型(例如,n型)的掺杂区域。

[0055] 第一栅电极G1、第一延伸栅电极EG1、第二栅电极G2、第二延伸栅电极EG2和源极/漏极区SD可以构成图2的驱动晶体管DX、选择晶体管SX和复位晶体管RX。作为示例,第一栅电极G1、第一延伸栅电极EG1、第二栅电极G2和第二延伸栅电极EG2中的至少一者可以用作图2的驱动晶体管DX的驱动栅电极,并且第一栅电极G1、第一延伸栅电极EG1、第二栅电极G2和第二延伸栅电极EG2中的至少另一者可以用作图2的选择晶体管SX的选择栅电极。第一栅电极G1、第一延伸栅电极EG1、第二栅电极G2和第二延伸栅电极EG2中的至少又一者可以用作图2的复位晶体管RX的复位栅电极。

[0056] 栅极电介质层GI可以介于转移栅电极TG与衬底100(即,有源图案ACT)之间,介于第一栅电极G1和第一延伸栅电极EG1中的每一者与衬底100(即,第一延伸有源图案EACT1)之间,以及介于第二栅电极G2和第二延伸栅电极EG2中的每一者与衬底100(即,第二延伸有源图案EACT2)之间。

[0057] 互连层20可以设置在衬底100的第一表面100a上。互连层20可以包括顺序地堆叠在衬底100的第一表面100a上的第一层间绝缘层210和第二层间绝缘层240。第一层间绝缘层210可以设置在衬底100的第一表面100a上以覆盖栅电极TG、G1、EG1、G2和EG2。互连层20还可以包括连接到栅电极TG、G1、EG1、G2和EG2、浮置扩散区域FD和源极/漏极区SD的接触插塞220以及连接到接触插塞220的导电线230。接触插塞220可以设置为穿透第一层间绝缘层210,并且可以连接到栅电极TG、G1、EG1、G2和EG2、浮置扩散区域FD和源极/漏极区SD。导电线230可以设置在第二层间绝缘层240中。至少一些接触插塞220可以延伸到第二层间绝缘层240中,并且可以连接到导电线230。第一层间绝缘层210和第二层间绝缘层240可以由至少一种绝缘材料形成或包括至少一种绝缘材料,并且接触插塞220和导电线230可以由至少一种导电材料形成。

[0058] 光学透明层30可以设置在衬底100的第二表面100b上。光学透明层30可以包括设置在衬底100的第二表面100b上的滤色器阵列320和微透镜阵列330。滤色器阵列320可以设置在衬底100的第二表面100b和微透镜阵列330之间。光学透明层30可以被配置为对来自外部的入射光进行会聚和滤波,由此将光提供到光电转换层10中。

[0059] 滤色器阵列320可以包括分别设置在像素区域PXR1、PXR2、PXR3和PXR4上的多个滤色器320。在实施例中,第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4上的滤色器320可以被配置为实现相同的颜色。微透镜阵列330可以包括分别设置在滤色器320上的多个微透镜330。每个微透镜330可以设置为与相应的像素区域PXR1、PXR2、PXR3或PXR4的光电转换区域110垂直地(例如,在第三方向D3上)交叠。

[0060] 防反射层310可以介于衬底100的第二表面100b和滤色器阵列320之间。防反射层310可以被配置为防止通过第二表面100b入射到衬底100中的光被反射,因此,可以有效地

将光引导到光电转换区域110中。第一绝缘层312可以介于防反射层310和滤色器阵列320之间,并且第二绝缘层322可以介于滤色器阵列320和微透镜阵列330之间。网格(grid) 315可以介于第一绝缘层312和滤色器阵列320之间。网格315可以与深器件隔离图案150垂直地交叠。网格315可以将通过第二表面100b入射到衬底100中的光引导到光电转换区域110中。网格315可以由至少一种金属材料形成或包括至少一种金属材料。滤色器阵列320可以延伸到相邻的网格315之间的区域中,并且可以与第一绝缘层312接触。

[0061] 根据本公开的实施例,深器件隔离图案150的第一部分150P1可以分别介于第一像素区域PXR1和第二像素区域PXR2之间以及第三像素区域PXR3和第四像素区域PXR4之间,并且深器件隔离图案150的第二部分150P2可以分别介于第一像素区域PXR1和第三像素区域PXR3之间以及第二像素区域PXR2和第四像素区域PXR4之间。因此,可以使第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4之间的串扰最小化。

[0062] 另外,深器件隔离图案150的第一部分150P1可以在第二方向D2上彼此间隔开,并且第一延伸有源图案EACT1和第二延伸有源图案EACT2可以设置在第一部分150P1之间。第一延伸有源图案EACT1可以在第一方向D1上从第一像素区域PXR1延伸到第二像素区域PXR2,并且第二延伸有源图案EACT2可以在第一方向D1上从第三像素区域PXR3延伸到第四像素区域PXR4。因为第一延伸有源图案EACT1和第二延伸有源图案EACT2均延伸到彼此相邻的像素区域,所以可以增加设置在第一延伸有源图案EACT1和第二延伸有源图案EACT2中的每一者上的栅电极(例如,第一延伸栅电极EG1和第二延伸栅电极EG2)的尺寸。因此,可以防止当图像传感器的集成密度增加时发生的栅电极的尺寸减小以及随之发生的栅电极的特性劣化。

[0063] 因此,在根据本公开的实施例的图像传感器中,可以使相邻的像素之间的串扰最小化并且增加栅电极的尺寸,并且这可以增加图像传感器的集成密度。

[0064] 图5A、图6A和图7A显示出沿着图3的线A-A'截取的截面图,以示出根据本公开的实施例的制造图像传感器的方法。图5B、图6B和图7B显示出沿着图3的线B-B'截取的截面图,以示出根据本公开的实施例的制造图像传感器的方法。图5C、图6C和图7C显示出沿着图3的线C-C'截取的截面图,以示出根据本公开的实施例的制造图像传感器的方法。为了简洁起见,本文参考图1至图3和图4A至图4C描述的元件可以由相同或相似的附图标记标识,而不重复其重叠的描述。

[0065] 参考图3和图5A至图5C,例如在截面500A、500B和500C中,可以提供具有彼此相对设置的第一表面100a和第二表面100b的衬底100。衬底100可以具有第一导电型(例如,p型)。可以在衬底100的第一表面100a附近形成第一沟槽T1。第一沟槽T1的形成可以包括在衬底100的第一表面100a上形成第一掩模图案103以及使用第一掩模图案103作为蚀刻掩模来蚀刻衬底100。第一沟槽T1可以在衬底100中限定有源图案ACT、EACT1和EACT2。

[0066] 可以在衬底100的第一表面100a上形成器件隔离层105L。器件隔离层105L可以形成为覆盖第一掩模图案103并且覆盖第一沟槽T1。器件隔离层105L可以由例如氧化硅层、氮化硅层和/或氮氧化硅层中的至少一种形成,或包括例如氧化硅层、氮化硅层和/或氮氧化硅层中的至少一种。

[0067] 可以在衬底100中形成第二沟槽T2。第二沟槽T2的形成可以包括在器件隔离层105L上形成第二掩模图案(未显示)以限定其中将形成第二沟槽T2的区域以及使用第二掩

模图案作为蚀刻掩模来蚀刻器件隔离层105L和衬底100。第二沟槽T2可以在衬底100中限定多个像素区域PXR1、PXR2、PXR3和PXR4。像素区域PXR1、PXR2、PXR3和PXR4均可以包括由第一沟槽T1限定的有源图案ACT、EACT1和EACT2。

[0068] 像素区域PXR1、PXR2、PXR3和PXR4可以包括在第一方向D1和第二方向D2上彼此相邻的第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4。在实施例中,第一像素区域PXR1和第二像素区域PXR2可以在第一方向D1上彼此相邻,并且第三像素区域PXR3可以在第二方向D2上与第一像素区域PXR1相邻。第四像素区域PXR4可以在第二方向D2上与第二像素区域PXR2相邻,并且可以在第一方向D1上与第三像素区域PXR3相邻。第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4的布置可以不限于上述结构。

[0069] 当在俯视图中观察时,第二沟槽T2可以设置为包围第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4。第二沟槽T2可以在第一像素区域PXR1和第二像素区域PXR2之间以及第三像素区域PXR3和第四像素区域PXR4之间在第二方向D2上延伸,并且可以在第一像素区域PXR1和第三像素区域PXR3之间以及第二像素区域PXR2和第四像素区域PXR4之间在第一方向D1上延伸。第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4可以通过第二沟槽T2彼此部分地分开,并且衬底100的第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4可以彼此部分地连接。

[0070] 第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4均可以包括由第一沟槽T1限定的有源图案ACT。第一像素区域PXR1和第二像素区域PXR2还可以包括由第一沟槽T1限定的第一延伸有源图案EACT1。第一延伸有源图案EACT1可以在第一方向D1上从第一像素区域PXR1延伸到第二像素区域PXR2。第三像素区域PXR3和第四像素区域PXR4还可以包括由第一沟槽T1限定的第二延伸有源图案EACT2。第二延伸有源图案EACT2可以在第一方向D1上从第三像素区域PXR3延伸到第四像素区域PXR4。

[0071] 参考图3和图6A至图6C,例如在截面600A、600B和600C中,可以形成深器件隔离图案150以填充第二沟槽T2。深器件隔离图案150可以包括共形地覆盖第二沟槽T2的内表面的侧壁绝缘图案156、填充第二沟槽T2的下区域的半导体图案152或154以及设置在半导体图案152或154上以填充第二沟槽T2的剩余区域的间隙填充绝缘图案158。半导体图案152或154可以包括第一半导体图案152和第二半导体图案154,第一半导体图案152设置为填充第二沟槽T2的一部分,第二半导体图案154设置在第一半导体图案152和侧壁绝缘图案156之间。

[0072] 在实施例中,深器件隔离图案150的形成可以包括:在器件隔离层105L上形成侧壁绝缘层以共形地覆盖第二沟槽T2的内表面;在侧壁绝缘层上形成第二半导体层以填充第二沟槽T2的一部分;各向异性地蚀刻第二半导体层以形成第二半导体图案154;在第二半导体图案154上形成第一半导体层以填充第二沟槽T2;以回蚀方式蚀刻第一半导体层以形成第一半导体图案152;形成绝缘间隙填充层以填充第二沟槽T2的剩余区域;以及将绝缘间隙填充层和侧壁绝缘层平坦化以形成间隙填充绝缘图案158和侧壁绝缘图案156。第二半导体图案154的形成还可以包括将第一导电型的杂质(例如,p型杂质)注入到第二半导体图案154中。用于形成间隙填充绝缘图案158和侧壁绝缘图案156的平坦化工艺可以包括将绝缘间隙

填充层、侧壁绝缘层和器件隔离层105L平坦化以暴露衬底100的第一表面100a。作为平坦化工艺的结果,可以去除第一掩模图案103,并且可以形成填充第一沟槽T1的浅器件隔离图案105。

[0073] 参考图3和图7A至图7C,例如在截面700A、700B和700C中,可以在像素区域PXR1、PXR2、PXR3和PXR4中的每一者中形成光电转换区域110。光电转换区域110的形成可以包括将具有与第一导电型(例如,p型)不同的第二导电型(例如,n型)的杂质注入到衬底100中。

[0074] 可以对衬底100的第二表面100b执行薄化工艺,以部分地去除衬底100和深器件隔离图案150。薄化工艺可以包括研磨或抛光衬底100的第二表面100b以及执行各向异性或各向同性蚀刻工艺。作为薄化工艺的结果,可以去除深器件隔离图案150的下部,并且深器件隔离图案150可以具有与衬底100的第二表面100b基本上共面的底表面150B。

[0075] 可以在衬底100的第一表面100a上以及像素区域PXR1、PXR2、PXR3和PXR4中的每一者上形成转移栅电极TG和浮置扩散区域FD。在实施例中,转移栅电极TG和浮置扩散区域FD可以形成在第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4中的每一者的有源图案ACT上。转移栅电极TG的下部可以设置为穿透有源图案ACT并且可以延伸到衬底100中。转移栅电极TG的上部可以在有源图案ACT的顶表面(即,衬底100的第一表面100a)上方突出。可以通过将具有与衬底100的第一导电型不同的第二导电型的杂质(例如,n型杂质)掺杂到有源图案ACT的位于转移栅电极TG一侧的部分中来形成浮置扩散区域FD。

[0076] 可以在衬底100的第一表面100a上以及第一延伸有源图案EACT1和第二延伸有源图案EACT2上形成多个栅电极EG1、G1、EG2和G2。栅电极EG1、G1、EG2和G2可以包括位于第一延伸有源图案EACT1上的第一栅电极G1和第一延伸栅电极EG1以及位于第二延伸有源图案EACT2上的第二栅电极G2和第二延伸栅电极EG2。第一延伸栅电极EG1可以形成为从第一像素区域PXR1延伸到第二像素区域PXR2,并且第二延伸栅电极EG2可以形成为从第三像素区域PXR3延伸到第四像素区域PXR4。

[0077] 可以在第一延伸有源图案EACT1的位于第一栅电极G1和第一延伸栅电极EG1中的每一者的两侧的两个部分中以及第二延伸有源图案EACT2的位于第二栅电极G2和第二延伸栅电极EG2中的每一者的两侧的两个部分中形成源极/漏极区SD。可以通过将具有第二导电型的杂质(例如,n型杂质)掺杂到第一延伸有源图案EACT1和第二延伸有源图案EACT2中来形成源极/漏极区SD。

[0078] 可以在转移栅电极TG与衬底100(即,有源图案ACT)之间、第一栅电极G1和第一延伸栅电极EG1中的每一者与衬底100(即,第一延伸有源图案EACT1)之间以及第二栅电极G2和第二延伸栅电极EG2中的每一者与衬底100(即,第二延伸有源图案EACT2)之间形成栅极电介质层GI。

[0079] 可以通过前述制造工艺形成光电转换层10。可以在衬底100的第一表面100a上形成互连层20。作为示例,可以在衬底100的第一表面100a上形成第一层间绝缘层210以覆盖栅电极TG、G1、EG1、G2和EG2。一些接触插塞220可以被形成为穿透第一层间绝缘层210并且可以连接到浮置扩散区域FD和相应的源极/漏极区SD。可以在第一层间绝缘层210上形成第二层间绝缘层240。可以在第二层间绝缘层240中形成其他接触插塞220和导电线230。其他接触插塞220可以形成为穿透第一层间绝缘层210和第二层间绝缘层240,并且可以连接到

相应的源极/漏极区SD以及栅电极TG、G1、EG1、G2和EG2。导电线230可以连接到接触插塞220。

[0080] 返回参考图3和图4A至图4C,可以在衬底100的第二表面100b上形成光学透明层30。在实施例中,可以在衬底100的第二表面100b上顺序地形成防反射层310和第一绝缘层312。可以在第一绝缘层312上形成网格315,并且网格315可以与深器件隔离图案150垂直地交叠。在实施例中,网格315的形成可以包括在第一绝缘层312上沉积金属层以及将金属层图案化。

[0081] 可以在第一绝缘层312上形成滤色器阵列320以覆盖网格315。滤色器阵列320可以包括多个滤色器320,并且滤色器320可以分别设置在像素区域PXR1、PXR2、PXR3和PXR4上。可以在滤色器阵列320上形成第二绝缘层322,并且可以在第二绝缘层322上形成微透镜阵列330。微透镜阵列330可以包括分别设置在滤色器320上的多个微透镜330。每个微透镜330可以形成为与像素区域PXR1、PXR2、PXR3和PXR4中的相应的像素区域的光电转换区域110垂直地(例如,在第三方向D3上)交叠。

[0082] 图8示出了根据本公开的实施例的图像传感器。图9A、图9B和图9C显示出分别沿着图8的线A-A'、线B-B'和线C-C'截取的截面图。为了简洁起见,下面将主要描述与图1至图3和图4A至图4C的图像传感器的特征不同的特征。

[0083] 参考图8和图9A至图9C,例如在截面900A、900B和900C中,图像传感器800的浅器件隔离图案105可以与衬底100的第一表面100a相邻地设置。像素区域PXR1、PXR2、PXR3和PXR4均可以包括由浅器件隔离图案105限定的延伸有源图案EACT1或EACT2。在实施例中,第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4均可以包括由浅器件隔离图案105限定的延伸有源图案EACT1或EACT2。第一像素区域PXR1和第二像素区域PXR2可以包括由浅器件隔离图案105限定的第一延伸有源图案EACT1。第一延伸有源图案EACT1可以在第一方向D1上从第一像素区域PXR1延伸到第二像素区域PXR2。第三像素区域PXR3和第四像素区域PXR4可以包括由浅器件隔离图案105限定的第二延伸有源图案EACT2。第二延伸有源图案EACT2可以在第一方向D1上从第三像素区域PXR3延伸到第四像素区域PXR4。

[0084] 第一延伸有源图案EACT1可以朝向深器件隔离图案150的一个第一部分150P1的两侧延伸。因此,深器件隔离图案150的一个第一部分150P1可以介于第一像素区域PXR1上的第一延伸有源图案EACT1与第二像素区域PXR2上的第一延伸有源图案EACT1之间。第二延伸有源图案EACT2可以朝向深器件隔离图案150的另一个第一部分150P1的两侧延伸。因此,深器件隔离图案150的另一个第一部分150P1可以介于第三像素区域PXR3上的第二延伸有源图案EACT2与第四像素区域PXR4上的第二延伸有源图案EACT2之间。

[0085] 第一延伸有源图案EACT1的一部分和第二延伸有源图案EACT2的一部分可以设置在深器件隔离图案150的第一部分150P1之间,并且可以在深器件隔离图案150的第一部分150P1之间在第一方向D1上延伸。深器件隔离图案150的第二部分150P2可以设置在第一延伸有源图案EACT1和第二延伸有源图案EACT2之间。浅器件隔离图案105可以介于深器件隔离图案150的第一部分150P1之间、第一延伸有源图案EACT1与第二延伸有源图案EACT2之间以及深器件隔离图案150的第二部分150P2之间。

[0086] 转移栅电极TG和浮置扩散区域FD可以设置在衬底100的第一表面100a上以及像素

区域PXR1、PXR2、PXR3和PXR4中的每一者上。在实施例中,转移栅电极TG和浮置扩散区域FD可以设置在第一像素区域PXR1和第二像素区域PXR2中的每一者的第一延伸有源图案EACT1上以及第三像素区域PXR3和第四像素区域PXR4中的每一者的第二延伸有源图案EACT2上。转移栅电极TG和浮置扩散区域FD可以构成图2的转移晶体管TX。转移栅电极TG的下部可以设置为穿透第一延伸有源图案EACT1或第二延伸有源图案EACT2,并且可以延伸到衬底100中。转移栅电极TG的上部可以在第一延伸有源图案EACT1或第二延伸有源图案EACT2的顶表面(即,衬底100的第一表面100a)上方突出。浮置扩散区域FD可以设置在转移栅电极TG的一侧,并且可以设置在第一延伸有源图案EACT1或第二延伸有源图案EACT2中。

[0087] 栅电极EG1、G1、EG2和G2可以设置在衬底100的第一表面100a上以及第一延伸有源图案EACT1和第二延伸有源图案EACT2上。栅电极EG1、G1、EG2和G2可以包括设置在第一延伸有源图案EACT1上的第一栅电极G1和第一延伸栅电极EG1以及设置在第二延伸有源图案EACT2上的第二栅电极G2和第二延伸栅电极EG2。第一延伸栅电极EG1可以从第一像素区域PXR1延伸到第二像素区域PXR2,并且第二延伸栅电极EG2可以从第三像素区域PXR3延伸到第四像素区域PXR4。源极/漏极区SD可以设置在第一延伸有源图案EACT1的位于第一栅电极G1和第一延伸栅电极EG1中的每一者的两侧的部分中,并且设置在第二延伸有源图案EACT2的位于第二栅电极G2和第二延伸栅电极EG2中的每一者的两侧的部分中。第一栅电极G1、第一延伸栅电极EG1、第二栅电极G2、第二延伸栅电极EG2和源极/漏极区SD可以构成图2的驱动晶体管DX、选择晶体管SX和复位晶体管RX。

[0088] 栅电极电介质层GI可以介于转移栅电极TG与衬底100(即,第一延伸有源图案EACT1或第二延伸有源图案EACT2)之间、第一栅电极G1和第一延伸栅电极EG1中的每一者与衬底100(即,第一延伸有源图案EACT1)之间以及第二栅电极G2和第二延伸栅电极EG2中的每一者与衬底100(即,第二延伸有源图案EACT2)之间。

[0089] 根据本实施例,可以使第一延伸有源图案EACT1的面积最大化,并且相邻的第一像素区域PXR1和第二像素区域PXR2可以共享第一延伸有源图案EACT1。另外,可以使第二延伸有源图案EACT2的面积最大化,并且相邻的第三像素区域PXR3和第四像素区域PXR4可以共享第二延伸有源图案EACT2。因为第一延伸有源图案EACT1和第二延伸有源图案EACT2的面积被最大化时,所以可以更自由地设置栅电极TG、G1、EG1、G2和EG2,并且可以容易地增加栅电极TG、G1、EG1、G2和EG2的尺寸。

[0090] 另外,深器件隔离图案150的第一部分150P1可以分别介于第一像素区域PXR1和第二像素区域PXR2之间以及第三像素区域PXR3和第四像素区域PXR4之间,并且深器件隔离图案150的第二部分150P2可以分别介于第一像素区域PXR1和第三像素区域PXR3之间以及第二像素区域PXR2和第四像素区域PXR4之间。因此,可以使第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4之间的串扰最小化。

[0091] 因此,在根据本公开的实施例的图像传感器中,可以使相邻的像素之间的串扰最小化并且增加栅电极的尺寸,并且这可以增加图像传感器的集成密度。

[0092] 图10显示出沿着图3的线B-B'截取的截面图,以示出根据本公开的实施例的图像传感器。为了简洁起见,下面将主要描述与图1至图3和图4A至图4C的图像传感器的特征不同的特征。

[0093] 参考图3和图10,例如在截面1000中,掺杂区域IM可以设置在第一延伸有源图案

EACT1或第二延伸有源图案EACT2中。掺杂区域IM可以具有与衬底100相同的导电型。掺杂区域IM可以是掺杂有第一导电型的杂质(例如,p型杂质)的区域。掺杂区域IM可以电连接到相应的接触插塞220和相应的导电线230。可以通过相应的导电线230、相应的接触插塞220和掺杂区域IM将接地电压施加到衬底100。在实施例中,深器件隔离图案150的第一部分150P1和第二部分150P2可以彼此间隔开,并且衬底100的第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4可以彼此连接。在这种情况下,可以通过相应的导电线230、相应的接触插塞220和掺杂区域IM将接地电压公共地施加到衬底100的第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4的各部分。

[0094] 图11至图16显示出了根据本公开的实施例的图像传感器的俯视图。为了简洁起见,下面将主要描述与图1至图3和图4A至图4C的图像传感器的特征不同的特征。

[0095] 参考图11至图16,微透镜阵列330可以包括如在图像传感器1100、1200、1300、1400、1500和1600中显示的多个微透镜330。

[0096] 在实施例中,如图11所示,微透镜330可以分别设置在像素区域PXR1、PXR2、PXR3和PXR4上。每个微透镜330可以设置为与像素区域PXR1、PXR2、PXR3和PXR4中的相应的像素区域的光电转换区域110垂直地(例如,在第三方向D3上)交叠。

[0097] 尽管图11的实施例被示出并描述为具有设置在第一行中的每个像素的左上角但是设置在第二行中的每个像素的左下角的第一像素区域PXR1,但这是为了描述简洁起见,并且实施例不限于此。例如,在可选的实施例中,像素区域的不同布置可以作为棋盘图案而不是按行变化。此外,尽管出于说明性目的示出了这两个不同的像素区域布置,但是不同的像素区域布置的数目可以更多,诸如四个,其中第一像素区域在第三布置中在右上侧,并且在第四布置中在右下侧。

[0098] 在另一实施例中,如图12至图14所示,每个微透镜330可以设置在选自像素区域PXR1、PXR2、PXR3和PXR4并且彼此相邻的两个像素区域上。每个微透镜330可以与两个像素区域垂直地(例如,在第三方向D3)交叠,并且可以与两个像素区域的光电转换区域110垂直地(例如,在第三方向D3)交叠。作为示例,如图12所示,每个微透镜330可以设置在选自像素区域PXR1、PXR2、PXR3和PXR4并且在第一方向D1上彼此相邻的两个像素区域(例如,第一像素区域PXR1和第二像素区域PXR2)上并且与这两个像素区域垂直地交叠。作为另一示例,如图13所示,每个微透镜330可以设置在选自像素区域PXR1、PXR2、PXR3和PXR4并且在第二方向D2上彼此相邻的两个像素区域(例如,第一像素区域PXR1和第三像素区域PXR3)上并且与这两个像素区域垂直地交叠。作为又一示例,如图14所示,一个微透镜330可以设置在选自像素区域PXR1、PXR2、PXR3和PXR4并且在第一方向D1上彼此相邻的两个像素区域(例如,第一像素区域PXR1和第二像素区域PXR2)上并且与这两个像素区域垂直地交叠。另一个微透镜330可以设置在选自像素区域PXR1、PXR2、PXR3和PXR4并且在第二方向D2上彼此相邻的两个像素区域(例如,第一像素区域PXR1和第三像素区域PXR3)上并且与这两个像素区域垂直地交叠。

[0099] 在其他实施例中,如图15所示,每个微透镜330可以设置在选自像素区域PXR1、PXR2、PXR3和PXR4并且彼此相邻的四个像素区域(例如,第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4)上。每个微透镜330可以与四个像素区域(例如,第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4)垂直

地(例如,在第三方向D3)交叠,并且可以与四个像素区域(例如,第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4)的光电转换区域110垂直地(例如,在第三方向D3)交叠。

[0100] 在又一实施例中,如图16所示,每个微透镜330可以设置在选自像素区域PXR1、PXR2、PXR3和PXR4并且彼此相邻的十六个像素区域上。作为示例,像素区域PXR1、PXR2、PXR3和PXR4可以包括在第一方向D1和第二方向D2上布置的多个像素组。每个像素组可以包括彼此相邻的第一像素区域PXR1、第二像素区域PXR2、第三像素区域PXR3和第四像素区域PXR4。每个微透镜330可以设置在选自像素组的至少四个像素组上并且与这四个像素组垂直地交叠。

[0101] 图17A、图17B和图17C显示出分别沿着图3的线A-A'、线B-B'和线C-C'截取的截面图,以示出根据本公开的实施例的图像传感器。为了简洁起见,下面将主要描述与图1至图3和图4A至图4C的图像传感器的特征不同的特征。

[0102] 参考图3和图17A至图17C,例如在截面1700A、1700B和1700C中,绝缘隔离图案108可以靠近(或邻近)衬底100的第一表面100a设置在像素区域PXR1、PXR2、PXR3和PXR4中的每一者的有源图案ACT中。绝缘隔离图案108可以由例如氧化硅、氮化硅和/或氮氧化硅中的至少一种形成,或者包括例如氧化硅、氮化硅和/或氮氧化硅中的至少一种。

[0103] 转移栅电极TG和第一浮置扩散区域FD1可以靠近(或邻近)衬底100的第一表面100a设置在像素区域PXR1、PXR2、PXR3和PXR4中的每一者的有源图案ACT中。转移栅电极TG和第一浮置扩散区域FD1可以构成图2的转移晶体管TX。第二浮置扩散区域FD2可以靠近(或邻近)衬底100的第一表面100a设置在像素区域PXR1、PXR2、PXR3和PXR4中的每一者的有源图案ACT中。绝缘隔离图案108可以介于第一浮置扩散区域FD1和第二浮置扩散区域FD2之间。第一浮置扩散区域FD1和第二浮置扩散区域FD2可以是掺杂有第二导电型的杂质(例如,n型杂质)的杂质区域。

[0104] 第二浮置扩散区域FD2可以连接到互连层20中的相应的接触插塞220。深器件隔离图案150的半导体图案152或154可以连接到互连层20中的相应的接触插塞220。深器件隔离图案150的半导体图案152或154可以通过相应的接触插塞220和相应的导电线230电连接到第二浮置扩散区域FD2。

[0105] 像素区域PXR1、PXR2、PXR3和PXR4均可以包括第一光电转换区域110a。第一光电转换区域110a可以是掺杂有第二导电型的杂质(例如,n型杂质)的杂质区域。第一光电转换区域110a与衬底100一起可以形成用作光电二极管的pn结。

[0106] 光学透明层30可以设置在衬底100的第二表面100b上。光学透明层30可以包括设置在衬底100的第二表面100b上的滤色器阵列320和微透镜阵列330。滤色器阵列320可以设置在衬底100的第二表面100b和微透镜阵列330之间。滤色器阵列320可以包括分别设置在像素区域PXR1、PXR2、PXR3和PXR4上的多个滤色器320,并且微透镜阵列330可以包括分别设置在滤色器320上的多个微透镜330。

[0107] 第一绝缘层312可以设置在衬底100的第二表面100b和滤色器阵列320之间。光阻挡图案314a可以设置在第一绝缘层312上并且分别设置在滤色器320之间。低折射率图案314b可以分别设置在滤色器320之间并且设置在光阻挡图案314a上。第三绝缘层316可以介于每个光阻挡图案314a和每个低折射率图案314b之间,并且可以设置到每个滤色器320和

每个低折射率图案314b之间的区域中。第三绝缘层316可以延伸到每个滤色器320和微透镜阵列330之间的区域中。

[0108] 像素电极350可以分别设置在像素区域PXR1、PXR2、PXR3和PXR4上。像素电极350可以分别设置在滤色器320上,并且第三绝缘层316可以介于像素电极350和滤色器320之间。电极分隔图案354可以设置在像素电极350之间。第四绝缘层318可以设置在像素电极350和第三绝缘层316之间,并且可以延伸到电极分隔图案354和低折射率图案314b之间的空间中。

[0109] 第二光电转换层110b可以设置在像素电极350和电极分隔图案354上,并且公共电极356可以设置在第二光电转换层110b上。第二光电转换层110b可以设置在像素电极350和公共电极356之间以及电极分隔图案354和公共电极356之间。像素电极350、电极分隔图案354、第二光电转换层110b和公共电极356可以设置在滤色器阵列320和微透镜阵列330之间。第二光电转换层110b可以是例如有机光电转换层。第二光电转换层110b可以包括设置成形成pn结的p型有机半导体材料和n型有机半导体材料。或者,第二光电转换层110b可以包括量子点或硫属化物材料。像素电极350和公共电极356可以由例如氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)和/或有机透明导电材料中的至少一种形成,或者包括例如氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)和/或有机透明导电材料中的至少一种。

[0110] 每个像素电极350可以通过通路插塞340电连接到深器件隔离图案150的半导体图案152或154。通路插塞340可以连接到深器件隔离图案150的半导体图案152或154,并且可以通过第一绝缘层312、相应的光阻挡图案314a、第三绝缘层316、相应的低折射率图案314b和第四绝缘层318连接到相应的像素电极350。深器件隔离图案150的半导体图案152或154可以通过相应的接触插塞220和相应的导电线230电连接到第二浮置扩散区域FD2。

[0111] 第二绝缘层322可以介于公共电极356和微透镜阵列330之间。第一绝缘层312、第二绝缘层316、第三绝缘层318和第四绝缘层322以及电极分隔图案354可以由例如氧化硅、氮化硅和/或氮氧化硅中的至少一种形成,或者包括例如氧化硅、氮化硅和/或氮氧化硅中的至少一种。

[0112] 除了上述差异之外,根据本实施例的图像传感器可以与参考图1至图3和图4A至图4C描述的图像传感器基本上相同。

[0113] 图18显示出了根据本公开的实施例的图像传感器的俯视图,并且图19显示出沿着图18的线I-I'截取的截面图。为了简洁起见,下面将主要描述与图1至图3和图4A至图4C的图像传感器的特征不同的特征。

[0114] 参考图18和图19,例如在截面1900中,图像传感器1800可以包括:衬底100,包括像素阵列区域AR、光学黑色区域OB和焊盘区域PR;互连层20,设置在衬底100的第一表面100a上;基体衬底40,设置在互连层20上;以及光学透明层30,设置在衬底100的第二表面100b上。互连层20可以设置在衬底100的第一表面100a和基体衬底40之间。互连层20可以包括设置为与衬底100的第一表面100a相邻的上互连层21以及设置在上互连层21和基体衬底40之间的下互连层23。像素阵列区域AR可以包括多个像素区域PXR和设置在它们之间的深器件隔离图案150。像素阵列区域可以被配置为具有与参考图1至图17C描述的图像传感器中的特征基本上相同的特征。

[0115] 第一连接结构50、第一接触81和块体滤色器(bulk color filter)90可以设置在

衬底100的光学黑色区域0B上。第一连接结构50可以包括第一光阻挡图案51、第一隔离图案53和第一覆盖图案55。第一光阻挡图案51可以设置在衬底100的第二表面100b上。第一光阻挡图案51可以覆盖第一绝缘层312,并且可以共形地覆盖第三沟槽TR3和第四沟槽TR4中的每一者的内表面。第一光阻挡图案51可以设置为穿透光电转换层10和上互连层21。第一光阻挡图案51可以连接到光电转换层10的深器件隔离图案150的半导体图案152或154,并且可以连接到上互连层21和下互连层23中的互连线。因此,第一连接结构50可以将光电转换层10电连接到互连层20。第一光阻挡图案51可以由至少一种金属材料(例如,钨)形成,或者包括至少一种金属材料(例如,钨)。第一光阻挡图案51可以阻挡入射到光学黑色区域0B中的光。

[0116] 第一接触81可以填充第三沟槽TR3的剩余区域。第一接触81可以由至少一种金属材料(例如,铝)形成,或者包括至少一种金属材料(例如,铝)。第一接触81可以连接到深器件隔离图案150的半导体图案152或154。可以通过第一接触81向半导体图案152或154施加偏压。第一隔离图案53可以填充第四沟槽TR4的剩余区域。第一隔离图案53可以穿透光电转换层10并且可以穿透互连层20的一部分。第一隔离图案53可以由至少一种绝缘材料形成,或者包括至少一种绝缘材料。第一覆盖图案55可以设置在第一隔离图案53上。第一覆盖图案55可以由与深器件隔离图案150的间隙填充绝缘图案158相同的材料形成,或者包括与深器件隔离图案150的间隙填充绝缘图案158相同的材料。

[0117] 块体滤色器90可以设置在第一连接结构50和第一接触81上。块体滤色器90可以覆盖第一连接结构50和第一接触81。第一保护层71可以设置在块体滤色器90上以气密地密封块体滤色器90。

[0118] 附加光电转换区域110'和虚设区域111可以设置在相应的像素区域PXR中,像素区域PXR设置在光学黑色区域0B中。附加光电转换区域110'可以是具有与衬底100的第一导电型不同的第二导电型(例如,n型)的掺杂区域。附加光电转换区域110'可以具有与像素阵列区域AR的像素区域PXR中的光电转换区域110类似的结构,但是可以不执行与光电转换区域110相同的功能(即,从入射光生成电信号的功能)。虚设区域111可以不掺杂杂质。

[0119] 第二连接结构60、第二接触83和第二保护层73可以设置在衬底100的焊盘区域PR上。第二连接结构60可以包括第二光阻挡图案61、第二隔离图案63和第二覆盖图案65。

[0120] 第二光阻挡图案61可以设置在衬底100的第二表面100b上。第二光阻挡图案61可以覆盖第一绝缘层312,并且可以共形地覆盖第五沟槽TR5和第六沟槽TR6中的每一者的内表面。第二光阻挡图案61可以设置为穿透光电转换层10和上互连层21。第二光阻挡图案61可以连接到下互连层23中的互连线。因此,第二连接结构60可以将光电转换层10电连接到互连层20。第二光阻挡图案61可以由至少一种金属材料(例如,钨)形成,或者包括至少一种金属材料(例如,钨)。第二光阻挡图案61可以阻挡入射到焊盘区域PR中的光。

[0121] 第二接触83可以填充第五沟槽TR5的剩余区域。第二接触83可以由至少一种金属材料(例如,铝)形成,或者包括至少一种金属材料(例如,铝)。第二接触83可以用作图像传感器和外部装置之间的电连接路径。第二隔离图案63可以填充第六沟槽TR6的剩余区域。第二隔离图案63可以穿透光电转换层10,并且可以穿透互连层20的一部分。第二隔离图案63可以由绝缘材料形成或包括绝缘材料。第二覆盖图案65可以设置在第二隔离图案63上。第二覆盖图案65可以由与深器件隔离图案150的间隙填充绝缘图案158相同的材料形成,或者

包括与深器件隔离图案150的间隙填充绝缘图案158相同的材料。第二保护层73可以覆盖第二连接结构60。

[0122] 通过第二接触83施加的电流可以通过第二光阻挡图案61、互连层20中的互连线和第一光阻挡图案51供应到深器件隔离图案150的半导体图案152或154。从像素阵列区域AR的像素区域PXR中的光电转换区域110产生的电信号可以通过互连层20中的互连线、第二光阻挡图案61和第二接触83传输到外部。

[0123] 根据本公开的实施例,深器件隔离图案可以包括第一部分和第二部分,第一部分介于第一像素区域和第二像素区域之间以及第三像素区域和第四像素区域之间并且在第二方向上彼此间隔开,第二部分介于第一像素区域和第三像素区域之间以及第二像素区域和第四像素区域之间并且在第一方向上彼此间隔开。第一像素区域至第四像素区域可以通过深器件隔离图案的第一部分和第二部分彼此部分地分开,因此,可以使第一像素区域至第四像素区域之间的串扰最小化。

[0124] 另外,因为深器件隔离图案的第一部分在第二方向上彼此间隔开,所以从第一像素区域延伸到第二像素区域的第一延伸有源图案和从第三像素区域延伸到第四像素区域的第二延伸有源图案可以设置在第一部分之间。因为第一延伸有源图案和第二延伸有源图案均延伸到相邻的像素区域,所以可以容易地增加设置在第一延伸有源图案和第二延伸有源图案中的每一者上的栅电极的尺寸。

[0125] 因此,在根据本公开的实施例的图像传感器中,可以使相邻的像素之间的串扰最小化并且增加栅电极的尺寸,并且这可以增加图像传感器的集成密度。

[0126] 虽然已经具体示出并描述了基于本发明构思的示例性实施例,但是相关领域的普通技术人员将理解,在不脱离如所附权利要求中阐述的本公开的精神和范围的情况下,可以在其中进行形式和细节上的变化。

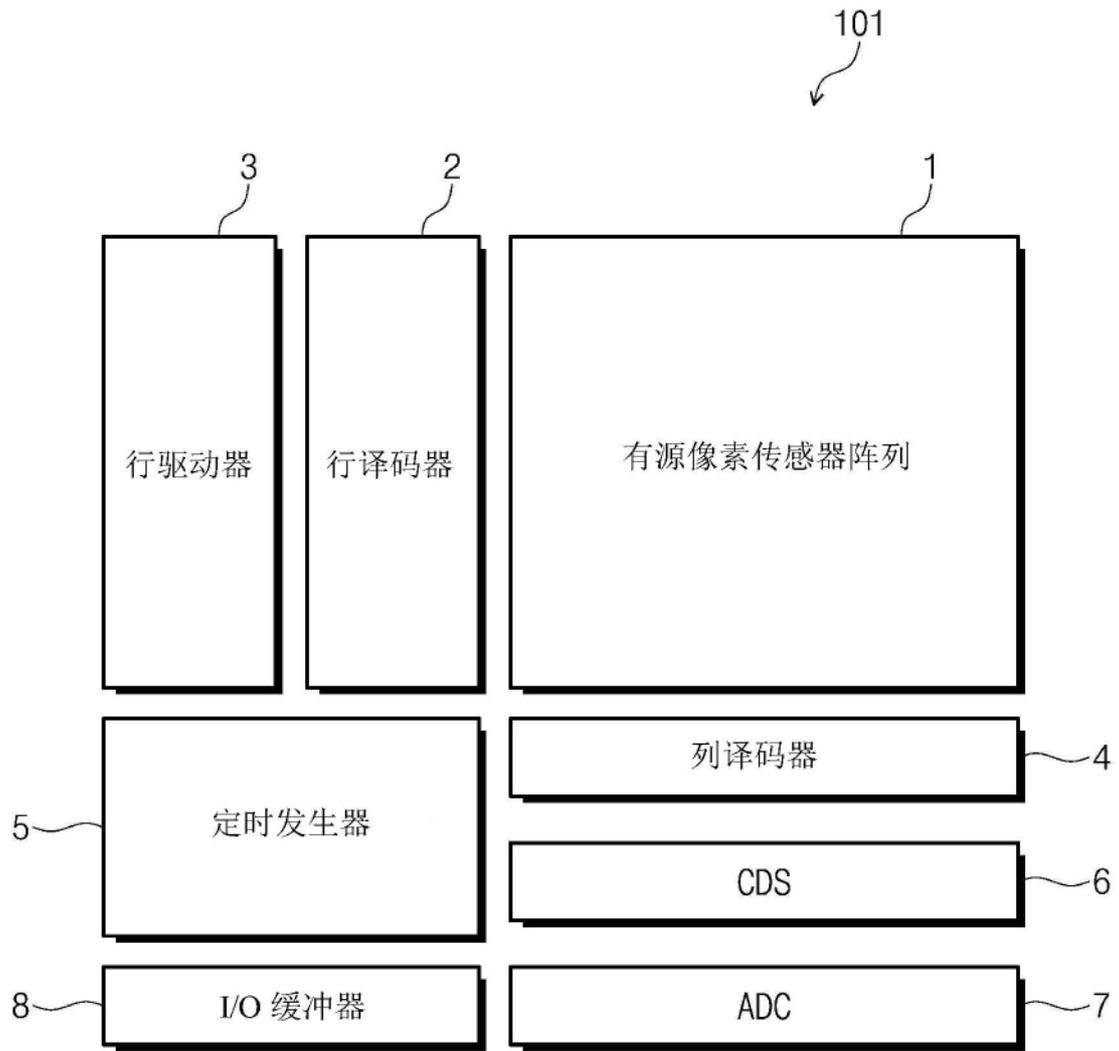


图1

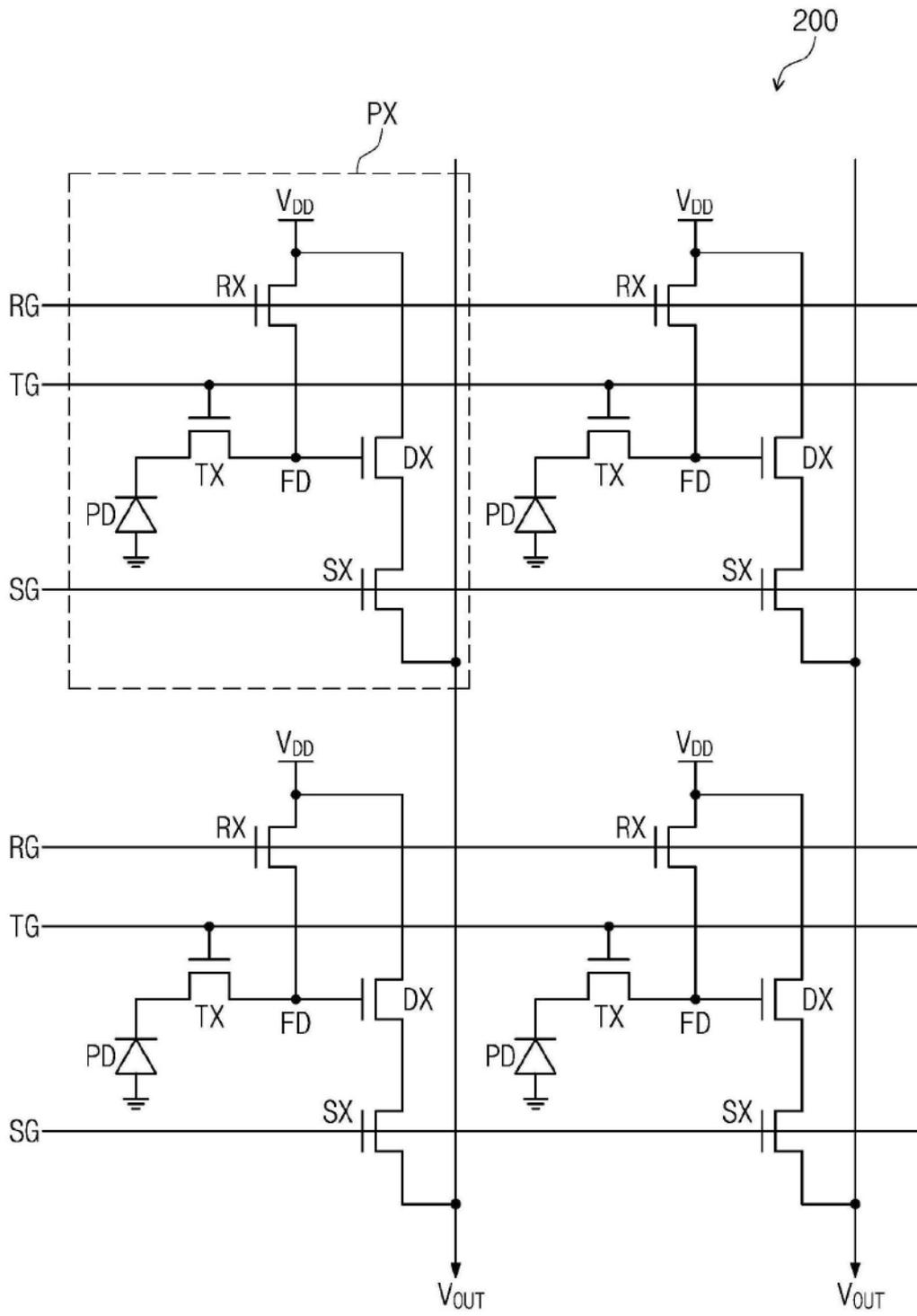


图2



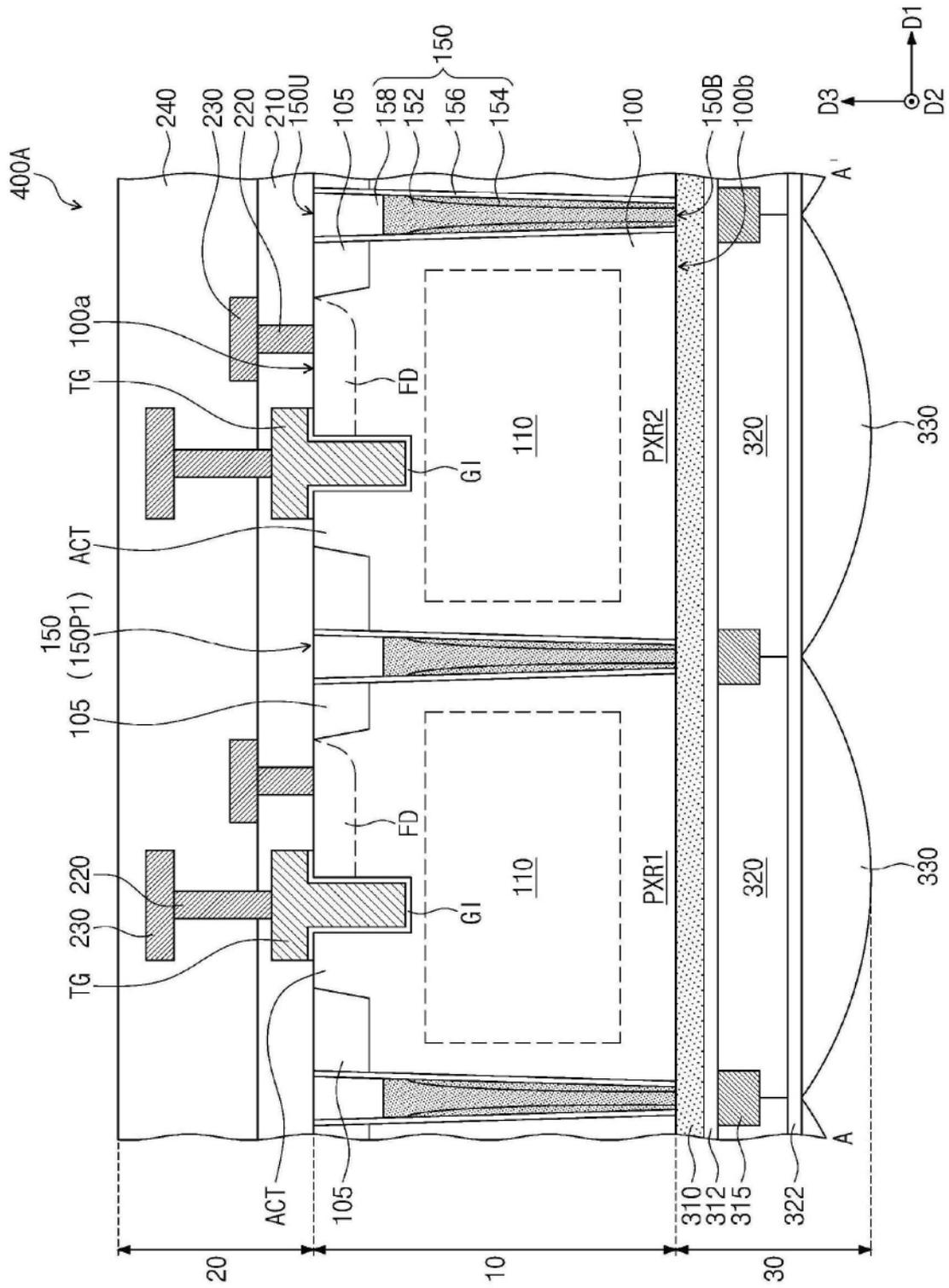


图4A

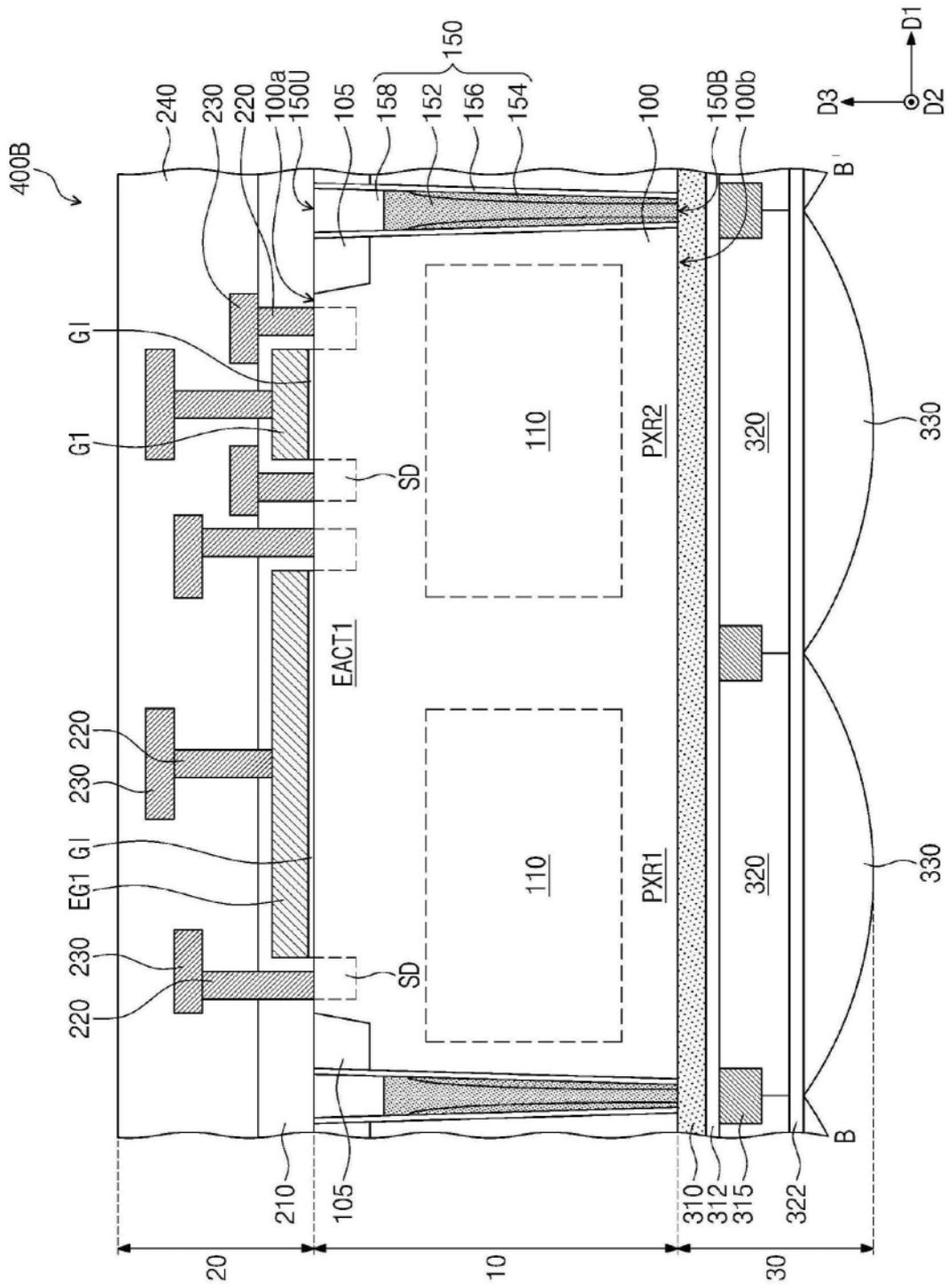


图4B

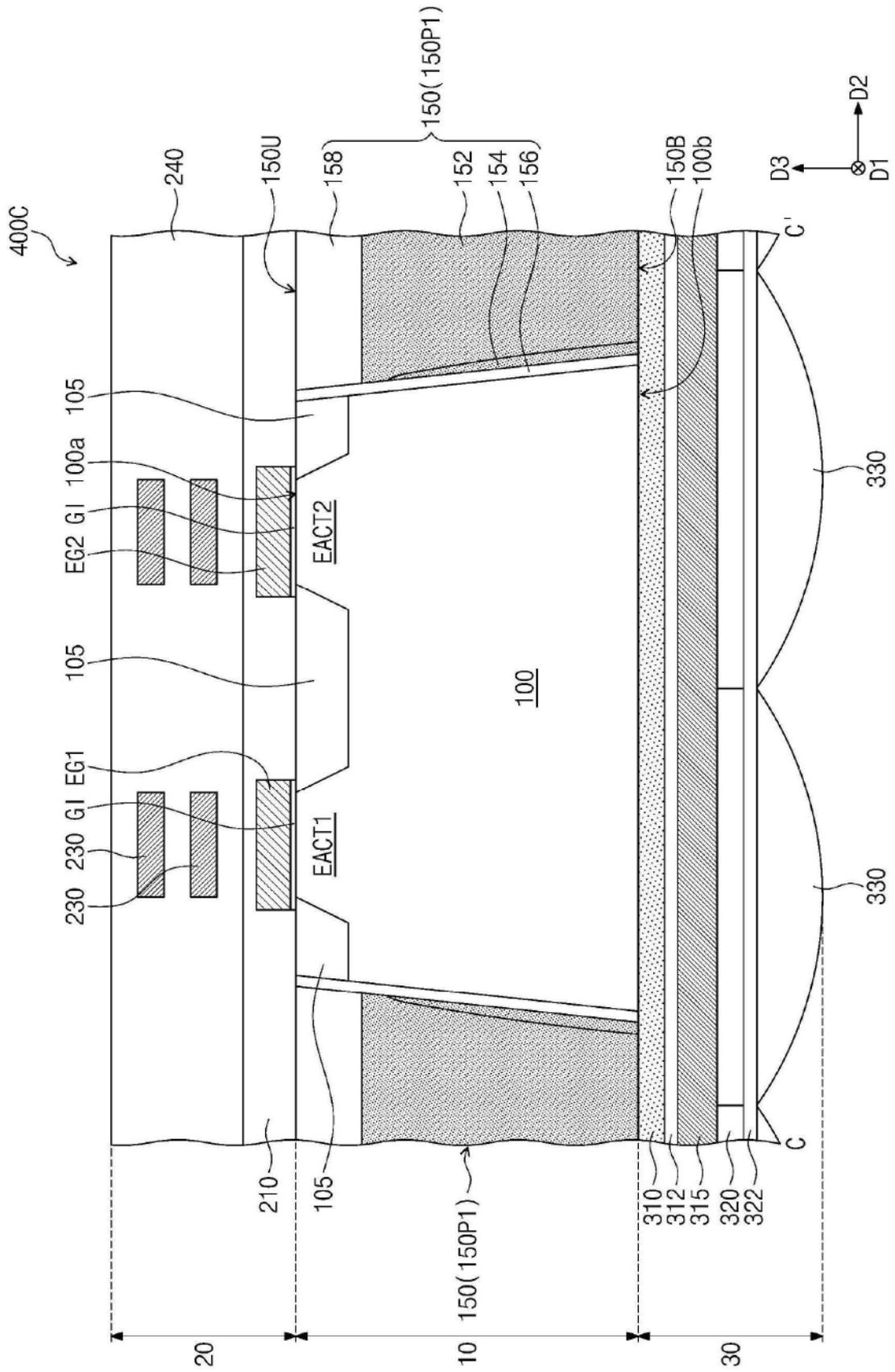


图4C

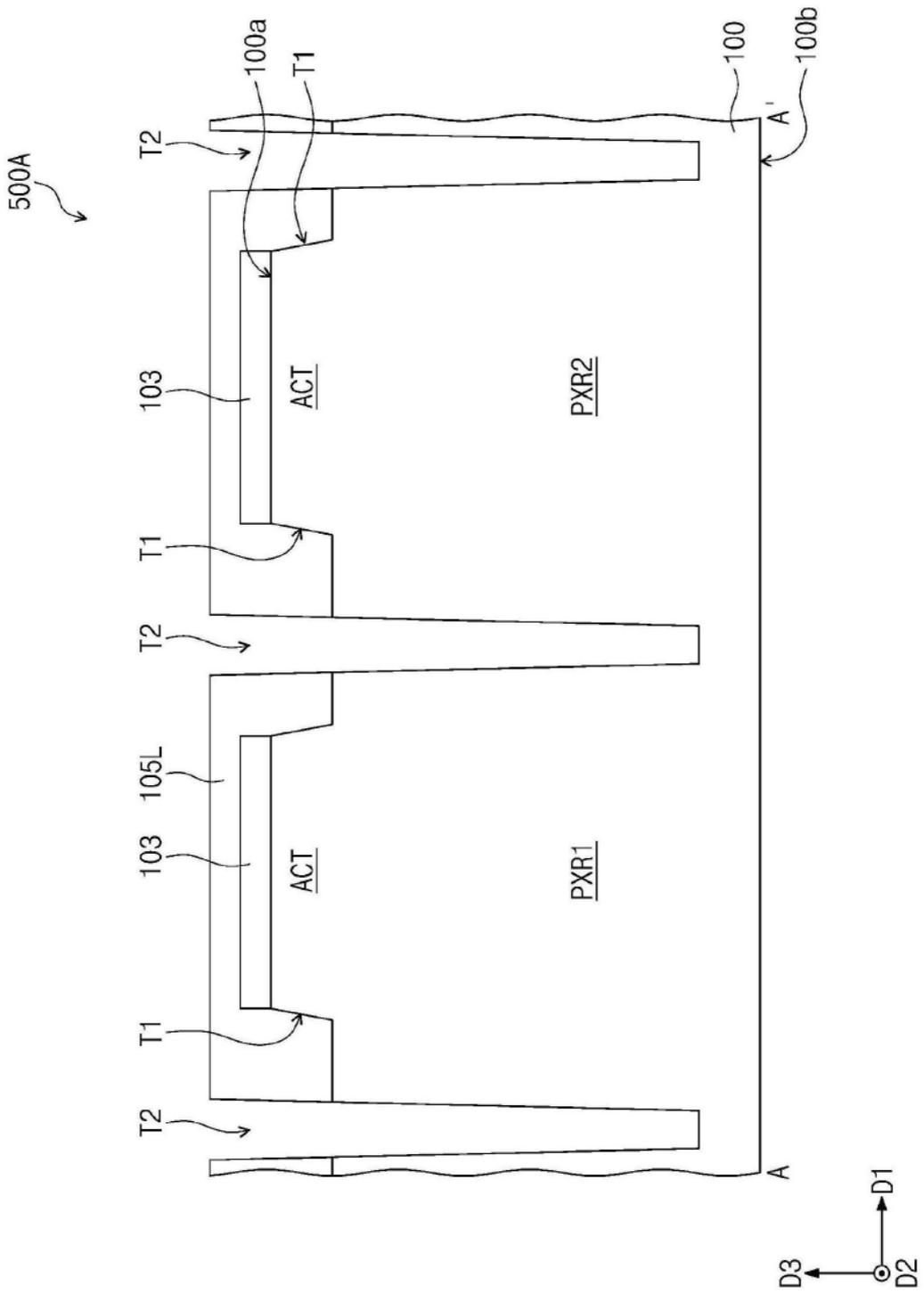


图5A

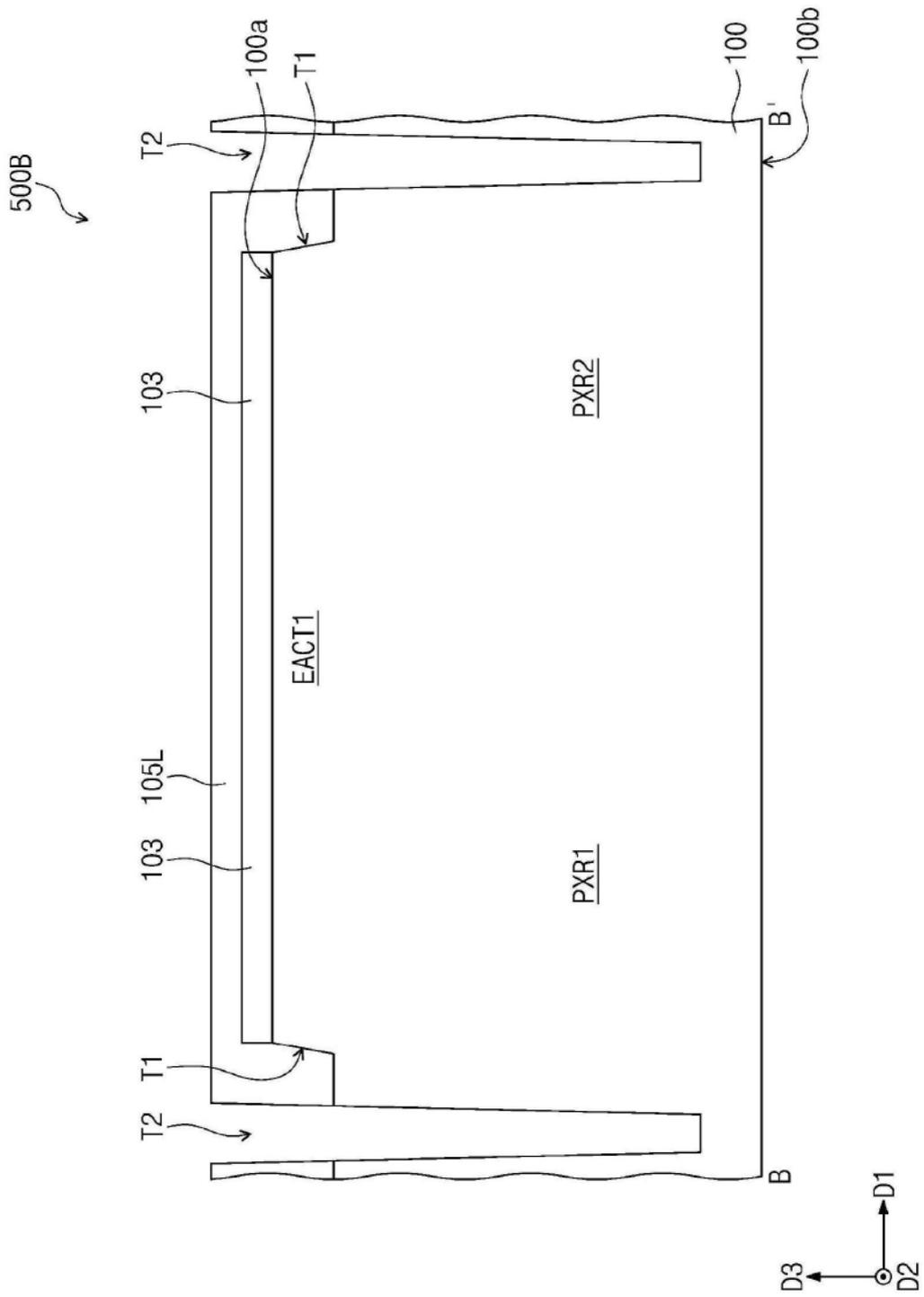


图5B

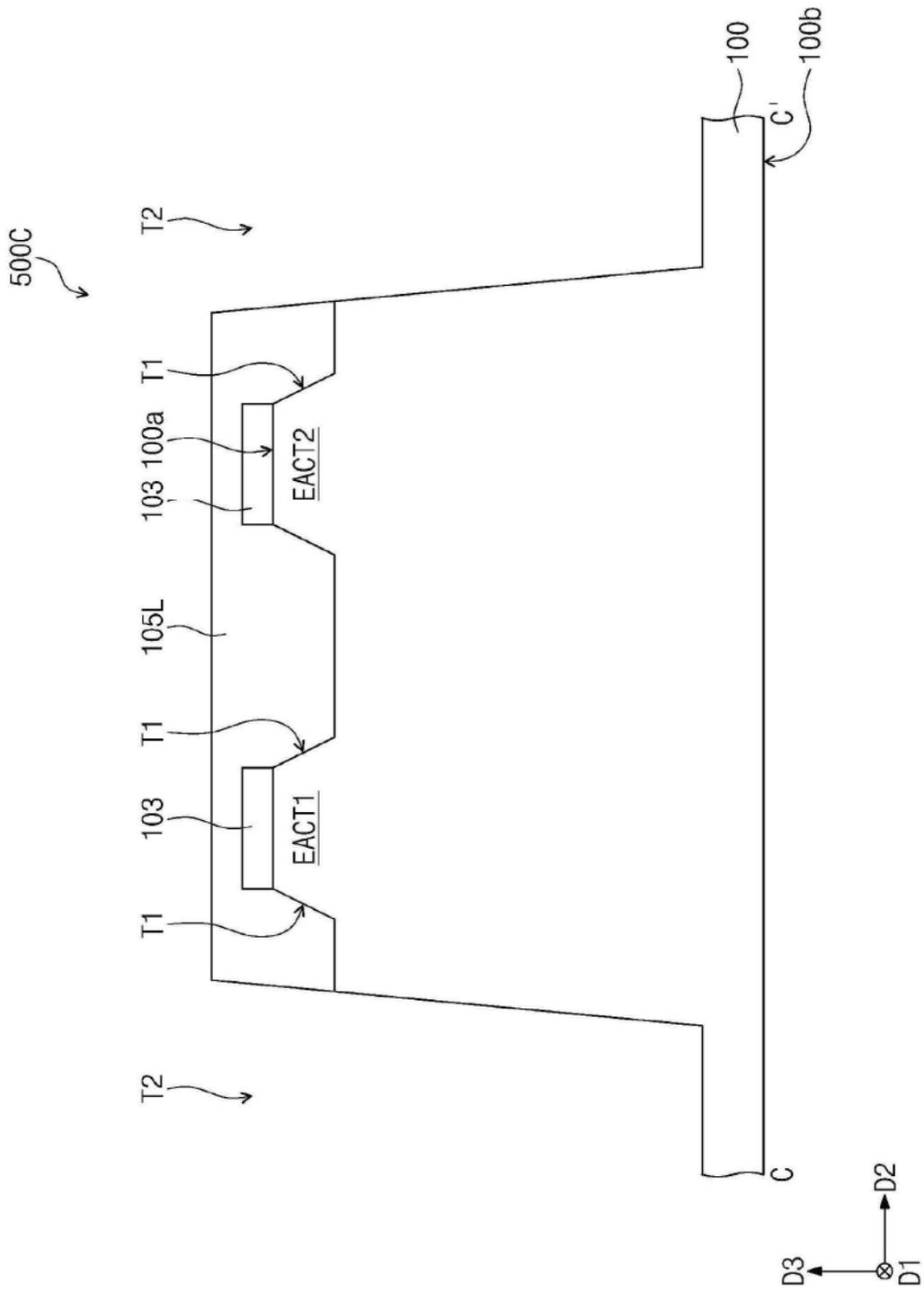


图5C

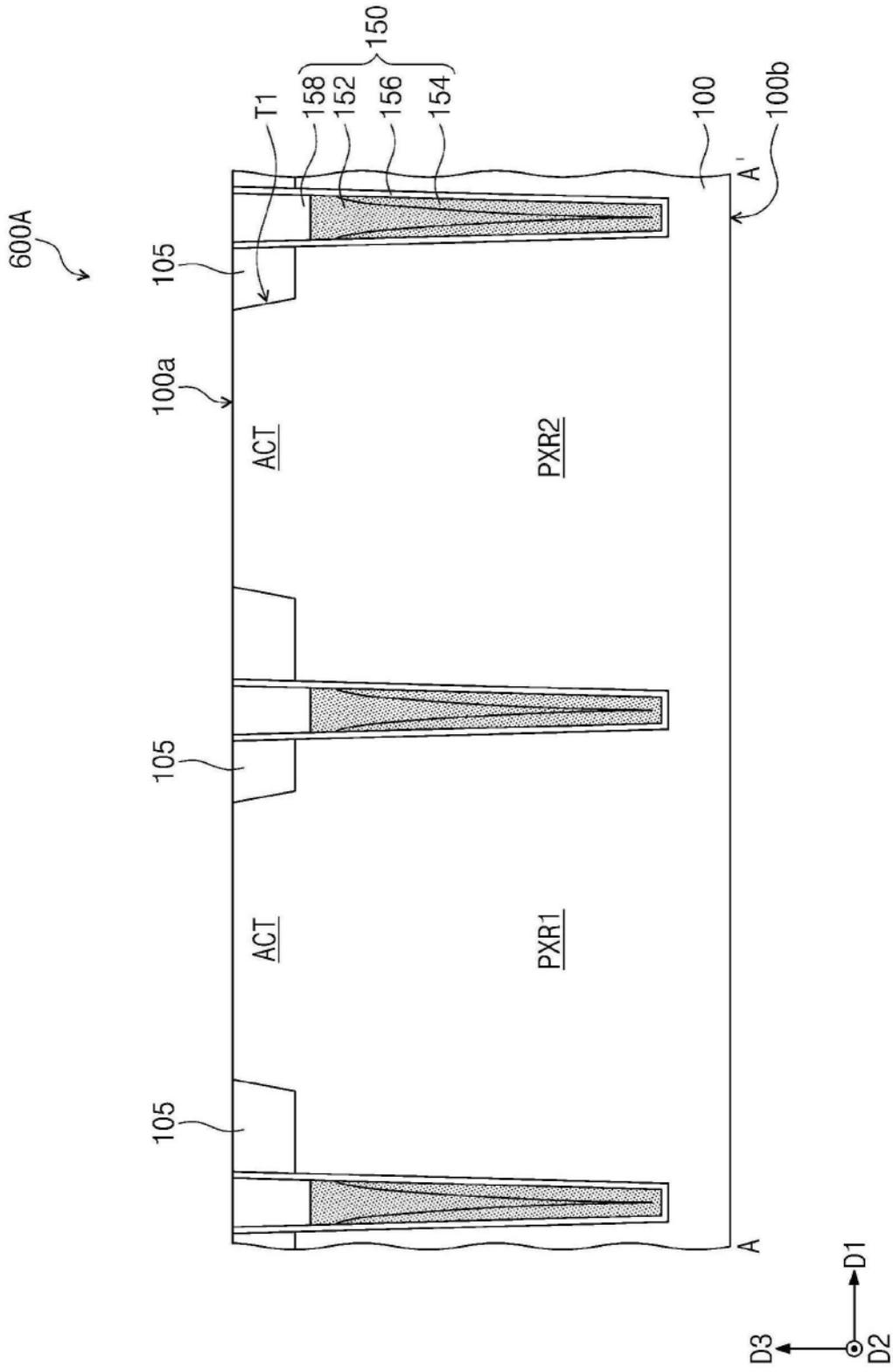


图6A

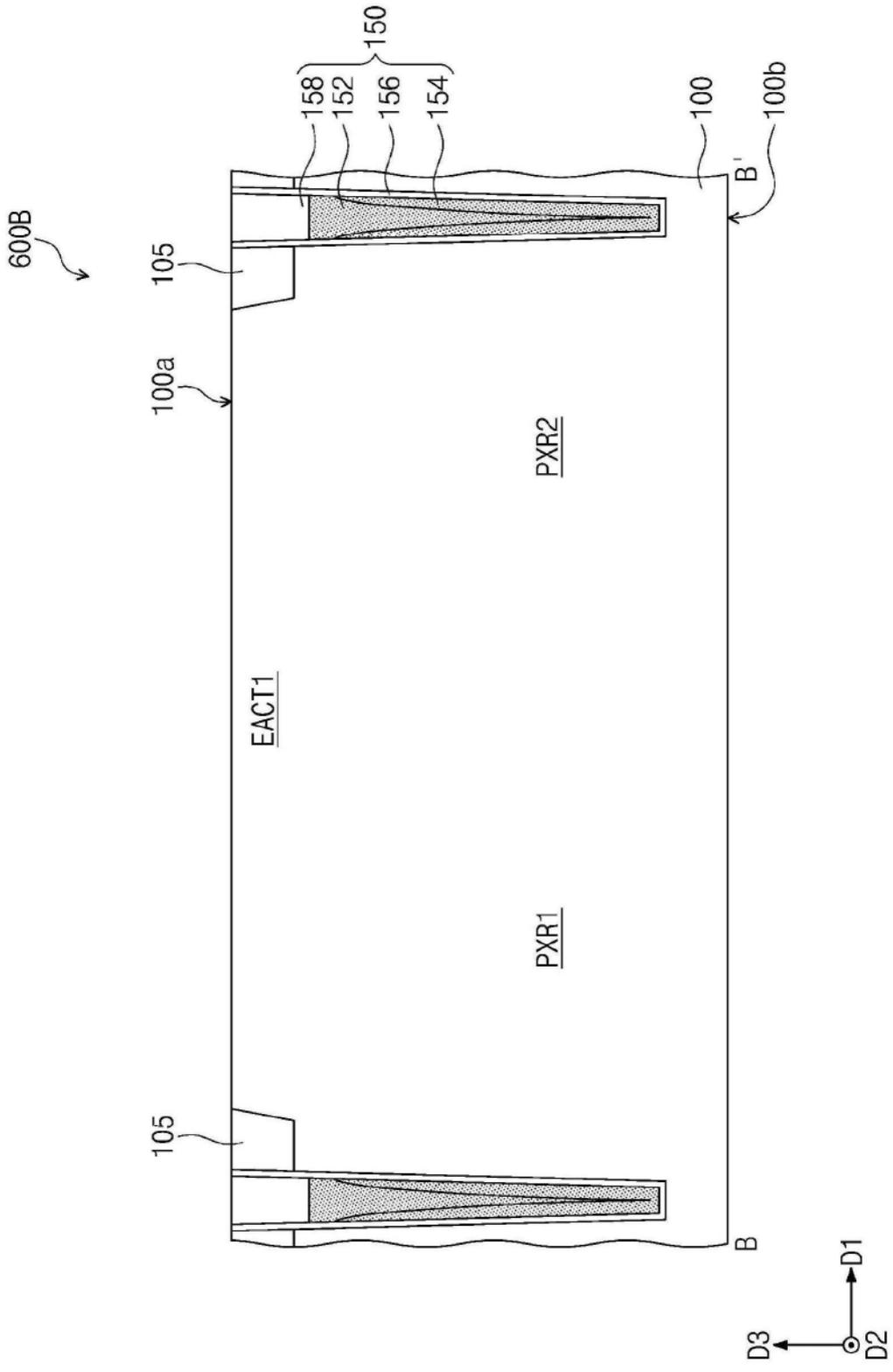


图6B

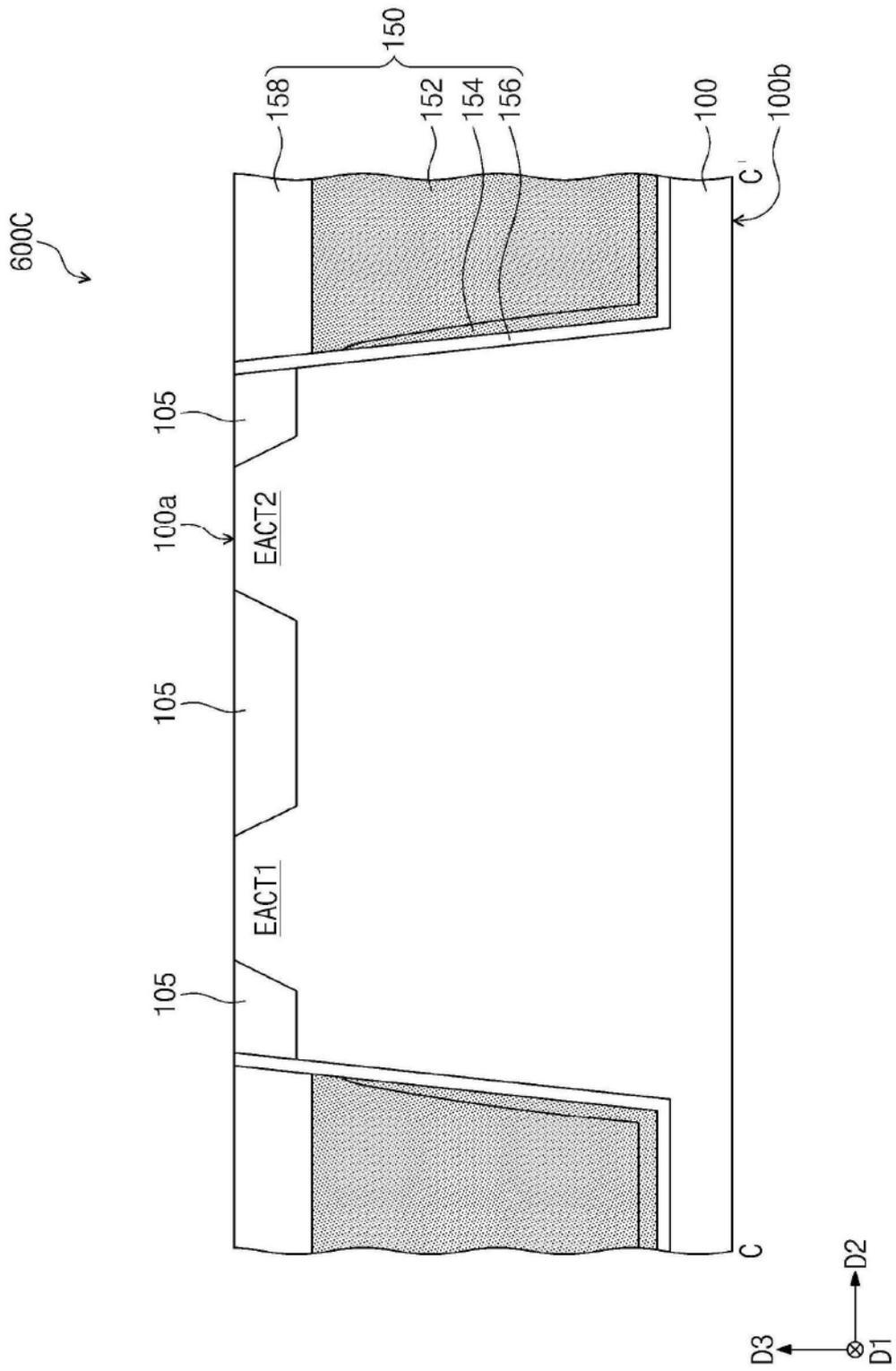


图6C



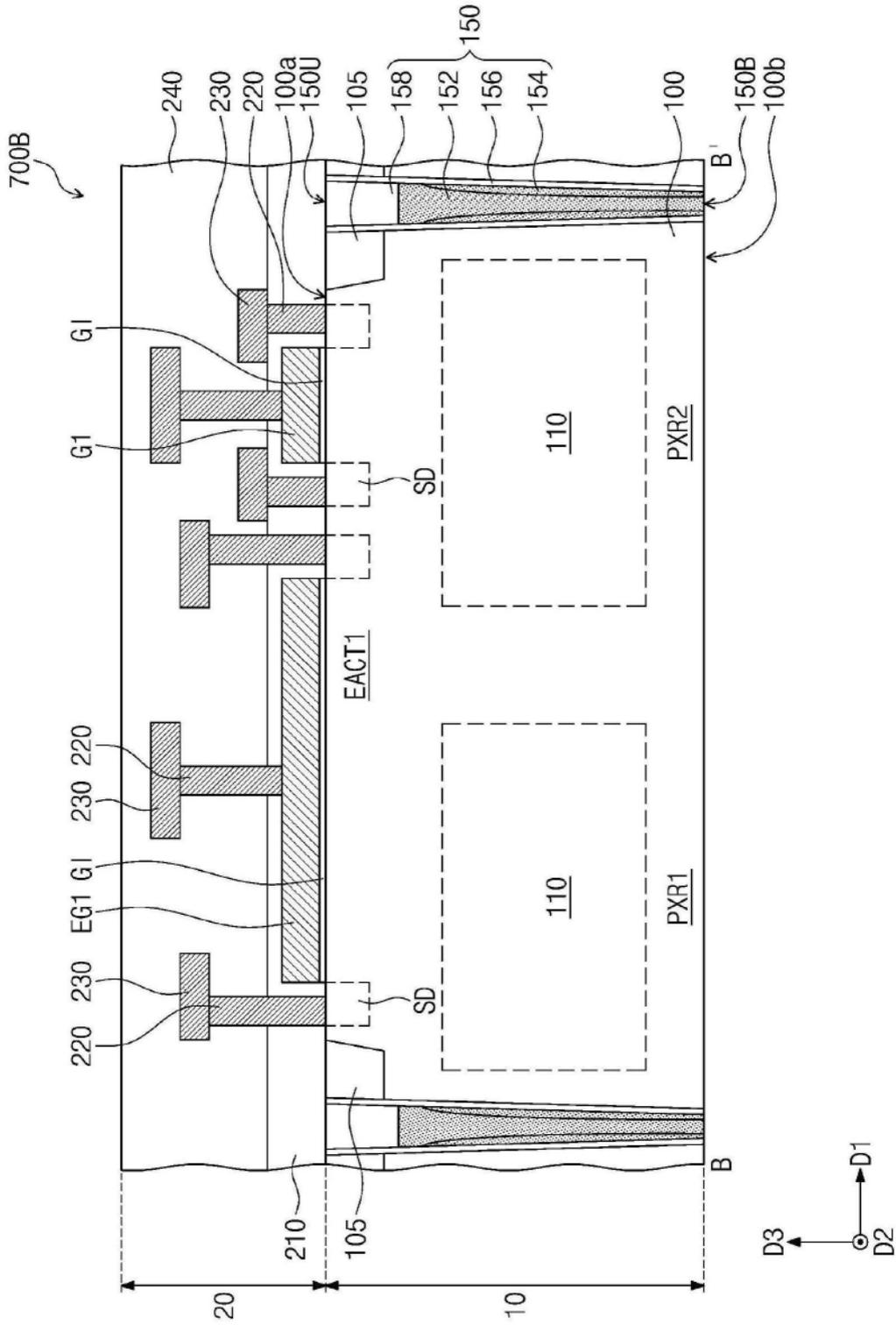


图7B

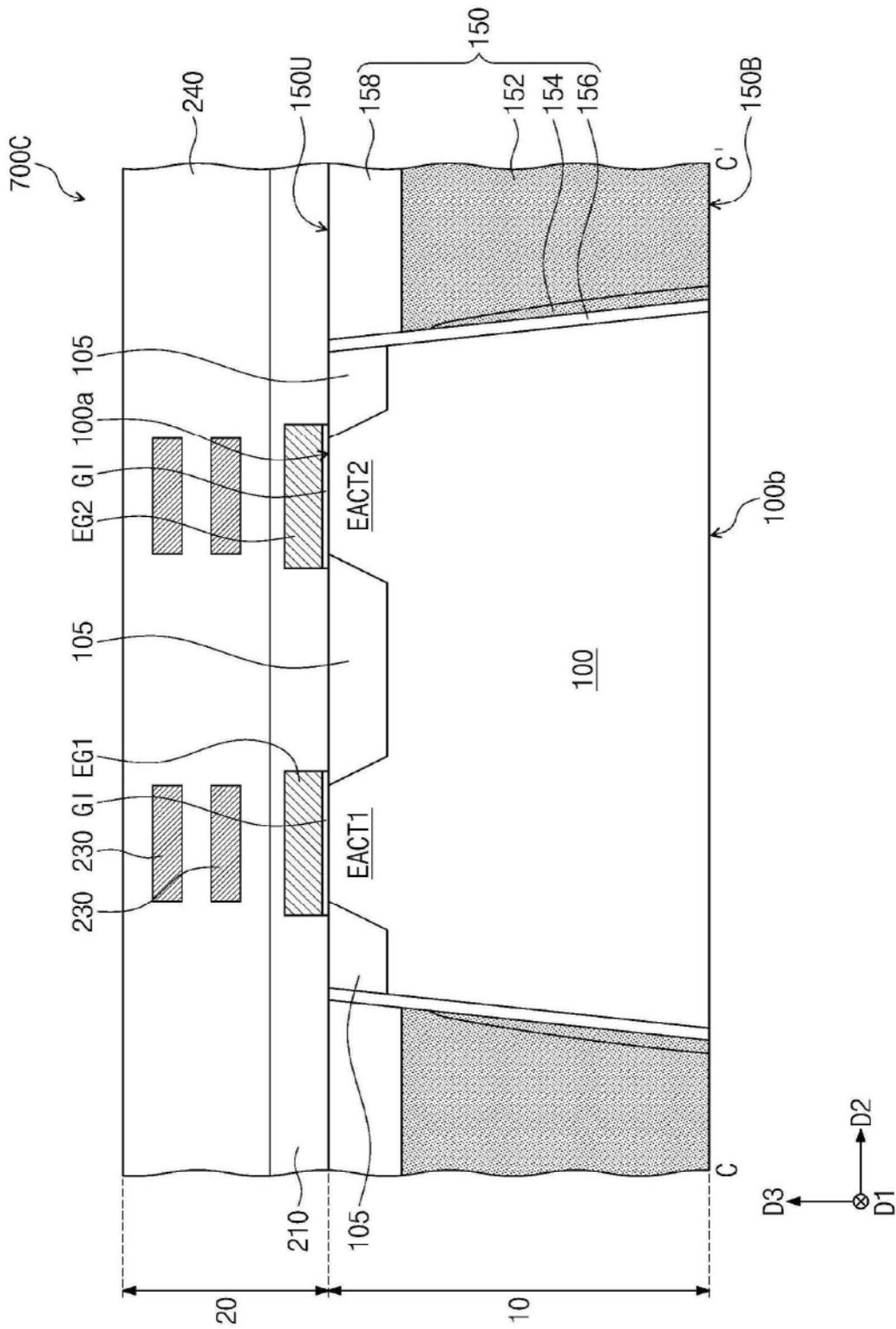


图7C

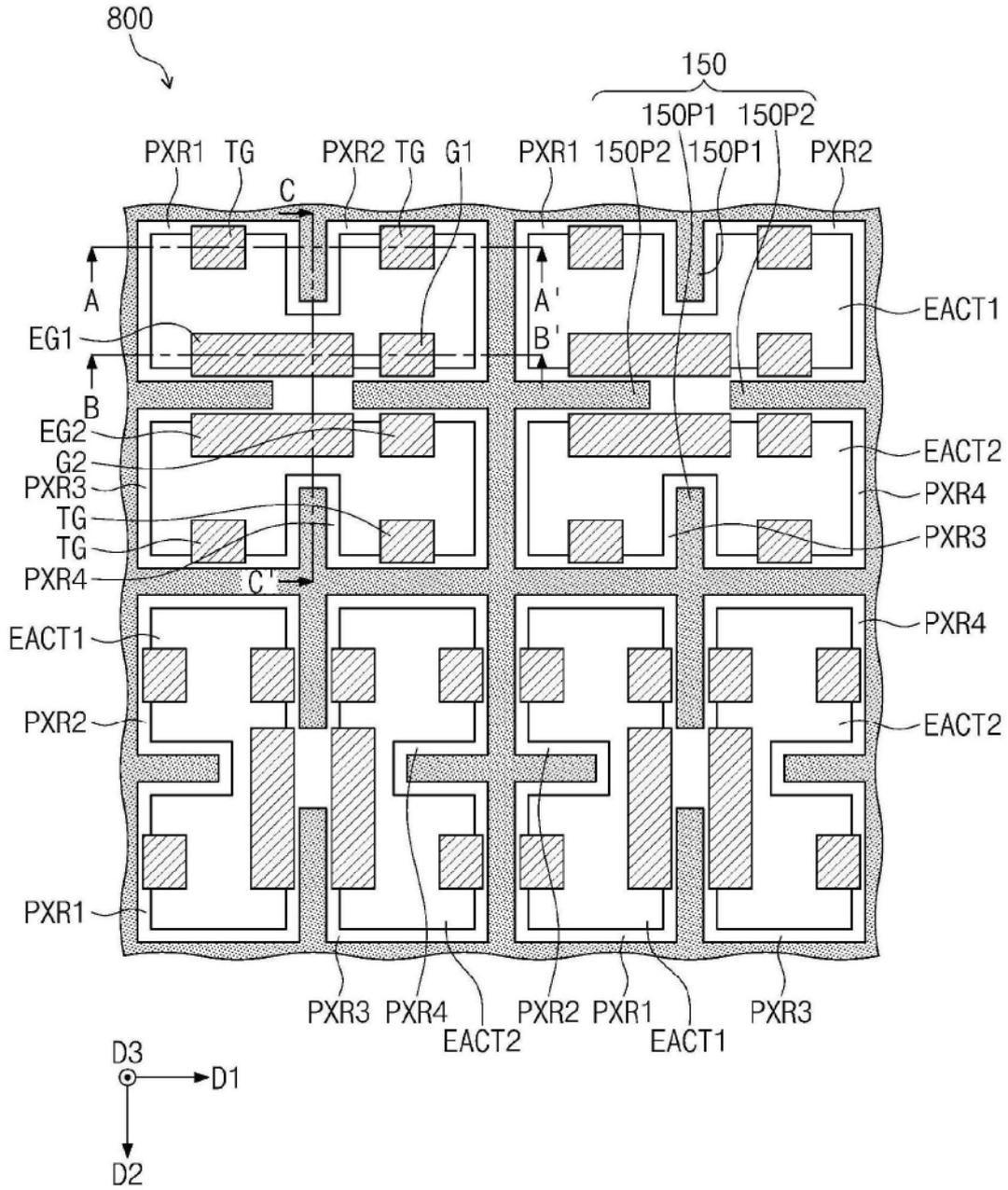


图8

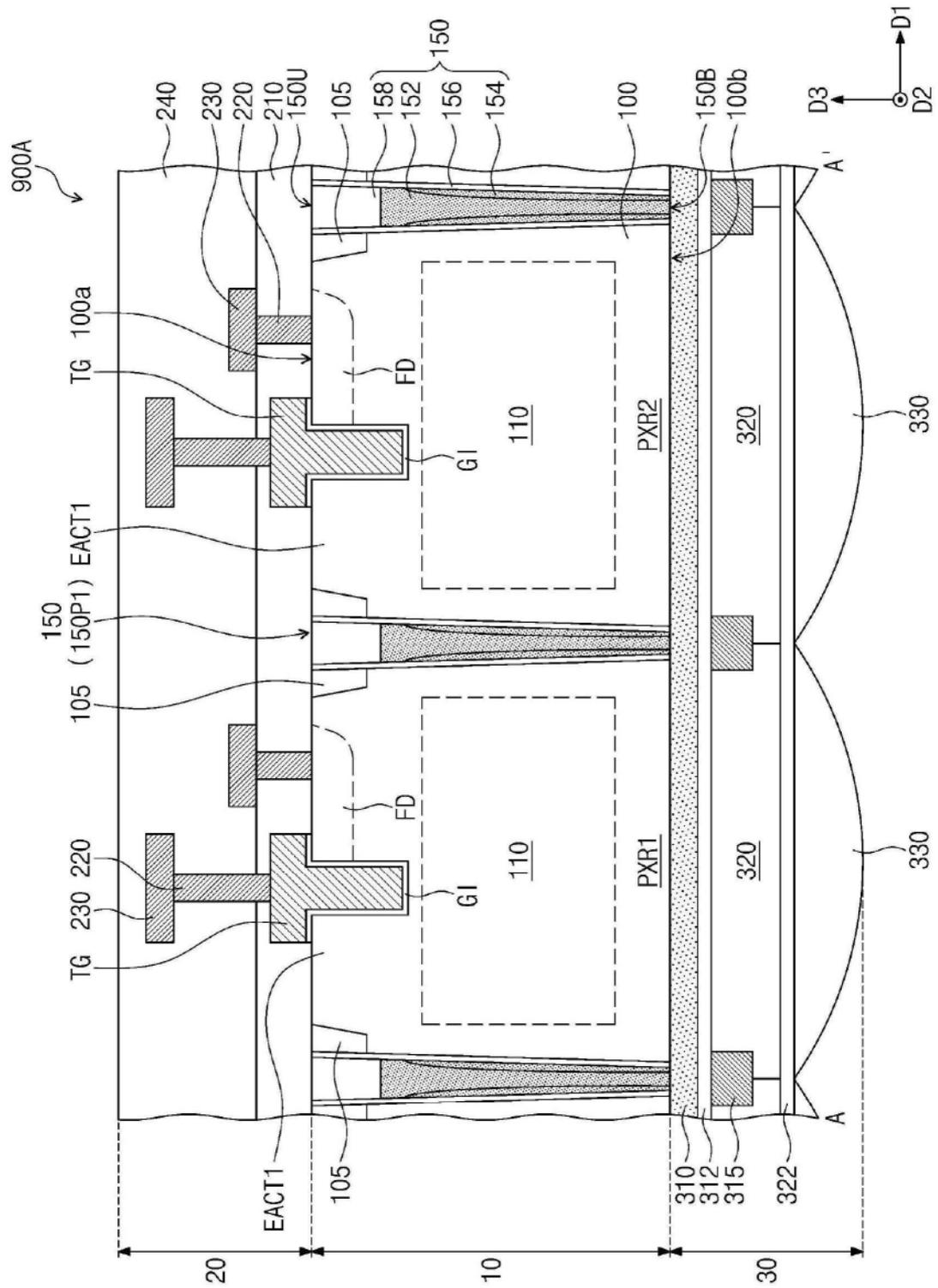


图9A







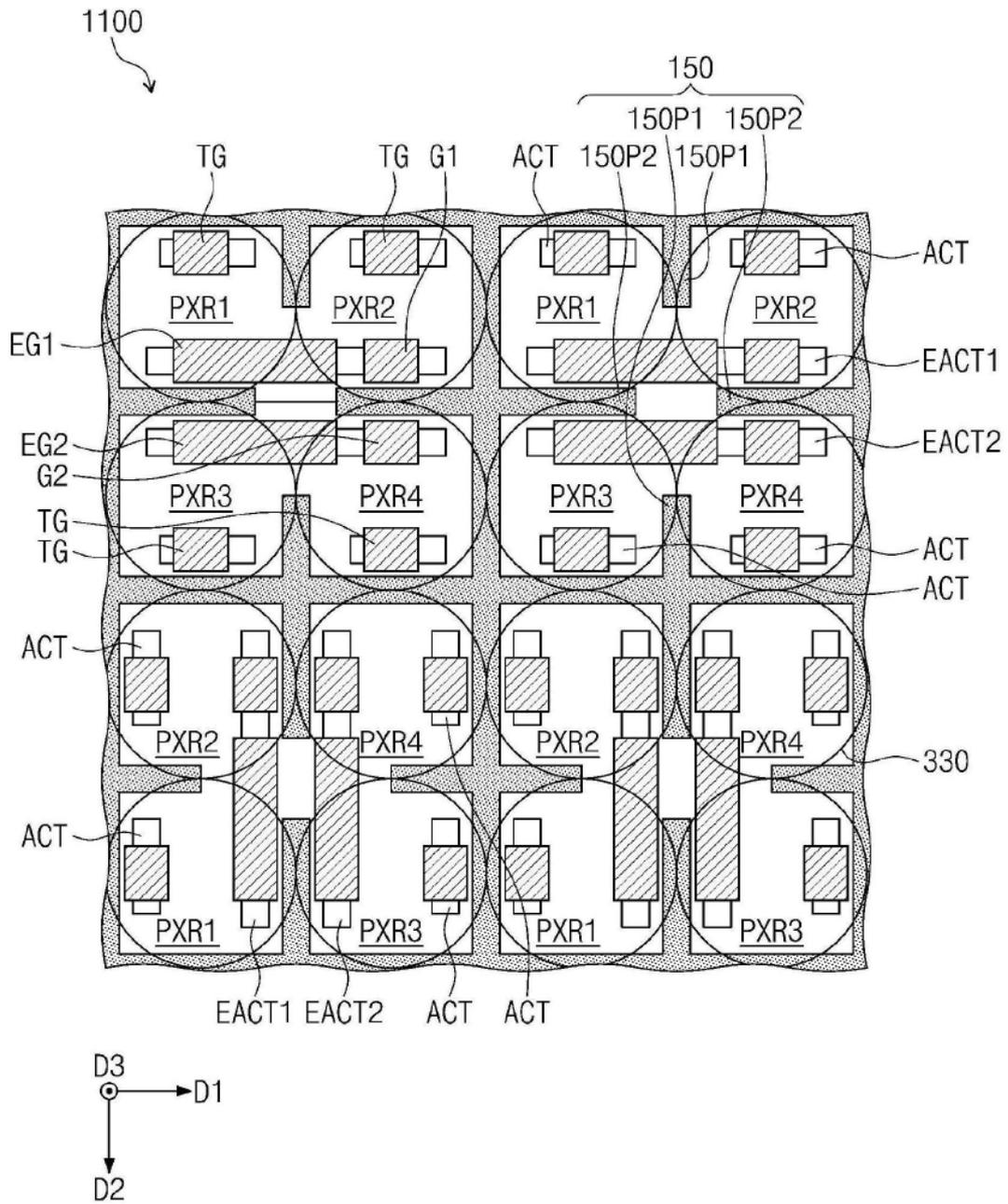


图11

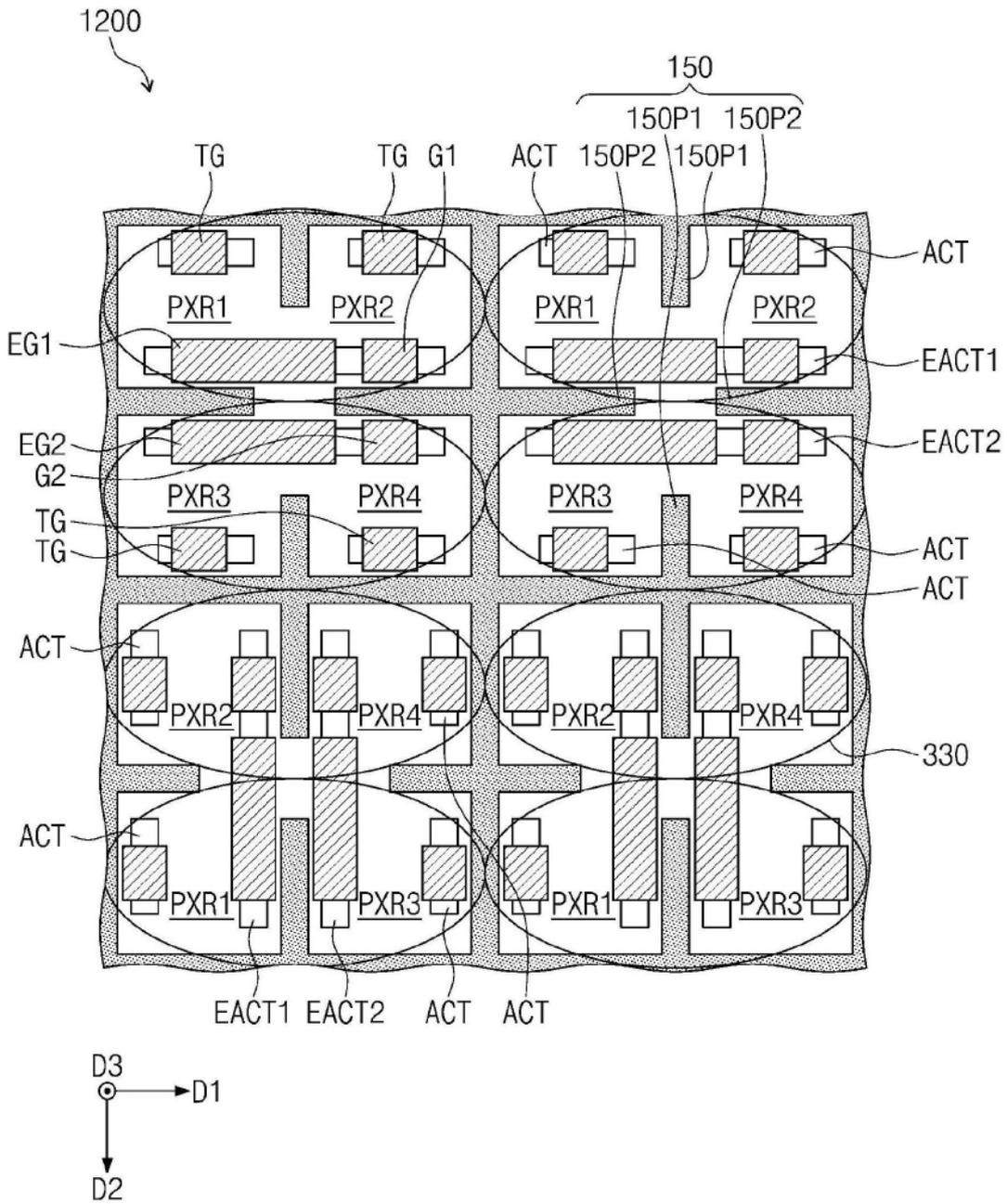


图12

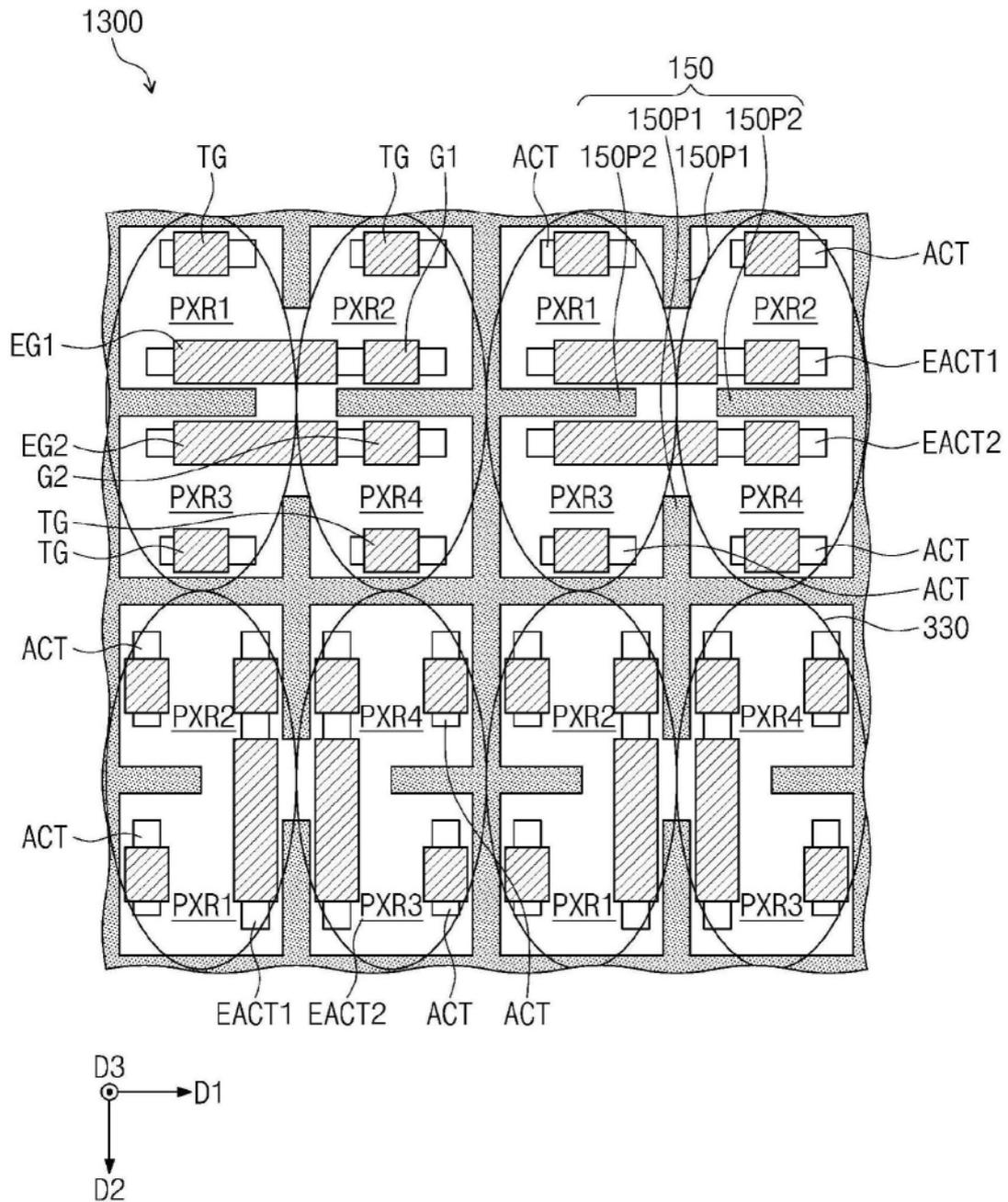


图13

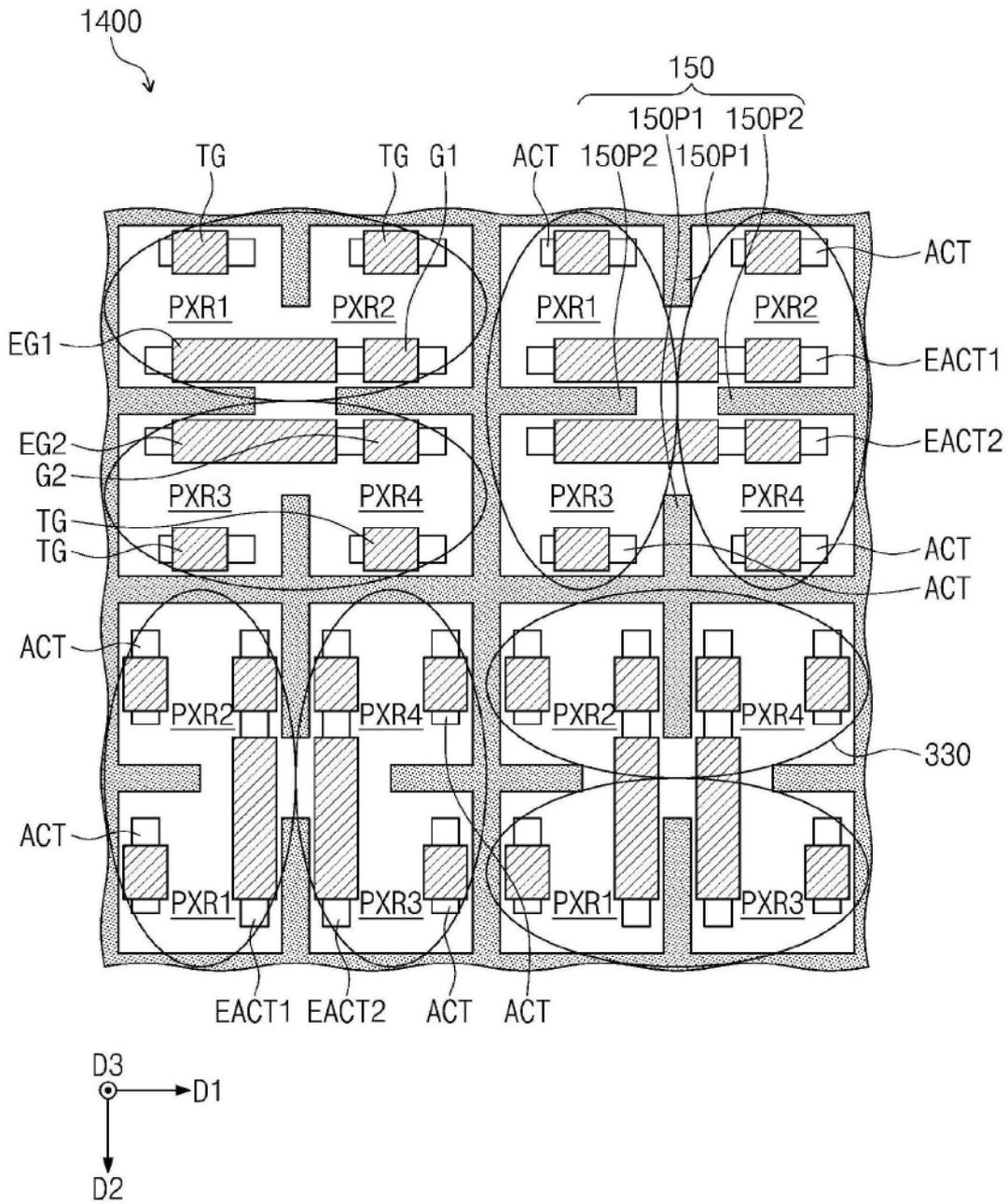


图14

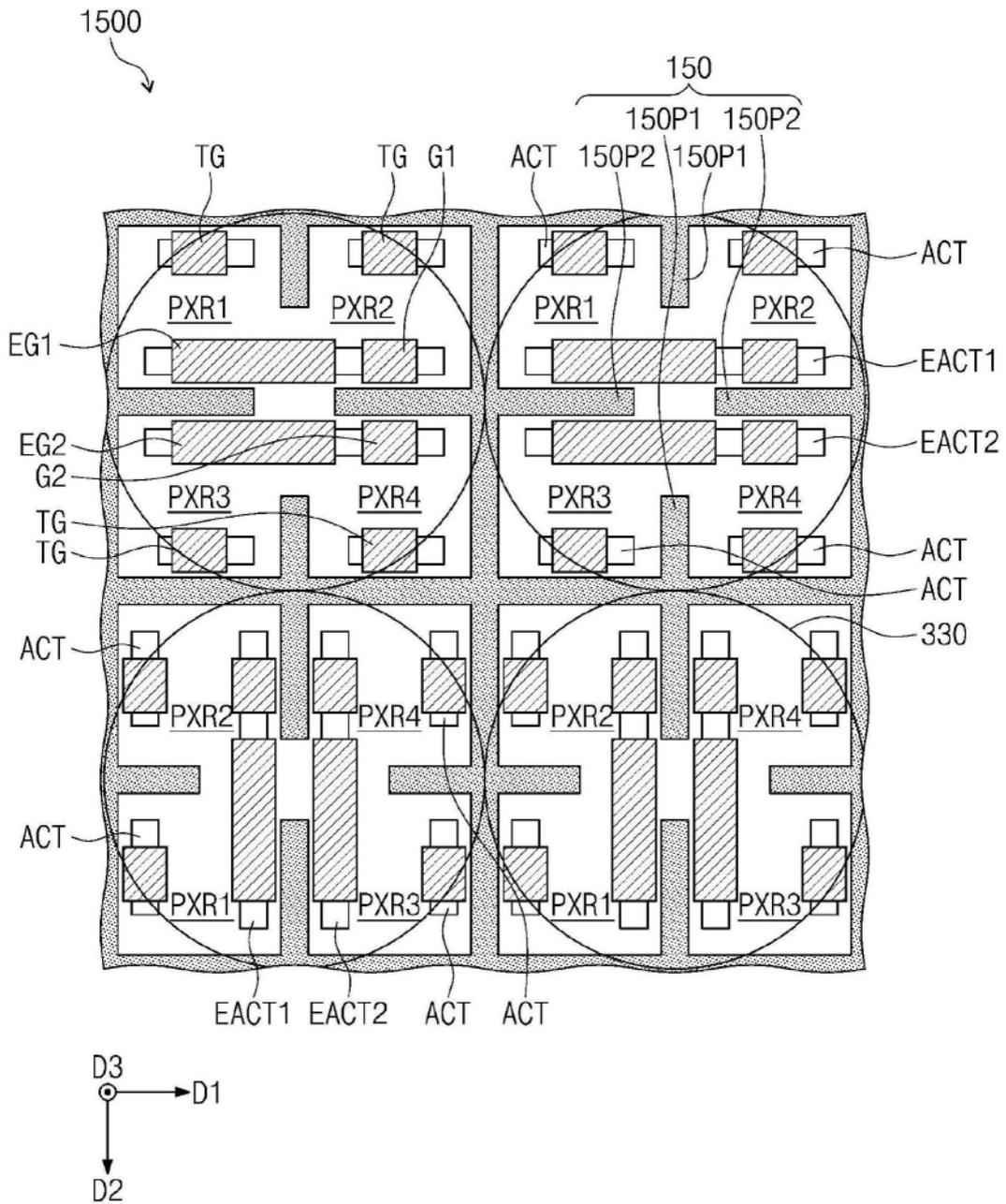


图15

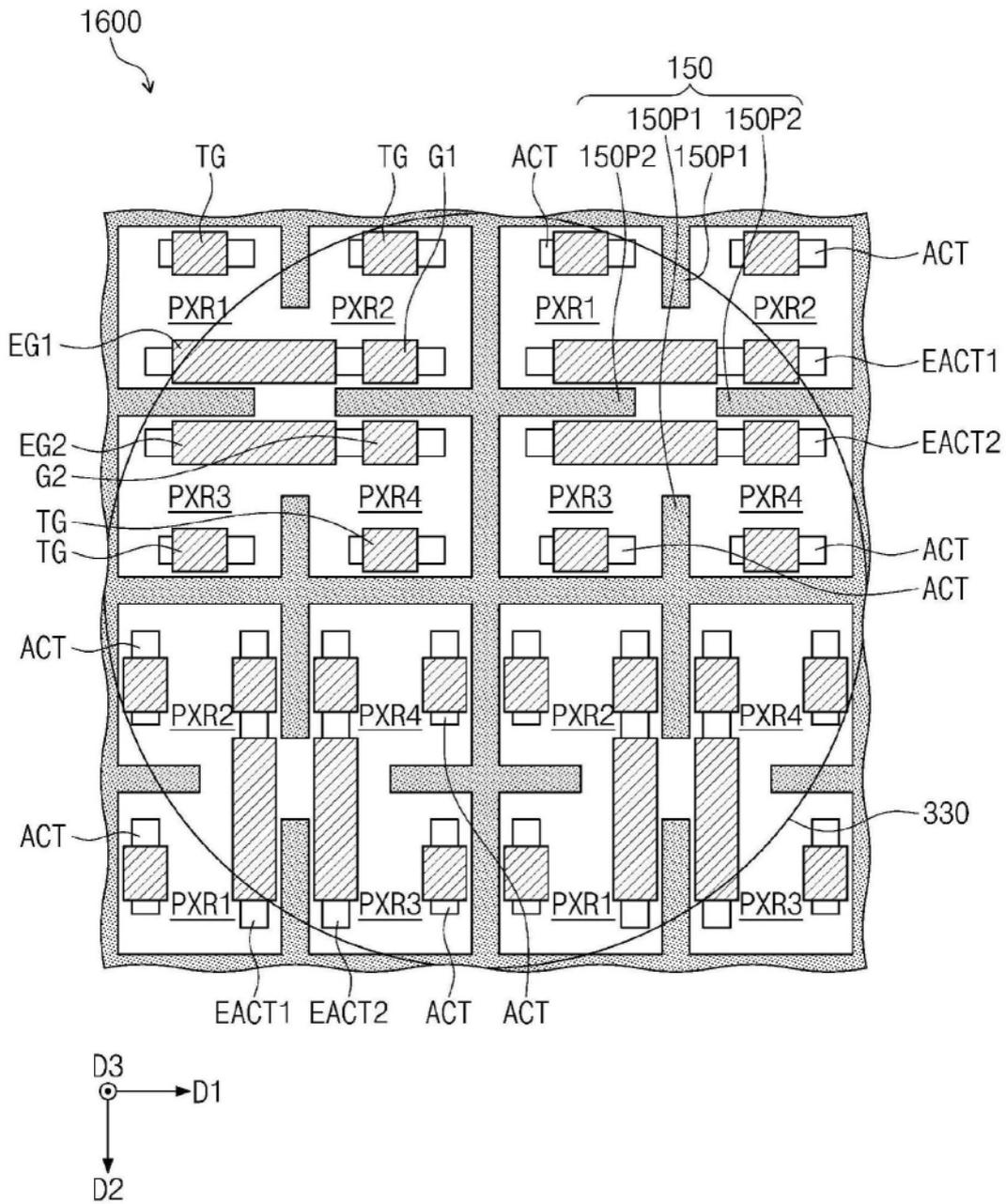


图16

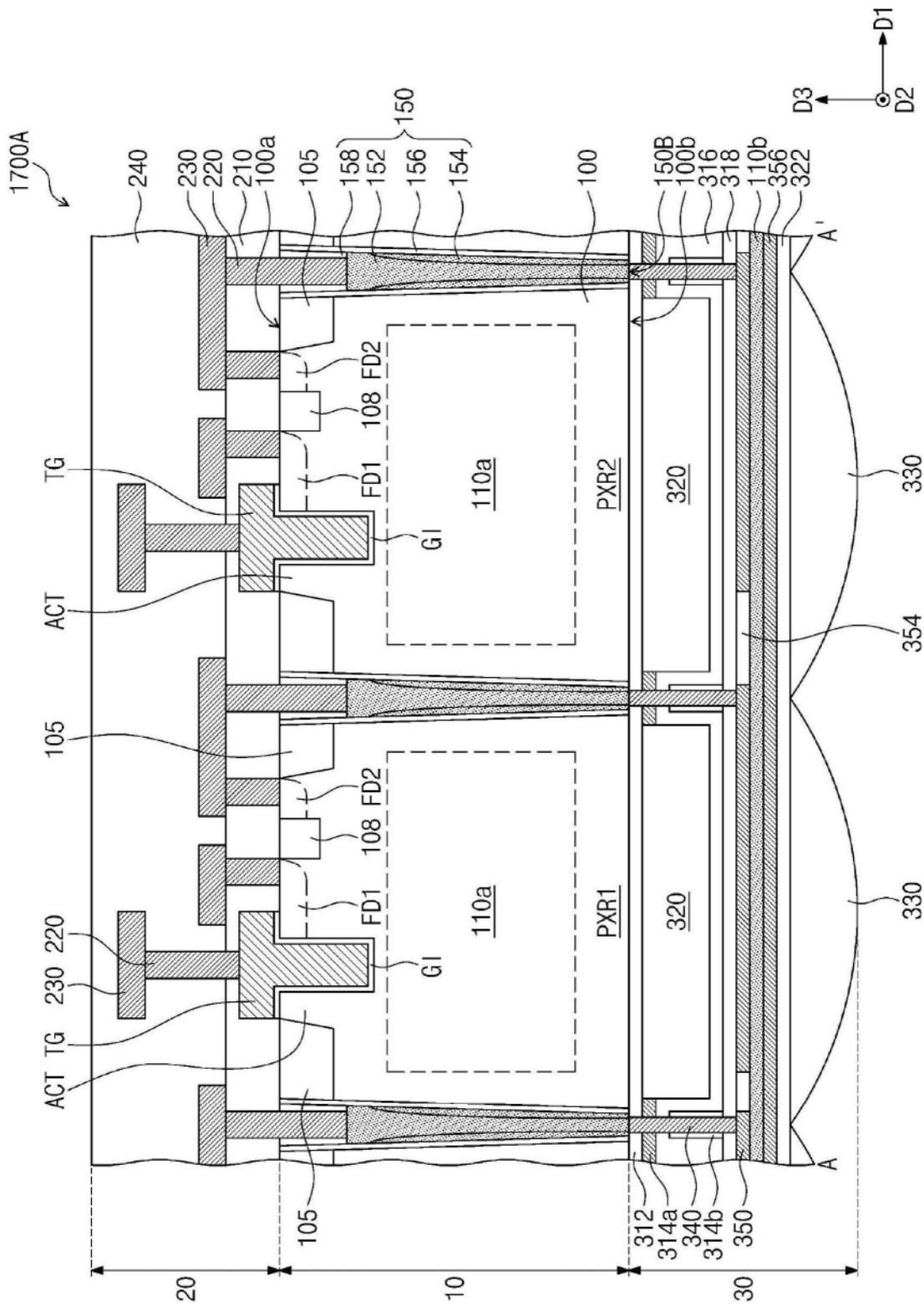


图17A

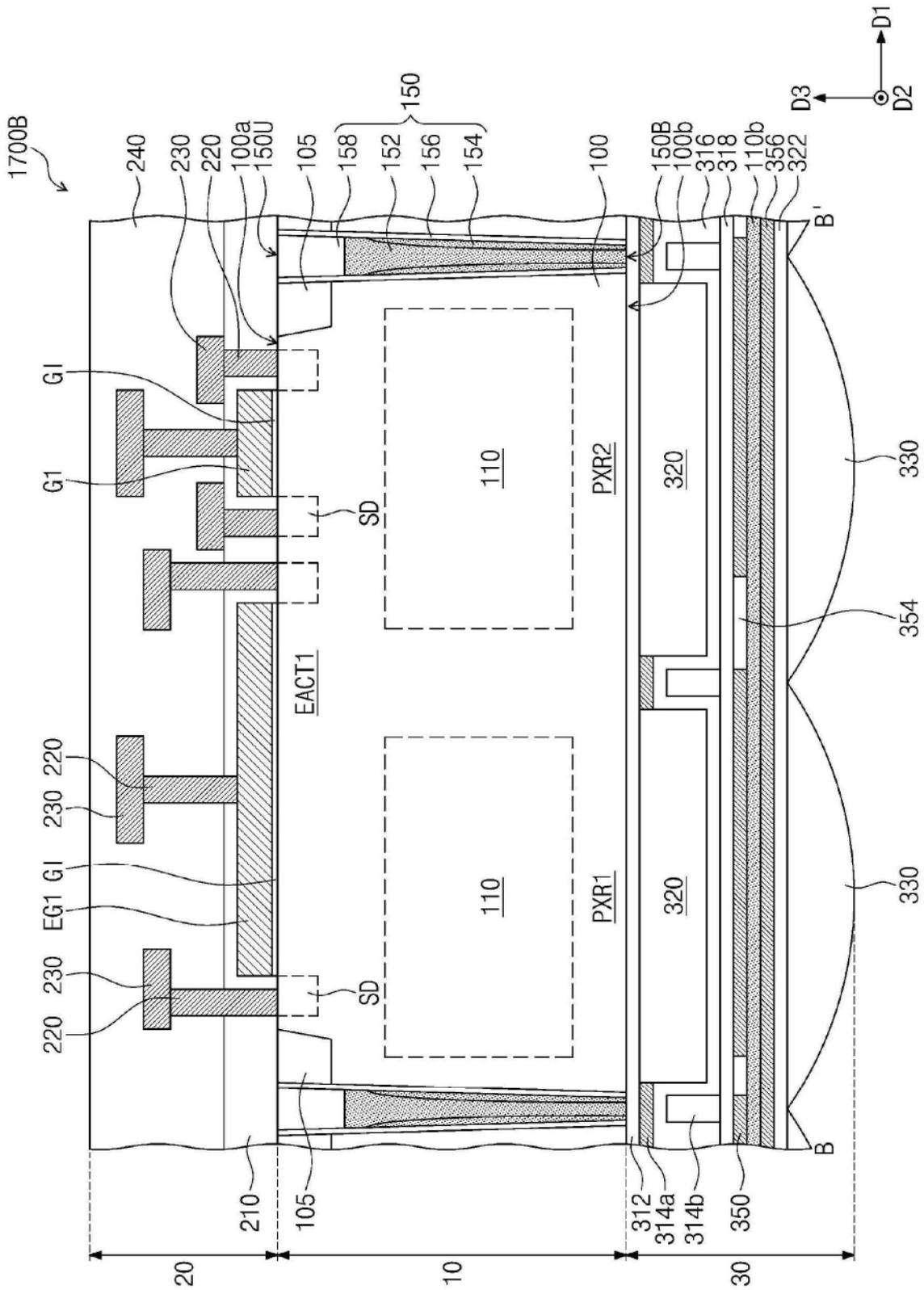


图17B

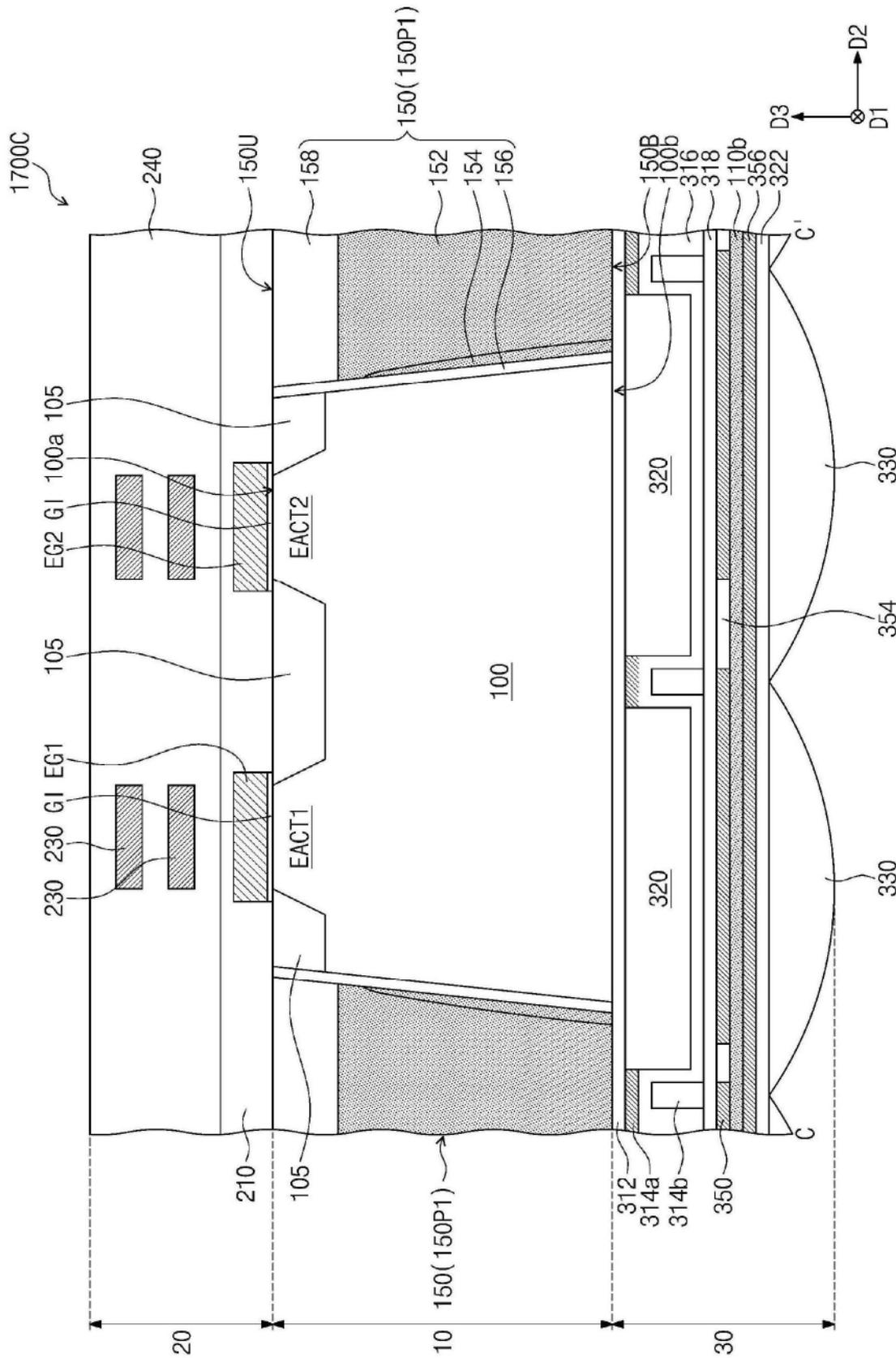


图17C

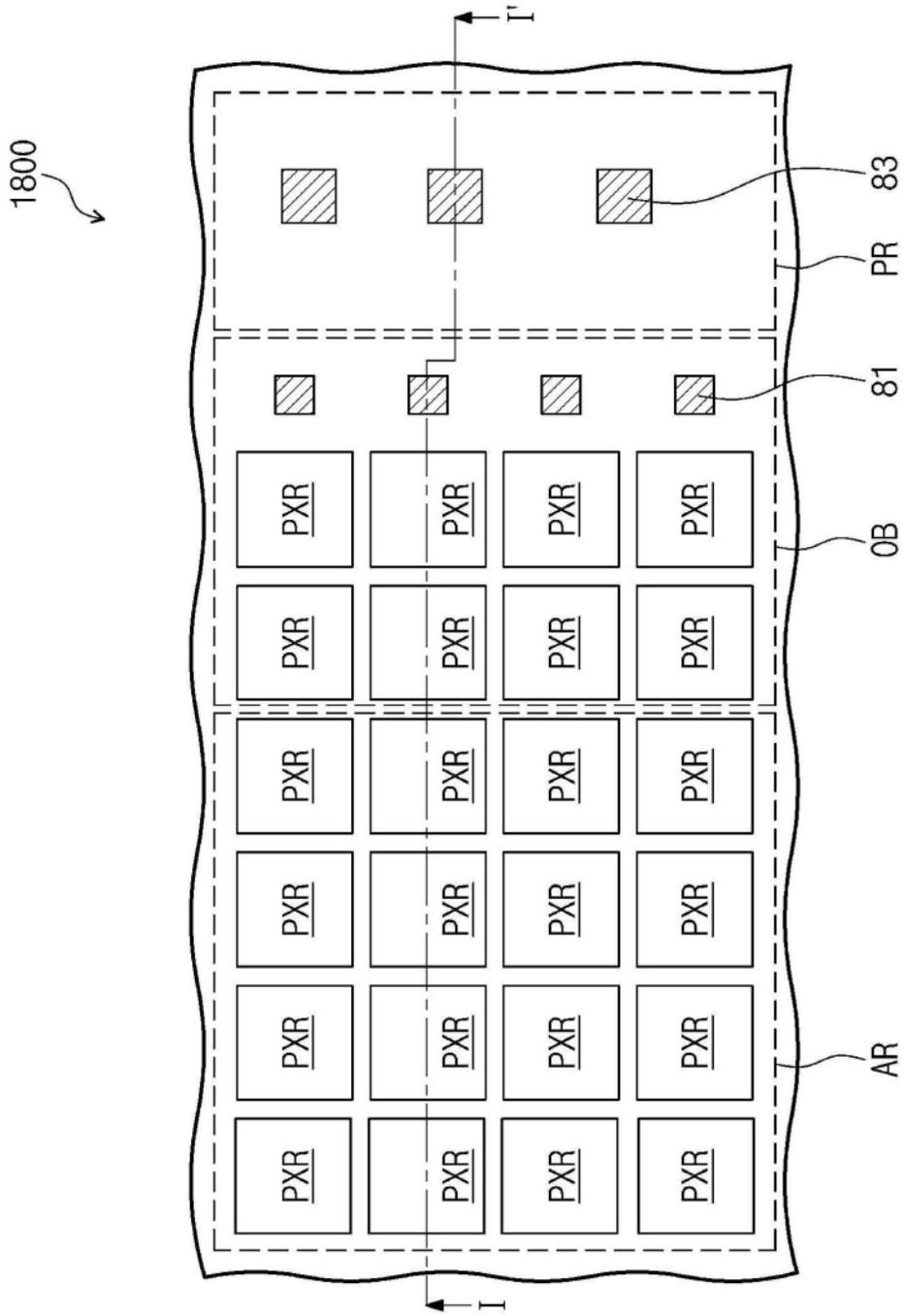


图18

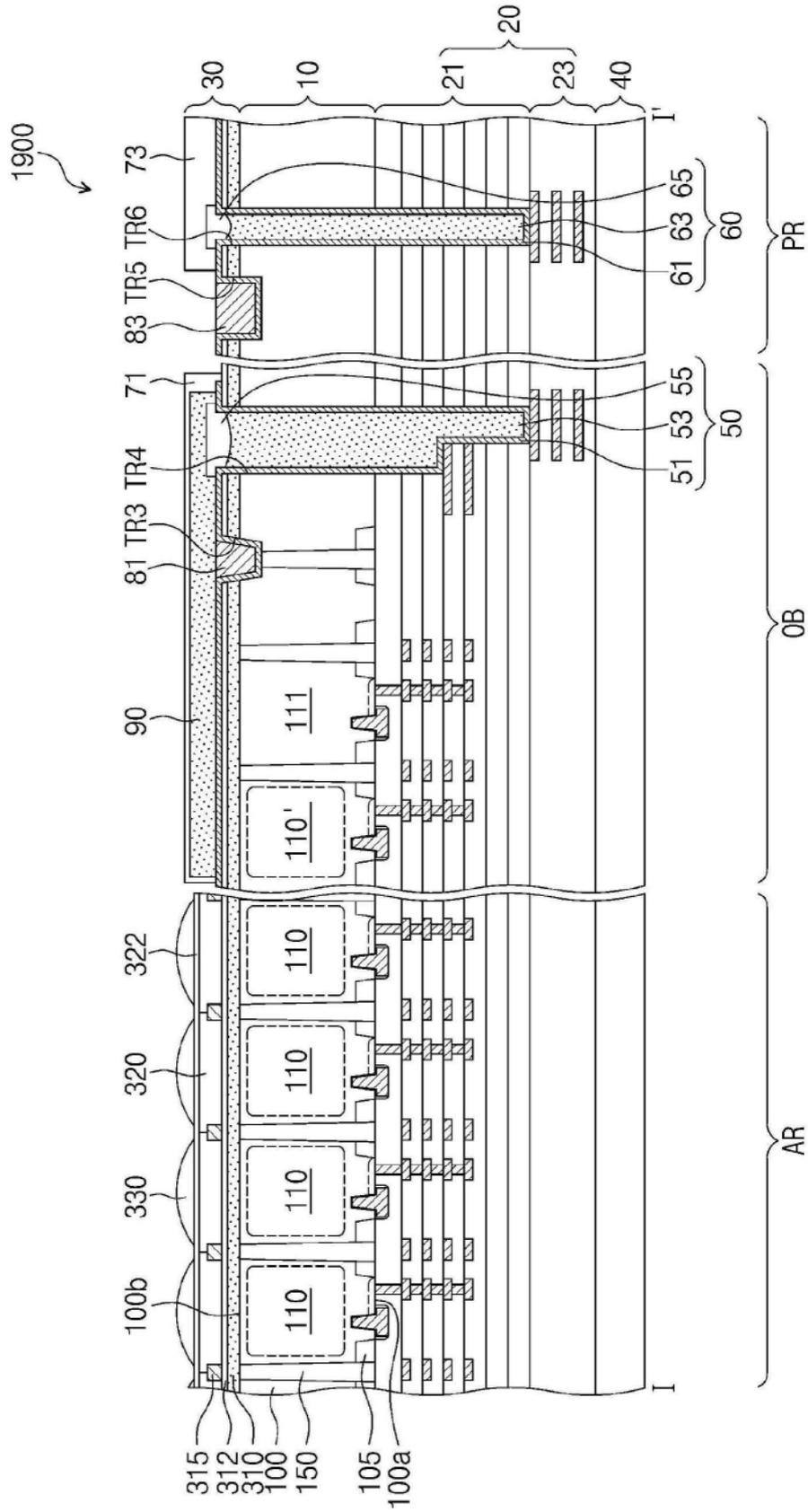


图19