



(43) 申请公布日 2021.08.31

H01L 29/786 (2006.01)

1. 一种半导体装置,包括:

包括第一存储单元的第一元件层;

包括第二存储单元的第二元件层;

包括切换电路的第三元件层;以及

包括驱动电路的硅衬底,

其中,所述第一元件层设置在所述硅衬底和所述第二元件层之间,

所述第三元件层设置在所述硅衬底和所述第一元件层之间,

所述第一存储单元包括第一晶体管及第一电容器,

所述第二存储单元包括第二晶体管及第二电容器,

所述切换电路包括第三晶体管,该第三晶体管具有控制所述第一存储单元或所述第二存储单元和所述驱动电路之间的导通状态的功能,

第一晶体管的源极和漏极中的一个及第二晶体管的源极和漏极中的一个分别与用来电连接到所述第三晶体管的源极和漏极中的一个的布线电连接,

第三晶体管的源极和漏极中的另一个与所述驱动电路电连接,

并且,所述布线接触于所述第一晶体管所包括的第一半导体层及所述第二晶体管所包括的第二半导体层并设置在相对于所述硅衬底的表面的垂直方向或大致垂直方向上。

2. 根据权利要求1所述的半导体装置,

其中所述第一半导体层及第二半导体层分别在沟道形成区域中包括金属氧化物。

3. 根据权利要求1或2所述的半导体装置,

其中所述第一电容器设置在所述第一半导体层的下方的层,

并且所述第二电容器设置在所述第二半导体层的下方的层。

4. 根据权利要求1或2所述的半导体装置,

其中所述第一电容器设置在所述第一半导体层的上方的层,

并且所述第二电容器设置在所述第二半导体层的上方的层。

5. 根据权利要求1或2所述的半导体装置,

其中所述第一电容器的一个电极设置在与所述第一半导体层相同的层,

并且所述第二电容器的一个电极设置在与所述第二半导体层相同的层。

6. 一种半导体装置,包括:

包括第一存储单元的第一元件层;

包括第二存储单元的第二元件层;

包括第一控制电路的第三元件层;以及

包括驱动电路的硅衬底,

其中,所述第一元件层设置在所述硅衬底和所述第二元件层之间,

所述第三元件层设置在所述硅衬底和所述第一元件层之间,

所述第一存储单元包括第一晶体管及第一电容器,

所述第二存储单元包括第二晶体管及第二电容器,

所述第一控制电路包括用来将从所述第一存储单元读出的信号放大的第三晶体管,

第一晶体管的源极和漏极中的一个及第二晶体管的源极和漏极中的一个分别与用来电连接到所述第三晶体管的栅极的第一布线电连接,

第三晶体管的源极和漏极中的一个与用来电连接到所述驱动电路的第二布线电连接，
所述第一布线接触于所述第一晶体管所包括的第一半导体层及所述第二晶体管所包括的第二半导体层并设置在相对于所述硅衬底的表面的垂直方向或大致垂直方向上，
并且，所述第二布线设置在相对于所述第一布线的平行方向或大致平行方向上。

7. 根据权利要求6所述的半导体装置，

其中所述第一控制电路包括第四晶体管，

所述第四晶体管的源极和漏极中的一个与所述第三晶体管的源极和漏极中的一个电连接，

并且所述第四晶体管的源极和漏极中的另一个与所述第二布线电连接。

8. 根据权利要求6或7所述的半导体装置，

其中所述第一控制电路包括第五晶体管及第六晶体管，

所述第五晶体管的源极和漏极中的一个与所述第三晶体管的栅极电连接，

所述第五晶体管的源极和漏极中的另一个与所述第二布线电连接，

所述第六晶体管的源极和漏极中的一个与所述第三晶体管的源极和漏极中的另一个电连接，

并且所述第六晶体管的源极和漏极中的另一个与接地线电连接。

9. 根据权利要求6至8中任一项所述的半导体装置，

其中所述第一半导体层及第二半导体层分别在沟道形成区域中包括金属氧化物。

10. 根据权利要求9所述的半导体装置，

其中所述金属氧化物包含In、Ga及Zn。

11. 根据权利要求6至10中任一项所述的半导体装置，

其中所述第一电容器设置在所述第一半导体层的下方的层，

并且所述第二电容器设置在所述第二半导体层的下方的层。

12. 根据权利要求6至11中任一项所述的半导体装置，

其中所述第一电容器设置在所述第一半导体层的上方的层，

并且所述第二电容器设置在所述第二半导体层的上方的层。

13. 根据权利要求6至11中任一项所述的半导体装置，

其中所述第一电容器的一个电极设置在与所述第一半导体层相同的层，

并且所述第二电容器的一个电极设置在与所述第二半导体层相同的层。

14. 一种半导体装置，包括：

包括第一存储单元的第一元件层；以及

包括第二存储单元的第二元件层，

其中，层叠有所述第一元件层及所述第二元件层，

所述第一存储单元包括第一晶体管及第一电容器，

所述第二存储单元包括第二晶体管、第三晶体管及第二电容器，

所述第一晶体管的源极和漏极中的一个与所述第一电容器的一个电极电连接，

并且，所述第二晶体管的源极和漏极中的一个与所述第三晶体管的栅极、及所述第二电容器的一个电极电连接。

15. 根据权利要求14所述的半导体装置，其包括衬底，

其中所述第二元件层设置在所述衬底和所述第一元件层之间。

16. 根据权利要求14或15所述的半导体装置，

其中所述第一晶体管包括第一半导体层，

所述第二晶体管包括第二半导体层，

并且所述第一半导体层及第二半导体层分别在沟道形成区域中包括金属氧化物。

17. 根据权利要求16所述的半导体装置，

其中所述金属氧化物包含In、Ga及Zn。

半导体装置及包括该半导体装置的电子设备

技术领域

[0001] 本说明书说明半导体装置等。

[0002] 在本说明书中,半导体装置是指利用半导体特性的装置并是指包含半导体元件(晶体管、二极管、光电二极管等)的电路及具有该电路的装置等。另外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,作为半导体装置的例子,有集成电路、具备集成电路的芯片、封装中容纳有芯片的电子构件。另外,存储装置、显示装置、发光装置、照明装置以及电子设备等本身是半导体装置,或者有时包括半导体装置。

背景技术

[0003] 作为可用于晶体管的半导体,金属氧化物受到关注。被称为“IGZO”等的In-Ga-Zn氧化物是多元系金属氧化物的典型例子。通过对IGZO的研究,发现了既不是单晶也不是非晶的CAAC(c-axis aligned crystalline)结构及nc(nanocrystalline)结构(例如,非专利文献1)。

[0004] 报告了在沟道形成区域中包括金属氧化物半导体的晶体管(下面有时称为“氧化物半导体晶体管”或“OS晶体管”)具有极小的关态电流(例如,非专利文献1、2)。使用OS晶体管的各种半导体装置(例如,非专利文献3、4)被制造。

[0005] 可以将OS晶体管的制造工序列入现有的Si晶体管的CMOS工序,并且OS晶体管可以层叠于Si晶体管。例如,在专利文献1中公开了多个包括OS晶体管的存储单元阵列的层层叠于设置有Si晶体管的衬底上的结构。

[先行技术文献]

[专利文献]

[0006] [专利文献1]美国专利申请公开第2012/0063208号说明书

[非专利文献]

[0007] [非专利文献1]S.Yamazaki et al.,“Properties of crystalline In-Ga-Zn-oxide semiconductor and its transistor characteristics,”Jpn.J.Appl.Phys., vol.53,04ED18(2014)。

[非专利文献2]K.Kato et al.,“Evaluation of Off-State Current Characteristics of Transistor Using Oxide Semiconductor Material,Indium-Gallium-Zinc Oxide,”Jpn.J.Appl.Phys.,vol.51,021201(2012)。

[非专利文献3]S.Amano et al.,“Low Power LC Display Using In-Ga-Zn-Oxide TFTs Based on Variable Frame Frequency,”SID Symp.Dig.Papers,vol.41, pp.626-629(2010)。

[非专利文献4]T.Ishizu et al.,“Embedded Oxide Semiconductor Memories: AKey Enabler for Low-Power ULSI,”ECS Tran.,vol.79,pp.149-156(2017)。

发明内容

发明所要解决的技术问题

[0008] 本发明的一个方式的目的之一是提供一种具有新颖结构的半导体装置等。另外，本发明的一个方式的目的之一是提供一种在被用作利用极小的关态电流的存储装置的半导体装置中能够减少制造成本的具有新颖结构的半导体装置等。另外，本发明的一个方式的目的之一是提供一种在被用作利用极小的关态电流的存储装置的半导体装置中实现低功耗化的具有新颖结构的半导体装置等。另外，本发明的一个方式的目的之一是提供一种在被用作利用极小的关态电流的存储装置的半导体装置中能够实现装置的小型化的具有新颖结构的半导体装置等。另外，本发明的一个方式的目的之一是提供一种在被用作利用极小的关态电流的存储装置的半导体装置中晶体管的电特性的变动小且可靠性优异的具有新颖结构的半导体装置等。

[0009] 多个目的的描述不妨碍互相目的的存在。本发明的一个方式并不需要实现所例示的所有目的。此外，上述列举的目的以外的目的是从本说明书等的记载自然得知的，而这种目的有可能成为本发明的一个方式的目的。

解决技术问题的手段

[0010] 本发明的一个方式是一种半导体装置，包括：包括第一存储单元的第一元件层；包括第二存储单元的第二元件层；包括切换电路的第三元件层；以及包括驱动电路的硅衬底，其中，第一元件层设置在硅衬底和第二元件层之间，第三元件层设置在硅衬底和第一元件层之间，第一存储单元包括第一晶体管及第一电容器，第二存储单元包括第二晶体管及第二电容器，切换电路包括第三晶体管，该第三晶体管具有控制第一存储单元或第二存储单元和驱动电路之间的导通状态的功能，第一晶体管的源极和漏极中的一个及第二晶体管的源极和漏极中的一个分别与用来电连接到第三晶体管的源极和漏极中的一个的布线电连接，第三晶体管的源极和漏极中的另一个与驱动电路电连接，并且，布线接触于第一晶体管所包括的第一半导体层及第二晶体管所包括的第二半导体层并设置在相对于硅衬底的表面的垂直方向或大致垂直方向上。

[0011] 在本发明的一个方式中优选为一种半导体装置，其中第一半导体层及第二半导体层分别在沟道形成区域中包括金属氧化物。

[0012] 在本发明的一个方式中优选为一种半导体装置，其中第一电容器设置在第一半导体层的下方的层，并且第二电容器设置在第二半导体层的下方的层。

[0013] 在本发明的一个方式中优选为一种半导体装置，其中第一电容器设置在第一半导体层的上方的层，并且第二电容器设置在第二半导体层的上方的层。

[0014] 在本发明的一个方式中优选为一种半导体装置，其中第一电容器的一个电极设置在与第一半导体层相同的层，第二电容器的一个电极设置在与第二半导体层相同的层。

[0015] 本发明的一个方式是一种半导体装置，包括：包括第一存储单元的第一元件层；包括第二存储单元的第二元件层；包括第一控制电路的第三元件层；以及包括驱动电路的硅衬底，其中，上述第一元件层设置在上述硅衬底和上述第二元件层之间，上述第三元件层设置在上述硅衬底和上述第一元件层之间，上述第一存储单元包括第一晶体管及第一电容器，上述第二存储单元包括第二晶体管及第二电容器，上述第一控制电路包括用来将上述第一存储单元读出的信号放大的第三晶体管，第一晶体管的源极和漏极中的一个及第二

晶体管的源极和漏极中的一个分别与用来电连接到上述第三晶体管的栅极的第一布线电连接,第三晶体管的源极和漏极中的一个与用来电连接到上述驱动电路的第二布线电连接,上述第一布线接触于上述第一晶体管所包括的第一半导体层及上述第二晶体管所包括的第二半导体层并设置在相对于上述硅衬底的表面的垂直方向或大致垂直方向上,并且,上述第二布线设置在相对于上述第一布线的平行方向或大致平行方向上。

[0016] 在本发明的一个方式中优选为一种半导体装置,其中上述第一控制电路包括第四晶体管,上述第四晶体管的源极和漏极中的一个与上述第三晶体管的源极和漏极中的一个电连接,并且上述第四晶体管的源极和漏极中的另一个与上述第二布线电连接。

[0017] 在本发明的一个方式中优选为一种半导体装置,其中上述第一控制电路包括第五晶体管及第六晶体管,上述第五晶体管的源极和漏极中的一个与上述第三晶体管的栅极电连接,上述第五晶体管的源极和漏极中的另一个与上述第二布线电连接,上述第六晶体管的源极和漏极中的一个与上述第三晶体管的源极和漏极中的另一个电连接,上述第六晶体管的源极和漏极中的另一个与接地线电连接。

[0018] 在本发明的一个方式中优选为一种半导体装置,其中上述第一半导体层及第二半导体层分别在沟道形成区域中包括金属氧化物。

[0019] 在本发明的一个方式中优选为一种半导体装置,其中上述金属氧化物包含In、Ga及Zn。

[0020] 在本发明的一个方式中优选为一种半导体装置,其中上述第一电容器设置在上述第一半导体层的下方的层,并且上述第二电容器设置在上述第二半导体层的下方的层。

[0021] 在本发明的一个方式中优选为一种半导体装置,其中上述第一电容器设置在上述第一半导体层的上方的层,并且上述第二电容器设置在上述第二半导体层的上方的层。

[0022] 在本发明的一个方式中优选为一种半导体装置,其中上述第一电容器的一个电极设置在与上述第一半导体层相同的层,并且上述第二电容器的一个电极设置在与上述第二半导体层相同的层。

[0023] 本发明的一个方式是一种半导体装置,包括:包括第一存储单元的第一元件层;以及包括第二存储单元的第二元件层,其中,层叠有上述第一元件层及上述第二元件层,上述第一存储单元包括第一晶体管及第一电容器,上述第二存储单元包括第二晶体管、第三晶体管及第二电容器,上述第一晶体管的源极和漏极中的一个与上述第一电容器的一个电极电连接,上述第二晶体管的源极和漏极中的一个与上述第三晶体管的栅极及上述第二电容器的一个电极电连接。

[0024] 在本发明的一个方式中优选为一种半导体装置,其包括衬底,其中上述第二元件层设置在上述衬底和上述第一元件层之间。

[0025] 在本发明的一个方式中优选为一种半导体装置,其中上述第一晶体管包括第一半导体层,上述第二晶体管包括第二半导体层,并且上述第一半导体层及第二半导体层分别在沟道形成区域中包括金属氧化物。

[0026] 在本发明的一个方式中优选为一种半导体装置,其中上述金属氧化物包含In、Ga及Zn。

[0027] 注意,本发明的其他方式记载于下面所述的实施方式中的说明及附图中。

发明效果

[0028] 本发明的一个方式可以提供一种具有新颖结构的半导体装置等。另外,本发明的一个方式可以提供一种在被用作利用极小的关态电流的存储装置的半导体装置中能够减少制造成本的具有新颖结构的半导体装置等。另外,本发明的一个方式可以提供一种在被用作利用极小的关态电流的存储装置的半导体装置中实现低功耗化的具有新颖结构的半导体装置等。另外,本发明的一个方式可以提供一种在被用作利用极小的关态电流的存储装置的半导体装置中能够实现装置的小型化的具有新颖结构的半导体装置等。另外,本发明的一个方式可以提供一种在被用作利用极小的关态电流的存储装置的半导体装置中晶体管的电特性的变动小且可靠性优异的具有新颖结构的半导体装置等。

[0029] 多个效果的记载不妨碍彼此的效果的存在。此外,本发明的一个方式并不需要具有所有上述效果。在本发明的一个方式中,上述之外的目的、效果及新颖的特征可从本说明书中的描述及附图自然得知。

附图简要说明

[0030] 图1A是示出半导体装置的结构例子的方框图且图1B是示出其示意图。

图2是示出半导体装置的结构例子的示意图。

图3A是示出半导体装置的结构例子的示意图且图3B是其示意图。

图4是示出半导体装置的结构例子的电路图。

图5是示出半导体装置的结构例子的时序图。

图6A是示出半导体装置的结构例子的方框图且图6B是其示意图。

图7是示出半导体装置的结构例子的示意图。

图8是示出半导体装置的结构例子的电路图。

图9是示出半导体装置的结构例子的示意图。

图10A是示出半导体装置的结构例子的示意图且图10B是其示意图。

图11A是示出半导体装置的结构例子的方框图且图11B是其示意图。

图12A是示出半导体装置的结构例子的方框图且图12B是其电路图。

图13是示出半导体装置的结构例子的方框图。

图14是示出半导体装置的结构例子的示意图。

图15是示出半导体装置的结构例子的示意图。

图16是示出半导体装置的结构例子的示意图。

图17是示出半导体装置的结构例子的示意图。

图18A是示出半导体装置的结构例子的电路图且图18B是其电路图。

图19A是示出半导体装置的结构例子的电路图且图19B是其电路图。

图20是示出半导体装置的结构例子的电路图。

图21是示出半导体装置的结构例子的电路图。

图22是示出半导体装置的结构例子的电路图。

图23是示出半导体装置的结构例子的时序图。

图24是示出半导体装置的结构例子的电路图。

图25A是示出半导体装置的结构例子的方框图且图25B是其示意图。

图26是示出半导体装置的结构例子的示意图。

图27A是示出半导体装置的结构例子的示意图且图27B是其示意图。

图28是示出半导体装置的结构例子的电路图。

图29是示出半导体装置的结构例子的时序图。

图30是说明半导体装置的结构例子的示意图。

图31是示出半导体装置的结构例子的示意图。

图32是示出半导体装置的结构例子的示意图。

图33是说明半导体装置的结构例子的示意图。

图34是示出半导体装置的结构例子的截面示意图。

图35A是示出半导体装置的结构例子的截面示意图且图35B是其截面示意图。

图36A是示出半导体装置的结构例子的截面示意图,图36B是其截面示意图且图36C是其截面示意图。

图37是示出半导体装置的结构例子的截面示意图。

图38是示出半导体装置的结构例子的截面示意图。

图39A是示出半导体装置的结构例子的俯视图,图39B是其截面示意图且图39C是其截面示意图。

图40A至图40D是示出半导体装置的结构例子的俯视图。

图41A是说明IGZO的结晶结构的分类的图,图41B是说明CAAC-IGZO膜的XRD光谱的图且图41C是说明CAAC-IGZO膜的纳米束电子衍射图案的图。

图42是说明半导体装置的结构例子的方框图。

图43是示出半导体装置的结构例子的示意图。

图44A是示出半导体装置的结构例子的图表且图44B是其图表;

图45A是说明电子构件的一例的示意图且图45B是其示意图。

图46是示出电子设备的例子的图。

实施发明的方式

[0031] 下面,参照附图对实施方式进行了说明。注意,本发明的一个实施方式不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明的一个方式不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0032] 注意,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。另外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书的范围中被设为“第二”所指的构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书的范围中被省略。

[0033] 在附图中,有时使用同一符号表示同一要素或具有相同功能的要素、同一材质的要素或同时形成的要素,并有时省略重复说明。

[0034] 在本说明书中,有时将电源电位VDD简称为电位VDD、VDD等。其他构成要素(例如,信号、电压、电路、元件、电极及布线等)也是同样的。

[0035] 另外,在多个要素使用同一符号并且需要区别它们时,有时对符号附加“_1”,“_

2”，“[n]”，“[m,n]”等用于识别的符号。例如，将第二布线GL表示为布线GL[2]。

[0036] (实施方式1)

参照图1至图5说明本发明的一个方式的半导体装置及半导体装置的工作方法的结构例子。

[0037] 注意，半导体装置是指利用半导体特性的装置及包括半导体元件(晶体管、二极管、光电二极管等)的电路及包括该电路的装置。在本实施方式中说明的半导体装置可以是被用作利用极小的关态电流的晶体管的存储装置的半导体装置。

[0038] 图1A是示出在本实施方式中说明的半导体装置的方框图。图1A所示的半导体装置10包括外围电路20及存储单元阵列30。

[0039] 外围电路20包括行驱动器21及列驱动器22。有时将行驱动器21及列驱动器22简单地称为驱动电路或驱动器。

[0040] 行驱动器21是具有对字线WL输出用来驱动存储单元阵列30的信号的功能的电路。具体而言，行驱动器21具有对字线WL(在图1A中示出WL_1及WL_N。N为2以上的自然数)传送字信号的功能。行驱动器21有时被称为字线侧驱动电路。另外，行驱动器21包括用来根据所指定的地址选择字线WL的译码器电路及缓冲器电路等。注意，有时将字线WL简单地称为布线。

[0041] 列驱动器22是具有对位线BL输出用来驱动存储单元阵列30的信号的功能的电路。具体而言，列驱动器22具有对位线BL(图1A中的BL_1及BL_2)传送数据信号的功能。列驱动器22有时被称为位线侧驱动电路。另外，列驱动器22包括读出放大器、预充电电路、用来根据所指定的地址选择位线的译码器电路等。注意，有时将位线BL简单地称为布线。另外，在附图中为了提高易见度，使用粗线或粗虚线等示出位线BL。

[0042] 对位线BL供应的数据信号相当于写入到存储单元的信号或从存储单元读出的信号。以数据信号为具有对应于数据1或数据0的高电平或低电位的电位的二值信号进行说明。另外，数据信号也可以是三值以上的多值。高电位的电位为VDD，低电位的电位为VSS或接地电位(GND)。作为供应给位线BL的信号，除了数据信号之外，还有用来读出数据的预充电电位等。将预充电电位可以设定为VDD/2。

[0043] 存储单元阵列30包括多个元件层，例如N个(N为2以上的自然数)元件层34_1至34_N。元件层34_1包括一个以上的存储单元31_1。存储单元31_1包括晶体管32_1及电容器33_1。元件层34_N包括一个以上的存储单元31_N。存储单元31_N包括晶体管32_N及电容器33_N。注意，将电容器有时称为电容元件。注意，元件层是设置有电容器或晶体管等的元件的层，并且由导电体、半导体及绝缘体等的构件形成的层。

[0044] 晶体管32_1至32_N被用作根据供应给字线WL_1至WL_N的字信号控制导通或关闭的开关。晶体管32_1至32_N的各自源极和漏极中的一个与位线BL中的任一个(附图中的BL_1)连接。

[0045] 作为晶体管32_1至32_N，优选由在沟道形成区域中包括氧化物半导体的晶体管(以下称为OS晶体管)构成。通过在本发明的一个方式的结构中采用使用包括OS晶体管的存储单元的结构，在关闭时流过源极和漏极间的泄漏电流(以下称为关态电流)极少，因此利用该特性，可以将对应于所希望的电压的电荷保持在连接于源极和漏极中的另一个的电容器33_1至33_N中。换言之，在存储单元31_1至31_N中，可以长时间保持写入了的数据。因此，

可以降低刷新数据的频率,而实现低功耗化。

[0046] 加上,在使用OS晶体管的存储单元31_1至31_N中,通过电荷的充电或放电,可以进行数据的改写及读出,由此在实际上能够无限次写入及读出数据。使用OS晶体管的存储单元31_1至31_N因为没有磁力存储器或阻变式存储器等引起的原子级的结构的变化,所以具有良好的改写耐性。另外,使用OS晶体管的存储单元31_1至31_N即使像快闪存储器那样地进行反复改写工作也没有起因于电子俘获中心的增加而导致的不稳定性。

[0047] 另外,使用OS晶体管的存储单元31_1至31_N可以自由地配置在设有沟道形成区域中包含硅的晶体管(以下称为Si晶体管)的硅衬底上等,因此容易进行集成化。另外,通过利用与Si晶体管同样的制造装置可以制造OS晶体管,因此可以以低成本制造。

[0048] 另外,OS晶体管在除了栅电极、源电极及漏电极之外还加有背栅电极的情况下,可以成为4端子的半导体元件。由根据施加到栅电极或背栅电极的电压可以独立地控制流过源极和漏极间的信号的输入输出的电路网构成OS晶体管。因此,可以与LSI相同地进行电路设计。加上,OS晶体管在高温环境下具有比Si晶体管优越的电特性。具体而言,即使在125℃以上且150℃以下的高温下也通态电流与关态电流的比率大,因此可以进行良好的开关工作。

[0049] 另外,图1A所示的存储单元可以被称为将OS晶体管用于存储器的DOSRAM(Dynamic Oxide Semiconductor Random Access Memory:动态氧化物半导体随机存取存储器)。因为由一个晶体管及一个电容器可以构成,所以可以实现存储器的高密度化。另外,通过使用OS晶体管,可以延长数据的保持期间。电容器33_1至33_N具有在用作电极的导电体之间夹有绝缘体的结构。注意,作为构成电极的导电体,除了金属之外还可以使用赋予导电性的半导体层等。另外,将在后面说明详细内容,然而电容器33_1至33_N可以配置在重叠于晶体管32_1至32_N的上方或下方的位置,或者构成晶体管32_1至32_N的半导体层或电极等的一部分可以被用作电容器33_1至33_N的一个电极。

[0050] 在图1A中说明的各结构中,为了说明本发明的一个方式中的元件层34_1至34_N,参照图1B的示意图进行说明。为了说明图1A中说明的各结构的配置,图1B所示的示意图对应于设定x轴方向、y轴方向及z轴方向的立体图。注意,为了明确起见,在本说明书中,有时将x轴方向称为纵深方向,将y轴方向称为水平方向,将z轴方向称为垂直方向。

[0051] 如图1B所示那样,元件层34_1至34_N层叠有N个。包括存储单元31_1至31_N的元件层34_1至34_N分别具有与设置在硅衬底11的列驱动器22重叠的区域。如图1B所示那样,元件层34_1可以说是设置在硅衬底11和元件层34_N之间。

[0052] 另外,元件层34_1所包括的存储单元31_1的晶体管和元件层34_N所包括的存储单元31_N的晶体管经过设置在垂直方向的位线BL连接。另外,位线BL与设置在硅衬底11的列驱动器22连接。

[0053] 位线BL_1以与存储单元31_1所包括的晶体管的半导体层及存储单元31_N所包括的晶体管的半导体层接触的方式设置。或者,位线BL_1以与存储单元31_1所包括的晶体管的半导体层的被用作源极或漏极的区域及存储单元31_N所包括的晶体管的半导体层的被用作源极或漏极的区域接触的方式设置。或者,位线BL_1以与如下导电体接触的方式设置,该导电体是接触于存储单元31_1所包括的晶体管的半导体层的被用作源极或漏极的区域的导电体及接触于存储单元31_N所包括的晶体管的半导体层的被用作源极或漏极的区域

的导电体。换言之，位线BL可以说是用来使存储单元31_1所包括的晶体管的源极和漏极中的一个、存储单元31_N所包括的晶体管的源极和漏极中的一个及列驱动器22在垂直方向上电连接的布线。

[0054] 注意，位线BL可以说是在相对于设有列驱动器22的硅衬底11的面的垂直方向或大致垂直方向上延伸地设置。换言之，如图1B所示那样，位线BL与存储单元31_1所包括的晶体管及存储单元31_N所包括的晶体管连接，并且在相对于上述硅衬底的表面(xy平面)的垂直方向或大致垂直方向'(z方向)上设置。另外，“大致垂直”是指以85度以上且95度以下的角度设置的状态。

[0055] 另外，设置在硅衬底11的行驱动器21和在元件层34_1至元件层34_N的纵深方向上延伸地设置的字线WL可以具有在经过如下区域连接的结构，即不设置元件层34_1至元件层34_N中的存储单元31_1至31_N的区域，例如元件层34_1至元件层34_N的外周部的开口部。设置在硅衬底11的行驱动器21和设置在各元件层的字线WL可以经过设置在元件层34_1至元件层34_N的上方的层的布线连接。

[0056] 在本发明的一个方式中，作为设置在各元件层的晶体管，使用关态电流极小的0S晶体管。因此，可以降低储存于存储单元的数据的刷新频率，可以实现低功耗化了的半导体装置。0S晶体管可以层叠地设置并向垂直方向上反复利用相同的制造工序而制造，因此能够实现制造成本的降低。另外，在本发明的一个方式中，构成存储单元的晶体管也可以不向平面方向而向垂直方向上配置来提高存储密度，因此能够实现装置的小型化。另外，0S晶体管即使在高温环境下也其电特性的变动比Si晶体管小，因此可以实现在层叠并集成化了的晶体管的电特性的变动小且被用作可靠性良好的存储装置的半导体装置。另外，在本发明的一个方式中，将从存储单元阵列延伸地设置的位线设置为垂直方向，因此可以缩短存储单元阵列及列驱动器的位线的长度。由此，可以大幅度地减少位线的寄生电容，因而使储存于存储单元的数据信号多值化也可以读出电位。

[0057] 在图2中示出参照图1A及图1B说明的半导体装置10的平行于垂直方向(z轴方向)的面的截面的示意图。

[0058] 如图2所示那样，半导体装置10也可以采用如下结构，将设置在各层的元件层的存储单元31_1至31_N和设置在硅衬底11的列驱动器22经过在作为最短距离的垂直方向上设置的位线BL连接。与将位线BL配置为平面方向的结构相比，虽然增加位线BL的数量，然而可以减少连接于一个位线的存储单元31_1至31_N的数量，因此可以减少位线BL的寄生电容。由此，即使减少存储单元31_1至31_N所包括的电容器33_1至33_N的电容，也能够使电荷移动时发生的位线BL的电位变动。

[0059] 另外，因为可以减少存储单元31_1至31_N所包括的电容器33_1至33_N的电容，所以电容器33_1至33_N可以设置在与晶体管32_1至32_N相同的层。通过将电容器33_1至33_N设置在与晶体管32_1至32_N相同的层，可以使每一层的元件层34_1至34_N减薄。因此，能够实现半导体装置10的小型化。

[0060] 另外，存储单元31_1至31_N所包括的电容器33_1至33_N可以采用设置在与晶体管32_1至32_N相同的层的结构，也可以采用其他结构。例如，图3A所示的示意图示出元件层34_1至34_N所包括的存储单元31的电容器33A设置在相对于晶体管32的垂直方向的上方的结构。通过采用该结构，可以增大电容，因此能够提高被读出的数据的可靠性且延长数据的

保持时间。另外,在图3A的结构中,可以在晶体管32的上方配置其一个电极连接到固定电位的电容器33A,因此能够抑制来自外部的噪声的影响。

[0061] 另外,图3B所示的示意图示出元件层34_1至34_N所包括的存储单元31的电容器33B设置在相对于晶体管32的垂直方向的下方的结构。通过采用该结构,可以增大电容,因此能够提高被读出的数据的可靠性且延长数据的保持时间。另外,在图3B的结构中,可以在晶体管32和列驱动器22之间配置其一个电极连接到固定电位的电容器33B,因此能够抑制列驱动器22的噪声给存储单元31的影响。

[0062] 图4示出说明图1A所说明的包括元件层34_1至34_N的存储单元阵列30的电路结构例子及与该存储单元连接的列驱动器22的具体的电路结构例子的电路图。

[0063] 在图4中,作为存储单元阵列30示出元件层34_1至34_N。在图4中,作为与位线BL_A连接的存储单元示出存储单元31_N_A。存储单元31_N_A包括栅极与字线WL_A连接的晶体管32A及电容器33。另外,在图4中,作为与位线BL_B连接的存储单元示出存储单元31_N_B。存储单元31_N_B包括栅极与字线WL_B连接的晶体管32B及电容器33。各元件层的电容器33与被供应如接地电位的固定电位的布线VL连接。

[0064] 另外,在图4中,作为列驱动器22所包括的电路,示出位于硅衬底一侧的预充电电路22_1、读出放大器22_2、选择开关22_3及写入读出电路29。构成预充电电路22_1及读出放大器22_2的晶体管使用Si晶体管。选择开关22_3也可以使用Si晶体管。

[0065] 预充电电路22_1由n沟道型晶体管24_1至24_3构成。预充电电路22_1是指根据供应给预充电线PCL的预充电信号将位线BL_A及位线BL_B预充电至相当于VDD和VSS之间的电位VDD/2的中间电位VPC的电路。

[0066] 读出放大器22_2由与布线VHH或布线VLL连接的p沟道型晶体管25_1、25_2及n沟道型晶体管25_3、25_4构成。布线VHH或布线VLL是具有供应VDD或VSS的功能的布线。晶体管25_1至25_4是构成反相器环路的晶体管。读出放大器22_2使位线BL_A及位线BL_B的电位成为高电源电位VDD或低电源电位VSS,该位线BL_A及位线BL_B的电位通过使字线WL_A及WL_B设定为高电平并选择存储单元31_N_A及31_N_B来变化。位线BL_A及位线BL_B的电位可以经过写入读出电路29输出到外部。位线BL_A及位线BL_B相当于位线对。

[0067] 另外,图5示出说明图4所示的电路图的工作的时序图。在图5所示的时序图中,期间T1对应于初期化工作的期间,期间T2对应于写入工作的期间,期间T3对应于非访问时的工作的期间,期间T4对应于读出工作的期间。注意,在图5中省略选择开关22_3所包括的开关23_A、23_B的说明,然而在写入工作及读出工作时以成为导通的方式适当地选择。

[0068] 图5中的波形之间付上的箭头是为了容易理解工作的。信号线中的布线PCL的高电平(H电平)为VDD。WL的高电平既可以为VHM(>VDD),又可以为VDD。

[0069] 在期间T1中,布线VPC、布线VHH及布线VLL为VDD/2。位线BL_A被预充电而成为VDD/2。预充电电路22_1进行位线BL_A的预充电。通过使布线PCL设定为高电平(H电平),进行位线BL_A(或者位线BL_B)的预充电和电位的平滑化。

[0070] 在期间T2中,当有写入访问时,使位线BL_A(或位线BL_B)从预充电状态成为浮动状态。这是通过使布线PCL从H电平成为L电平而进行的。将字线WL_A设定为H电平。在WL_A被选择之后,VHH成为VDD,VLL成为GND。通过使晶体管32A导通,对位线BL_A写入数据DA1。在将字线WL_A设定为L电平之后,开始位线BL_A(或位线BL_B)的预充电工作来使位线BL_A(或位

线BL_B)预充电至VDD/2。

[0071] 在期间T3中,布线PCL为H电平,字线WL_A为L电平。VPC、VHH及VLL为VDD/2。位线对及局部位线对预充电至VDD/2。通过将VHH及VLL设定为VDD/2,可以减少读出放大器22_2的泄漏电流。

[0072] 在期间T4中,当有读出访问时,使位线BL_A(或位线BL_B)从预充电状态成为浮动状态。接着,将字线WL_A设定为H电平来使晶体管32A导通。对位线BL_A写入数据DA1。在将字线WL_A设定为H电平之后,VHH成为VDD且VLL成为GND,并且读出放大器22_2被用作差动放大电路而将位线BL_A的数据DA1放大。位线BL_A的数据DA1由写入读出电路29读出。

[0073] 在本发明的一个方式的半导体装置中,作为设置在各元件层的晶体管使用关态电流极小的0S晶体管。0S晶体管可以层叠地设置设有Si晶体管的硅衬底上。因此,可以向垂直方向上反复利用相同的制造工序而制造,从而能够实现制造成本的降低。另外,在本发明的一个方式中,构成存储单元的晶体管也可以不向平面方向而向垂直方向上配置来提高存储器密度,因此能够实现装置的小型化。

[0074] (实施方式2)

参照图6至图10说明本发明的一个方式的半导体装置的结构例子。关于附有与实施方式1相同的符号的结构援用实施方式1的说明,并且有时省略说明。

[0075] 图6A示出半导体装置10A的方框图。

[0076] 外围电路20包括行驱动器21、列驱动器22及设有切换电路的元件层26。有时将切换电路简单地称为驱动电路。切换电路包括具有控制存储单元和列驱动器之间的导通状态的功能的晶体管。

[0077] 设有切换电路的元件层26具有将列驱动器22选择性地连接到位线BL的功能。切换电路具有根据从列驱动器22输出的选择信号使所指定的位线和列驱动器22的读出放大器等的驱动电路连接的复用器的功能。切换电路是具有对由切换电路选择的位线BL输出用来驱动存储单元阵列30的信号的功能的电路。

[0078] 在图6A的半导体装置中,设有切换电路的元件层26可以减少在垂直方向上与列驱动器22连接的位线BL的数量,缩短数据的写入时间,并且提高读出准确度。

[0079] 另外,构成切换电路的晶体管优选为0S晶体管。包括使用0S晶体管的切换电路的元件层26可以自由地配置在使用Si晶体管的电路上等,因此容易进行集成化。另外,通过利用与Si晶体管同样的制造装置可以制造0S晶体管,因此可以以低成本制造。

[0080] 在图6A说明的各结构中,为了说明本发明的一个方式中的元件层34_1至34_N及包括切换电路的元件层26,参照图6B的示意图进行说明。为了说明图6A所说明的各结构的配置,图6B所示的示意图对应于设定x轴方向、y轴方向及z轴方向的立体图。

[0081] 如图6B所示那样,在半导体装置10A中,在硅衬底11上层叠地设置V个(V为1以上的自然数)设有构成切换电路的晶体管的元件层26及N个元件层34_1至元件层34_N,总计为(N+V)个包括0S晶体管的层。元件层34_1至元件层34_N所包括的存储单元31_1至31_N及设有构成切换电路的晶体管的元件层26分别具有与设置在硅衬底11的列驱动器22重叠的区域。如图6B所示那样,元件层26可以说是设置在硅衬底11和元件层34_1之间。另外,如图6B所示那样,元件层34_1可以说是设置在硅衬底11和元件层34_N之间。

[0082] 另外,元件层34_1所包括的存储单元31_1的晶体管和元件层34_N所包括的存储单

元31_N的晶体管经过设置在垂直方向的位线BL连接。另外,位线BL与设有构成切换电路的晶体管的元件层26连接。元件层26与设置在硅衬底11的列驱动器22连接。

[0083] 位线BL_1以与存储单元31_1所包括的晶体管的半导体层接触的方式设置。或者,位线BL_1以与存储单元31_1所包括的晶体管的半导体层的被用作源极或漏极的区域接触的方式设置。或者,位线BL_1以与存储单元31_1所包括的晶体管的半导体层的被用作源极或漏极的区域的导电体接触的方式设置。换言之,位线BL可以说是用来使存储单元31_1所包括的晶体管的源极和漏极中的一个、存储单元31_N所包括的晶体管的源极和漏极中的一个及元件层26在垂直方向上电连接的布线。

[0084] 在本发明的一个方式中,作为设置在各元件层的晶体管,使用关态电流极小的0S晶体管。因此,可以降低储存于存储单元的数据的刷新频率,可以实现低功耗化了的半导体装置。0S晶体管可以层叠地设置并向垂直方向上反复利用相同的制造工序而制造,因此能够实现制造成本的降低。另外,在本发明的一个方式中,构成存储单元的晶体管也可以不向平面方向而向垂直方向上配置来提高存储密度,因此能够实现装置的小型化。另外,0S晶体管即使在高温环境下也其电特性的变动比Si晶体管小,因此可以实现在层叠并集成化了的晶体管的电特性的变动小且被用作可靠性良好的存储装置的半导体装置。

[0085] 另外,本发明的一个方式具备包括切换电路的元件层。切换电路可以减少与列驱动器所包括的读出放大器连接的位线BL的数量。因此,可以降低位线BL的负载。切换电路可以减少在垂直方向上与列驱动器连接的位线BL的数量,缩短数据的写入时间,并且提高读出准确度。另外,可以避免不需要的位线的充放电而能够实现低功耗化了的半导体装置。因为可以在读出放大器等的电路正上配置存储单元,所以可以实现半导体装置的小型化。另外,即使减少存储单元所包括的电容器的电容也可以进行工作。另外,在本发明的一个方式中,将从存储单元阵列延伸地设置的位线设置为垂直方向,因此可以缩短存储单元阵列及列驱动器的位线的长度。由此,可以大幅度地减少位线的寄生电容,因而使储存于存储单元的数据信号多值化也可以读出电位。

[0086] 在图7中示出参照图6A及图6B说明的半导体装置10A的平行于垂直方向(z轴方向)的面的截面的示意图。

[0087] 如图7所示那样,半导体装置10A也可以采用如下结构,将设置在各层的元件层的存储单元31_1至31_N、元件层26和设置在硅衬底11的列驱动器22经过在作为最短距离的垂直方向上设置的位线BL连接。虽然增加包括切换电路27的元件层26的数量,然而可以减少连接于列驱动器22所包括的读出放大器的位线BL的数量。因此,可以减少位线BL的负载。

[0088] 另外,如图7所示那样,切换电路27所包括的晶体管28_1至28_n(n为2以上的自然数)可以将根据从列驱动器22输出的选择信号MUX被选择的位线BL的电位作为信号BL_OUT输出到列驱动器22。注意,图7所示的半导体装置10A可以以单元30_1表示。

[0089] 在图8中示出作为存储单元阵列30,除了元件层34_1至34_N之外还添加包括晶体管28_a及28_b的元件层26的电路图。在图8所示的包括晶体管28_a及28_b的元件层26上设置元件层34_1至34_N,位线BL_A及BL_B设置为垂直方向上。换言之,包括构成外围电路的一部分的切换电路的元件层可以与元件层34_1至34_N同样地层叠。位线BL_A及BL_B与晶体管28_a及28_b的源极和漏极中的一个连接。

[0090] 另外,在图8中,作为列驱动器22所包括的电路,示出位于硅衬底一侧的预充电电

路22_1、读出放大器22_2、开关电路22_3及写入读出电路29。构成预充电电路22_1及读出放大器22_2的晶体管使用Si晶体管。选择开关22_3也可以使用Si晶体管。晶体管28_a及28_b的源极和漏极中的另一个与构成预充电电路22_1及读出放大器22_2的晶体管连接。另外，在图8中示出如下方框，即表示与连接于开关电路22_3所包括的开关电路23_A的布线连接的元件层34_1至34_N及元件层26的方框、以及表示与连接于开关电路22_3所包括的开关电路23_B的布线连接的元件层34_1至34_N及元件层26的方框。

[0091] 包括切换电路的元件层26选择选择位线BL_A或BL_B且与连接于预充电电路22_1及读出放大器22_2的一对布线中的一个及开关23_A连接。此外，在包括另外一对切换电路的元件层26中，选择位线BL且与连接于预充电电路22_1及读出放大器22_2的一对布线中的另一个及开关23_B连接。通过将与被选择的位线连接的存储单元的字线设定为高电平，预充电了的位线的电位变化，因此根据该变化与预充电电路22_1及读出放大器22_2连接的一对布线的电位成为高电源电位VDD或低电源电位VSS。该电位可以经过开关电路22_3及写入读出电路29输出到外部。

[0092] 如图8所示那样，在半导体装置10A中虽然增加包括切换电路的元件层26的数量，然而可以选择多个位线BL中的任一个并与列驱动器22连接。因此，可以使少数量的位线BL与读出放大器22_2连接，能够减少位线BL的负载。

[0093] 另外，图7所示的半导体装置10A中的单元30_1可以采用向垂直方向上层叠地设置的结构。在图9中示出层叠有图7所说明的M个单元30_1(单元30_1至30_M, M为2以上)的半导体装置10A。图9是半导体装置的平行于垂直方向(z轴方向)的面的示意图。换言之，图9所示的半导体装置10A具有图7所示的元件层的叠层的总计为 $M \times (N+V)$ 层的结构。

[0094] 如图9所示那样，在半导体装置10A中单元30_1至30_M分别包括切换电路27_1至27_M。通过被输入选择信号MUX，切换电路27_1至27_M输出信号BL_OUT。由以选择信号SEL可以切换的开关电路98选择被输出信号BL_OUT的布线中的任一个，并且经过与位线BL不同的布线GBL与列驱动器22连接。开关电路98可以使用构成切换电路27_1至27_M的0S晶体管。

[0095] 通过采用该结构，可以减少单元30_1至30_M的各自元件层34_1至34_N的叠层数。因此，可以缩短单元30_1至30_M的各自的位线BL的长度，从而可以减少位线BL的负载。注意，在附图中为了提高易见度，有时使用粗线或粗虚线等示出布线GBL。布线GBL有时被称为全局位线。

[0096] 另外，图9所示的布线GBL可以在制造包括0S晶体管的元件层之后设置。例如，如图10A所示的截面示意图那样，可以制造包括0S晶体管的元件层且在围绕各元件层的密封层70A的外周形成开口，并且在该开口设置布线GBL。另外，如图10A所示的截面示意图那样，可以制造包括0S晶体管的元件层且在包围各元件层的密封层70B的外周形成开口，并且在该开口设置布线GBL。另外，在实施方式3中对具备布线GBL的各元件层的详细内容进行说明。

[0097] 在本发明的一个方式的半导体装置中，作为设置在各元件层的晶体管使用关态电流极小的0S晶体管。0S晶体管可以层叠地设置设有Si晶体管的硅衬底上。因此，可以向垂直方向上反复利用相同的制造工序而制造，从而能够实现制造成本的降低。另外，在本发明的一个方式中，构成存储单元的晶体管也可以不向平面方向而向垂直方向上配置来提高存储器密度，因此能够实现装置的小型化。

[0098] 另外，本发明的一个方式具备包括切换电路的元件层。切换电路可以减少在垂直

方向上与列驱动器连接的位线BL的数量,缩短数据的写入时间,并且提高读出准确度。另外,可以避免不需要的位线的充放电而能够实现低功耗化了的半导体装置。

[0099] (实施方式3)

参照图11至图24说明本发明的一个方式的半导体装置的结构例子。关于附有与实施方式1相同的符号的结构援用实施方式1的说明,并且有时省略说明。

[0100] 图11A示出半导体装置10B的方框图。

[0101] 外围电路20包括行驱动器21、列驱动器22及设有控制电路的元件层40。控制电路包括由OS晶体管构成的被用作读出放大器的电路。

[0102] 设有控制电路的元件层40包括由OS晶体管构成的被用作读出放大器的电路。由OS晶体管构成的读出放大器被用作选择向各存储单元的数据信号写入或读出、以及包括存储单元31_1至31_N的单元50_1至50_M的切换电路。对元件层40从列驱动器22供应驱动由OS晶体管构成的读出放大器的控制信号WE、RE、MUX。被用作读出放大器的电路有时被称为控制电路,这是因为包括用来控制对存储单元的数据信号的读出或写入的晶体管的缘故。

[0103] 在图11A的半导体装置中,控制电路可以被用作放大器。通过采用该结构,可以在读出时将位线BL的微小的电位差放大,而驱动使用Si晶体管的读出放大器。

[0104] 另外,构成控制电路的晶体管优选为OS晶体管。包括使用OS晶体管的控制电路的元件层40可以自由地配置在使用Si晶体管的电路上等,因此容易进行集成化。另外,通过利用与Si晶体管同样的制造装置可以制造OS晶体管,因此可以以低成本制造。

[0105] 在图11A说明的各结构中,为了说明本发明的一个方式中的元件层34_1至34_N及包括控制电路的元件层40,参照图11B的示意图进行说明。为了说明图11A所说明的各结构的配置,图11B所示的示意图对应于设定x轴方向、y轴方向及z轴方向的立体图。

[0106] 如图11B所示那样,在半导体装置10B中,在硅衬底11上层叠地设置V个(V为1以上的自然数)设有构成控制电路的晶体管的元件层40及N个元件层34_1至元件层34_N,总计为(N+V)个包括OS晶体管的层。元件层34_1至元件层34_N所包括的存储单元31_1至31_N及设有构成控制电路的晶体管的元件层40分别具有与设置在硅衬底11的列驱动器22重叠的区域。如图11B所示那样,元件层40可以说是设置在硅衬底11和元件层34_1之间。另外,如图11B所示那样,元件层34_1可以说是设置在硅衬底11和元件层34_N之间。

[0107] 另外,元件层34_1所包括的存储单元31_1的晶体管和元件层34_N所包括的存储单元31_N的晶体管经过设置在垂直方向的位线BL连接。另外,位线BL与设有构成控制电路的晶体管的元件层40连接。经过与位线BL另行设置的布线GBL(未图示)元件层40与设置在硅衬底11的列驱动器22连接。注意,在附图中为了提高易见度,有时使用粗线或粗虚线等示出布线GBL。

[0108] 位线BL_1以与存储单元31_1所包括的晶体管的半导体层接触的方式设置。或者,位线BL_1以与存储单元31_1所包括的晶体管的半导体层的被用作源极或漏极的区域接触的方式设置。或者,位线BL_1以与存储单元31_1所包括的晶体管的半导体层的被用作源极或漏极的区域的导电体接触的方式设置。换言之,位线BL可以说是用来使存储单元31_1所包括的晶体管的源极和漏极中的一个、存储单元31_N所包括的晶体管的源极和漏极中的一个及元件层40在垂直方向上电连接的布线。

[0109] 半导体装置10B既可以包括一种的存储单元,又可以包括两种以上的存储单元。图

12A是示出半导体装置10C的结构例子的方框图,这是半导体装置10B的变形例子。半导体装置10C在存储单元阵列30中除了存储单元31之外还设置与存储单元31不同的结构的存储单元51这一点上与半导体装置10B不同。半导体装置10C包括由一个以上的存储单元51构成的元件层54。

[0110] 在半导体装置10C中,将元件层54可以设置在元件层34_i (i为1以上且N-1以下的整数) 和元件层34_{i+1}之间。另外,元件层54也可以设置两层以上。在半导体装置10C包括两层以上的元件层54的情况下,例如在第一元件层54和第二元件层之间既可以设置元件层34,又可以不设置元件层34。

[0111] 在半导体装置10C中,行驱动器21经过字线WL2与存储单元51电连接。半导体装置10C所包括的行驱动器21具有除了对字线WL之外,还对字线WL2输出用来驱动存储单元阵列30的信号的功能。具体而言,行驱动器21具有不仅对字线WL而且还对字线WL2传送字信号的功能。另外,也可以与具有对字线WL传送字信号的功能的行驱动器另行设置具有对字线WL2传送字信号的功能的行驱动器。另外,有时将字线WL2简单地称为布线。

[0112] 图12B是示出存储单元51的结构例子的电路图。存储单元51包括晶体管55、晶体管56及电容元件57。

[0113] 晶体管55的源极和漏极中的一个与晶体管56的栅极电连接。晶体管56的栅极与电容元件57的一个电极电连接。晶体管55的源极和漏极中的另一个及晶体管56的源极和漏极中的一个与布线BL电连接。晶体管56的源极和漏极中的另一个与布线SL电连接。电容元件57的另一个电极与布线CAL电连接。在此,将晶体管55的源极和漏极中的一个、晶体管56的栅极及电容元件57的一个电极电连接的节点称为节点N。

[0114] 布线CAL被用作对电容元件57的另一个电极施加所指定的电位的布线的功能。使从存储单元51读出数据时的布线CAL的电位与对存储单元51写入数据时的布线CAL的电位及在存储单元51中储存数据时的布线CAL的电位不同。由此,可以使从存储单元51读出数据时的晶体管56的外观上的阈值电压与在对存储单元51写入数据时及在存储单元51中储存数据时的晶体管56的外观上的阈值电压不同。

[0115] 在存储单元51采用图12B所示的结构的情况下,在对存储单元51写入数据时及在存储单元51中储存数据时,不管写入到存储单元51的数据如何,电流不流过布线SL和布线BL之间。另一方面,在从存储单元51读出数据时,对应于在存储单元51中储存的数据的电流流过布线SL和布线BL之间。

[0116] 晶体管55优选为0S晶体管。如上所述,0S晶体管的关态电流极小。因此,可以在节点N中长时间保持对应于写入到存储单元51的数据的电荷。换言之,在存储单元51中,可以长时间保持写入了的数据。因此,可以降低刷新数据的频率,而降低本发明的一个方式的半导体装置的功耗。

[0117] 另外,使用0S晶体管的存储单元51可以自由地配置在硅衬底上等,因此容易进行集成化。另外,从存储单元51的集成化的观点来看,晶体管56优选为0S晶体管。

[0118] 晶体管55优选为包括背栅电极。通过控制施加到背栅电极的电位,可以控制晶体管55的阈值电压。因此,例如可以增大晶体管55的通态电流,并且可以减少关态电流。注意,在晶体管56为0S晶体管的情况下,优选在晶体管56中也设置背栅电极。

[0119] 图12B所示的结构的存储单元51可以被称为将0S晶体管用于存储器的NOSRAM

(Nonvolatile Oxide Semiconductor RAM:氧化物半导体非易失性随机存取存储器)。NOSRAM具有可以进行非破坏读出的特征。另一方面,在可以用于存储单元31的DOSRAM读出所储存的数据时,进行破坏读出。

[0120] 对半导体装置10C的工作进行说明。从列驱动器22写入到存储单元阵列30的数据保持在存储单元31中。在存储单元31所储存的数据中,将读出频率高的数据从存储单元31写入到存储单元51。如上所述,使用NOSRAM的存储单元51可以进行非破坏读出,因此可以降低刷新数据的频率。因此,可以降低本发明的一个方式的半导体装置的功耗。

[0121] 另外,节点N的电位不仅根据写入到存储单元51的数据,而且根据布线CAL的电位变动。因此,在对存储单元51写入数据之后,通过调整布线CAL的电位,可以校正存储单元51所储存的数据。例如,在校正存储单元51所储存的数据的情况下,可以使从存储单元51读出数据时的布线CAL的电位与在不校正存储单元51所储存的数据的情况下从存储单元51读出数据时的布线CAL的电位不同。因此,例如在写入到存储单元的数据为图像数据的情况下,半导体装置10C可以进行图像处理。由此,例如半导体装置10C可以为图像引擎。

[0122] 注意,在半导体装置10C中,i优选为 $N/2$ 或其附近的值。由此,例如可以缩短从存储单元51到存储单元31₁的布线距离或从存储单元51到存储单元31_N的布线距离。因此,例如在将数据从存储单元51写入到存储单元31₁或存储单元31_N时,可以抑制由于布线BL等的布线电阻导致的数据电位的下降。

[0123] 图13是示出半导体装置10D的结构例子的方框图,这是半导体装置10C的变形例子。半导体装置10D在元件层34₁的上级,就是说在元件层34₁和元件层40之间设置元件层54这一点上与半导体装置10C不同。

[0124] 半导体装置10D具有设有读出放大器等的元件层40和元件层54之间的布线距离短的特征。因此,可以解决由于存储单元51的布线电阻的增加而导致的不容易工作的现象,从而可以容易控制存储单元51的工作。另外,也可以在元件层34_N的下级,就是说例如在元件层34_N的上方设置元件层54。

[0125] 图14是为了说明图12A所示的半导体装置10C的各结构的配置,设定x轴方向、y轴方向及z轴方向的立体图。另外,图15是为了说明图13所示的半导体装置10D的各结构的配置,设定x轴方向、y轴方向及z轴方向的立体图。

[0126] 在具有图14所示的结构半导体装置10C及具有图15所示的结构半导体装置10D中,在硅衬底11上层叠地设置V个设有构成控制电路的晶体管的元件层40、N个元件层34₁至元件层34_N和一个元件层54,总计为 $(N+V+1)$ 个包括OS晶体管的层。元件层54所包括的存储单元51具有与设置在硅衬底11的列驱动器22重叠的区域。另外,元件层54也可以设置两层以上。例如,也可以设置H个(H为1以上的整数)元件层54。在半导体装置10C设置H个元件层54的情况下,在半导体装置10C中设置总计为 $(N+V+H)$ 个包括OS晶体管的层。

[0127] 图16是为了说明半导体装置10E的结构例子的设定x轴方向、y轴方向及z轴方向的立体图。在半导体装置10E中,可以在可以包括DOSRAM的元件层34_i和元件层34_{i+1}之间设置包括读出放大器的元件层40。另外,在元件层34_i和元件层40之间及在元件层40和元件层34_{i+1}之间分别设置可以包括NOSRAM的元件层54₁。换言之,可以在两个元件层34之间设置元件层40及元件层54。另外,在半导体装置10E中,既可以设置只一个元件层54,又可以设置三个以上的元件层54。

[0128] 在本发明的一个方式中,作为设置在各元件层的晶体管,使用关态电流极小的0S晶体管。因此,可以降低储存于存储单元的数据的刷新频率,可以实现低功耗化了的半导体装置。0S晶体管可以层叠地设置并向垂直方向上反复利用相同的制造工序而制造,因此能够实现制造成本的降低。另外,在本发明的一个方式中,构成存储单元的晶体管也可以不向平面方向而向垂直方向上配置来提高存储密度,因此能够实现装置的小型化。另外,0S晶体管即使在高温环境下也其电特性的变动比Si晶体管小,因此可以实现在层叠并集成化了的晶体管的电特性的变动小且被用作可靠性良好的存储装置的半导体装置。

[0129] 另外,本发明的一个方式具备包括控制电路的元件层。控制电路可以被用作放大器。通过采用该结构,可以在读出时放大位线BL的微小的电位差,而驱动使用Si晶体管的读出放大器。可以使使用Si晶体管的读出放大器等的电路小型化,因而可以实现半导体装置的小型化。另外,即使减少存储单元所包括的电容器的电容也可以工作。另外,在本发明的一个方式中,将从存储单元阵列延伸地设置的位线设置为垂直方向,因此可以缩短存储单元阵列及列驱动器的位线的长度。由此,可以大幅度地减少位线的寄生电容,因而使储存于存储单元的数据信号多值化也可以读出电位。另外,在本发明的一个方式中可以将储存于存储单元的数据作为电流而读出,因此即使进行多值化也可以容易读出电位。

[0130] 在图17中示出参照图11A及图11B说明的半导体装置10B的平行于垂直方向(z轴方向)的面的截面的示意图。

[0131] 如图17所示那样,半导体装置10B也可以采用如下结构,将设置在各层的元件层的存储单元31_1至31_N、元件层40和设置在硅衬底11的列驱动器22经过在作为最短距离的垂直方向上设置的位线BL及布线GBL连接。虽然增加包括构成控制电路的晶体管的元件层40的数量,然而可以减少连接于列驱动器22的设置为垂直方向的布线数量。通过减少位线BL的负载,可以缩短写入时间且容易读出数据。

[0132] 另外,如图17所示那样,元件层40所包括的晶体管41至44可以根据从列驱动器22输出的控制信号WE、RE及选择信号MUX受到控制。各晶体管可以将位线BL的电位根据控制信号及选择信号经过布线GBL输出到列驱动器22。另外,图17所示的半导体装置10B可以以单元50_1表示。

[0133] 接着,参照图18A及图18B和图19A及图19B说明由元件层40所包括的0S晶体管构成的被用作读出放大器的电路的具体的结构例子。

[0134] 图18A示出相当于图17所示的单元50_1的单元50。在图19A所示的单元50中,元件层40A包括晶体管41至44。晶体管41至44分别由0S晶体管构成并为n沟道型晶体管。

[0135] 晶体管41是在从存储单元读出数据信号的期间将布线GBL放大至对应于位线BL的电位的构成源极跟随的晶体管。晶体管42是根据被输入到栅极的选择信号MUX控制源极和漏极之间的导通或关闭的被用作开关的晶体管。晶体管43是根据被输入到栅极的写入控制信号WE控制源极和漏极之间的导通或关闭的被用作开关的晶体管。晶体管44是根据被输入到栅极的读出控制信号RE控制源极和漏极之间的导通或关闭的被用作开关的晶体管。另外,对晶体管44的源极一侧施加作为固定电位的接地电位GND。

[0136] 另外,作为图18A所示的元件层40A的结构可以适用图18B、图19A及图19B所示的变形例子。作为图18B的元件层40B的结构,将连接于晶体管43的源极和漏极中的一个的布线GBL切换为晶体管41的源极和漏极中的一个。图19A的元件层40C的结构相当于在列驱动器

22中执行晶体管42的功能而省略晶体管42的结构。图19B的元件层40D的结构相当于省略晶体管44的结构。

[0137] 图20示出层叠图17所说明的单元50_1的结构的示意图。如图17所示那样,图20所示的半导体装置10B包括设置在各元件层的存储单元31_1至31_N。在图20所示的半导体装置10B中,将存储单元31_1至31_N和元件层40_1至40_M经过作为最短距离的垂直方向上设置的位线BL连接,并且经过布线GBL将元件层40连接于列驱动器22。

[0138] 另外,图18所示的半导体装置10B中的M个单元50_1至50_M可以向垂直方向上层叠。图18所示的半导体装置10B在单元50_1至50_M中包括分别具备由0S晶体管构成的被用作读出放大器的电路的元件层40_1至40_M。换言之,图20所示的半导体装置10B的结构是图17所示的元件层的叠层的总计为 $M \times (N+V)$ 个的结构。

[0139] 图21示出作为单元50使用图14所示的半导体装置10D的结构的示意图。在单元50_1至单元50_M的各自中,元件层40、元件层54及元件层34_1至元件层34_N向垂直方向上层叠地设置。另外,作为单元50可以使用半导体装置10C及半导体装置10E。

[0140] 在本发明的一个方式中,作为设置在各元件层的晶体管,使用关态电流极小的0S晶体管。因此,可以降低储存于存储单元的数据的刷新频率,可以实现低功耗化了的半导体装置。0S晶体管可以层叠地设置并向垂直方向上反复利用相同的制造工序而制造,因此能够实现制造成本的降低。另外,在本发明的一个方式中,构成存储单元的晶体管也可以不向平面方向而向垂直方向上配置来提高存储密度,因此能够实现装置的小型化。另外,0S晶体管即使在高温环境下也其电特性的变动比Si晶体管小,因此可以实现在层叠并集成化了的晶体管的电特性的变动小且被用作可靠性良好的存储装置的半导体装置。

[0141] 另外,本发明的一个方式具备包括控制电路的元件层。在控制电路中,将位线BL连接于晶体管41的栅极,因此晶体管41被用作放大器。通过采用该结构,可以在读出时将位线BL的微小的电位差放大,而驱动使用Si晶体管的读出放大器。可以使使用Si晶体管的读出放大器等的电路小型化,因而可以实现半导体装置的小型化。另外,即使减少存储单元所包括的电容器的电容也可以工作。

[0142] 在图22中,除了示出被用作存储单元阵列30的图17所说明的元件层34_1至34_N之外,还示出包括晶体管41_a、41_b、42_a、42_b、43_a、43_b、44_a及44_b的元件层40。在图22所示的包括晶体管41_a、41_b、42_a、42_b、43_a、43_b、44_a及44_b的元件层40上设置元件层34_1至34_N,并且在垂直方向上设置位线BL_A及BL_B。换言之,包括构成外围电路的一部分的切换电路的元件层可以与元件层34_1至34_N同样地层叠。位线BL_A及BL_B与晶体管41_a及41_b的栅极连接。

[0143] 另外,如图22所示那样,元件层40所包括的晶体管42_a、42_b、43_a及43_b与布线GBL_A及GBL_B连接。与位线BL_A及BL_B同样,布线GBL_A及GBL_B在垂直方向上设置并与列驱动器22所包括的晶体管连接。另外,对元件层40所包括的晶体管42_a、42_b、43_a、43_b、44_a及44_b的栅极供应控制信号WE、RE及MUX。

[0144] 另外,在图22中,作为列驱动器22所包括的电路,示出位于硅衬底一侧的预充电电路22_A、预充电电路22_B、读出放大器22_C、开关电路22_D、开关电路22_E及写入读出电路29。构成预充电电路22_A、预充电电路22_B及读出放大器22_C的晶体管使用Si晶体管。构成开关电路22_D及开关电路22_E的开关23_A至23_D也可以使用Si晶体管。晶体管42_a、42_b、

43_a及43_b的源极和漏极中的一个与构成预充电电路22_A、预充电电路22_B、读出放大器22_C及开关电路22_D的晶体管连接。

[0145] 预充电电路22_A由n沟道型晶体管24_1至24_3构成。预充电电路22_A是根据供应给预充电线PCL1的预充电信号将位线BL_A及位线BL_B预充电至相当于VDD和VSS之间的电位VDD/2的中间电位VPC的电路。

[0146] 预充电电路22_B由n沟道型晶体管24_4至24_6构成。预充电电路22_B是根据供应给预充电线PCL2的预充电信号将布线GBL_A及布线GBL_B预充电至相当于VDD和VSS间的电位VDD/2的中间电位VPC的电路。

[0147] 读出放大器22_C由与布线VHH或布线VLL连接的p沟道型晶体管25_1、25_2及n沟道型晶体管25_3、25_4构成。布线VHH或布线VLL是具有供应VDD或VSS的功能的布线。晶体管25_1至25_4是构成反相器环路的晶体管。读出放大器22_C根据位线BL_A及位线BL_B的电位的变化使布线GBL_A及布线GBL_B的电位成为高电源电位VDD或低电源电位VSS,该位线BL_A及位线BL_B的电位通过将字线WL_A、WL_B设定为高电平并选择存储单元31_N_A、31_N_B而变化。布线GBL_A及布线GBL_B的电位可以经过开关电路22_D、开关电路22_E及写入读出电路25输出到外部。位线BL_A和位线BL_B及布线GBL_A和布线GBL_B相当于位线对。写入/读出电路25根据信号EN_data被控制数据信号的写入。

[0148] 开关电路22_D是控制读出放大器22_C和布线GBL_A及布线GBL_B之间的导通状态的电路。开关电路22_D通过控制切换信号CSEL1可以切换导通或关闭。在开关23_A及23_B为n沟道晶体管的情况下,切换信号CSEL1为高电平时开关23_A及23_B成为导通,而为低电平时开关23_A及23_B成为关闭。开关电路22_E是用来控制写入读出电路29和连接于读出放大器22_C的位线对之间的导通状态的电路。开关电路22_D通过控制切换信号CSEL1可以切换导通或关闭。与开关23_A及23_B同样,开关23_C及23_D通过控制切换信号CSEL2切换导通或关闭,即可。

[0149] 另外,在图23中示出说明图22所示的电路图的工作的时序图。在图23所示的时序图中,期间T11对应于写入工作的期间、期间T12对应于位线BL的预充电工作的期间、期间T13对应于布线GBL的预充电工作的期间、期间T14对应于电荷共享(charge sharing)工作的期间、期间T15对应于读出待机工作的期间、期间T16对应于读出工作的期间。

[0150] 在期间T11中,使连接于要写入数据信号的存储单元所包括的晶体管的栅极的字线成为高电平。此时,使控制信号WE及信号EN_data成为高电平,并且将数据信号经过布线GBL及位线BL写入到存储单元。

[0151] 在期间T12中,为了对位线BL进行预充电,在控制信号WE成为高电平的状态下,使预充电线PCL1成为高电平。位线BL预充电至预充电电位。在期间T12中,优选使对读出放大器22_C供应电源电压的布线VHH或布线VLL都成为VDD/2而抑制起因于贯通电流的功耗。

[0152] 在期间T13中,为了对布线GBL进行预充电,使预充电线PCL2成为高电平。布线GBL预充电至预充电电位。在期间T13中,通过使布线VHH及布线VLL都成为VDD,可以对负载大的布线GBL短时间内进行预充电。

[0153] 在期间T14中,为了进行使对位线BL及布线GBL预充电了的电荷平衡化的电荷共享,使控制信号WL及控制信号MUX成为高电平。位线BL及布线GBL成为等电位。在期间T14中,优选使对读出放大器22_C供应电源电压的布线VHH或布线VLL都成为VDD/2而抑制起因于贯

通电流的功耗。

[0154] 在期间T15中,使控制信号RE成为高电平。根据位线BL的电位,电流流过晶体管41,并且根据该电流量,布线GBL的电位变动。通过使切换信号CSEL1成为低电平来防止布线GBL的电位的变动不受到读出放大器22_C的影响。布线VHH或布线VLL与期间T14中的布线VHH或布线VLL同样。

[0155] 在期间T16中,通过使切换信号CSEL1成为高电平,利用连接于读出放大器22_C的位线对将布线GBL的电位的变动放大,来读出写入到存储单元的数据信号。

[0156] 另外,在采用图18B的元件层40B的电路结构的情况下,图17所示的半导体装置10B可以改写为图24所示的电路图。在图24中,抽出各单元所包括的元件层40_1至40_M的晶体管42并示出由该晶体管42构成的切换电路49。换言之,元件层40_1至40_M通过选择由该切换电路49选择的元件层40_1至40_M中的任一个所选择的存储单元31_1至31_M中的任一个,可以进行数据信号的写入或读出。

[0157] 在本发明的一个方式的半导体装置中,作为设置在各元件层的晶体管使用关态电流极小的0S晶体管。0S晶体管可以层叠地设置设有Si晶体管地硅衬底上。因此,可以向垂直方向上反复利用相同的制造工序而制造,从而能够实现制造成本的降低。另外,在本发明的一个方式中,构成存储单元地晶体管也可以不向平面方向而向垂直方向上配置来提高存储器密度的,因此能够实现装置的小型化。

[0158] 另外,本发明的一个方式具备包括控制电路的元件层。在控制电路中,将位线BL连接于晶体管41的栅极,因此晶体管41被用作放大器。通过采用该结构,可以在读出时将位线BL的微小的电位差放大,而驱动使用Si晶体管的读出放大器。可以使使用Si晶体管的读出放大器等的电路小型化,因而可以实现半导体装置的小型化。另外,即使减少存储单元所包括的电容器的电容也可以工作。

[0159] (实施方式4)

参照图25至图29说明在本发明的一个方式的半导体装置及半导体装置的工作方法的结构例子。关于附有与实施方式1相同的符号的结构援用实施方式1的说明,并且有时省略说明。

[0160] 图25A是示出在本实施方式中说明的半导体装置的方框图。图1A所示的半导体装置10F包括外围电路20及存储单元阵列30。

[0161] 存储单元阵列30包括多层或单层的元件层34。元件层34包括一个以上的存储单元31_1至31_N(N为2以上的自然数)。存储单元31_1包括晶体管32_1及电容器33_1。存储单元31_N包括晶体管32_N及电容器33_N。注意,将电容器有时称为电容元件。注意,元件层是设置有电容器或晶体管等的元件的层,并且由导电体、半导体及绝缘体等的构件形成的层。

[0162] 在图25A中说明的各结构中,为了说明本发明的一个方式中的元件层34,参照图25B的示意图进行说明。为了说明图25A中说明的各结构的配置,图25B所示的示意图对应于设定x轴方向、y轴方向及z轴方向的立体图。

[0163] 如图25B所示那样,包括存储单元31_1至31_N的元件层34具有与设置在硅衬底11的列驱动器22重叠的区域。

[0164] 元件层34所包括的存储单元31_1的晶体管经过在垂直方向上设置的位线BL_1与列驱动器22连接。元件层34所包括的存储单元31_N的晶体管经过在垂直方向上设置的位线

BL_N与列驱动器22连接。位线BL_1及BL_N、以及其他位线BL与设置在硅衬底11的列驱动器22连接。

[0165] 在本发明的一个方式中,作为设置在各元件层的晶体管,使用关态电流极小的0S晶体管。因此,可以降低储存于存储单元的数据的刷新频率,可以实现低功耗化了的半导体装置。0S晶体管可以层叠地设置并向垂直方向上反复利用相同的制造工序而制造,因此能够实现制造成本的降低。另外,在本发明的一个方式中,构成存储单元的晶体管也可以不向平面方向而向垂直方向上配置来提高存储密度,因此能够实现装置的小型化。另外,0S晶体管即使在高温环境下也其电特性的变动比Si晶体管小,因此可以实现在层叠并集成化了的晶体管的电特性的变动小且被用作可靠性良好的存储装置的半导体装置。另外,在本发明的一个方式中,将从存储单元阵列延伸地设置的位线设置为垂直方向,因此可以缩短存储单元阵列及列驱动器的位线的长度。由此,可以大幅度地减少位线的寄生电容,因而使储存于存储单元的数据信号多值化也可以读出电位。

[0166] 在图26中示出参照图25A及图25B说明的半导体装置10F的平行于垂直方向(z轴方向)的面的截面的示意图。

[0167] 如图26所示那样,半导体装置10F也可以采用如下结构,将设置在元件层34的存储单元31_1至31_N和设置在硅衬底11的列驱动器22经过作为最短距离的垂直方向上设置的位线BL连接。与将位线配置为平面方向的结构相比,虽然增加位线的数量,然而可以减少连接于一个位线的存储单元的数量,因此可以减少位线的寄生电容。由此,即使减少存储单元所包括的电容器的电容,也能够使电荷移动时发生的位线的电位变动。

[0168] 另外,因为可以减少存储单元31_1至31_N所包括的电容器33_1至33_N的电容,所以电容器33_1至33_N可以设置在与晶体管32_1至32_N相同的层。通过将电容器33_1至33_N设置在与晶体管32_1至32_N相同的层,可以使每一层的元件层34_1至34_N减薄。因此,能够实现半导体装置10F的小型化。

[0169] 另外,存储单元31_1至31_N所包括的电容器33_1至33_N可以采用设置在与晶体管32_1至32_N相同的层的结构,也可以采用其他结构。例如,图27A所示的示意图示出元件层34_1至34_N所包括的存储单元31的电容器33A设置在相对于晶体管32的垂直方向的上方的结构。通过采用该结构,可以增大电容,因此能够提高被读出的数据的可靠性且延长数据的保持时间。另外,在图27A的结构中,可以在晶体管32的上方配置其一个电极连接到固定电位的电容器33A,因此能够抑制来自外部的噪声的影响。

[0170] 另外,图27B所示的示意图示出元件层34_1至34_N所包括的存储单元31的电容器33B设置在相对于晶体管32的垂直方向的下方的结构。通过采用该结构,可以增大电容,因此能够提高被读出的数据的可靠性且延长数据的保持时间。另外,在图27B的结构中,可以在晶体管32和列驱动器22之间配置其一个电极连接到固定电位的电容器33B,因此能够抑制列驱动器22的噪声给存储单元31的影响。

[0171] 图28示出说明图25A所说明的包括元件层34的存储单元阵列30的电路结构例子及与该存储单元连接的列驱动器22的具体的电路结构例子的电路图。

[0172] 在图28中,作为存储单元阵列30示出元件层34。在图28中,作为与位线BL_A连接的存储单元包括存储单元31_N_A。在存储单元31_N_A中示出栅极与字线WL_A连接的晶体管32A及电容器33。另外,在图28中,作为与位线BL_B连接的存储单元包括存储单元31_N_B。在

存储单元31_N_B中示出栅极与字线WL_B连接的晶体管32B及电容器33。各元件层的电容器33与被供应如接地电位的固定电位的布线VL连接。

[0173] 另外,在图28中,作为列驱动器22所包括的电路,示出位于硅衬底一侧的预充电电路22_1、读出放大器22_2、开关电路22_3及写入读出电路29。构成预充电电路22_1及读出放大器22_2的晶体管使用Si晶体管。选择开关22_3也可以使用Si晶体管。

[0174] 另外,图29示出说明图28所示的电路图的工作的时序图。在图29所示的时序图中,期间T1对应于初期化工作的期间,期间T2对应于写入工作的期间,期间T3对应于非访问时的工作的期间,期间T4对应于读出工作的期间。

[0175] 在本发明的一个方式的半导体装置中,作为设置在各元件层的晶体管使用关态电流极小的0S晶体管。0S晶体管可以层叠地设置设有Si晶体管的硅衬底上。因此,可以向垂直方向上反复利用相同的制造工序而制造,从而能够实现制造成本的降低。另外,在本发明的一个方式中,构成存储单元的晶体管也可以不向平面方向而向垂直方向上配置来提高存储器密度,因此能够实现装置的小型化。

[0176] (实施方式5)

在本实施方式中,参照图30说明可以适用于上述实施方式1所说明的半导体装置10的电路的变形例子。

[0177] 在上述说明的元件层34_1至34_N所包括的存储单元中,作为晶体管图示不具有背栅电极的顶栅结构或底栅结构的晶体管,然而晶体管32的结构不局限于此。例如,如图30所示,存储单元31所包括的晶体管可以为具有连接于背栅电极线BGL的背栅电极的晶体管32。通过采用图30所示的结构,可以容易从外部控制晶体管32的阈值电压等的电特性。

[0178] (实施方式6)

在本实施方式中,参照图31说明可以适用于上述实施方式2所说明的半导体装置10A的电路的变形例子。

[0179] 作为上述说明的构成元件层26的切换电路的晶体管图示不具有背栅电极的顶栅结构或底栅结构的晶体管,然而晶体管的结构不局限于此。例如,如图31所示,构成切换电路27的晶体管可以为具有连接于背栅电极线BGL的背栅电极的晶体管28。通过采用图31所示的结构,可以容易从外部控制晶体管28的阈值电压等的电特性。

[0180] (实施方式7)

在本实施方式中,参照图32说明可以适用于上述实施方式3所说明的半导体装置10B的电路的变形例子。

[0181] 在上述说明的元件层34_1至34_N所包括的存储单元中,作为晶体管图示不具有背栅电极的顶栅结构或底栅结构的晶体管,然而晶体管32的结构不局限于此。例如,如图32所示,存储单元31所包括的晶体管可以为具有连接于背栅电极线BGL的背栅电极的晶体管32。通过采用图32所示的结构,可以容易从外部控制晶体管32的阈值电压等的电特性。

[0182] (实施方式8)

在本实施方式中,参照图33说明可以适用于上述实施方式4所说明的半导体装置的电路的变形例子。

[0183] 在上述说明的元件层34所包括的存储单元中,作为晶体管图示不具有背栅电极的顶栅结构或底栅结构的晶体管,然而晶体管32的结构不局限于此。例如,如图33所示,存储

单元31所包括的晶体管可以为具有连接于背栅电极线BGL的背栅电极的晶体管32。通过采用图33所示的结构,可以容易从外部控制晶体管32的阈值电压等的电特性。

[0184] (实施方式9)

下面说明被用作根据本发明的一个方式的存储装置的半导体装置的一个例子。

[0185] 图34是示出在包括设置在半导体衬底311的电路的元件层411上层叠地设置存储器单元470(存储器单元470_1至存储器单元470_m:m为2以上的自然数)的半导体装置的例子的图。在图34中,层叠元件层411和元件层411上的多个存储器单元470,在多个存储器单元470中,分别设置晶体管层413(晶体管层413_1至晶体管层413_m)及各晶体管层413上的多个存储装置层415(存储装置层415_1至存储装置层415_n:n为2以上的自然数)的例子。另外,作为各存储器单元470示出晶体管层413上设有存储装置层415的例子,然而本实施方式不局限于此。既可以在多个存储装置层415上设置晶体管层413,又可以在晶体管层413的上方及下方设置存储装置层415。

[0186] 元件层411可以包括设置在半导体衬底311的晶体管300且被用作半导体装置的电路(有时称为外围电路)。作为电路的例子,可以举出列驱动器、行驱动器、列译码器、行译码器、读出放大器、预充电电路、放大电路、字线驱动电路、输出电路及控制逻辑电路等。

[0187] 晶体管层413可以包括晶体管200T且被用作控制各存储器单元470的电路。存储装置层415包括存储装置420。本实施方式所示的存储装置420包括晶体管200M及电容元件292。

[0188] 另外,关于上述m值没有特别的限制,然而为2以上且100以下,优选为2以上且50以下,更优选为2以上且10以下。另外,关于上述n值,没有特别的限制,然而为2以上且100以下,优选为2以上且50以下,更优选为2以上且10以下。另外,关于上述m和n的积为4以上且256以下,优选为4以上且128以下,更优选为4以上且64以下。

[0189] 另外,图34示出存储器单元所包括的晶体管200T及晶体管200M的沟道长度方向的截面图。

[0190] 如图34所示那样,在半导体衬底311设置晶体管300,在晶体管300上设置存储器单元470所包括的晶体管层413及存储装置层415,并且在一个存储器单元470中晶体管层413所包括的晶体管200T和存储装置层415所包括的存储装置420通过多个导电体424电连接,晶体管300和各存储器单元470中的晶体管层413所包括的晶体管200T通过导电体426电连接。此外,通过与晶体管200T的源极、漏极及栅极中的任一个电连接的导电体428,导电体426优选与晶体管200T电连接。导电体424优选设置在存储装置层415的各层中。另外,导电体426优选设置在晶体管层413及存储装置层415的各层中。

[0191] 另外,优选在导电体424的侧面及导电体426的侧面设置抑制水或氢等的杂质或氧的透过的绝缘体。将在后面说明其详细内容。作为这种绝缘体,优选使用例如氮化硅、氧化铝或氮氧化硅等。

[0192] 存储装置420包括晶体管200M及电容元件292,晶体管200M具有与晶体管层413所包括的晶体管200T同样的结构。另外,优势将晶体管200T及晶体管200M总称为晶体管200。

[0193] 在此,优选在晶体管200中将被用作氧化物半导体的金属氧化物(以下有时称为氧化物半导体)用于包含形成沟道的区域(以下有时称为沟道形成区域)的半导体。

[0194] 例如,作为氧化物半导体优选使用In-M-Zn氧化物(元素M为选自铝、镓、铟、锡、铜、

钒、铍、硼、钛、铁、镍、锆、锆、钼、镧、铈、钕、钆、铈、钨或镁等中的一种或多种)等金属氧化物。另外,作为氧化物半导体优选使用氧化铟、In-Ga氧化物及In-Zn氧化物。注意,通过使用铟比率高的组成的氧化物半导体,可以提高晶体管的通态电流或场效应迁移率等。

[0195] 由于将氧化物半导体用于沟道形成区域的晶体管200的非导通状态下的泄漏电流极小,所以可以提供低功耗的半导体装置。此外,由于氧化物半导体可以利用溅射法等形式,所以可以用于构成高集成型半导体装置的晶体管200。

[0196] 另一方面,在使用氧化物半导体的晶体管中,其电特性因氧化物半导体中的杂质及氧空位(也称为 V_O :oxygen vacancy)而变动,因此该晶体管容易具有常开启特性(该特性是指在不对栅电极施加电压的情况下沟道也存在且电流流过晶体管)。

[0197] 于是,优选使用杂质浓度及缺陷态密度得到减少的氧化物半导体。注意,在本说明书等中,将杂质浓度低且缺陷态密度低的情况称为高纯度本征或实质上高纯度本征。

[0198] 因此,优选尽可能减少氧化物半导体中的杂质浓度。另外,作为氧化物半导体中的杂质,例如有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0199] 特别是,作为包含在氧化物半导体中的杂质的氢有时在氧化物半导体中形成氧空位。此外,氢进入氧空位中的缺陷(下面有时称为 V_OH)可能会生成成为载流子的电子。再者,氢的一部分可能会与键合于金属原子的氧起反应而生成成为载流子的电子。

[0200] 因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。

[0201] 由此,作为用于晶体管200的氧化物半导体,优选使用氢等杂质及氧空位得到减少的高纯度本征的氧化物半导体。

[0202] <密封结构>

于是,为了抑制从外部混入的杂质,优选使用抑制杂质的扩散的材料(下面也称为对杂质具有阻挡性的材料)来密封晶体管200。

[0203] 注意,在本说明书中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0204] 例如,作为具有抑制氢及氧的扩散的功能的材料,有氧化铝、氧化钪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。特别是,氮化硅或氮氧化硅对氢具有高阻挡性,所以优选被用作密封材料。

[0205] 例如,作为具有俘获并固定氢的功能的材料,有氧化铝、氧化钪、氧化镓、铟镓锌氧化物等金属氧化物。

[0206] 作为具有阻挡性的层,在晶体管300和晶体管200之间优选设置绝缘体211、绝缘体212及绝缘体214。对绝缘体211、绝缘体212、及绝缘体214中的至少一个使用抑制氢等杂质的扩散或透过的材料,可以抑制包含在半导体衬底311及晶体管300等中的氢或水等杂质扩散到晶体管200中。另外,通过对绝缘体211、绝缘体212及绝缘体214中的至少一个使用抑制氧的透过的材料,可以抑制包含在晶体管200的沟道或晶体管层413中的氧扩散到元件层411中。例如,作为绝缘体211及绝缘体212使用抑制氢或水等杂质的透过的材料,作为绝缘体214优选使用抑制氧的透过的材料。另外,作为绝缘体214优选使用吸收并积存氢的特性的材料。例如,作为绝缘体211及绝缘体212可以使用氮化硅及氮氧化硅等的氮化物。例如,

作为绝缘体214可以使用氧化铝、氧化铅、氧化镓及铟镓锌氧化物等的金属氧化物。尤其优选的是,作为绝缘体214使用氧化铝。

[0207] 另外,在晶体管层413及存储装置层415的侧面,就是说在存储器单元470的侧面优选设置绝缘体287,并且在存储器单元470的顶面优选设置绝缘体282。此时,绝缘体282优选与绝缘体287接触,绝缘体287优选与绝缘体211、绝缘体212及绝缘体214中的至少一个接触。作为绝缘体287及绝缘体282优选使用可用于绝缘体214的材料。

[0208] 另外,优选以覆盖绝缘体282及绝缘体287的方式设置绝缘体283及绝缘体284,绝缘体283优选与绝缘体211、绝缘体212及绝缘体214中的至少一个接触。在图34中,绝缘体287与绝缘体214的侧面、绝缘体212的侧面及绝缘体211的顶面及侧面接触,绝缘体283与绝缘体287的顶面及侧面及绝缘体211的顶面接触的例子,然而本实施方式不局限于此。绝缘体287也可以与绝缘体214的侧面及绝缘体212的顶面及侧面接触,绝缘体283也可以与绝缘体287的顶面及侧面及绝缘体212的顶面接触。作为绝缘体282及绝缘体287优选使用可用于绝缘体211及绝缘体212的材料。

[0209] 在上述结构中,作为绝缘体287及绝缘体282优选使用抑制氢的透过的材料。另外,作为绝缘体287及绝缘体282更优选使用具有俘获并固定氢的特性的材料。通过在与晶体管200邻接的一侧使用具有俘获并固定氢的功能的材料,晶体管200或存储器单元470中的氢被绝缘体214、绝缘体287及绝缘体282俘获并固定,因此可以降低晶体管200中的氢浓度。另外,作为绝缘体283及绝缘体284,优选使用抑制氢或水等杂质的透过的材料。

[0210] 通过采用上述结构,存储器单元470由绝缘体211、绝缘体212、绝缘体214、绝缘体287、绝缘体282、绝缘体283及绝缘体284围绕。具体而言,存储器单元470由绝缘体214、绝缘体287及绝缘体282(有时记载为第一结构体)围绕,存储器单元470及第一结构体由绝缘体211、绝缘体212、绝缘体283及绝缘体284(有时记载为第二结构体)围绕。另外,如此有时将由两层以上的多个结构体围绕存储器单元470的结构称为嵌套结构。在此,将存储器单元470由多个结构体围绕的情况记载为存储器单元470被多个绝缘体密封的情况。

[0211] 另外,第二结构体隔着第一结构体密封晶体管200。因此,第二结构体可以抑制存在于第二结构体外部的氢扩散到第二结构体内部(晶体管200一侧)。也就是说,第一结构体可以高效地俘获并固定存在于第二结构体的内部结构中的氢。

[0212] 作为上述结构,具体而言,第一结构体可以使用氧化铝等金属氧化物,而第二结构体可以使用氮化硅等氮化物。更具体而言,优选在晶体管200和氮化硅膜之间配置氧化铝膜。

[0213] 再者,作为用于结构体的材料,通过适当地设定成膜条件可以降低膜中的氢浓度。

[0214] 一般来说,采用CVD法形成的膜的覆盖性比采用溅射法形成的膜的覆盖性高。另一方面,用于CVD法的化合物气体在很多情况下包含氢,因此采用CVD法形成的膜的含氢量比采用溅射法形成的膜的含氢量多。

[0215] 因此,例如,与晶体管200邻接的膜优选使用其氢浓度得到降低的膜(具体而言,采用溅射法形成的膜)。另一方面,在作为抑制杂质的扩散的膜使用其覆盖性高且其膜中的氢浓度较高的膜(具体而言,采用CVD法形成的膜)时,优选在晶体管200和其氢浓度较高且其覆盖性高的膜之间配置具有俘获并固定氢的功能且氢浓度被降低了的膜。

[0216] 也就是说,作为与晶体管200邻接地配置的膜,优选使用膜中的氢浓度较低的膜。

另一方面,优选将氢浓度较高的膜与晶体管200分开配置。

[0217] 作为上述结构,具体而言,在使用采用CVD法形成的氮化硅膜密封晶体管200时,优选在晶体管200和采用CVD法形成的氮化硅膜之间配置采用溅射法形成的氧化铝膜。更优选的是,优选在采用CVD法形成的氮化硅膜和采用溅射法形成的氧化铝膜之间配置采用溅射法形成的氮化硅膜。

[0218] 另外,在采用CVD法进行成膜的情况下,也可以通过使用不包含氢原子或氢原子含量少的化合物气体进行成膜来降低包含在所形成的膜中的氢的浓度。

[0219] 另外,优选在各晶体管层413和存储装置层415之间或各存储装置层415之间设置绝缘体282及绝缘体214。另外,优选在绝缘体282和绝缘体214之间设置绝缘体296。作为绝缘体296可以使用与绝缘体283及绝缘体284同样的材料。另外,可以使用氧化硅或氧氮化硅。另外,可以使用公知的绝缘性材料。在此,绝缘体282、绝缘体296及绝缘体214也可以是构成晶体管200的要素。绝缘体282、绝缘体296及绝缘体214兼作晶体管200的构成要素,可以减少半导体装置的制造所需的工序数量,因此是优选的。

[0220] 另外,优选设置在各晶体管层413和存储装置层415之间或各存储装置层415之间的绝缘体282、绝缘体296及绝缘体214各自的侧面优选与绝缘体287接触。通过采用这种结构,晶体管层413及存储装置层415分别由绝缘体282、绝缘体296、绝缘体214、绝缘体287、绝缘体283及绝缘体284围绕并密封。

[0221] 另外,也可以在绝缘体284的周围设置绝缘体274。另外,也可以以嵌入设置于绝缘体274、绝缘体284、绝缘体283及绝缘体211的方式形成导电体430。导电体430与晶体管300,即元件层411所包括的电路电连接。

[0222] 另外,在存储装置层415中,电容元件292设置在与晶体管200M相同的层,因此可以使存储装置420的高度和晶体管200M的高度相同程度因而能够抑制各存储装置层415的高度过大。由此,比较容易地增加存储装置层415的数量。例如,也可以将由晶体管层413及存储装置层415构成的层层叠为100个左右。

[0223] <晶体管200>

参照图35A说明可用于晶体管层413所包括的晶体管200T及存储装置420所包括的晶体管200M的晶体管200。

[0224] 如图35A所示那样,晶体管200包括绝缘体216、导电体205(导电体205a及导电体205b)、绝缘体222、绝缘体224、氧化物230(氧化物230a、氧化物230b及氧化物230c)、导电体242(导电体242a、及导电体242b)、氧化物243(氧化物243a及氧化物243b)、绝缘体272、绝缘体273、绝缘体250、导电体260(导电体260a及导电体260b)。

[0225] 另外,在绝缘体214上设置绝缘体216及导电体205,并且在绝缘体273上设置绝缘体280及绝缘体282。将绝缘体214、绝缘体280及绝缘体282可以看作构成晶体管200的一部分。

[0226] 另外,本发明的一个方式的半导体装置包括与晶体管200电连接并被用作插头的导电体240(导电体240a及导电体240b)。另外,也可以以与被用作导电体240的侧面接触的方式设置绝缘体241(绝缘体241a及绝缘体241b)。另外,在绝缘体282上及导电体240上设置有与导电体240电连接并被用作布线的导电体246(导电体246a及导电体246b)。

[0227] 另外,导电体240a及导电体240b优选使用以钨、铜或铝为主要成分的导电材料。另

外,导电体240a及导电体240b可以具有叠层结构。

[0228] 当导电体240采用叠层结构时,优选使用具有抑制水或氢等杂质及氧的透过的功能的导电材料。例如,优选使用钽、氮化钽、钛、氮化钛、钨或氧化钨等。此外,可以以单层或叠层使用具有抑制水或氢等杂质及氧的透过的功能的导电材料。通过使用该导电材料,可以进一步减少从绝缘体280等扩散的水或氢等杂质经过导电体240a及导电体240b混入氧化物230中。此外,可以防止添加到绝缘体280的氧被吸收到导电体240a及导电体240b。

[0229] 另外,作为以与导电体240的侧面接触的方式设置的绝缘体241,例如可以使用氮化硅、氧化铝或氮氧化硅等。因为绝缘体241以与绝缘体272、绝缘体273、绝缘体280及绝缘体282接触的方式设置,所以可以抑制来自绝缘体280等的水或氢等杂质经过导电体240a及导电体240b混入氧化物230中。特别是,氮化硅因对氢具有高阻挡性而是优选的。此外,可以防止绝缘体280所包含的氧被导电体240a及导电体240b吸收。

[0230] 导电体246优选使用以钨、铜或铝为主要成分的导电材料。另外,该导电体可以具有叠层结构,例如,可以具有钛或氮化钛与上述导电材料的叠层结构。另外,该导电体可以以嵌入设置于绝缘体的开口中的方式形成。

[0231] 在晶体管200中,导电体260被用作晶体管的第一栅极,而导电体205被用作晶体管的第二栅极。此外,导电体242a及导电体242b被用作源电极或漏电极。

[0232] 氧化物230被用作包括沟道形成区域的半导体。

[0233] 绝缘体250被用作第一栅极绝缘体。绝缘体222及绝缘体224被用作第二栅极绝缘体。

[0234] 在此,在图35A所示的晶体管200中,在设置于绝缘体280、绝缘体273、绝缘体272及导电体242等的开口部中隔着氧化物230c及绝缘体250自对准地形成导电体260。

[0235] 也就是说,导电体260隔着氧化物230c及绝缘体250以嵌入设置于包括绝缘体280等的开口的开口的方式形成,因此,在导电体242a和导电体242b之间的区域不需要进行导电体260的对准。

[0236] 在此,优选在形成于绝缘体280等的开口内设置氧化物230c。因此,绝缘体250及导电体260包括隔着氧化物230c与氧化物230b和氧化物230a的叠层结构重叠的区域。通过采用该结构,可以连续形成氧化物230c及绝缘体250,从而可以保持氧化物230和绝缘体250的界面的清洁。因此,界面散射给载流子传导带来的影响减少,从而晶体管200可以得到高通态电流及高频率特性。

[0237] 在图35A所示的晶体管200中,导电体260的底面及侧面与绝缘体250接触。此外,绝缘体250的底面及侧面与氧化物230c接触。

[0238] 另外,如图35A所示,晶体管200具有绝缘体282和氧化物230c直接接触的结构。通过采用该结构,可以抑制绝缘体280所包含的氧向导电体260扩散。

[0239] 因此,可以将绝缘体280所包含的氧通过氧化物230c高效地供应到氧化物230a及氧化物230b,从而可以减少氧化物230a及氧化物230b中的氧空位(也称为 V_0 : oxygen vacancy)来提高晶体管200的电特性及可靠性。

[0240] 下面,说明根据本发明的一个方式的包括晶体管200的半导体装置的详细结构。

[0241] 另外,优选在晶体管200中将被用作氧化物半导体的金属氧化物(下面,有时称为氧化物半导体)用于包括沟道形成区域的氧化物230(氧化物230a、氧化物230b及氧化物

230c)。

[0242] 例如,被用作氧化物半导体的金属氧化物的能隙为2eV以上,优选为2.5eV以上。通过使用能隙较宽的金属氧化物,可以使晶体管200的非导通状态下的泄漏电流(关态电流)为极小。通过采用这种晶体管,可以提供低功耗的半导体装置。

[0243] 具体而言,作为氧化物230优选使用In-M-Zn氧化物(元素M为选自铝、镓、铟、锡、铜、钒、铍、硼、钛、铁、镍、锆、锗、钼、镉、铈、钕、钐、钆、铽和镁等中的一种或多种)等金属氧化物。特别是,作为元素M可以使用铝、镓、铟或锡。此外,作为氧化物230也可以使用In-M氧化物、In-Zn氧化物或M-Zn氧化物。

[0244] 如图35A所示,氧化物230优选包括绝缘体224上的氧化物230a、氧化物230a上的氧化物230b以及配置在氧化物230b上且其至少一部分与氧化物230b的顶面接触的氧化物230c。在此,优选以其侧面与氧化物243a、氧化物243b、导电体242a、导电体242b、绝缘体272、绝缘体273及绝缘体280接触的方式设置氧化物230c。

[0245] 也就是说,氧化物230包括氧化物230a、氧化物230a上的氧化物230b及氧化物230b上的氧化物230c。当在氧化物230b下设置有氧化物230a时,可以抑制杂质从形成在氧化物230a下的结构物扩散到氧化物230b。当在氧化物230b上设置有氧化物230c时,可以抑制杂质从形成在氧化物230c的上方的结构物扩散到氧化物230b。

[0246] 注意,在晶体管200中,在沟道形成区域及其附近层叠有氧化物230a、氧化物230b及氧化物230c的三层,但是本发明不局限于此。例如,可以设置氧化物230b的单层、氧化物230b与氧化物230a的两层结构、氧化物230b与氧化物230c的两层结构或者四层以上的叠层结构。例如,也可以使氧化物230c具有两层结构来形成四层的叠层结构。

[0247] 另外,氧化物230优选具有由各金属原子的原子个数比互不相同的氧化物构成的叠层结构。具体而言,用于氧化物230a的金属氧化物的构成元素中的元素M的原子个数比优选大于用于氧化物230b的金属氧化物的构成元素中的元素M的原子个数比。另外,用于氧化物230a的金属氧化物中的相对于In的元素M的原子个数比优选大于用于氧化物230b的金属氧化物中的相对于In的元素M的原子个数比。另外,用于氧化物230b的金属氧化物中的相对于元素M的In的原子个数比优选大于用于氧化物230a的金属氧化物中的相对于元素M的In的原子个数比。另外,氧化物230c可以使用可用于氧化物230a或氧化物230b的金属氧化物。

[0248] 具体而言,作为氧化物230a使用In:Ga:Zn=1:3:4[原子个数比]或其附近的组成、或者1:1:0.5[原子个数比]或其附近的组成的金属氧化物,即可。

[0249] 另外,作为氧化物230b,使用In:Ga:Zn=4:2:3[原子个数比]或其附近的组成、或者1:1:1[原子个数比]或其附近的组成的金属氧化物,即可。另外,作为氧化物230b也可以使用In:Ga:Zn=5:1:3[原子个数比]或其附近的组成、或者In:Ga:Zn=10:1:3[原子个数比]或其附近的组成的金属氧化物。另外,作为氧化物230b也可以使用In-Zn氧化物(例如,In:Zn=2:1[原子个数比]或其附近的组成、In:Zn=5:1[原子个数比]或其附近的组成、或者In:Zn=10:1[原子个数比]或其附近的组成)。另外,作为氧化物230b也可以使用In氧化物。

[0250] 另外,作为氧化物230c,使用In:Ga:Zn=1:3:4[原子个数比或其附近的组成]、Ga:Zn=2:1[原子个数比]或其附近的组成、或者Ga:Zn=2:5[原子个数比]或其附近的组成的金属氧化物,即可。另外,作为氧化物230c使用可用于氧化物230b的材料,并且以单层或叠

层设置。例如,作为氧化物230c具有叠层结构时的具体例子,可以举出In:Ga:Zn=4:2:3[原子个数比]或其附近的组成和In:Ga:Zn=1:3:4[原子个数比]或其附近的组成的叠层结构、Ga:Zn=2:1[原子个数比]或其附近的组成和In:Ga:Zn=4:2:3[原子个数比]或其附近的组成的叠层结构、Ga:Zn=2:5[原子个数比]或其附近的组成和In:Ga:Zn=4:2:3[原子个数比]或其附近的组成的叠层结构、以及氧化镓和In:Ga:Zn=4:2:3[原子个数比]或其附近的组成的叠层结构等。

[0251] 注意,也可以使实施方式1所示的存储单元阵列30所包括的OS晶体管的结构和元件层40所包括的OS晶体管的结构不同。例如,作为设置在存储单元阵列30的OS晶体管所包括的氧化物230c使用In:Ga:Zn=4:2:3[原子个数比]或其附近的组成的金属氧化物,并且作为设置在元件层40的OS晶体管所包括的氧化物230c使用In:Ga:Zn=5:1:3[原子个数比]或其附近的组成、In:Ga:Zn=10:1:3[原子个数比]或其附近的组成、In:Zn=10:1[原子个数比]或其附近的组成、In:Zn=5:1[原子个数比]或其附近的组成、In:Zn=2:1[原子个数比]或其附近的组成的金属氧化物,即可。

[0252] 另外,在氧化物230b及氧化物230c中,通过提高膜中的铟的比率,可以提高晶体管的通态电流或场效应迁移率等,所以是优选的。另外,上述的附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。

[0253] 另外,氧化物230b也可以具有结晶性。例如,优选使用下述CAAC-OS(c-axis aligned crystalline oxide semiconductor)。CAAC-OS等的具有结晶性的氧化物具有杂质及缺陷(氧空位等)少的结晶性高且致密的结构。因此,可以抑制源电极或漏电极从氧化物230b抽出氧。此外,即使进行加热处理也可以减少从氧化物230b被抽出的氧,所以晶体管200对制造工序中的高温(所谓热积存:thermal budget)也很稳定。

[0254] 导电体205以与氧化物230及导电体260重叠的方式配置。另外,导电体205优选以嵌入绝缘体216中的方式设置。

[0255] 在导电体205被用作栅极的情况下,通过独立地改变供应到导电体205的电位而不使其与施加到导电体260的电位联动,可以控制晶体管200的阈值电压(V_{th})。尤其是,通过对导电体205施加负电位,可以使晶体管200的 V_{th} 更大且可以减小关态电流。因此,与不对导电体205施加负电位时相比,在对导电体205施加负电位的情况下,可以减小对导电体260施加的电位为0V时的漏极电流。

[0256] 另外,如图35A所示,导电体205优选比氧化物230中的不与导电体242a及导电体242b重叠的区域大。在此,虽然未图示,然而导电体205优选延伸到氧化物230的沟道宽度方向上比氧化物230a及氧化物230b外侧的区域。就是说,优选在氧化物230的沟道宽度方向的侧面的外侧,导电体205和导电体260隔着绝缘体重叠。通过将导电体205设置得大,可以在形成导电体205后的制造工序的使用等离子体的处理中,有时可以缓和局部带电(也称为电荷积聚(charge up))。但是,本发明的一个方式不局限于此。只要导电体205至少与位于导电体242a和导电体242b之间的氧化物230重叠即可。

[0257] 此外,以绝缘体224的底面为标准,氧化物230a及氧化物230b和导电体260不重叠的区域中的导电体260的底面优选位于比氧化物230b的底面低的位置。

[0258] 虽然未图示,然而在沟道宽度方向上通过使被用作栅极的导电体260具有隔着氧化物230c及绝缘体250覆盖沟道形成区域的氧化物230b的侧面及顶面的结构,容易使从导

电体260产生的电场作用于形成在氧化物230b中的沟道形成区域整体。因此,可以增大晶体管200的通态电流来提高频率特性。在本说明书中,将由导电体260及导电体205的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel (S-channel) 结构。

[0259] 导电体205a优选是抑制水或氢等杂质及氧的透过的导电体。例如,可以使用钛、氮化钛、钽或氮化钽。此外,导电体205b优选使用以钨、铜或铝为主要成分的导电材料。另外,虽然示出具有两层结构的导电体205,但是导电体205也可以采用三层以上的多层结构。

[0260] 在此,通过作为氧化物半导体、位于氧化物半导体的下层的绝缘体或导电体、及位于氧化物半导体的上层的绝缘体或导电体,以不暴露于大气的方式连续地形成不同种类的膜,可以形成杂质(尤其是氢、水)浓度得到降低的实质上高纯度本征的氧化物半导体膜,所以是优选的。

[0261] 绝缘体222、绝缘体272及绝缘体273中的至少一个优选被用作抑制水或氢等杂质从衬底一侧或上方混入晶体管200中的阻挡绝缘膜。因此,作为绝缘体222、绝缘体272及绝缘体273中的至少一个优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0262] 例如,作为绝缘体273优选使用氮化硅或氮氧化硅等,而作为绝缘体222及绝缘体272优选使用氧化铝或氧化钪等。

[0263] 由此,可以抑制水或氢等杂质隔着绝缘体222向晶体管200一侧扩散。或者,可以抑制绝缘体224等所包含的氧隔着绝缘体222向衬底一侧扩散。

[0264] 此外,还可以抑制水或氢等杂质从隔着绝缘体272及绝缘体273配置的绝缘体280等向晶体管200一侧扩散。如此,优选采用由具有抑制水或氢等杂质及氧的扩散的功能的绝缘体272及绝缘体273围绕晶体管200的结构。

[0265] 在此,与氧化物230接触的绝缘体224优选通过加热使氧脱离。在本说明书中,有时将通过加热脱离的氧称为过剩氧。例如,作为绝缘体224可以适当地使用氧化硅或氧氮化硅等。通过以与氧化物230接触的方式设置包含过剩氧的绝缘体,可以减少氧化物230中的氧空位,从而可以提高晶体管200的可靠性。

[0266] 具体而言,作为绝缘体224,优选使用通过加热使部分氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在热脱附谱(TDS (Thermal Desorption Spectroscopy))分析中氧分子的脱离量为 1.0×10^{18} molecules/cm³以上,优选为 1.0×10^{19} molecules/cm³以上,进一步优选为 2.0×10^{19} molecules/cm³以上,或者 3.0×10^{20} molecules/cm³以上的氧化物膜。另外,进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0267] 绝缘体222优选被用作抑制水或氢等杂质从衬底一侧混入晶体管200中的阻挡绝缘膜。例如,绝缘体222的氢透过性优选比绝缘体224低。通过由绝缘体222及绝缘体283围绕绝缘体224及氧化物230等,可以抑制水或氢等杂质从外部进入晶体管200中。

[0268] 再者,绝缘体222优选具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)。例如,绝缘体222的氧透过性优选比绝缘体224低。通过使绝缘体222具有抑制氧或杂质的扩散的功能,可以减少氧化物230所具有的氧扩散到绝缘体

220的下侧,所以是优选的。此外,可以抑制导电体205与绝缘体224及氧化物230所具有的氧起反应。

[0269] 绝缘体222优选使用包含作为绝缘材料的铝和铅中的一个或两个的氧化物的绝缘体。作为包含铝和铅中的一个或两个的氧化物的绝缘体,优选使用氧化铝、氧化铅、包含铝及铅的氧化物(铝酸铅)等。当使用这种材料形成绝缘体222时,绝缘体222被用作抑制氧从氧化物230释放或氢等杂质从晶体管200的周围部进入氧化物230的层。

[0270] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。或者,也可以对上述绝缘体进行氮化处理。或者,还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0271] 此外,作为绝缘体222,例如也可以以单层或叠层使用包含氧化铝、氧化铅、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO_3)或($\text{Ba,Sr})\text{TiO}_3$ (BST)等所谓的high-k材料的绝缘体。例如,在绝缘体222为叠层的情况下,使用依次形成氧化锆、氧化铝和氧化锆的三层的叠层或依次形成氧化锆、氧化铝、氧化锆和氧化铝的四层的叠层等,即可。另外,作为绝缘体222可以使用包含铅及锆的化合物等。在进行半导体装置的微型化及高集成化时,因为用于栅极绝缘体及电容元件的电介质的薄膜化,有时产生晶体管或电容元件的泄漏电流等问题。通过作为被作用于栅极绝缘体及电容元件的电介质的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位且确保电容元件的电容。

[0272] 另外,绝缘体222及绝缘体224也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料构成的叠层结构。

[0273] 此外,也可以在氧化物230b和被用作源电极或漏电极的导电体242(导电体242a及导电体242b)之间配置氧化物243(氧化物243a及氧化物243b)。由于导电体242不与氧化物230b接触,可以抑制导电体242吸收氧化物230b的氧。也就是说,通过防止导电体242的氧化,可以抑制导电体242的导电率下降。因此,氧化物243优选具有抑制导电体242的氧化的功能。

[0274] 当在被用作源电极或漏电极的导电体242和氧化物230b之间配置具有抑制氧透过的功能的氧化物243时,导电体242和氧化物230b之间的电阻下降,所以是优选的。通过采用这种结构,可以提高晶体管200的电特性及晶体管200的可靠性。

[0275] 作为氧化物243,也可以使用具有选自铝、镓、铋、锡、铜、钒、铍、硼、钛、铁、镍、锗、钼、钽、铈、钕、钆、钇、钨、或镁等中的一种或多种的元素M的金属氧化物。特别是,作为元素M优选使用铝、镓、铋或锡。氧化物243中的元素M的浓度优选比氧化物230b高。另外,作为氧化物243,还可以使用氧化镓。此外,作为氧化物243,还可以使用In-M-Zn氧化物等金属氧化物。具体而言,用于氧化物243的金属氧化物中的相对于In的元素M的原子个数比优选大于用于氧化物230b的金属氧化物中的相对于In的元素M的原子个数比。此外,氧化物243的厚度优选为0.5nm以上且5nm以下,优选为1nm以上且3nm以下。另外,氧化物243优选具有结晶性。当氧化物243具有结晶性时,能够更好地抑制氧化物230释放氧。例如,当氧化物243具有六方晶等结晶结构时,有时可以抑制氧化物230释放氧。

[0276] 另外,不必须设置氧化物243。在此情况下,因导电体242(导电体242a及导电体242b)和氧化物230接触而氧化物230中的氧扩散到导电体242中,由此导电体242有时被氧化。导电体242的导电率因氧化而下降的可能性变高。注意,也可以将氧化物230中的氧向导

抑制氧从绝缘体250扩散到导电体260。通过设置抑制氧的扩散的金属氧化物,可以抑制氧从绝缘体250扩散到导电体260。换言之,可以抑制供应到氧化物230的氧量的减少。另外,可以抑制因绝缘体250中的氧导致导电体260被氧化。

[0287] 另外,该金属氧化物有时被用作栅极绝缘体的一部分。因此,在将氧化硅或氧氮化硅等用于绝缘体250的情况下,作为该金属氧化物优选使用作为相对介电常数高的high-k材料的金属氧化物。通过使栅极绝缘体具有绝缘体250与该金属氧化物的叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。另外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。

[0288] 具体而言,可以使用包含选自铅、铝、镓、铋、锗、钨、钛、钽、镍、锆和镁等中的一种或两种以上的金属氧化物。特别是,优选使用作为包含铝及铅中的一方或双方的氧化物的绝缘体的氧化铝、氧化铅、包含铝及铅的氧化物(铝酸铅)等。

[0289] 或者,该金属氧化物有时被用作栅极的一部分。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0290] 尤其是,作为被用作栅极的导电体,优选使用含有包含在形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用含有上述金属元素及氮的导电材料。此外,可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘获形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外部的绝缘体等混入的氢。

[0291] 虽然在图35A中,导电体260具有两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0292] 作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0293] 此外,当导电体260a具有抑制氧的扩散的功能时,可以抑制绝缘体250所包含的氧使导电体260b氧化而导致导电率的下降。作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钪或氧化钪等。

[0294] 此外,作为导电体260b优选使用以钨、铜或铝为主要成分的导电材料。另外,由于导电体260还被用作布线,所以优选使用导电性高的导电体。例如,可以使用以钨、铜或铝为主要成分的导电材料。另外,导电体260b可以具有叠层结构,例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0295] <<金属氧化物>>

作为氧化物230,优选使用被用作氧化物半导体的金属氧化物。以下,将说明可用于根据本发明的氧化物230的金属氧化物。

[0296] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。另外,除此之外,优选还包含镓、铋、锡等。或者,也可以包含硼、钛、铁、镍、锆、锆、钼、镧、铈、钆、钨或镁等中的一种或多种。

[0297] 在此,估计为金属氧化物是具有铟、元素M及锌的In-M-Zn氧化物(元素M为选自铝、镓、铋、锡、铜、钒、铍、硼、钛、铁、镍、锆、钼、钽、铪、铌、钨和镁等中的一种或多种)的情况。特别是,作为元素M可以使用铝、镓、铋或锡。

[0298] 注意,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0299] <晶体管300>

使用图35B说明晶体管300。晶体管300设置在半导体衬底311上,并包括:用作栅极的导电体316、用作栅极绝缘体的绝缘体315、由半导体衬底311的一部分构成的半导体区域313;以及用作源区或漏区的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型或n沟道型。

[0300] 在此,在图35B所示的晶体管300中,形成沟道的半导体区域313(半导体衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316可以使用调整功函数的材料。因为利用半导体衬底311的凸部,所以这种晶体管300也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底311的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸部的半导体膜。

[0301] 注意,图35B所示的晶体管300的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0302] <存储装置420>

接着,参照图36A说明图34所示的存储装置420。另外,关于存储装置420所包括的晶体管200M,省略与晶体管200重复的说明。

[0303] 在存储装置420中,晶体管200M的导电体242a被用作电容元件292的电极中的一个,绝缘体272及绝缘体273被用作电介质。以隔着绝缘体272及绝缘体273与导电体242a重叠的方式设置导电体290,并且被用作电容元件292的电极中的另一个。导电体290也可以被用作邻接的存储装置420所包括的电容元件292的电极中的另一个。另外,导电体290也可以与邻接的存储装置420所包括的导电体290电连接。

[0304] 导电体290以隔着绝缘体272及绝缘体273配置在导电体242a的顶面及导电体242a的侧面。此时,与利用导电体242a和导电体290重叠的面积而得到的电容相比,电容元件292可以得到更大的电容,所以是优选的。

[0305] 导电体424与导电体242b电连接,并且隔着导电体205与位于下方的层的导电体424电连接。

[0306] 作为电容元件292的电介质可以使用氮化硅、氮氧化硅、氧化铝及氧化铪等。另外,可以使用这些材料的叠层。在电容元件292的电介质具有叠层结构的情况下,可以使用氧化铝和氮化硅的叠层、氧化铪和氧化硅的叠层。在此,叠层的上下没有限定。例如,可以在氧化铝上层叠氮化硅,也可以在氮化硅上层叠氧化铝。

[0307] 另外,作为电容元件292的电介质,可以使用具有比上述材料更高的介电常数的氧化锆。作为电容元件292的电介质,既可以作为单层使用氧化锆,又可以作为叠层的一部分使用氧化锆。例如,可以使用氧化锆和氧化铝的叠层。另外,作为电容元件292的电介质可以使用三层的叠层,作为第一层及第三层使用氧化锆,作为第一层及第三层之间的第二层使

用氧化铝。

[0308] 作为电容元件292的电介质使用具有高介电常数的氧化锆,可以减少在存储装置420中电容元件292占有的面积。因此,可以减少存储装置420所需要的面积,因而能够提高位成本(bit cost),这是优选的。

[0309] 另外,作为导电体290可以使用可用于导电体205、导电体242、导电体260及导电体424等的材料。

[0310] 在本实施方式中示出隔着导电体424对称地配置晶体管200M及电容元件292的例子。如此,通过配置一对晶体管200M及电容元件292,可以减少与晶体管200M电连接的导电体424的数量。因此,可以减少存储装置420所需要的面积,因而能够提高位成本,这是优选的。

[0311] 在绝缘体241设置在导电体424的侧面的情况下,导电体424与导电体242b的顶面的至少一部分连接。

[0312] 通过使用导电体424及导电体205,可以存储器单元470中的晶体管200T与存储装置420电连接。

[0313] <存储装置420的变形例子1>

接着,参照图36B作为存储装置420的变形例子说明存储装置420A。存储装置420A包括晶体管200M及与晶体管200M电连接的电容元件292A。电容元件292A设置在晶体管200M的下方。

[0314] 在存储装置420A中,导电体242a配置在形成于氧化物243a、氧化物230b、氧化物230a、绝缘体224及绝缘体222的开口中并且在开口底部与导电体205电连接。导电体205与电容元件292A电连接。

[0315] 电容元件292A包括被用作电极中的一个的导电体294、被用作电介质的绝缘体295及被用作电极中的另一个的导电体297。导电体297隔着绝缘体295与导电体294重叠。另外,导电体297与导电体205电连接。

[0316] 在设置在绝缘体296上的绝缘体298中形成的开口的底部及侧面配置导电体294,以覆盖绝缘体298及导电体294的方式设置绝缘体295。另外,导电体297以嵌入设置于绝缘体295所具有的凹部的方式形成。

[0317] 另外,以嵌入设置于绝缘体296的方式形成导电体299,并且导电体299与导电体294电连接。导电体299也可以与邻接的存储装置420A的导电体294电连接。

[0318] 导电体297以隔着绝缘体295配置在导电体294的顶面及导电体294的侧面。此时,与利用导电体294和导电体297重叠的面积而得到的电容相比,电容元件292A可以得到更大的电容,所以是优选的。

[0319] 作为被用作电容元件292A的电介质的绝缘体295,可以使用氮化硅、氮氧化硅、氧化铝及氧化铪等。另外,可以使用这些材料的叠层。在绝缘体295具有叠层结构的情况下,可以使用氧化铝和氮化硅的叠层、氧化铪和氧化硅的叠层。在此,叠层的上下没有限定。例如,可以在氧化铝上层叠氮化硅,也可以在氮化硅上层叠氧化铝。

[0320] 另外,作为绝缘体295,可以使用具有比上述材料更高的介电常数的氧化锆。作为绝缘体295,既可以使用单层的氧化锆,又可以作为叠层的一部分使用氧化锆。例如,可以使用氧化锆和氧化铝的叠层。另外,作为绝缘体295可以使用三层的叠层,作为第一层及第三

层使用氧化锆,作为第一层及第三层之间的第二层使用氧化铝。

[0321] 作为绝缘体295使用具有高介电常数的氧化锆,可以减少在存储装置420A中电容元件292A占有的面积。因此,可以减少存储装置420A所需要的面积,因而能够提高位成本,这是优选的。

[0322] 另外,作为导电体297、导电体294及导电体299可以使用可用于导电体205、导电体242、导电体260及导电体424等的材料。

[0323] 另外,作为绝缘体298可以使用可用于绝缘体214、绝缘体216、绝缘体224及绝缘体280等的材料。

[0324] <存储装置420的变形例子2>

接着,参照图36C作为存储装置420的变形例子说明存储装置420B。存储装置420B包括晶体管200M及与晶体管200M电连接的电容元件292B。电容元件292B设置在晶体管200M的上方。

[0325] 电容元件292B包括被用作电极中的一个的导电体276、被用作电介质的绝缘体277及被用作电极中的另一个的导电体278。导电体278隔着绝缘体277与导电体276重叠。

[0326] 在绝缘体282上设置绝缘体275,在形成于绝缘体275、绝缘体282、绝缘体280、绝缘体273及绝缘体272的开口的底部及侧面设置导电体276。绝缘体277以覆盖绝缘体282及导电体276的方式设置。另外,以在绝缘体277所具有的凹部中与导电体276重叠的方式设置导电体278,其至少一部分隔着绝缘体277设置在绝缘体275上。导电体278也可以被用作邻接的存储装置420B所包括的电容元件292B的电极中的另一个。另外,导电体278也可以与邻接的存储装置420B所包括的导电体278电连接。

[0327] 导电体278以隔着绝缘体277配置在导电体276的顶面及导电体276的侧面。此时,与利用导电体276和导电体278重叠的面积而得到的电容相比,电容元件292B可以得到更大的电容,所以是优选的。

[0328] 另外,也可以以嵌入设置于导电体278所具有的凹部的方式形成绝缘体279。

[0329] 被用作电容元件292B的电介质的绝缘体277,可以使用氮化硅、氮氧化硅、氧化铝及氧化铅等。另外,可以使用这些材料的叠层。在绝缘体277具有叠层结构的情况下,可以使用氧化铝和氮化硅的叠层、氧化铅和氧化硅的叠层。在此,叠层的上下没有限定。例如,可以在氧化铝上层叠氮化硅,也可以在氮化硅上层叠氧化铝。

[0330] 另外,作为绝缘体277,可以使用具有比上述材料更高的介电常数的氧化锆。作为绝缘体277,既可以使用单层的氧化锆,又可以作为叠层的一部分使用氧化锆。例如,可以使用氧化锆和氧化铝的叠层。另外,作为绝缘体277可以使用三层的叠层,作为第一层及第三层使用氧化锆,作为第一层及第三层之间的第二层使用氧化铝。

[0331] 作为绝缘体277使用具有高介电常数的氧化锆,可以减少在存储装置420B中电容元件292B占有的面积。因此,可以减少存储装置420B所需要的面积,因而能够提高位成本。

[0332] 另外,作为导电体276及导电体278,可以使用可用于导电体205、导电体242、导电体260及导电体424等的材料。

[0333] 另外,作为绝缘体275及绝缘体279可以使用可用于绝缘体214、绝缘体216、绝缘体224及绝缘体280等的材料。

[0334] <存储装置420和晶体管200T的连接>

在图34中的以点划线围绕的区域422中,虽然存储装置420经过导电体424及导电体205与晶体管200T的栅极电连接,然而本实施方式不局限于此。

[0335] 图37示出存储装置420经过导电体424、导电体205、导电体246b及导电体240b与被用作晶体管200T的源极及漏极中的一个的导电体242b电连接的例子。

[0336] 如此,根据晶体管层413所包括的电路的功能,可以决定存储装置420和晶体管200T的连接方法。

[0337] 图38示出存储器单元470包括具有晶体管200T的晶体管层413及四层的存储装置层415(存储装置层415_1至存储装置层415_4)的例子。

[0338] 存储装置层415_1至存储装置层415_4分别包括多个存储装置420。

[0339] 存储装置420经过导电体424及导电体205与不同的存储装置层415所包括的存储装置420及晶体管层413所具有的晶体管200T电连接。

[0340] 存储器单元470由绝缘体211、绝缘体212、绝缘体214、绝缘体287、绝缘体282、绝缘体283及绝缘体284密封。在绝缘体284的周围设置绝缘体274。另外,绝缘体274、绝缘体284、绝缘体283及绝缘体211设有导电体430并与元件层411电连接。

[0341] 另外,在密封结构的内部设有绝缘体280。绝缘体280具有由于加热释放氧的功能。另外,绝缘体280具有过剩氧区域。

[0342] 另外,绝缘体211、绝缘体283及绝缘体284优选为对氢具有高阻挡性的材料。另外,绝缘体214、绝缘体282及绝缘体287优选为俘获氢或固定氢的材料。

[0343] 例如,作为上述对氢具有高阻挡性的材料举出氮化硅或氮氧化硅等。另外,作为上述俘获氢或固定氢的材料可以举出氧化铝、氧化钪、以及包含铝及钪的氧化物(铝酸钪)等。

[0344] 注意,在本说明书中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0345] 另外,对用于绝缘体211、绝缘体212、绝缘体214、绝缘体287、绝缘体282、绝缘体283及绝缘体284的材料的结晶结构没有特别的限制,然而采用具有非晶性或结晶性的结构,即可。例如,作为俘获氢或固定氢的材料,优选使用非晶性氧化铝膜。与结晶性高的氧化铝相比,有时非晶性氧化铝所俘获及固定的氢量大。

[0346] 在此,可以估计为对绝缘体280的氧化物半导体中的氢的扩散,绝缘体280中的过剩氧具有如下模型。

[0347] 存在于氧化物半导体中的氢经过接触于氧化物半导体的绝缘体280扩散到其他结构体。绝缘体280中的过剩氧与氧化物半导体中的氧起反应而成为OH键合,该氢扩散到绝缘体280中。当具有OH键合的氢原子到达俘获氢或固定氢的材料(典型为绝缘体282)时,氢原子与键合于绝缘体282中的原子(例如,金属原子等)的氧原子起反应并在绝缘体282中俘获或固定。另一方面,具有OH键合的过剩氧的氧原子被估计为作为过剩氧残留在绝缘体280中。换言之,在该氢的扩散时绝缘体280中的过剩氧发挥架桥的作用的可能性高。

[0348] 为了满足上述模型,重要的要素之一是半导体装置的制造工序。

[0349] 作为一个例子,在氧化物半导体形成包含过剩氧的绝缘体280之后形成绝缘体282。然后,优选进行加热处理。具体而言,在包含氧的气氛、包含氮的气氛或氧和氮的混合气氛下以350℃以上,优选为400℃以上的温度进行该加热处理。加热处理的时间为1个小时以上,优选为4个小时以上,更优选为8个小时以上。

[0350] 通过上述加热处理,氧化物半导体中的氢可以经过绝缘体280、绝缘体282及绝缘体287扩散到外部。换言之,可以减少存在于氧化物半导体及该氧化物半导体附近的氢的绝对量。

[0351] 在上述加热处理之后形成绝缘体283及绝缘体284。因为绝缘体283及绝缘体284是具有对氢的高阻挡性的材料,所以可以抑制扩散到外部的氢或存在于外部的氢侵入内部,具体而言,氧化物半导体或绝缘体280一侧。

[0352] 注意,虽然关于上述加热处理示出在形成绝缘体282之后进行的例子,然而不局限于此。例如,可以在形成晶体管层413之后或者在形成存储装置层415_1至存储装置层415_3之后分别进行上述加热处理。此外,在通过上述加热处理将氢扩散到外部时,将氢扩散到晶体管层413的上方或横方向。与此同样,在形成存储装置层415_1至存储装置层415_3之后进行加热处理的情况下,氢扩散到上方或横方向。

[0353] 另外,在上述制造工序中,通过绝缘体211和绝缘体283接触来形成上述密封结构。

[0354] 如上所述那样,通过采用上述结构及上述制造工序,可以提供使用减少了氢浓度的氧化物半导体的半导体装置。因此,可以提供一种可靠性良好的半导体装置。另外,根据本发明的一个方式可以提供一种具有良好的电特性的半导体装置。

[0355] 图39A至图39C示出导电体424的配置与图38不同的例子的图。图39A示出从顶面看存储装置420时的布局图,图39B示出在图39A中以点划线A1-A2表示的部分的截面图,图39C示出在图39A中以点划线B1-B2表示的部分的截面图。另外,在图39A中,为了明确起见,省略表示导电体205。在设置导电体205的情况下,导电体205包括与导电体260及导电体424重叠的区域。

[0356] 如图39A所示那样,设有导电体424的开口,即导电体424,除了重叠于氧化物230a及氧化物230b的区域之外,还设置在氧化物230a及氧化物230b的外侧。在图39A中示出导电体424突出到氧化物230a及氧化物230b的B2一侧的方式设置的例子,然而本实施方式不局限于此。导电体424既可以以突出到氧化物230a及氧化物230b的B1一侧的方式设置,又可以以突出到B1一侧及B2一侧的双方的方式设置。

[0357] 图39B及图39C示出在存储装置层415_p-1上层叠存储装置层415_p的例子(p为2以上且n以下的自然数)。存储装置层415_p-1所包括的存储装置420经过导电体424及导电体205与存储装置层415_p所包括的存储装置420电连接。

[0358] 图39B示出在存储装置层415_p-1中导电体424与存储装置层415_p-1中的导电体242及存储装置层415_p中的导电体205连接的例子。在此,导电体424在导电体242、氧化物243、氧化物230b及氧化物230a的B2一侧的外侧与存储装置层415_p-1的导电体205连接。

[0359] 在图39C中,导电体424沿着导电体242、氧化物243、氧化物230b及氧化物230a的B2一侧的侧面形成,并且经过在绝缘体280、绝缘体273、绝缘体272、绝缘体224及绝缘体222形成的开口与导电体205电连接。在此,在图39B中,以虚线示出导电体424沿着导电体242、氧化物243、氧化物230b及氧化物230a的B2一侧的侧面形成的例子。另外,有时在导电体242、氧化物243、氧化物230b、氧化物230a、绝缘体224及绝缘体222的B2一侧的侧面和导电体424之间形成绝缘体241。

[0360] 通过将导电体424设置在不与导电体242等重叠的区域,存储装置420可以与设置在不同的存储装置层415的存储装置420电连接。另外,存储装置420也可以与设置在晶体管

层413的晶体管200T电连接。

[0361] 此外,在将导电体424被用作位线时,通过在不与导电体242等重叠的区域也设置导电体424,可以扩大在B1-B2方向上相邻的存储装置420的位线的距离。如图39A所示那样,导电体242上的导电体424之间的距离为 d_1 ,然而比氧化物230a下方的层,即位于绝缘体224及绝缘体222形成的开口中的导电体424之间的距离为 d_2 ,因此 d_2 比 d_1 大。与在B1-B2方向上相邻的导电体424之间的距离为 d_1 的情况相比,通过将一部分的距离设定为 d_2 可以减少导电体424的寄生电容。通过减少导电体424的寄生电容,可以减少电容元件292所需的电容,所以是优选的。

[0362] 在存储装置420中设置被用作两个存储单元的共同位线的导电体424。通过适当地调整被用作电介质的介电常数或位线间的寄生电容,可以缩小各存储单元的单元尺寸。在此,关于以沟道长度为30nm(也称为30nm节点)时的存储单元的单元尺寸的估计、位密度的估计及位成本的估计进行说明。另外,在下面说明的图40A至图40D中,为了明确起见,省略表示导电体205。在设置导电体205的情况下,导电体205包括与导电体260及导电体424重叠的区域。

[0363] 在图40A中示出作为电容元件的电介质,依次层叠10nm的厚度的氧化铪及其上1nm的氧化硅,在存储装置420所包括的各存储单元的导电体242、氧化物243、氧化物230a和氧化物230b之间形成狭缝,并且以与导电体242及该狭缝重叠的方式设置被用作位线的导电体424的例子。将通过这种方法而得到的存储单元432称为单元A。

[0364] 单元A中的单元尺寸为 $45.25F^2$ 。

[0365] 在图40B中示出作为电容元件的电介质,依次层叠第一氧化锆、其上的氧化铝、以及其上的第二氧化锆,在存储装置420所包括的各存储单元的导电体242、氧化物243、氧化物230a和氧化物230b之间形成狭缝,并且以与导电体242及该狭缝重叠的方式设置被用作位线的导电体424的例子。将通过这种方法而得到的存储单元433称为单元B。

[0366] 因为单元B的作为电容元件的电介质的介电常数比单元A高,所以可以缩小电容元件的面积。因此,在单元B中,与单元A相比,可以减小单元尺寸。单元B中的单元尺寸为 $25.53F^2$ 。

[0367] 单元A及单元B对应于图34、图36A至图36C及图37所示的存储装置420、存储装置420A或存储装置420B所包括的存储单元。

[0368] 在图40C中示出作为电容元件的电介质,依次层叠第一氧化锆、其上的氧化铝及其上的第二氧化锆,各存储单元共同具有存储装置420所包括的导电体242、氧化物243、氧化物230a及氧化物230b,并且以与导电体242重叠的一部分及导电体242的外侧的一部分重叠的方式设置被用作位线的导电体424的例子。将通过这种方法而得到的存储单元434称为单元C。

[0369] 与导电体242的上方相比,在比氧化物230a下方的层中单元C中的导电体424之间的距离更大。因此,可以减少导电体424的寄生电容,并且可以缩小电容元件的面积。另外,在导电体242、氧化物243、氧化物230a及氧化物230b不形成狭缝。由此,与单元A及单元B相比,单元C可以缩小单元尺寸。单元C中的单元尺寸为 $17.20F^2$ 。

[0370] 在图40D中示出在单元C中不设置导电体205及绝缘体216的例子。将这种存储单元435称为单元D。

[0371] 通过在单元D中不设置导电体205及绝缘体216,可以减薄存储装置420的厚度。因此,可以减薄包括存储装置420的存储装置层415,可以降低层叠多个存储装置层415的存储器单元470的高度。在将导电体424及导电体205看作位线时,可以在存储器单元470中缩短位线。因为可以缩短位线,减少位线的寄生负载,从而进一步地减少导电体424的寄生电容,而可以缩小电容元件的面积。另外,在导电体242、氧化物243、氧化物230a及氧化物230b不形成狭缝。由此,与单元A、单元B及单元C相比,单元D可以缩小单元尺寸。单元D中的单元尺寸为 $15.12F^2$ 。

[0372] 单元C及单元D对应于图39A至图39C所示的存储装置420所包括的存储单元。

[0373] 在此,估计单元A至单元D、以及单元D中进行多值化的单元E的位密度及位成本 C_b 。另外,对所得到的估计与现在市售的DRAM中的位密度及位成本的估计值进行比较。

[0374] 利用算式1估计本发明的一个方式的半导体装置中的位成本 C_b 。

[0375] [算式1]

$$C_b = \frac{(P_c + n \times P_s)}{n} \times \frac{D_d}{D_{3d}} \times \frac{1}{P_d} \quad \dots (1)$$

[0376] 在此,n表示存储装置层的叠层的数量、 P_c 作为共同部分主要表示元件层411的图案化次数、 P_s 表示存储装置层415及晶体管层413的每一个的图案化次数、 D_d 表示DRAM的位密度、 D_{3d} 表示一个存储装置层415的位密度、 P_d 表示DRAM的图案化次数。注意, P_d 包括由于缩减而发生的增加量。

[0377] 表1示出市售的DRAM的位密度的估计值及本发明的一个方式的半导体装置的位密度的估计值。另外,市售的DRAM的工艺节点具有18nm及1Xnm的两种。另外,以本发明的一个方式的半导体装置的工艺节点为30nm,估计单元A至单元E中的存储装置层的叠层的数量分别为5层、10层及20层的位密度。

[0378] [表1]

	DRAM		本发明的一个方式的存储装置			
制造厂	A 公司	B 公司	-			
工艺节点	18 nm	1X nm	30nm			
叠层的数量	-	-		5	10	20
位密度 [Gb/mm2] (*) 为估计值	0.19 (*)	0.14 (*)	单元 A	0.05	0.10	0.20
			单元 B	0.09	0.17	0.35
			单元 C	0.13	0.26	0.52
			单元 D	0.15	0.29	0.59
			单元 E	0.30	0.59	1.18

[0379] 表2示出估计市售的DRAM的位成本与本发明的一个方式的半导体装置的相对位成本的结果。注意,在位成本的比较中使用工艺节点为1Xnm的DRAM。另外,以本发明的一个方

式的半导体装置的工艺节点为30nm,估计单元A至单元D中的存储装置层的叠层的数量分别为5层、10层及20层的位密度。

[0380] [表2]

	DRAM		本发明的一个方式的存储装置			
制造厂	A 公司	B 公司	-			
工艺节点	18 nm	1X nm	30nm			
叠层的数量	-	-		5	10	20
在将 B 公司的位密度为 1 时的相对位成本	-	1	单元 A	1.7	1.3	1.2
			单元 B	0.9	0.7	0.7
			单元 C	0.6	0.5	0.4
			单元 D	0.5	0.4	0.3

[0381] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0382] (实施方式10)

在本实施方式中,说明可用于上述实施方式中说明的0S晶体管的金属氧化物(下面称为氧化物半导体)。

[0383] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。另外,除此之外,优选还包含铝、镓、钪或锡等。另外,也可以包含选自硼、钛、铁、镍、锆、钼、钽、铪、铌、钨、镁及钴等中的一种或多种。

[0384] <结晶结构的分类>

首先,对氧化物半导体中的结晶结构的分类参照图41A进行说明。图41A是说明氧化物半导体,典型为IGZO(包含In、Ga及Zn的金属氧化物)的结晶结构的分类的图。

[0385] 如图41A所示那样,氧化物半导体大致分为“Amorphous(无定形)”、“Crystalline(结晶性)”、“Crystal(结晶)”。另外,在“Amorphous”中包含completely amorphous。另外,在“Crystalline”中包含CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)及CAC(cloud-aligned composite)。另外,在“Crystalline”的分类中不包含single crystal(单晶)、poly crystal(多晶)及completely amorphous。另外,“Crystal”的分类中包含single crystal及poly crystal。

[0386] 另外,图41A所示的外框线被加粗的部分中的结构是介于“Amorphous(无定形)”与“Crystal(结晶)”之间的中间状态,是属于新颖的边界区域(New crystalline phase)的结构。就是说,将该结构可以说是与在能量性上不稳定的“Amorphous(无定形)”或“Crystal(结晶)”完全不同的结构。

[0387] 另外,可以使用X射线衍射(XRD:X-Ray Diffraction)光谱对膜或衬底的结晶结构进行评价。在此,图41B示出被分类为“Crystalline”的CAAC-IGZO膜的通过GIXD(Grazing-Incidence XRD)测量而得到的XRD光谱(纵轴表示以任意单位(a.u.)表示的强度(Intensity))。另外,将GIXD法也称为薄膜法或Seemann-Bohlin法。下面,将通过图41B所示的GIXD测量而得到的XRD光谱简单地记为XRD光谱。另外,图41B所示的CAAC-IGZO膜的组成

是In:Ga:Zn=4:2:3[原子个数比]附近。另外,图41B所示的CAAC-IGZO膜的厚度为500nm。

[0388] 如图41B所示,在CAAC-IGZO膜的XRD光谱中检测出表示明确的结晶性的峰值。具体而言,在CAAC-IGZO膜的XRD光谱中, $2\theta=31^\circ$ 附近检测出表示c轴取向的峰值。另外,如图41B所示那样, $2\theta=31^\circ$ 附近的峰值在以检测出峰值强度的角度为轴时左右非对称。

[0389] 另外,可以使用纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。图41C示出CAAC-IGZO膜的衍射图案。图41C是将电子束向平行于衬底的方向入射的NBED观察的衍射图案。另外,图41C所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。另外,在纳米束电子衍射法中,进行束径为1nm的电子衍射法。

[0390] 如图41C所示那样,在CAAC-IGZO膜的衍射图案中观察到表示c轴取向的多个斑点。

[0391] <<氧化物半导体的结构>>

另外,在注目于氧化物半导体的结晶结构的情况下,有时氧化物半导体的分类与图41A不同。例如,氧化物半导体可以分为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。另外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0392] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0393] [CAAC-OS]

CAAC-OS是包括多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。另外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、或者CAAC-OS膜的表面的法线方向。另外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。另外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0394] 另外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。另外,结晶区域由多个微小结晶构成的情况下,有时该结晶区域的尺寸为几十nm左右。

[0395] 另外,在In-M-Zn氧化物(元素M为选自铝、镓、铟、锡及钛中的一种或多种)中,CAAC-OS有包括含有层叠有铟(In)及氧的层(以下、In层)、含有元素M、锌(Zn)及氧的层(以下、(M,Zn)层)的层状结晶结构(也称为层状结构)的趋势。另外,铟和元素M可以彼此置换。因此,有时(M,Zn)层包含铟。另外,有时In层包含元素M。注意,有时In层包含Zn。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0396] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,在 $2\theta=31^\circ$ 或其附近检测出c轴取向的峰值。注意,表示c轴取向的峰值的位置(2θ 值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0397] 另外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。另外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观

察在点对称的位置。

[0398] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六边形,有是非正六边形的情况。另外,在上述畸变中,有时具有五角形、七角形等晶格排列。另外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变,即a-b面方向上的氧原子的排列的低密度或因金属原子被取代而使原子间的键合距离产生变化。

[0399] 另外,确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为复合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是对晶体管的半导体层提供具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0400] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。另外,氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及高可靠性。此外,CAAC-OS对制造工序中的高温(所谓热积存;thermal budget)也很稳定。由此,通过在OS晶体管中使用CAAC-OS,可以扩大制造工序的自由度。

[0401] [nc-OS]

在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。另外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。例如,在对nc-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,不检测出表示结晶性的峰值。此外,在对nc-OS膜进行使用其束径比纳米晶大(例如,50nm以上)的电子射线的电子衍射(也称为选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子射线的电子衍射(也称为纳米束电子射线)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0402] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。另外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0403] <<氧化物半导体的构成>>

接着,说明上述的CAC-OS的详细内容。另外,说明CAC-OS与材料构成有关。

[0404] [CAC-OS]

CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均

匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。

[0405] 再者,CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(下面也称为云状)。就是说,CAC-OS是指具有该第一区域和该第二区域混合的结构的复合金属氧化物。

[0406] 在此,将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比的每一个记为[In]、[Ga]及[Zn]。例如,在In-Ga-Zn氧化物的CAC-OS中,第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。另外,第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。另外,例如,第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。另外,第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0407] 具体而言,上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。另外,上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之,可以将上述第一区域称为以In为主要成分的区域。另外,可以将上述第二区域称为以Ga为主要成分的区域。

[0408] 注意,有时观察不到上述第一区域和上述第二区域的明确的边界。

[0409] 例如,在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX: Energy Dispersive X-ray spectroscopy)取得的EDX面分析(EDX-mapping)图像,可确认到具有以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布而混合的结构。

[0410] 在将CAC-OS用于晶体管的情况下,通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用,可以使CAC-OS具有开关功能(控制导通/关闭的功能)。换言之,在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能,在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离,可以最大限度地提高各功能。因此,通过将CAC-OS用于晶体管,可以实现高通态电流(I_{on})、高场效应迁移率(μ)及良好的开关工作。

[0411] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0412] <具有氧化物半导体的晶体管>

在此,说明将上述氧化物半导体用于晶体管的情况。

[0413] 通过将上述氧化物半导体用于晶体管,可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0414] 优选将载流子浓度低的氧化物半导体用于晶体管。例如,氧化物半导体中的载流子浓度可以为 $1 \times 10^{17} \text{cm}^{-3}$ 以下,优选为 $1 \times 10^{15} \text{cm}^{-3}$ 以下,更优选为 $1 \times 10^{13} \text{cm}^{-3}$ 以下,进一步优选为 $1 \times 10^{11} \text{cm}^{-3}$ 以下,更进一步优选低于 $1 \times 10^{10} \text{cm}^{-3}$,且 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或

“实质上高纯度本征”。另外,有时将载流子浓度低的氧化物半导体称为“高纯度本征”或“实质上高纯度本征的氧化物半导体”。

[0415] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0416] 此外,被氧化物半导体的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0417] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0418] <杂质>

在此,说明氧化物半导体中的各杂质的影响。

[0419] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷能级。因此,将氧化物半导体中或氧化物半导体的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为 2×10^{18} atoms/cm³以下,优选为 2×10^{17} atoms/cm³以下。

[0420] 另外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷能级而形成载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。因此,使通过SIMS测得的氧化物半导体中的碱金属或碱土金属的浓度为 1×10^{18} atoms/cm³以下,优选为 2×10^{16} atoms/cm³以下。

[0421] 当氧化物半导体包含氮时,容易产生作为载流子的电子,使载流子浓度增高,而n型化。其结果是,在将包含氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者,在氧化物半导体包含氮时,有时形成陷阱能级。其结果,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体中的氮浓度设定为低于 5×10^{19} atoms/cm³,优选为 5×10^{18} atoms/cm³以下,更优选为 1×10^{18} atoms/cm³以下,进一步优选为 5×10^{17} atoms/cm³以下。

[0422] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时产生作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能地减少氧化物半导体中的氢。具体而言,在氧化物半导体中,将利用SIMS测得的氢浓度设定为低于 1×10^{20} atoms/cm³,优选低于 1×10^{19} atoms/cm³,更优选低于 5×10^{18} atoms/cm³,进一步优选低于 1×10^{18} atoms/cm³。

[0423] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0424] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0425] (实施方式11)

在本实施方式中,说明实施方式1至实施方式4所记载的半导体装置10、10A、10B及10F中的外围电路20的详细内容。

[0426] 图42是表示被用作存储器装置的半导体装置的结构例子的方框图。半导体装置10E包括外围电路20及存储单元阵列30。外围电路20包括行译码器71、字线驱动电路72、列

驱动器22、输出电路73及控制逻辑电路74。注意,可以将行译码器71及字线驱动电路72用于在实施方式1等中说明的行驱动器。

[0427] 列驱动器22包括列译码器81、预充电电路82、放大电路83及写入电路84。预充电电路82具有对布线BL等进行预充电的功能。放大电路83具有将从布线BL读出的数据信号放大的功能。被放大的数据信号通过输出电路73作为数字的数据信号RDATA输出到半导体装置10E的外部。

[0428] 对半导体装置10E从外部供应作为电源电压的低电源电压(VSS)、外围电路20用高电源电压(VDD)及存储单元阵列30用高电源电压(VIL)。

[0429] 对半导体装置10E从外部输入控制信号(CE、WE、RE)、地址信号ADDR及数据信号WDATA。将地址信号ADDR输入到行译码器71及列译码器81,将WDATA输入到写入电路84。

[0430] 控制逻辑电路74对来自外部的输入信号(CE、WE、RE)进行处理来生成行译码器71及列译码器81的控制信号。CE是芯片使能信号,WE是写入使能信号,并且RE是读出使能信号。控制逻辑电路74所处理的信号不局限于此,也可以根据需要输入其他的控制信号。例如,输入用来判定不良位的控制信号来决定从特定的存储单元的地址读出的数据信号作为不良位。

[0431] 上述各电路或各信号可以根据需要适当地使用。

[0432] 一般而言,作为计算机等中的半导体装置,根据其用途可以使用各种存储装置。图43示出各种存储装置的阶层。越是上层的存储装置越被要求更快的访问速度,越是下层的存储装置越被要求更大的存储电容和更高的记录密度。在图43中,从最上层依次示出CPU等运算处理装置中作为寄存器一起安装的存储器、SRAM(Static Random Access Memory)、DRAM(Dynamic Random Access Memory)以及3D NAND存储器。

[0433] 因为CPU等运算处理装置中作为寄存器一起安装的存储器用于运算结果的暂时存储等,所以来自运算处理装置访问的频率高。因此,被要求比存储电容器快的工作速度。此外,寄存器具有保持运算处理装置的设定信息等的功能。

[0434] SRAM例如用于高速缓存。高速缓存具有将保持在主存储器中的信息的一部分复制并保持的功能。通过将使用频率高的数据复制在高速缓存中,可以提高对数据访问的速度。

[0435] DRAM例如用于主存储器。主存储器具有保持从存储(storage)读出的程序或数据的功能。DRAM的记录密度大约为0.1至0.3Gbit/mm²。

[0436] 3D NAND存储器例如用于存储。存储具有保持需要长期保存的数据和运算处理装置所使用的各种程序等的功能。因此,与更快的工作速度相比,存储被要求更大的存储电容和更高的记录密度。用于存储的存储装置记录密度大约为0.6至6.0Gbit/mm²。

[0437] 本发明的一个方式的存储装置的工作速度快且能够长期间保持数据。本发明的一个方式的存储装置可以用作位于包括高速缓存的阶层和主存储器的阶层的双方的边界区域901的存储装置。此外,本发明的一个方式的存储装置可以用作位于包括主存储器的阶层和存储的阶层的双方的边界区域902的存储装置。

[0438] (实施方式12)

在本实施方式中,对组装有上述实施方式所示的半导体装置等的电子构件及电子设备的功耗进行说明。

[0439] 图44A及图44B示出说明DRAM及DOSRAM的功耗的图。图44A示出DRAM、DOSRAM1及

DOSRAM2的功耗,图44B示出DRAM及DOSRAM2的功耗。

[0440] 另外,图44A及图44B是设想各种使用方法而估计的结果。注意,在图44A中表示设想活动模式为10%(设想使用电子设备等时的活动模式为一天的10%)且待机模式为90%的一般的DRAM及本发明的一个方式的电子设备(DOSRAM1及DOSRAM2)而估计的结果。另外,在图44B中表示设想活动模式为1%(设想使用电子设备等时的活动模式为一天1%)且待机模式为99%的一般的DRAM及本发明的一个方式的电子设备(DOSRAM2)而估计的结果。

[0441] 另外,在图44A及图44B中,纵轴表示以任意单位(A.U.)表示的功耗(Power consumption)。另外,在图44A中,横轴表示DRAM、DOSRAM1及DOSRAM2,在图44B中,横轴表示DRAM及DOSRAM2。

[0442] 另外,在图44A及图44B中,图表的下侧表示Active时的功耗,中间表示Stanby时的功耗,上侧表示Refresh时的功耗。

[0443] 另外,DOSRAM2是设想在待机时对DOSRAM1进行电源门控的。

[0444] 如图44A所示那样,可知与一般的DRAM相比本发明的一个方式的电子设备(DOSRAM1及DOSRAM2)的功耗量低。尤其可以估计为与一般的DRAM相比,DOSRAM2具有75%的功耗降低效果。

[0445] 另外,如图44B所示那样,在活动模式为1%的情况下,与一般的DRAM相比,可以估计为本发明的一个方式的电子设备(DOSRAM2)具有95%的功耗降低的效果。

[0446] 如上所述,通过本发明的一个方式可以提供降低功耗量的半导体装置或电子设备。

[0447] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0448] (实施方式13)

本实施方式示出安装有上述实施方式所示的半导体装置等的电子构件及电子设备的例子。

[0449] <电子构件>

首先,参照图45A和图45B对组装有半导体装置10等的电子构件的例子进行说明。

[0450] 图45A示出电子构件700及安装有电子构件700的基板(安装基板704)的立体图。图45A所示的电子构件700在模子711中包括在硅衬底11上层叠元件层34的半导体装置10。在图45A中,为了示出电子构件700的内部,在附图中省略其一部分。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712与电极焊盘713电连接,电极焊盘713通过线714与半导体装置10电连接。电子构件700例如安装于印刷电路板702。通过组合多个这样电子构件并使其分别在印刷电路板702上电连接,由此完成安装基板704。

[0451] 图45B示出电子构件730的立体图。电子构件730是SiP(System in package:系统封装)或MCM(Multi Chip Module:多芯片封装)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置100。

[0452] 在电子构件730中示出将半导体装置10用作高带宽存储器(HBM:High Bandwidth Memory)的例子。另外,半导体装置735可以使用CPU、GPU、FPGA等集成电路(半导体装置)。

[0453] 封装衬底732可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板731可以使用硅插板、树脂插板等。

[0454] 插板731包括多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。另外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时也将插板称为“重布线衬底(rewiring substrate)”或“中间衬底”。另外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。另外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0455] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0456] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0457] 另外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。另外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于其中多个集成电路并排配置于插板上的2.5D封装(2.5D安装)。

[0458] 另外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使半导体装置10与半导体装置735的高度一致。

[0459] 为了将电子构件730安装在其他的基板上,可以在封装衬底732的底部设置电极733。图45B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)安装。另外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)安装。

[0460] 电子构件730可以通过各种安装方式安装在其他基板上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0461] <电子设备>

接着,参照图46对安装有上述电子构件的电子设备的例子进行说明。

[0462] 机器人7100包括照度传感器、麦克风、照相机、扬声器、显示器、各种传感器(红外线传感器、超声波传感器、加速度传感器、压电传感器、光传感器、陀螺仪传感器等)及移动机构等。电子构件730包括处理器等并具有控制这些外围设备的功能。例如,电子构件700具有储存传感器测得的数据的功能。

[0463] 麦克风具有检测使用者的声音及周围的声音等音频信号的功能。另外,扬声器具有发出声音及警告音等音频信号的功能。机器人7100可以分析通过麦克风输入的音频信号,从扬声器发出所需要的音频信号。机器人7100可以通过使用麦克风及扬声器与使用者交流。

[0464] 照相机具有拍摄机器人7100的周围的图像的功能。另外,机器人7100具有使用移

动机构移动的功能。机器人7100可以通过使用照相机拍摄周围的图像而分析该图像,判断移动时的障碍物的有无等。

[0465] 飞行物7120包括螺旋桨、照相机及电池等,并具有自主飞行功能。电子构件730具有控制这些外围设备的功能。

[0466] 例如,用照相机拍摄的图像数据储存至电子构件700。电子构件730可以通过分析图像数据,判断移动时的障碍物的有无等。另外,利用电子构件730可以通过电池的蓄电容量的变化推测电池的剩余电量。

[0467] 扫地机器人7140包括配置在顶面的显示器、配置在侧面的多个照相机、刷子、操作按钮及各种传感器等。虽然未图示,但是扫地机器人7300安装有轮胎、吸入口等。扫地机器人7300可以自动行走,检测垃圾,可以从底面的吸入口吸引垃圾。

[0468] 例如,电子构件730可以通过分析照相机所拍摄的图像,判断墙壁、家具或台阶等障碍物的有无。另外,在通过图像分析检测出布线等可能会缠绕在刷子上的物体的情况下,可以停止刷子的旋转。

[0469] 汽车7160包括引擎、轮胎、制动器、转向装置、照相机等。例如,电子构件730根据导航信息、速度、引擎的状态、排档的选择状态、制动器的使用频度等数据,进行使汽车7160的行驶状态最优化的控制。例如,照相机拍摄的图像数据储存至电子构件700。

[0470] 电子构件700及/或电子构件730可以安装在电视接收(TV)装置7200、智能手机7210、PC7220(个人计算机)、7230、游戏机7240、游戏机7260等中。

[0471] 例如,设置在TV装置7200内的电子构件730可以用作图像引擎。例如,电子构件730可以进行噪声去除、分辨率的上变频(up-conversion)等图像处理。

[0472] 智能手机7210是便携式信息终端的一个例子。智能手机7210包括麦克风、照相机、扬声器、各种传感器及显示部。电子构件730控制这些外围设备。

[0473] PC7220、PC7230分别是笔记本型PC、桌上型PC的例子。键盘7232及显示器装置7233可以以无线或有线连接到PC7230。游戏机7240是便携式游戏机的例子。游戏机7260是固定式游戏机的例子。游戏机7260以无线或有线与控制器7262连接。可以对控制器7262安装电子构件700及/或电子构件730。

[0474] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0475] (关于本说明书等的记载的注释)

下面,对上述实施方式及实施方式中的各结构的说明附加注释。

[0476] 各实施方式所示的结构可以与其他实施方式等所示的结构适当地组合而构成本发明的一个方式。另外,当在一个实施方式中示出多个结构例子时,可以适当地组合这些结构例子。

[0477] 另外,可以将某一实施方式中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)及/或另一个或多个其他实施方式中说明的内容(或其一部分)。

[0478] 注意,实施方式中说明的内容是指各实施方式中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0479] 另外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)及/或另一个或多个其他实施方式中示出的附图

(或其一部分)组合,可以构成更多图。

[0480] 在本说明书等中,根据功能对构成要素进行分类并在方框图中以彼此独立的方框表示。然而,在实际的电路等中难以根据功能对构成要素进行分类,有时一个电路涉及到多个功能或者多个电路涉及到一个功能。因此,方框图中的方框的分割不局限于说明书中说明的构成要素,而可以根据情况适当地不同。

[0481] 为了便于说明,在附图中,任意示出尺寸、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。附图是为了明确起见而示意性地示出的,而不局限于附图所示的形状或数值等。例如,可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0482] 此外,附图等所图示的构成要素的位置关系是相对性的。因此,在参照附图说明构成要素的情况下,为了方便起见,有时使用表示位置关系的“上”、“下”等词句。构成要素的位置关系不局限于本说明书所记载的内容,根据情况可以适当地改换词句。

[0483] 在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。这是因为晶体管的源极和漏极根据晶体管的结构或工作条件等改变缘故。注意,根据情况可以将晶体管的源极和漏极适当地换称为源极(漏极)端子或源极(漏极)电极等。

[0484] 另外,在本说明书等中,“电极”或“布线”不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。

[0485] 另外,在本说明书等中,可以适当地对电压和电位进行换称。电压是指与基准电位的电位差,例如在基准电位为地电压(接地电压)时,可以将电压换称为电位。接地电位不一定意味着0V。注意,电位是相对的,对布线等供应的电位有时根据基准电位而变化。

[0486] 在本说明书等中,节点可以根据电路结构或装置结构等换称为端子、布线、电极、导电层、导电体或杂质区域等。另外,端子、布线等也可以换称为节点。

[0487] 在本说明书等中,A与B连接是指A与B电连接。在此,A与B电连接是指在A和B之间存在有对象物(开关、晶体管元件或二极管等的元件、或者包含该元件及布线的电路等)时可以传送A及B的电信号的连接。注意,A与B电连接的情况包括A与B直接连接的情况。在此,A与B直接连接是指不经过上述对象物而经过A和B之间的布线(或者电极)等传送A及B的电信号的连接。换言之,直接连接是指在使用等效电路表示时可以看作相同的电路图的连接。

[0488] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。

[0489] 在本说明书等中,例如,沟道长度是指在晶体管的俯视图中,半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅极重叠的区域或者形成沟道的区域中的源极和漏极之间的距离。

[0490] 在本说明书等中,例如,沟道宽度是指半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极重叠的区域、或者形成沟道的区域中的源极和漏极相对的部分的长度。

[0491] 在本说明书等中,根据情况或状态,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”调换为“绝缘层”。

[符号说明]

[0492] BL_1:位线、DA1:数据、PCL1:预充电线、PCL2:预充电线、T1:期间、T2:期间、T3:期间、T4:期间、T11:期间、T12:期间、T13:期间、T14:期间、T15:期间、T16:期间、WL_N:字线、WL_1:字线、WL2:字线、10:半导体装置、10A:半导体装置、10B:半导体装置、10C:半导体装置、10D:半导体装置、10E:半导体装置、10F:半导体装置、11:硅衬底、20:外围电路、21:行驱动器、22:列驱动器、22_A:预充电电路、22_B:预充电电路、22_C:读出放大器、22_D:开关电路、22_E:开关电路、22_1:预充电电路、22_2:读出放大器、22_3:开关电路、23_A:开关、23_B:开关、23_C:开关、23_D:开关、24_1:晶体管、24_3:晶体管、24_4:晶体管、24_6:晶体管、25:电路、25_1:晶体管、25_2:晶体管、25_3:晶体管、25_4:晶体管、26:元件层、27:电路、27_M:电路、27_1:电路、28:晶体管、28_a:晶体管、28_b:晶体管、28_n:晶体管、28_1:晶体管、29:电路、30:存储单元阵列、30_M:单元、30_1:单元、31:存储单元、31_M:存储单元、31_N:存储单元、31_N_A:存储单元、31_N_B:存储单元、31_1:存储单元、31_1_A:存储单元、31_1_B:存储单元、32:晶体管、32_N:晶体管、32_1:晶体管、32A:晶体管、32B:晶体管、33:电容器、33_N:电容器、33_1:电容器、33A:电容器、33B:电容器、34:元件层、34_i:元件层、34_N:元件层、34_1:元件层、40:元件层、40_M:元件层、40_1:元件层、40A:元件层、40B:元件层、40C:元件层、40D:元件层、41:晶体管、41_a:晶体管、41_b:晶体管、42:晶体管、42_a:晶体管、42_b:晶体管、43:晶体管、43_a:晶体管、43_b:晶体管、44:晶体管、44_a:晶体管、44_b:晶体管、49:电路、50:单元、50_M:单元、50_1:单元、51:存储单元、54:元件层、55:晶体管、56:晶体管、57:电容元件、70A:密封层、70B:密封层、71:行译码器、72:字线驱动电路、73:输出电路、74:控制逻辑电路、81:列译码器、82:预充电电路、83:放大电路、84:电路、98:开关电路、100:存储装置、200:晶体管、200M:晶体管、200T:晶体管、205:导电体、205a:导电体、205b:导电体、211:绝缘体、212:绝缘体、214:绝缘体、216:绝缘体、222:绝缘体、224:绝缘体、230:氧化物、230a:氧化物、230b:氧化物、230c:氧化物、240:导电体、240a:导电体、240b:导电体、241:绝缘体、241a:绝缘体、241b:绝缘体、242:导电体、242a:导电体、242b:导电体、243:氧化物、243a:氧化物、243b:氧化物、246:导电体、246a:导电体、246b:导电体、250:绝缘体、260:导电体、260a:导电体、260b:导电体、272:绝缘体、273:绝缘体、274:绝缘体、275:绝缘体、276:导电体、277:绝缘体、278:导电体、279:绝缘体、280:绝缘体、282:绝缘体、283:绝缘体、284:绝缘体、287:绝缘体、290:导电体、292:电容元件、292A:电容元件、292B:电容元件、294:导电体、295:绝缘体、296:绝缘体、297:导电体、298:绝缘体、299:导电体、300:晶体管、311:半导体衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、411:元件层、413:晶体管层、413_m:晶体管层、413_1:晶体管层、415:存储装置层、415_n:存储装置层、415_p:存储装置层、415_p-1:存储装置层、415_1:存储装置层、415_3:存储装置层、415_4:存储装置层、420:存储装置、420A:存储装置、420B:存储装置、422:区域、424:导电体、426:导电体、428:导电体、430:导电体、432:存储单元、433:存储单元、434:存储单元、435:存储单元、470:存储器单元、470_m:存储器单元、470_1:存储器单元、700:电子构件、702:印刷电路板、704:安装基板、711:模子、712:连接盘、713:电极焊盘、714:线、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、901:边界区域、902:边界区域、7100:机器人、7120:飞行物、7140:扫地机器人、7160:汽车、7200:TV装置、7210:智能手机、7220:PC、7230:PC、7232:键盘、7233:显示器装置、7240:游戏机、7260:游戏机、

7262:控制器、7300:扫地机器人。

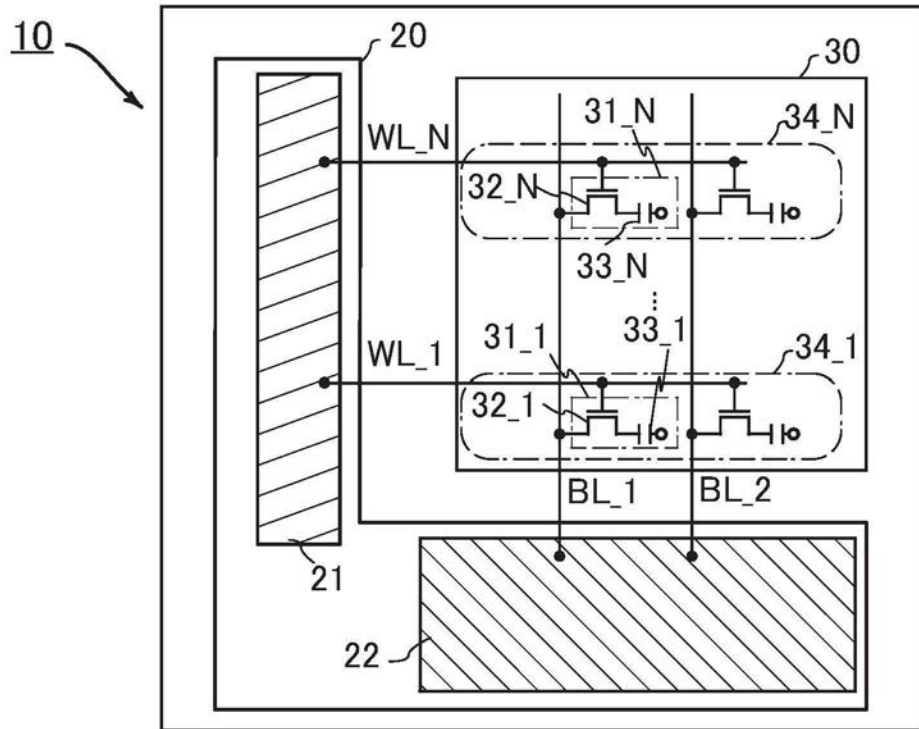


图1A

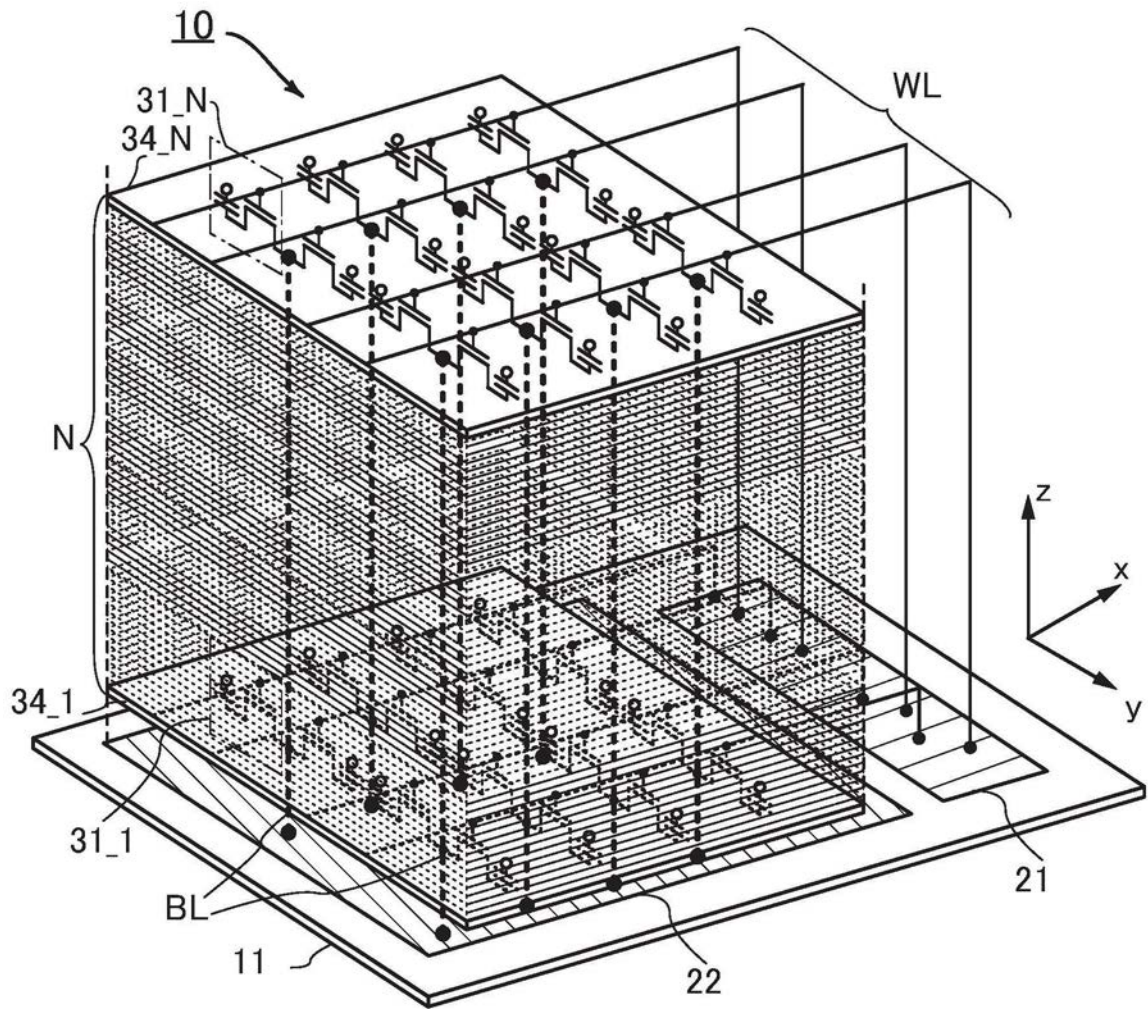


图1B

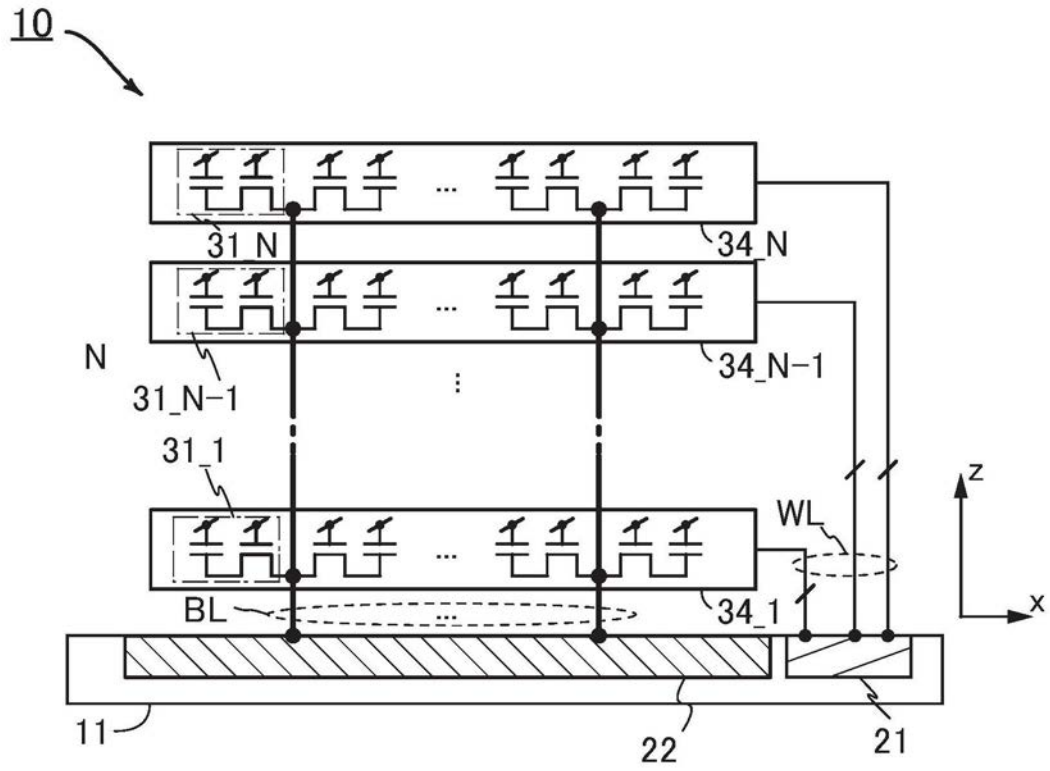


图2

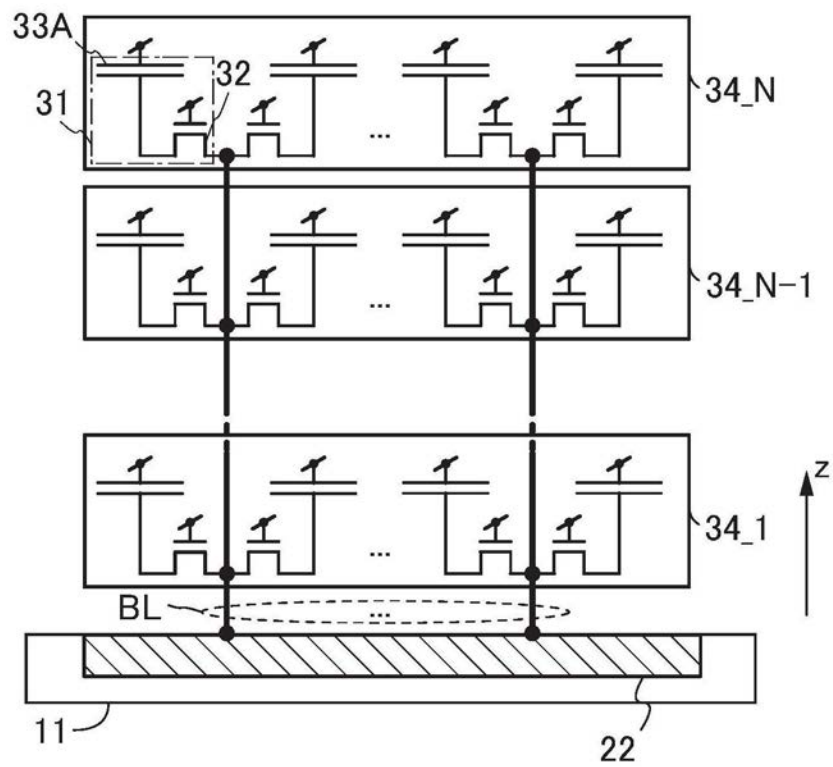


图3A

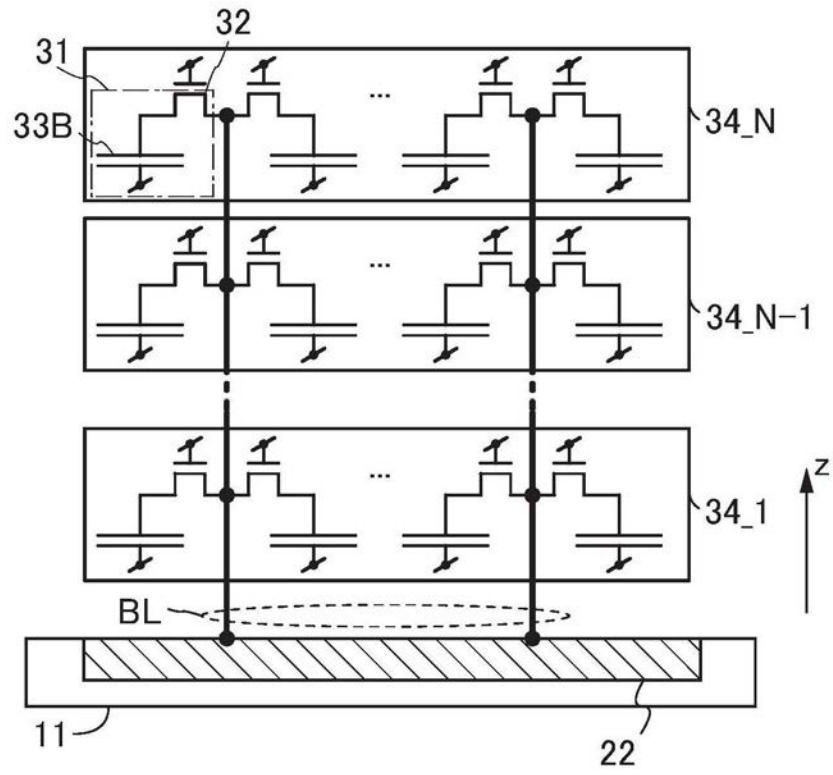


图3B

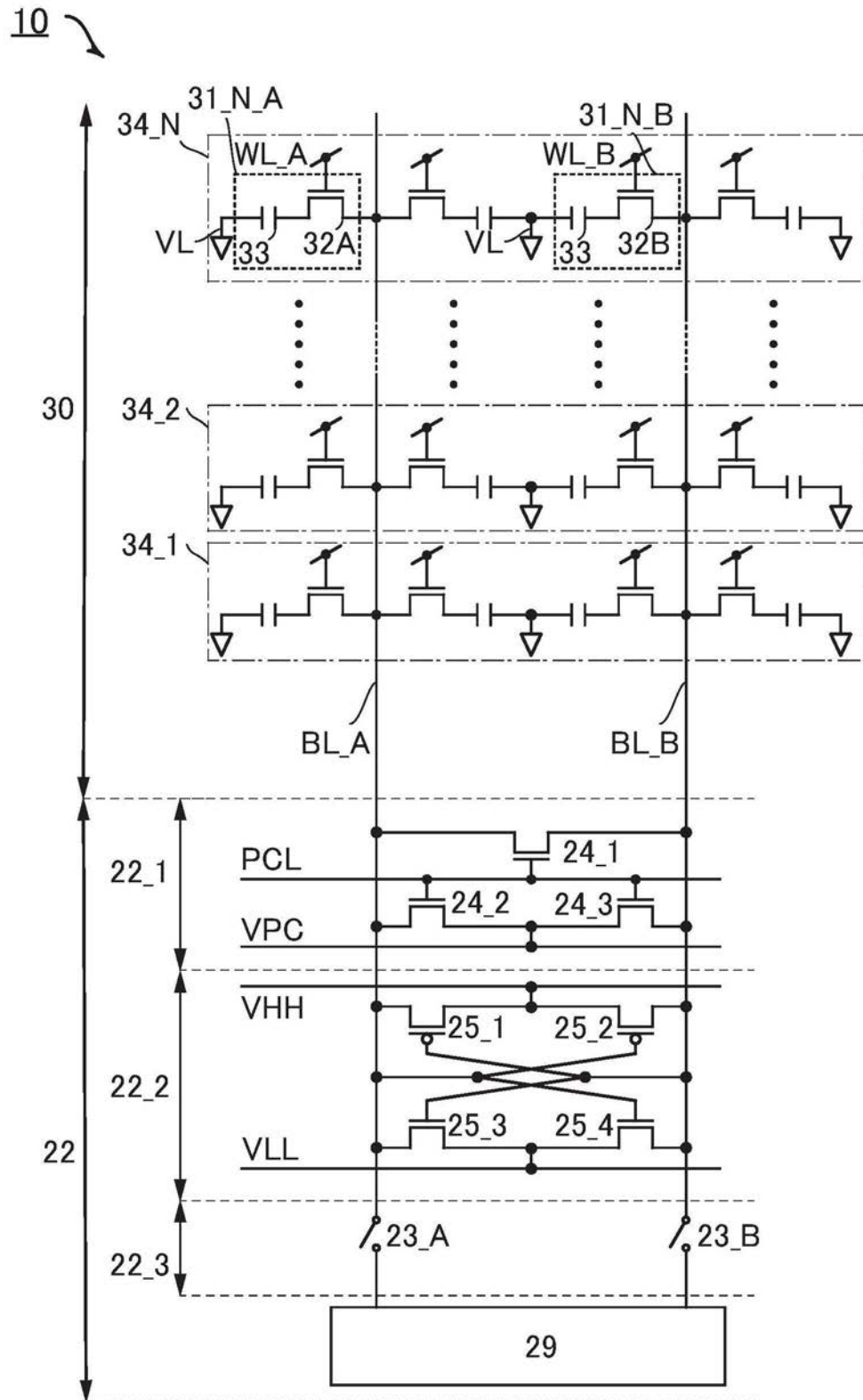


图4

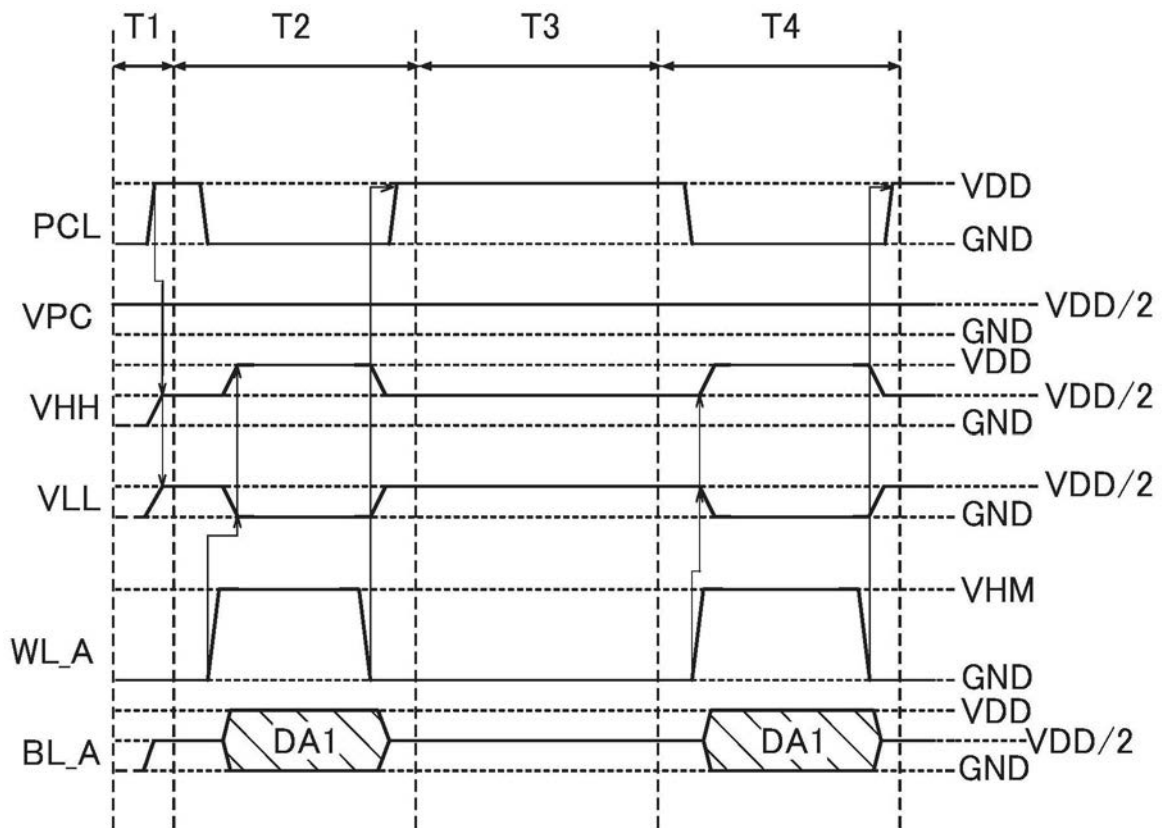


图5

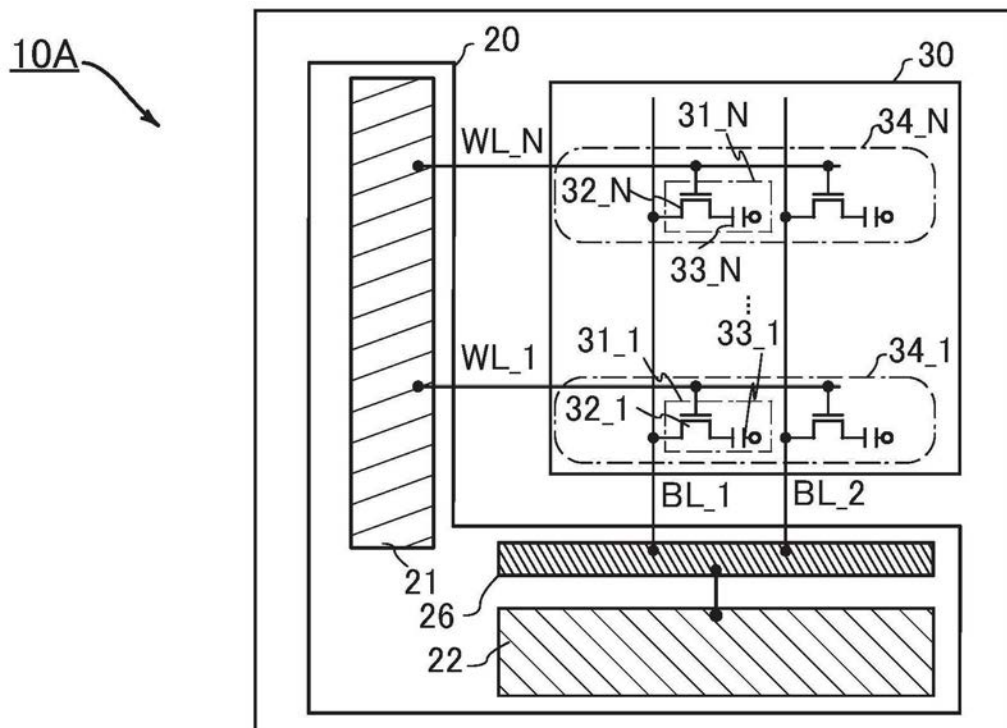


图6A

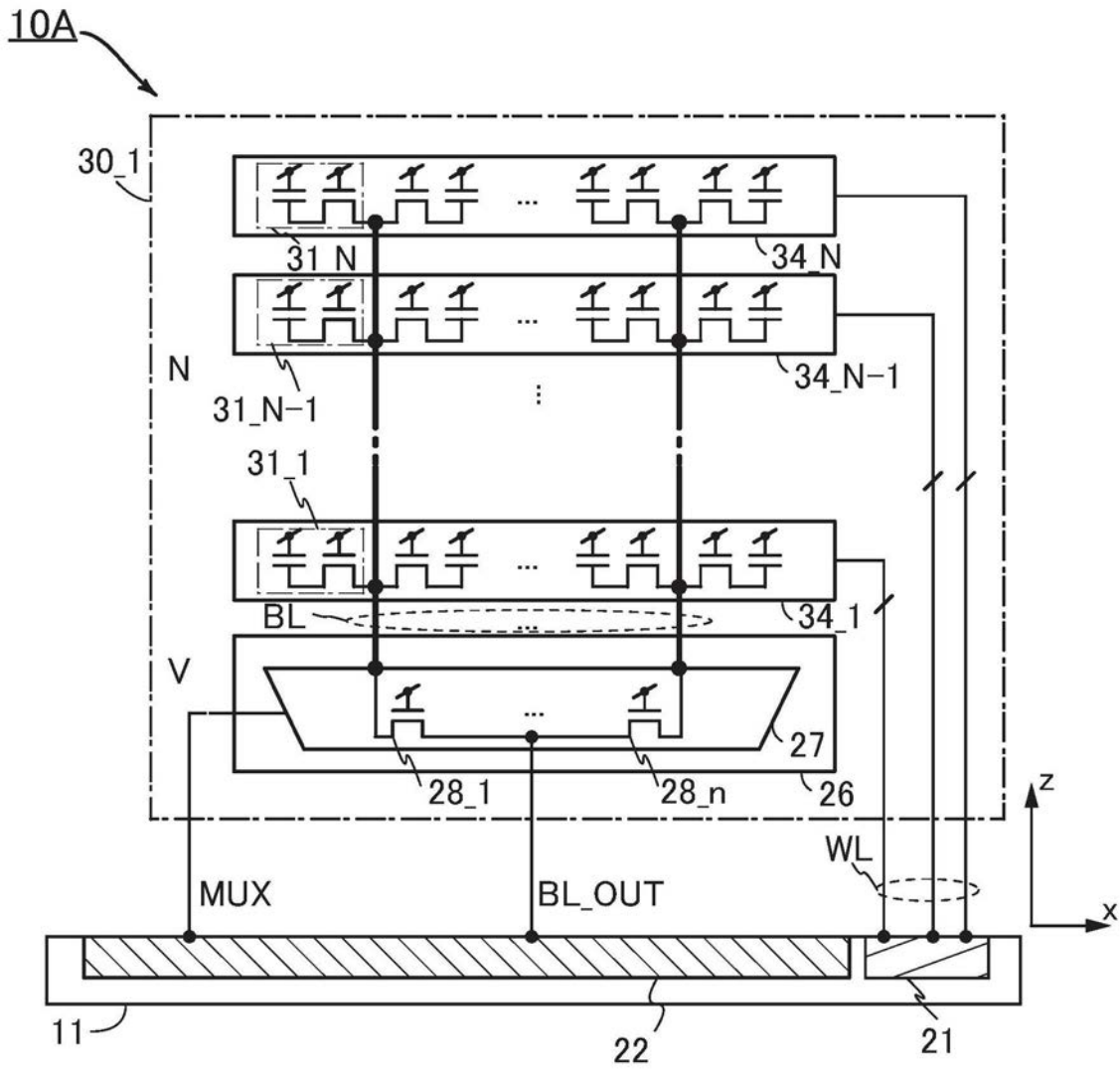


图7

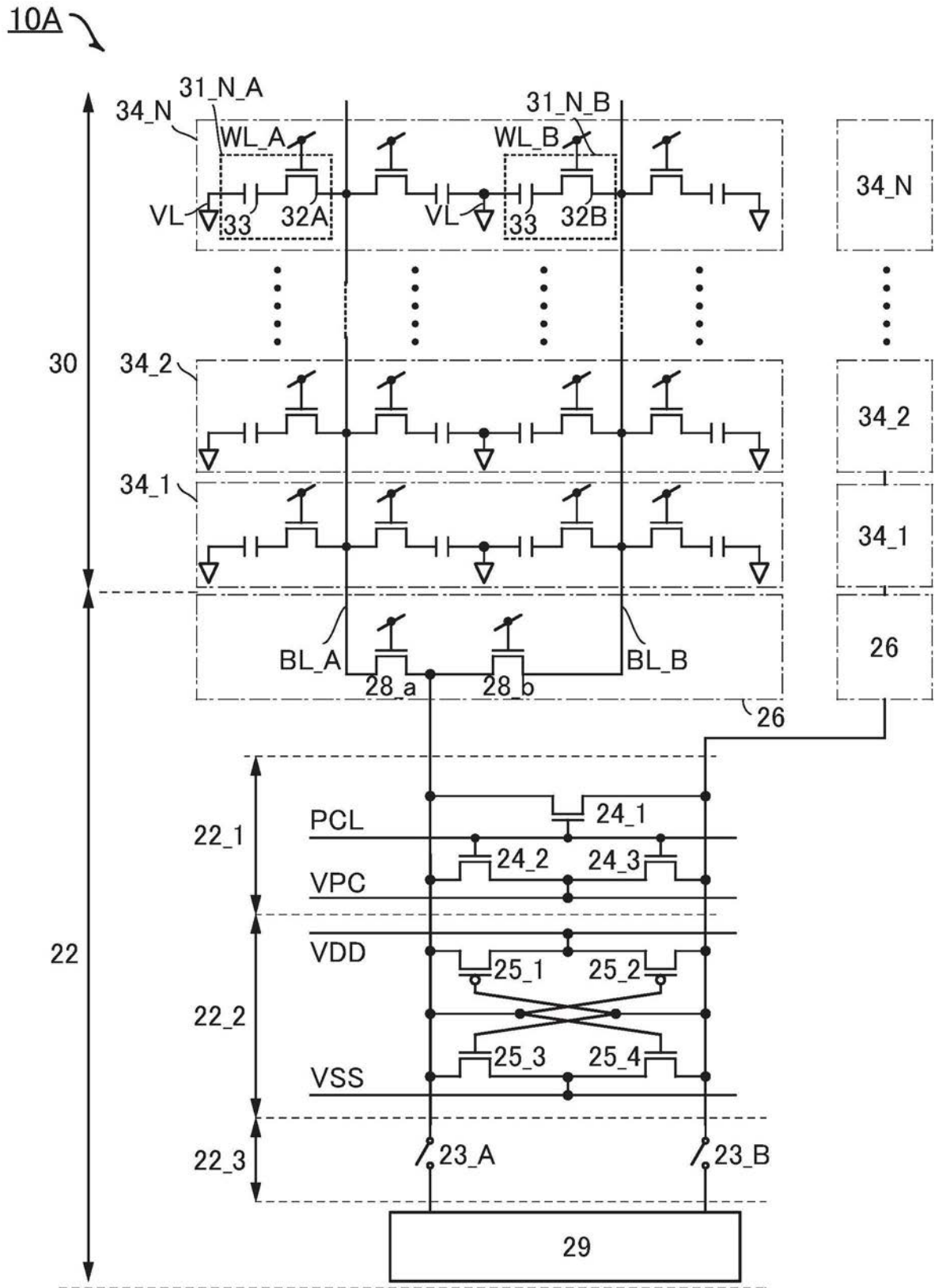


图8

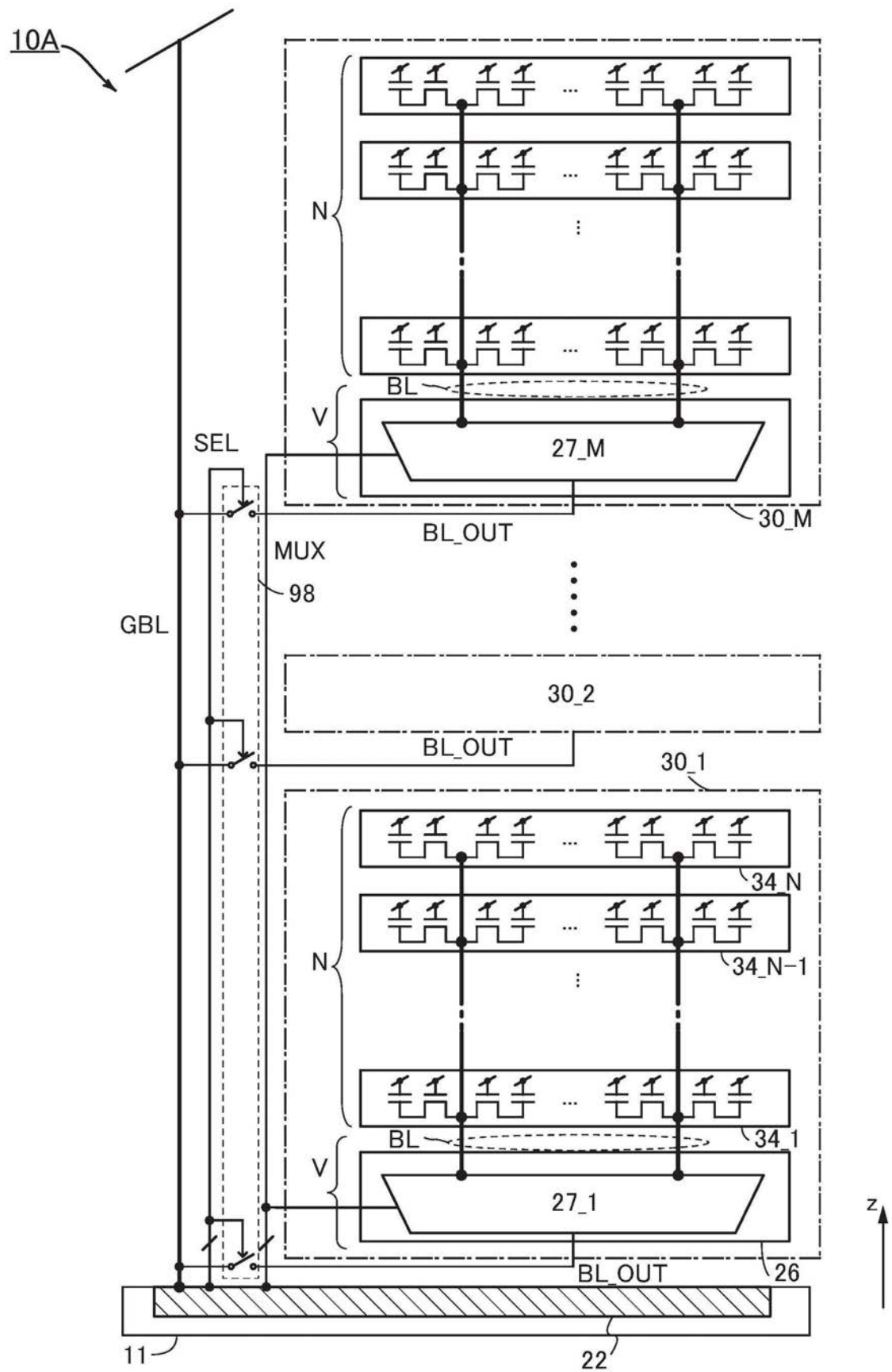


图9

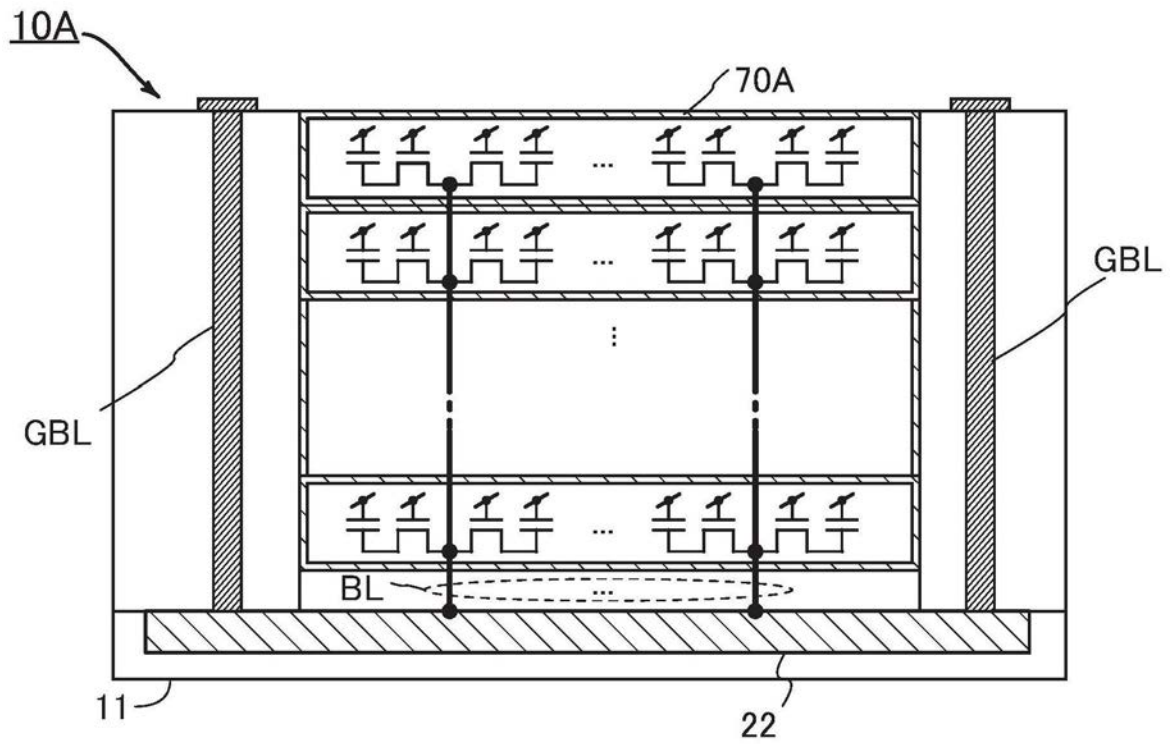


图10A

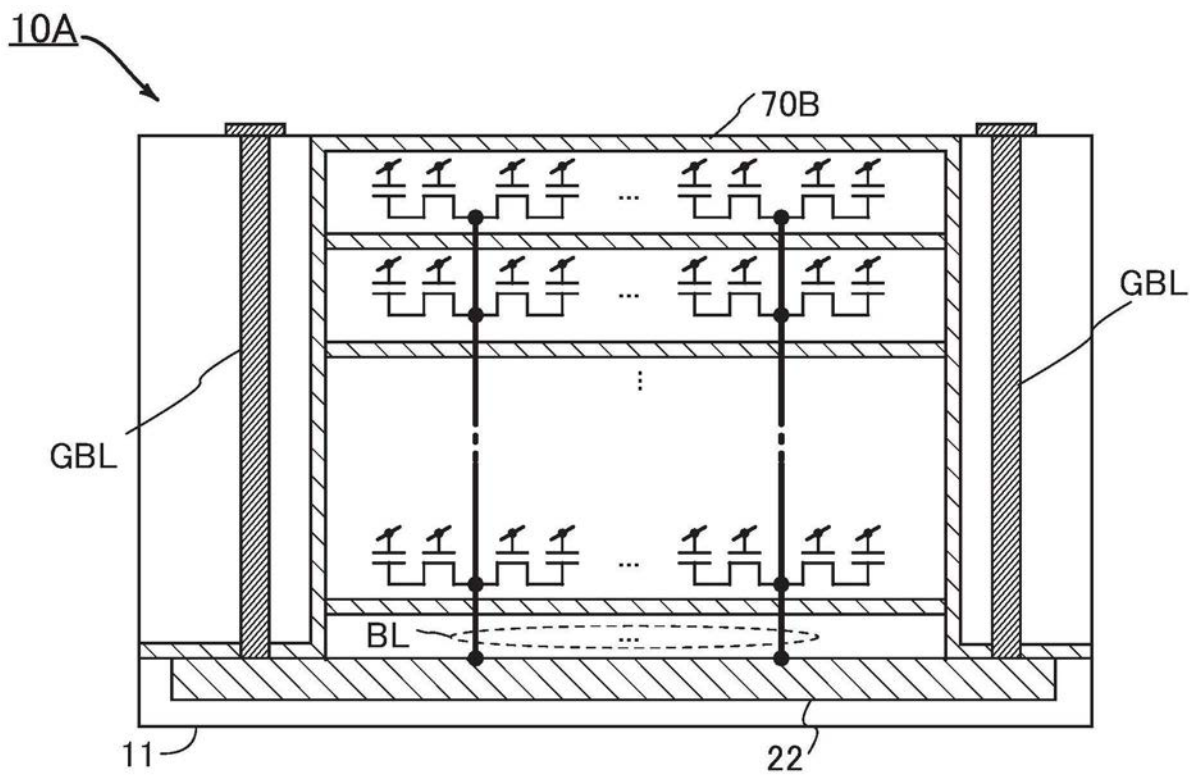


图10B

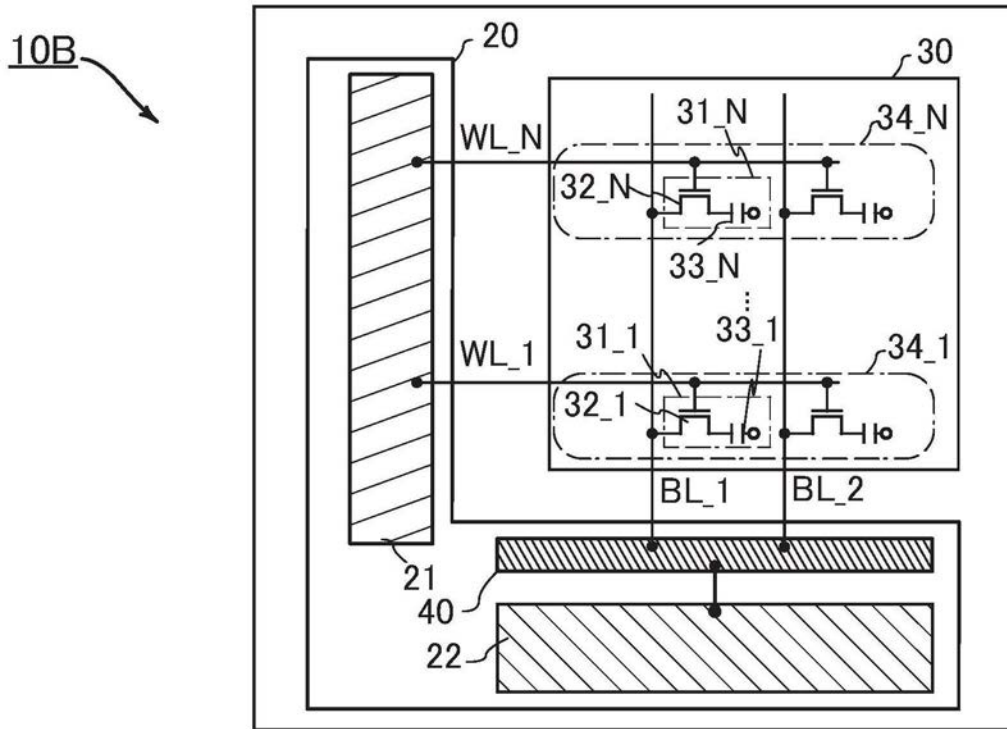


图11A

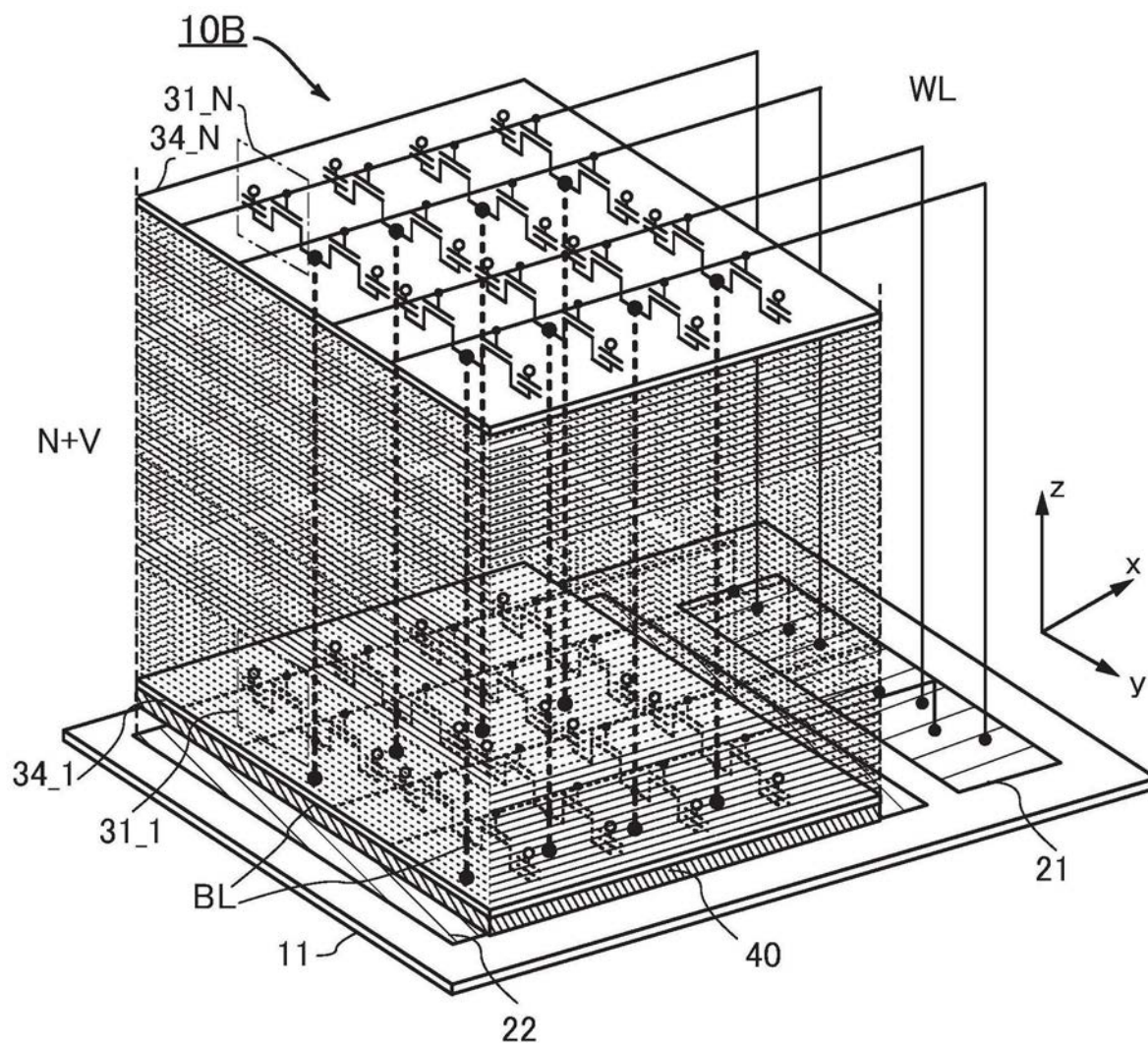


图11B

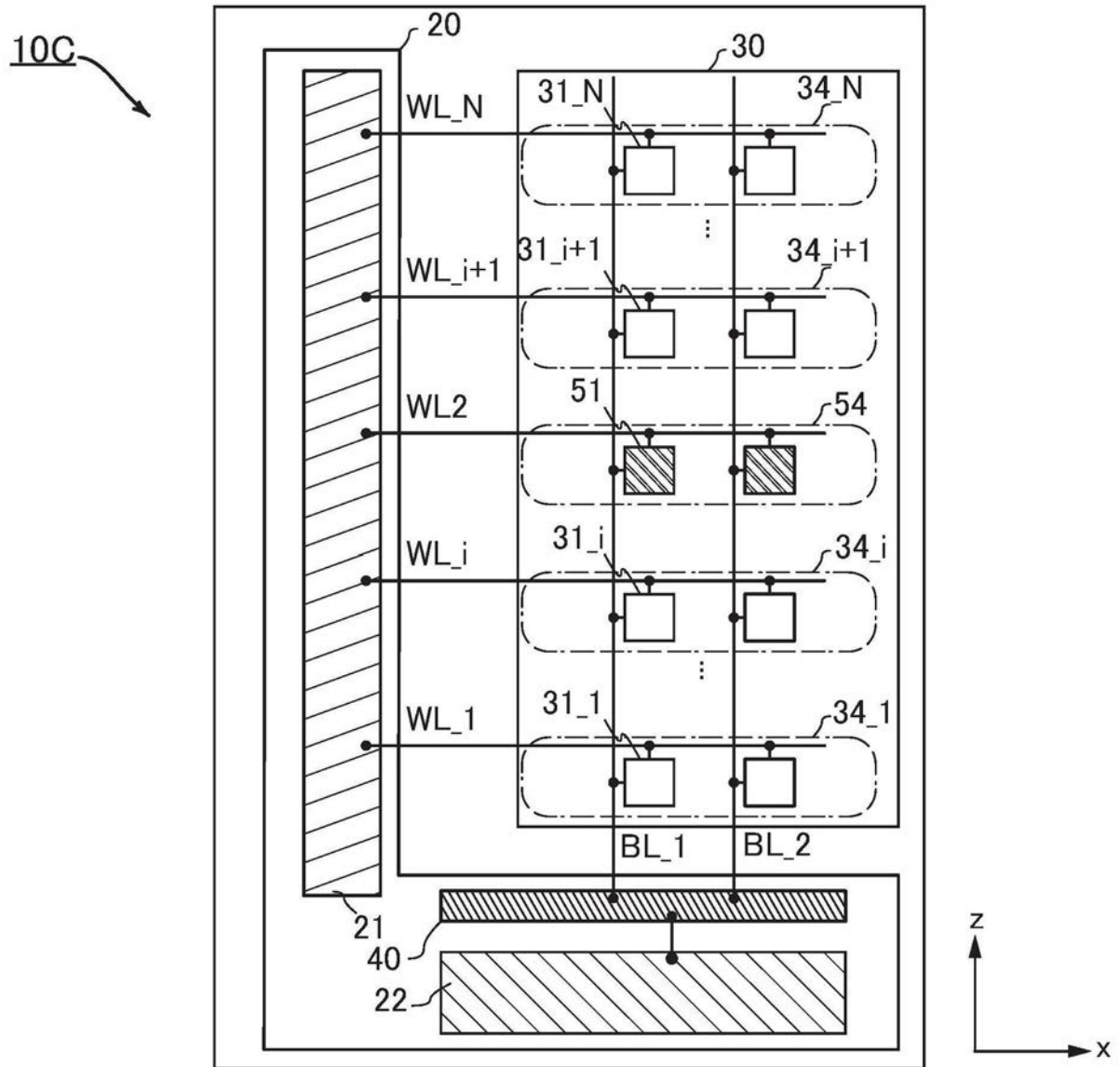


图12A

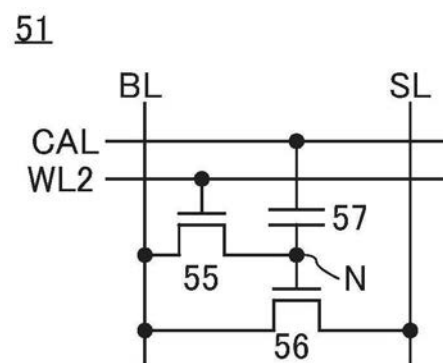


图12B

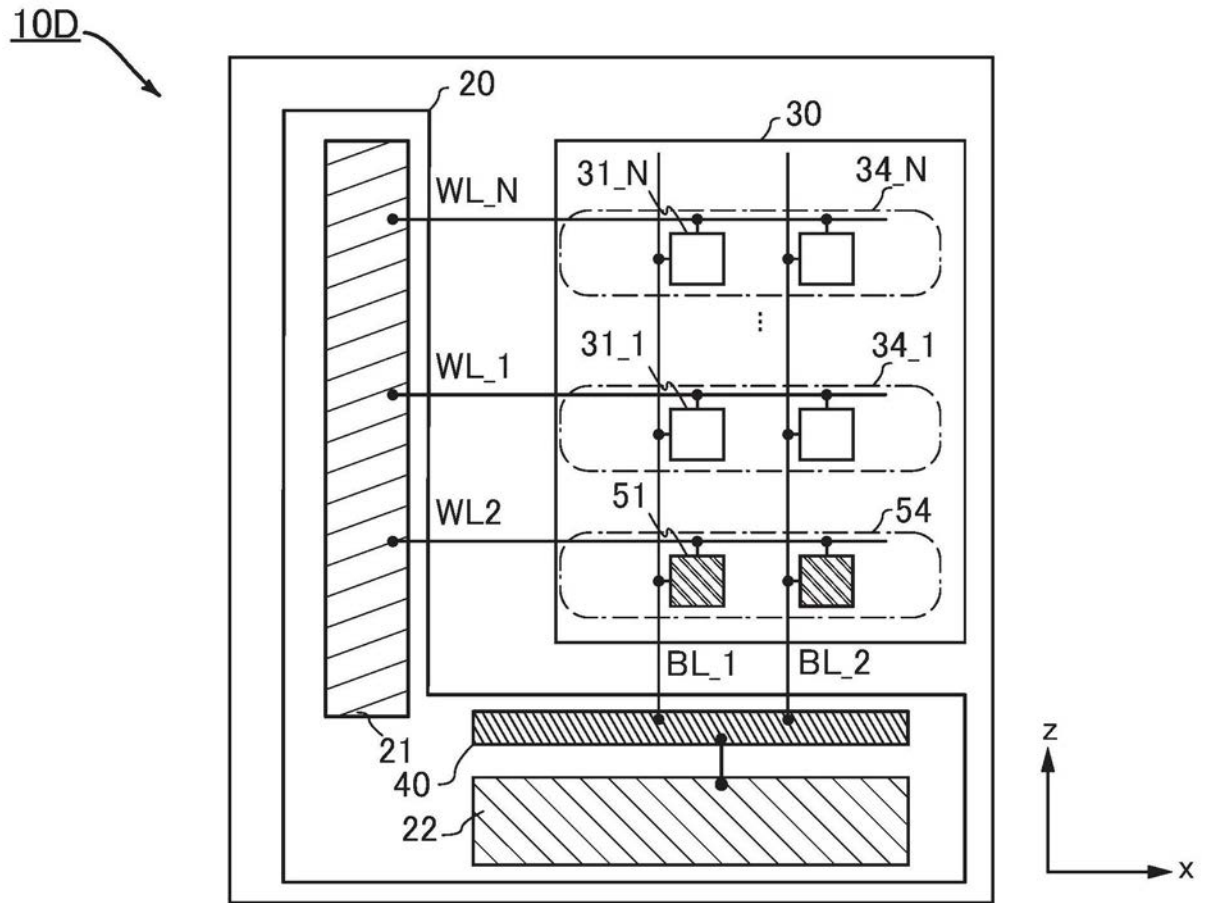


图13

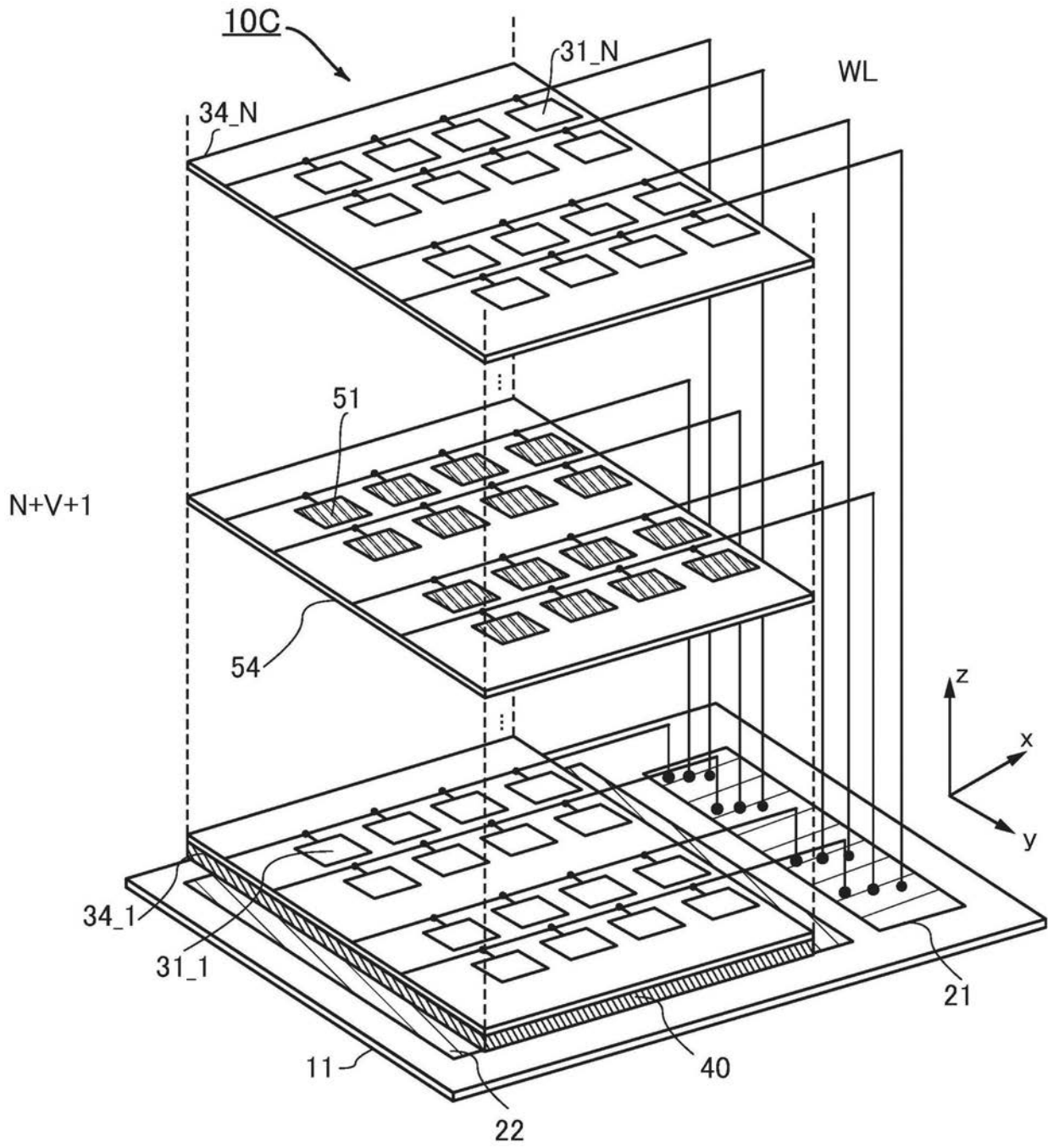


图14

10E

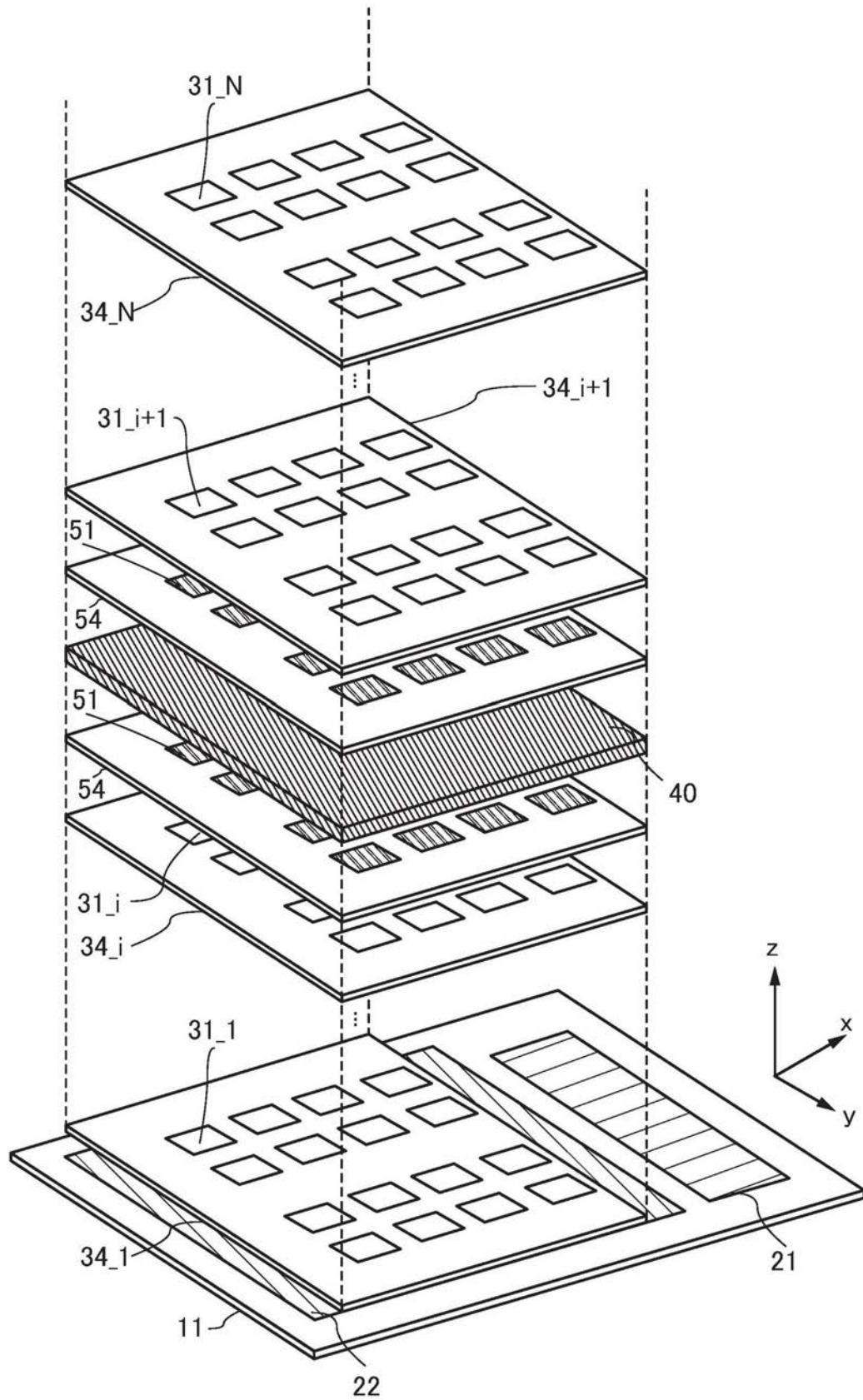


图16

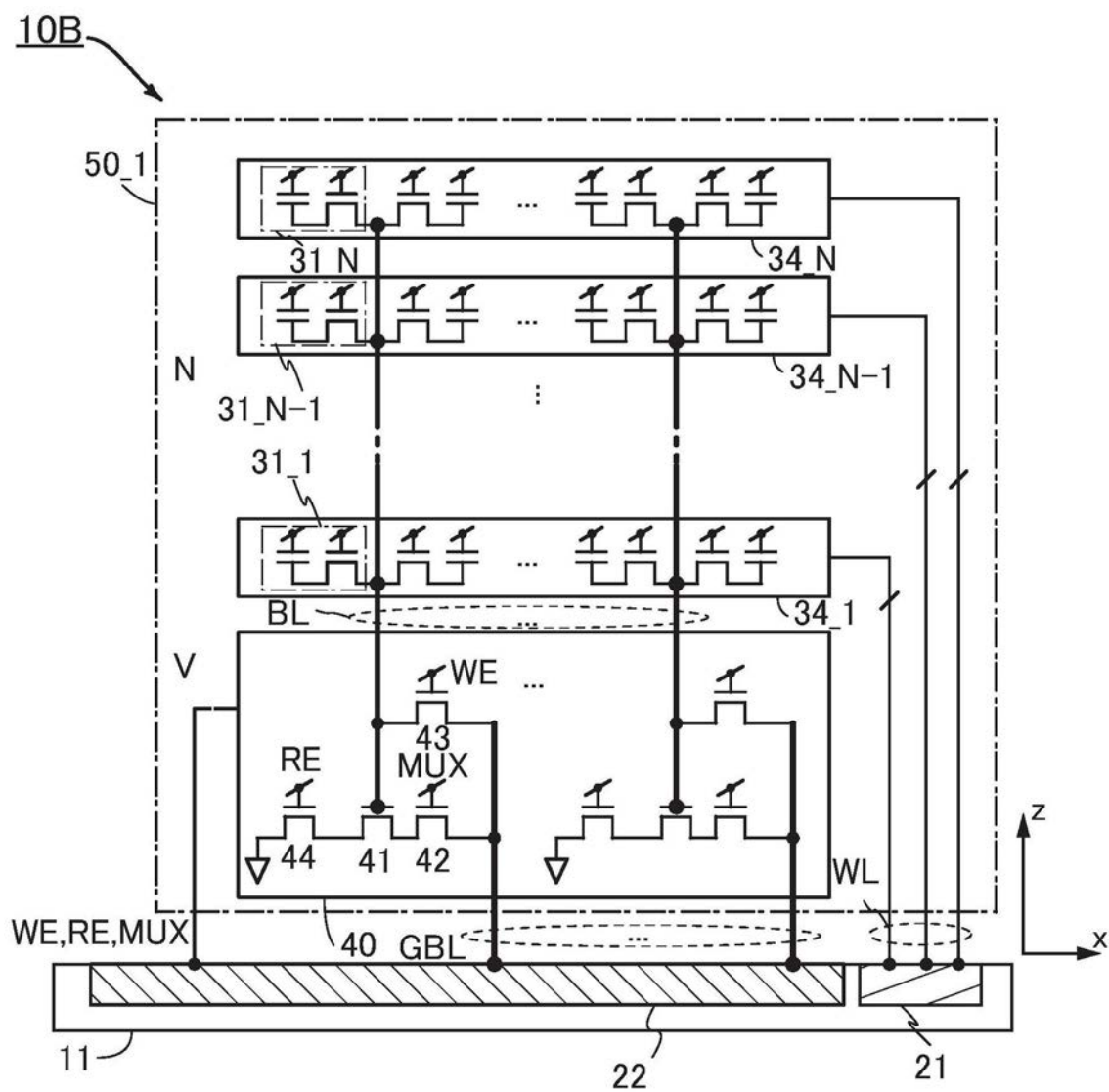


图17

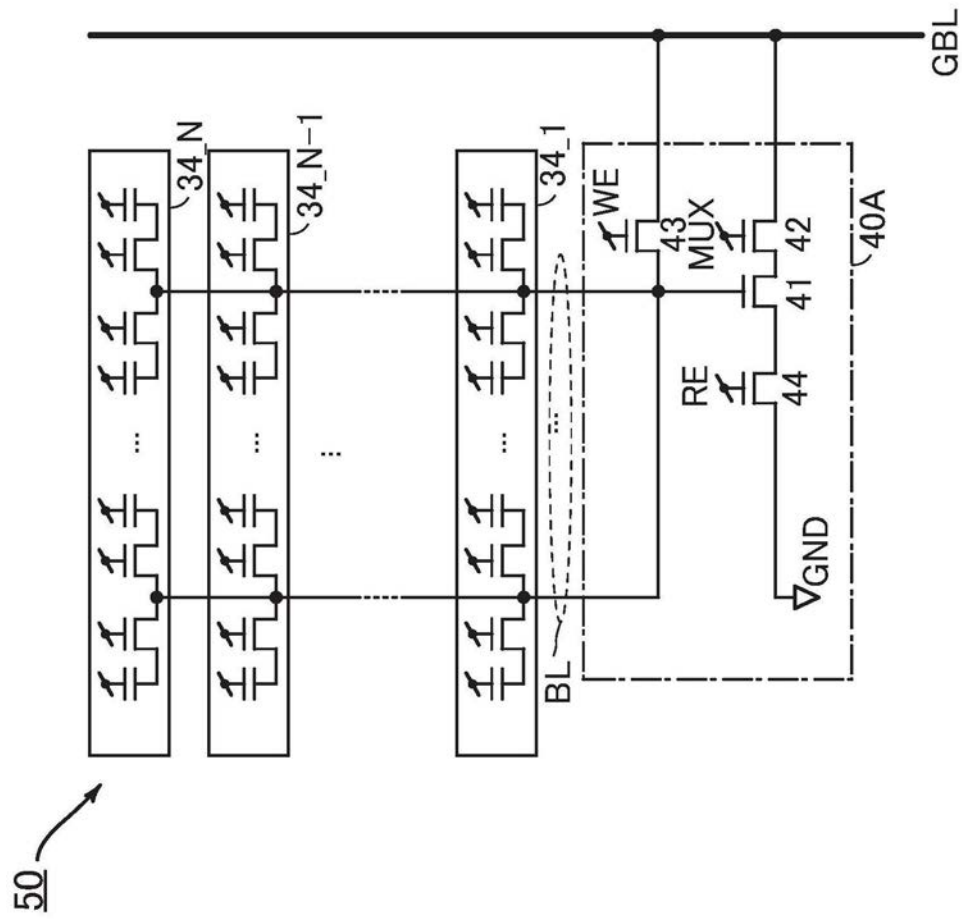


图18A

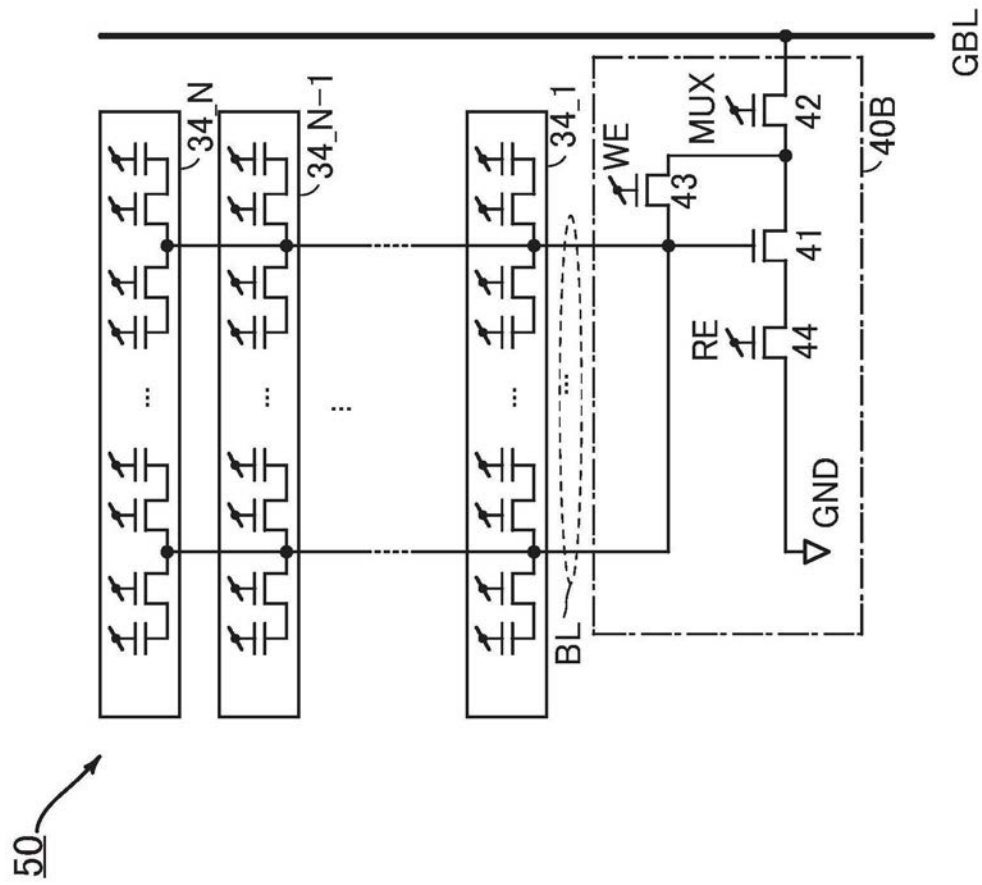


图18B

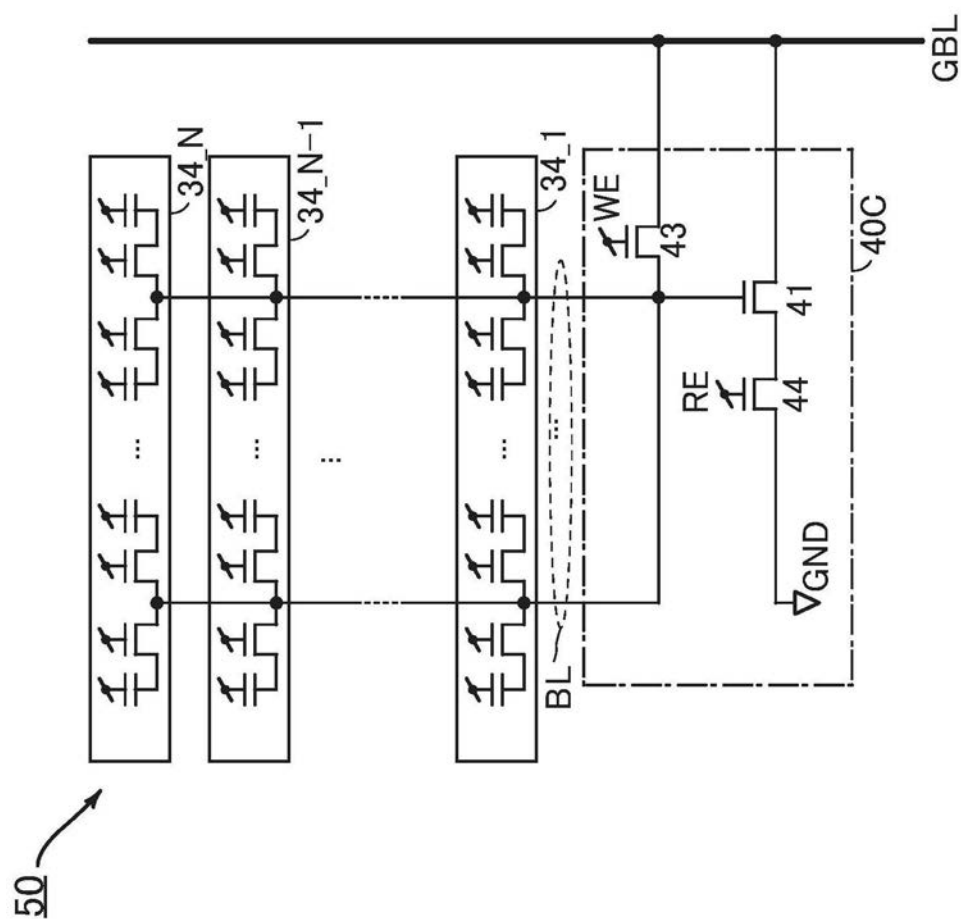


图19A

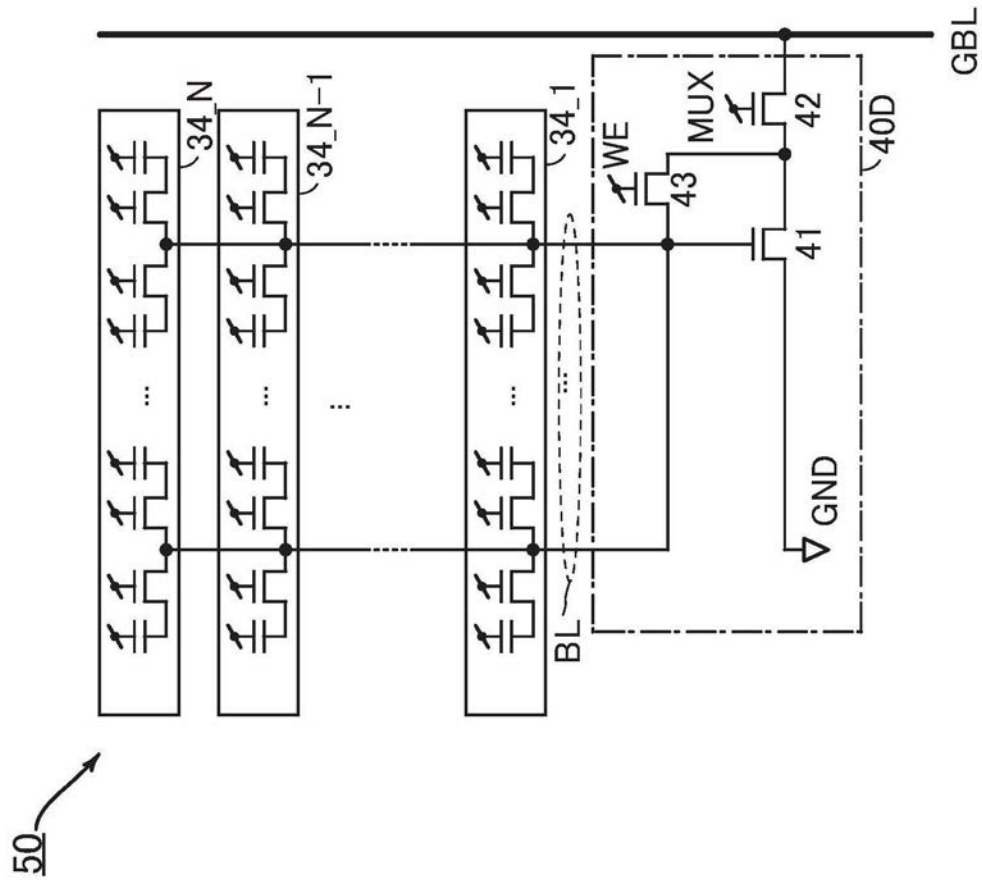


图19B

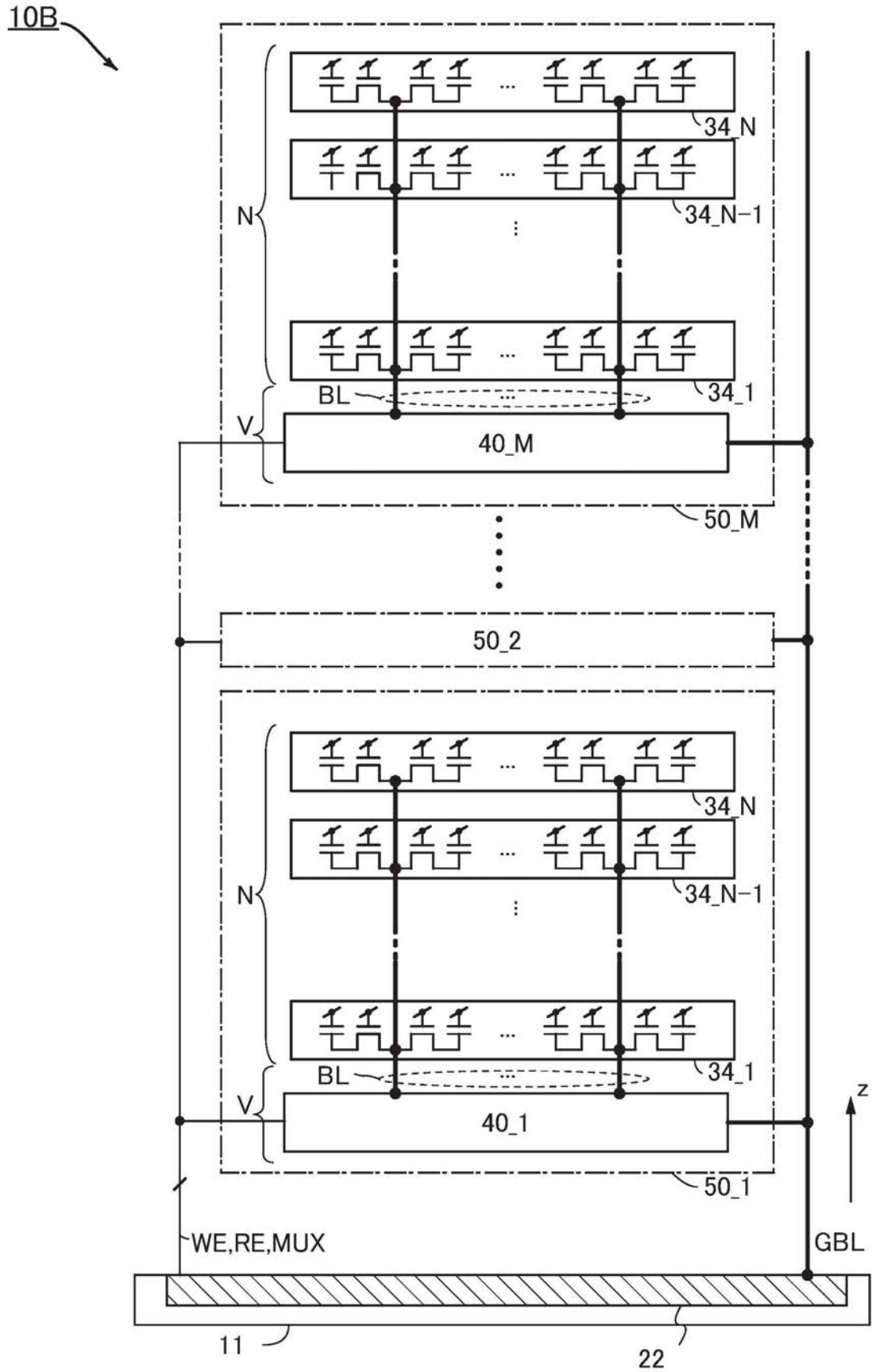


图20

10D

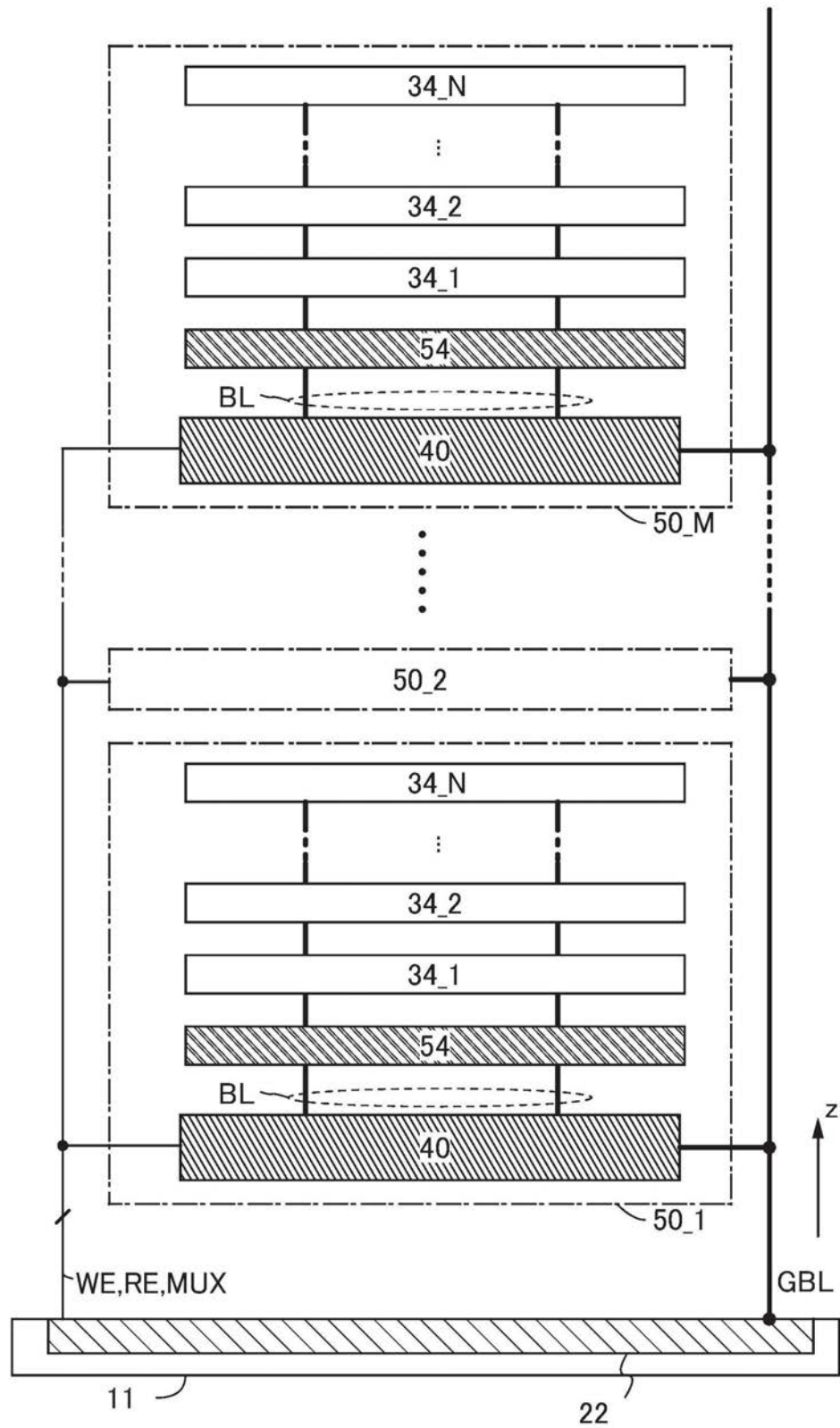


图21

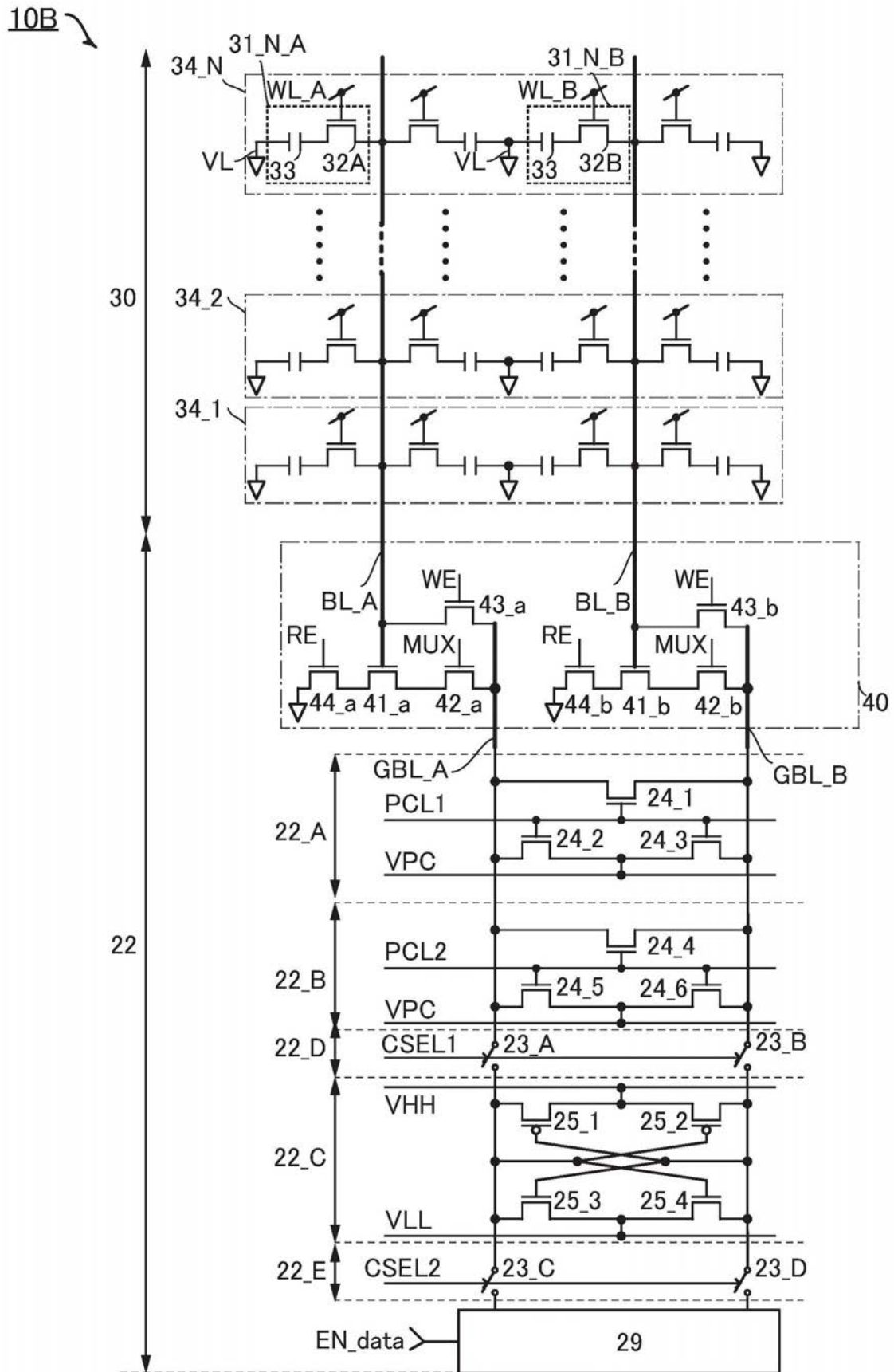


图22

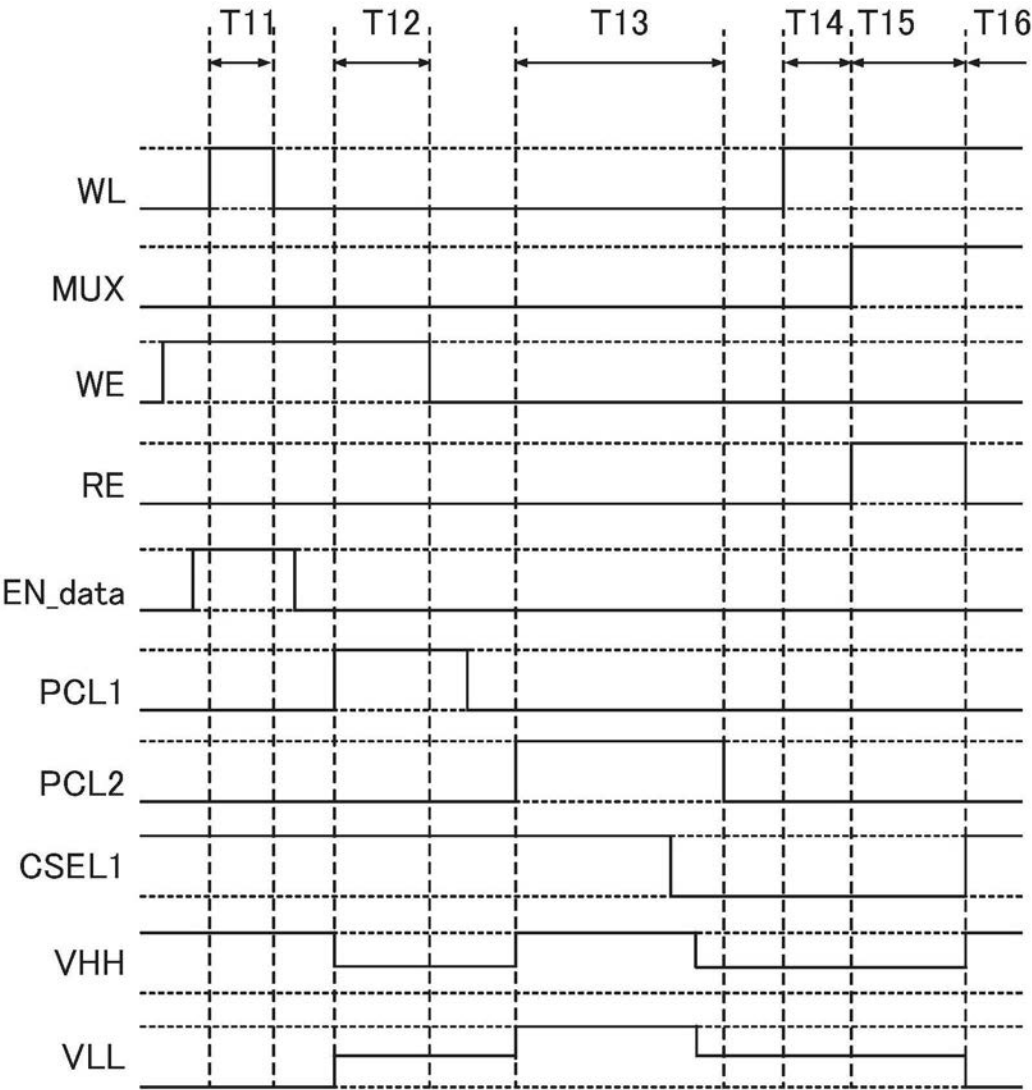


图23

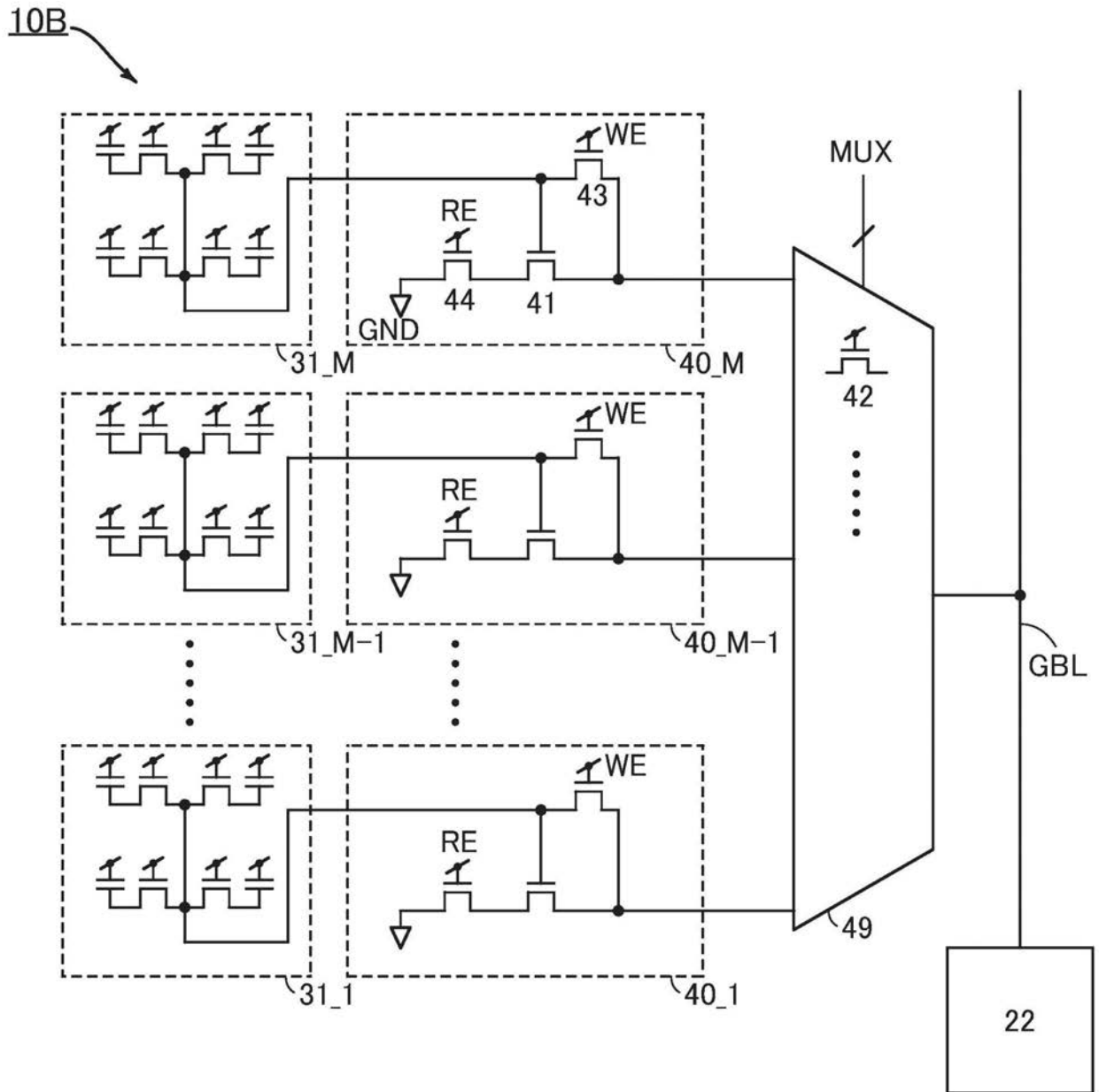


图24

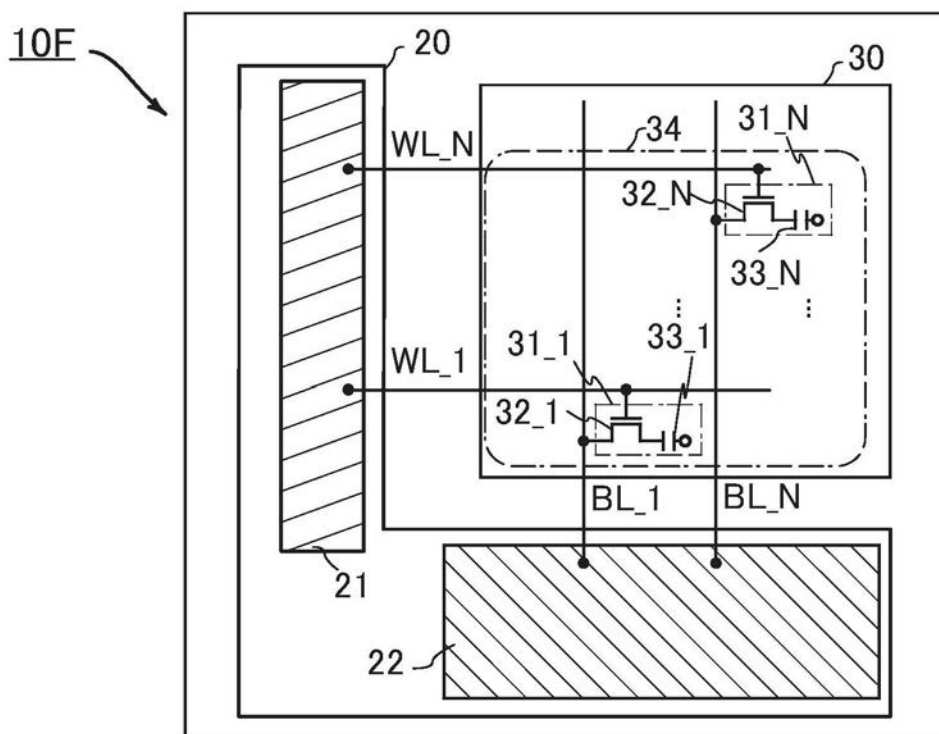


图25A

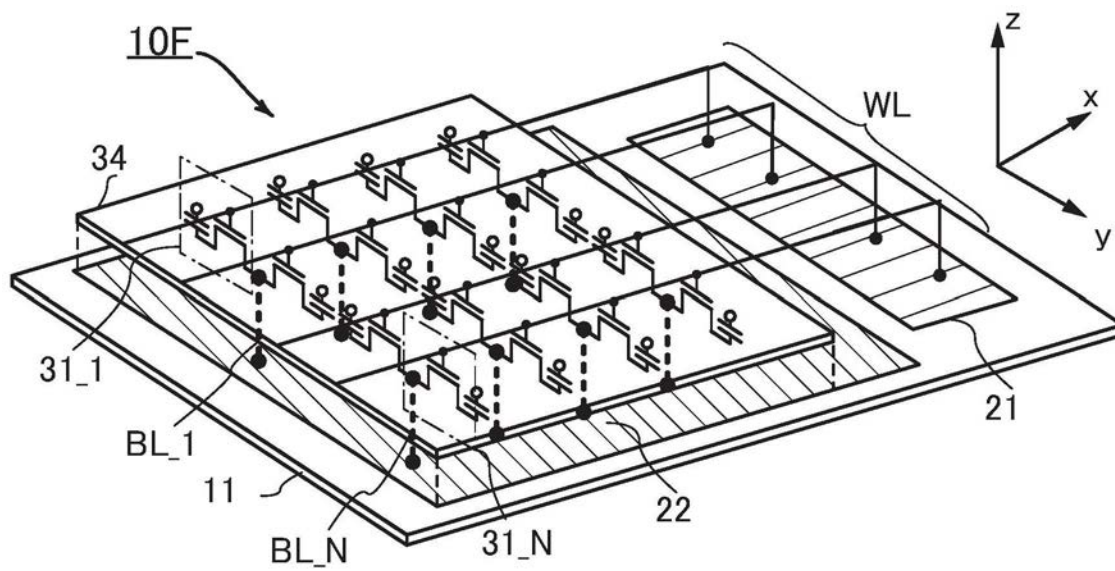


图25B

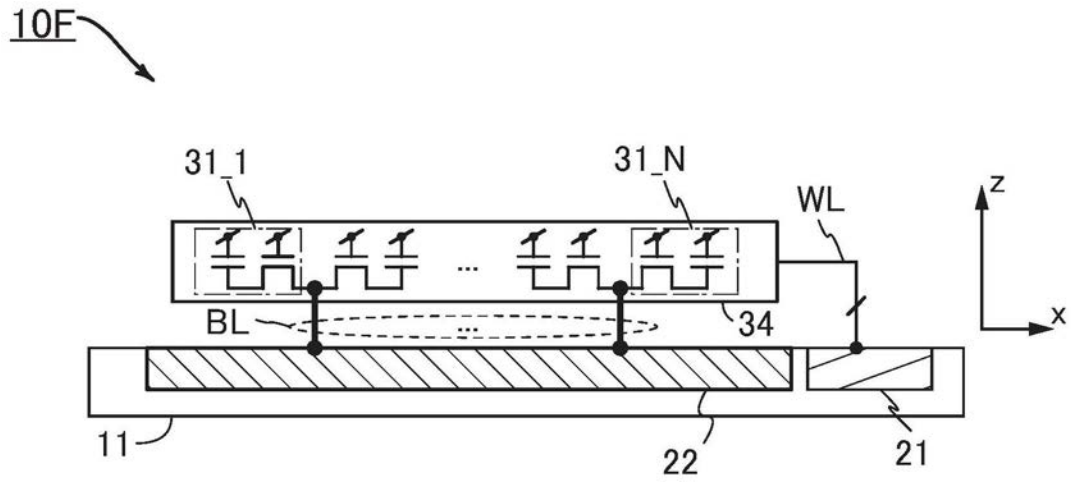


图26

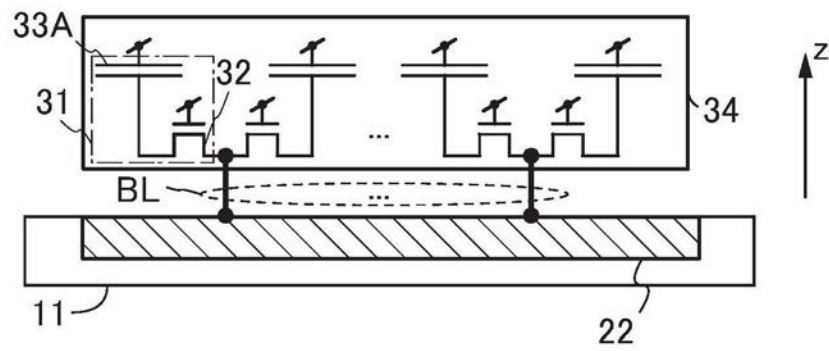


图27A

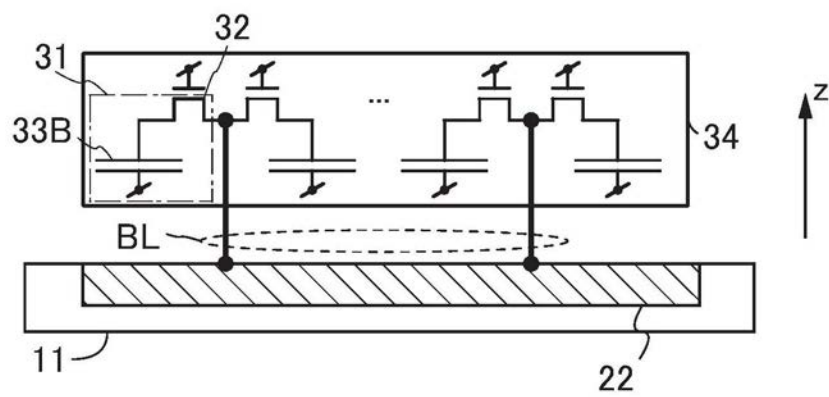


图27B

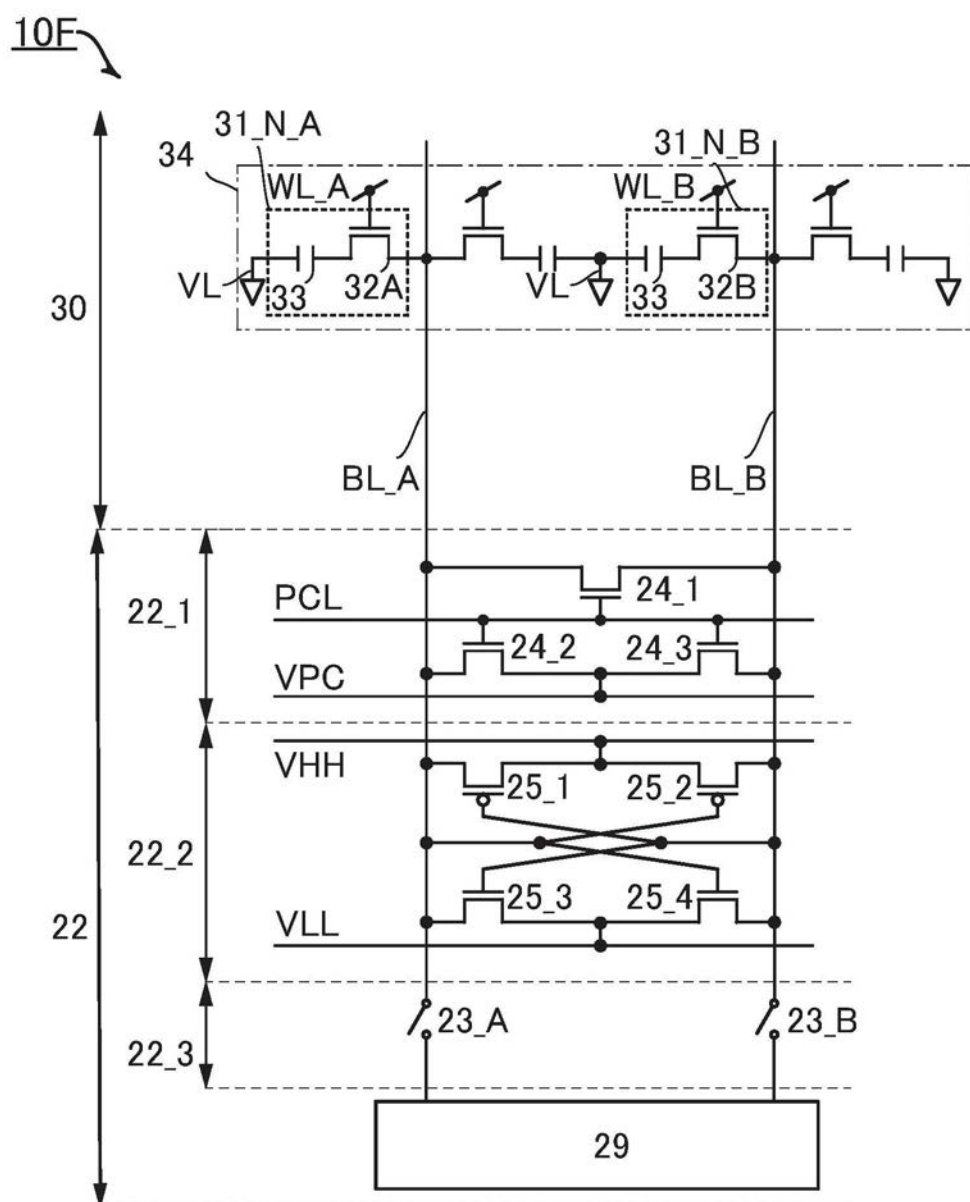


图28

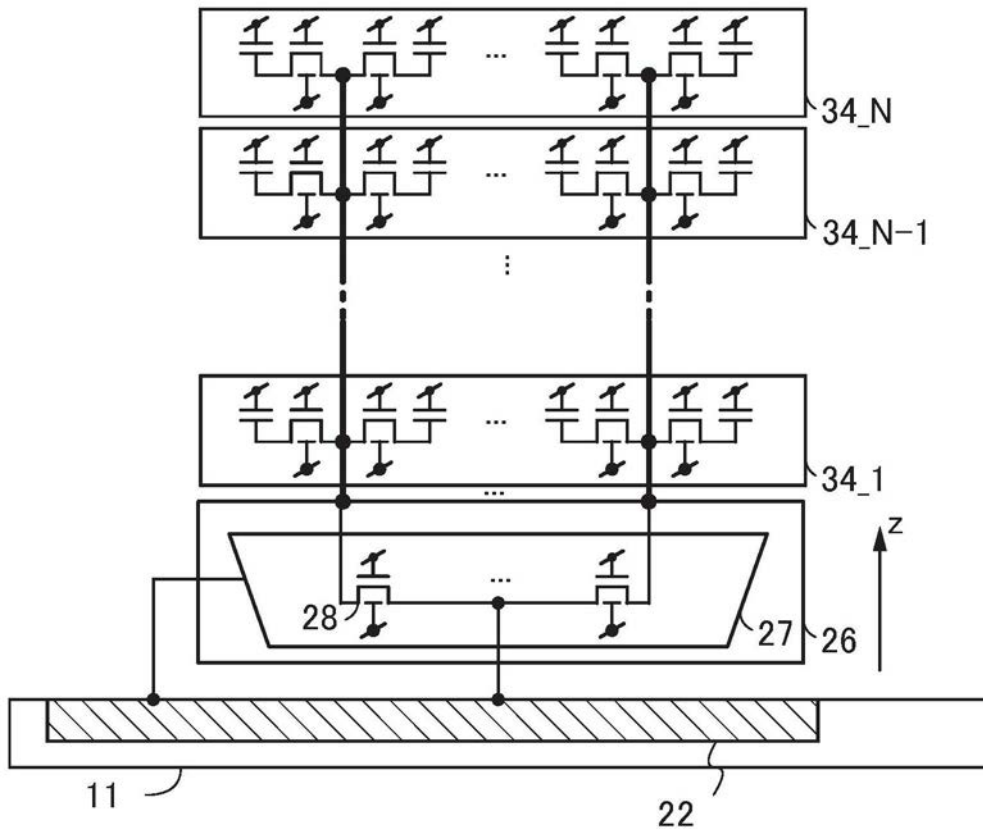


图31

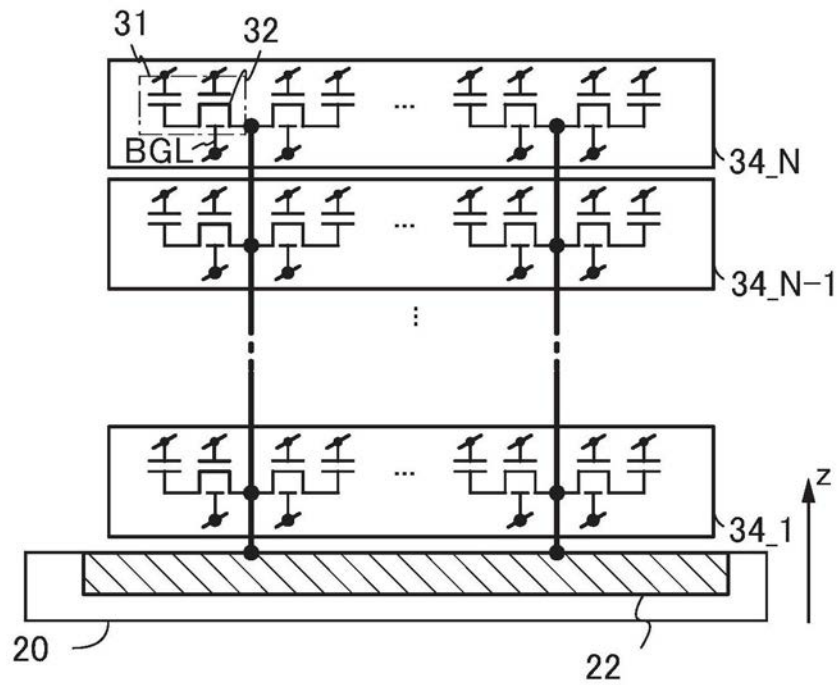


图32

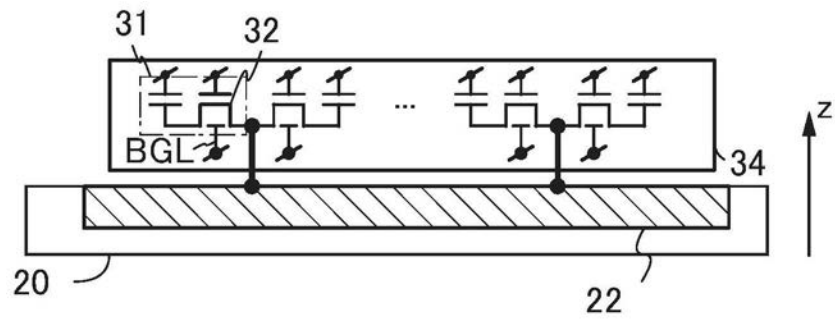


图33

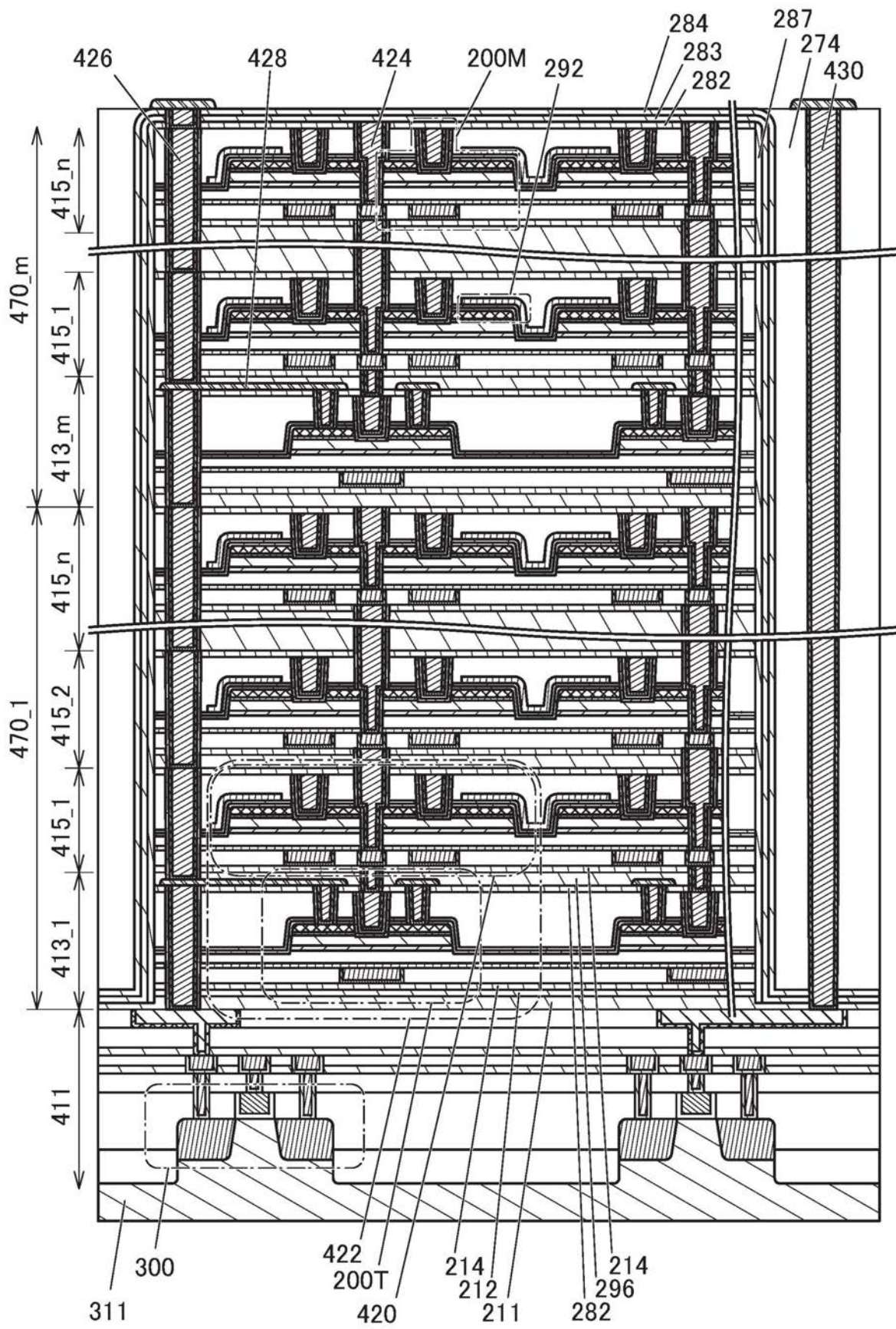


图34

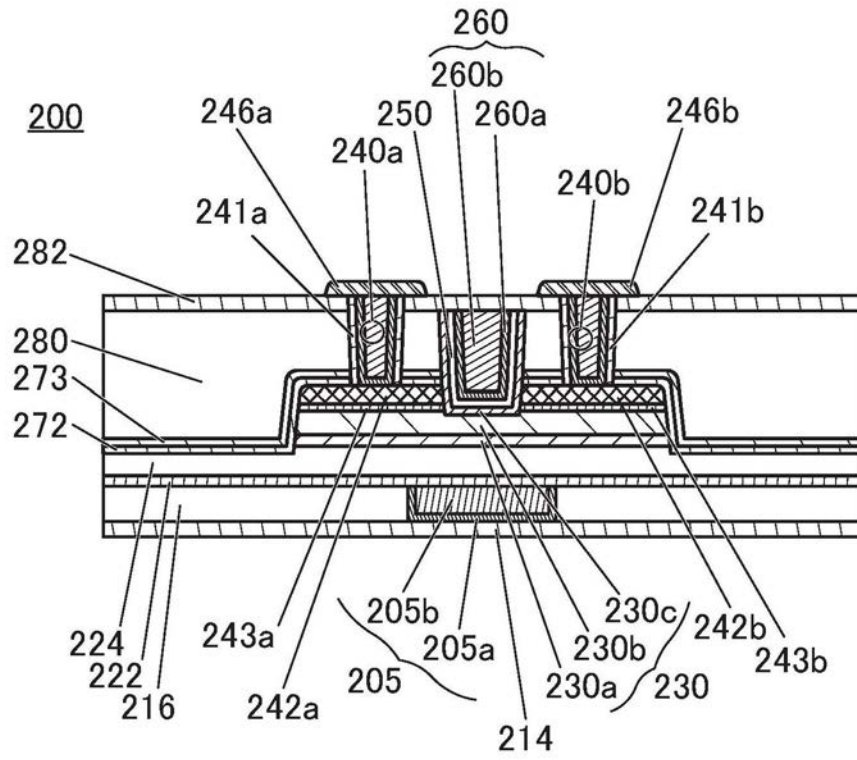


图35A

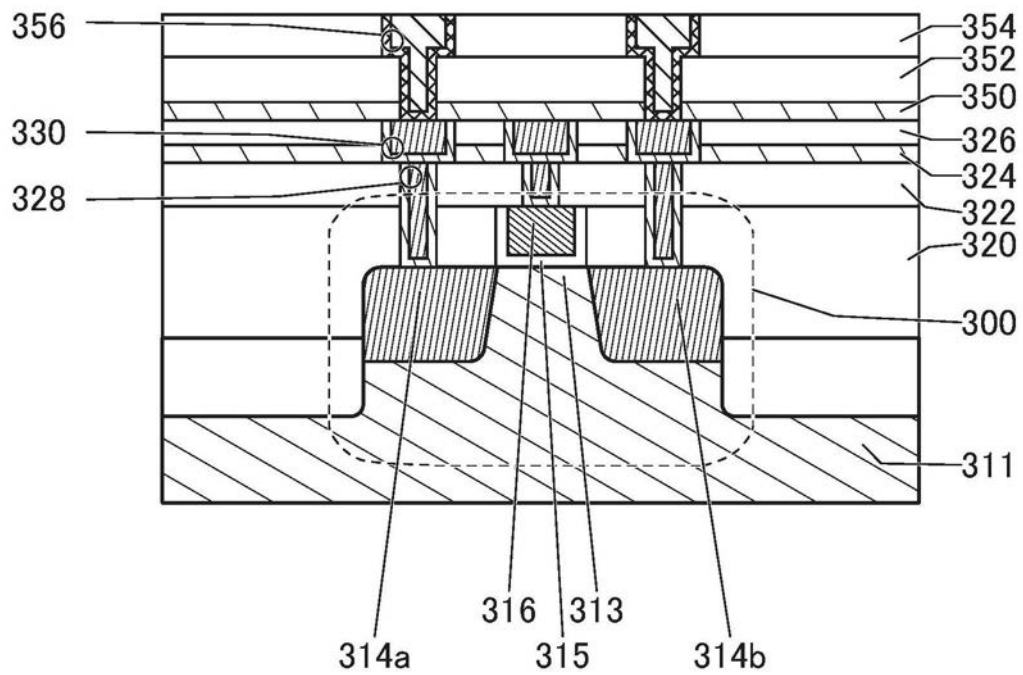


图35B

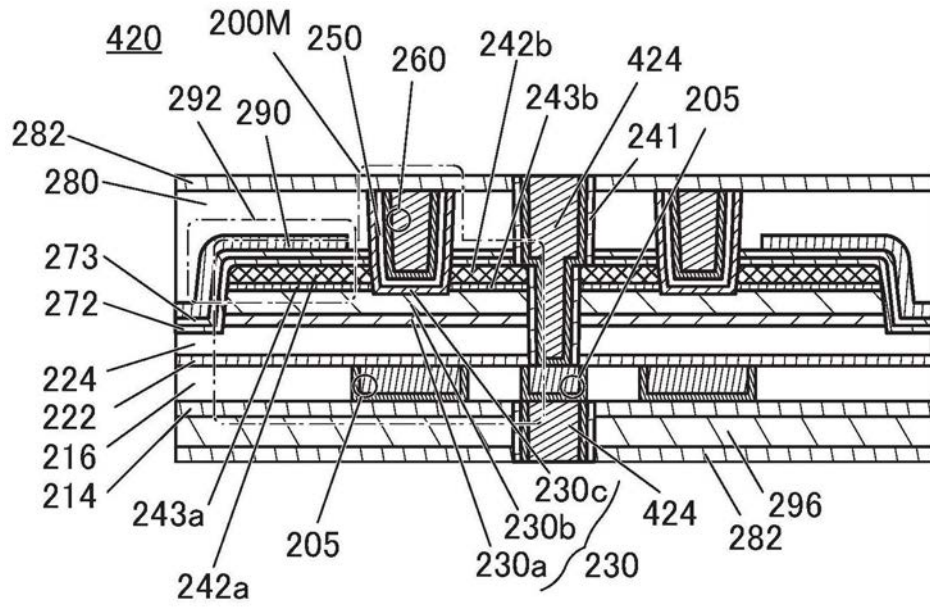


图36A

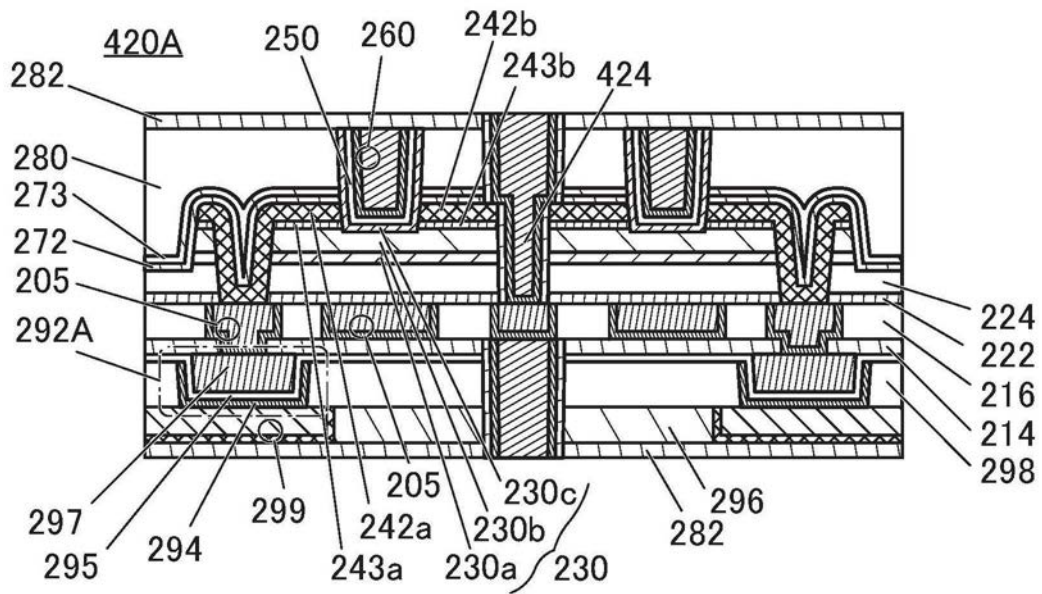


图36B

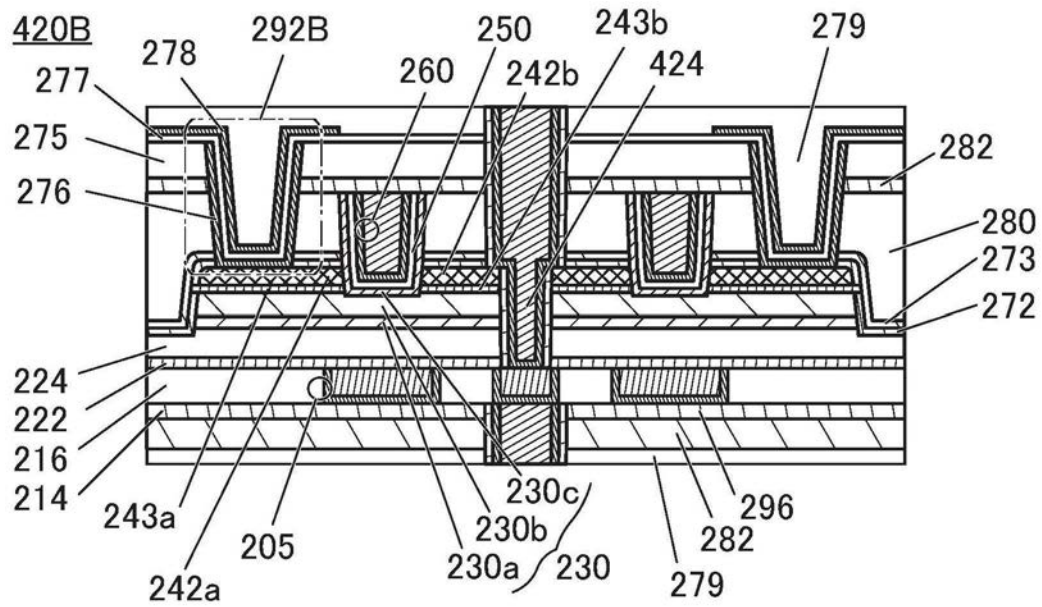


图36C

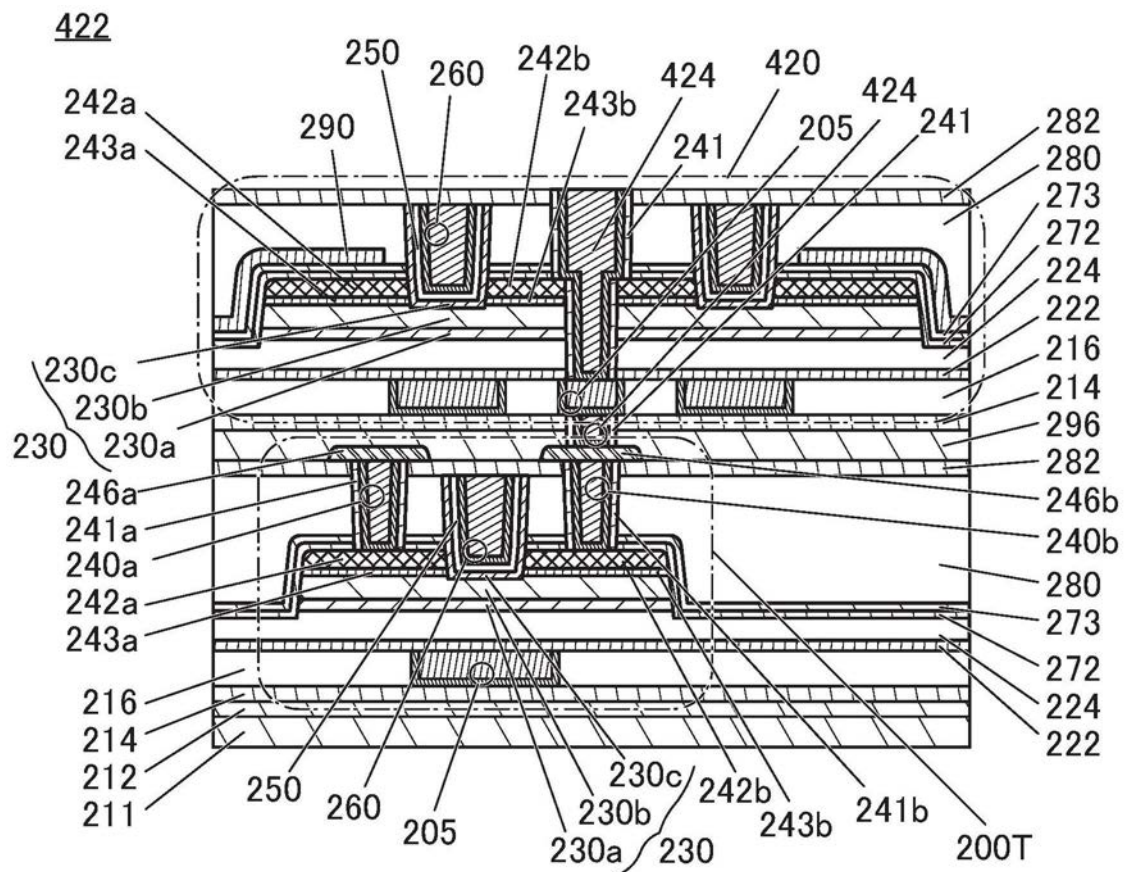


图37

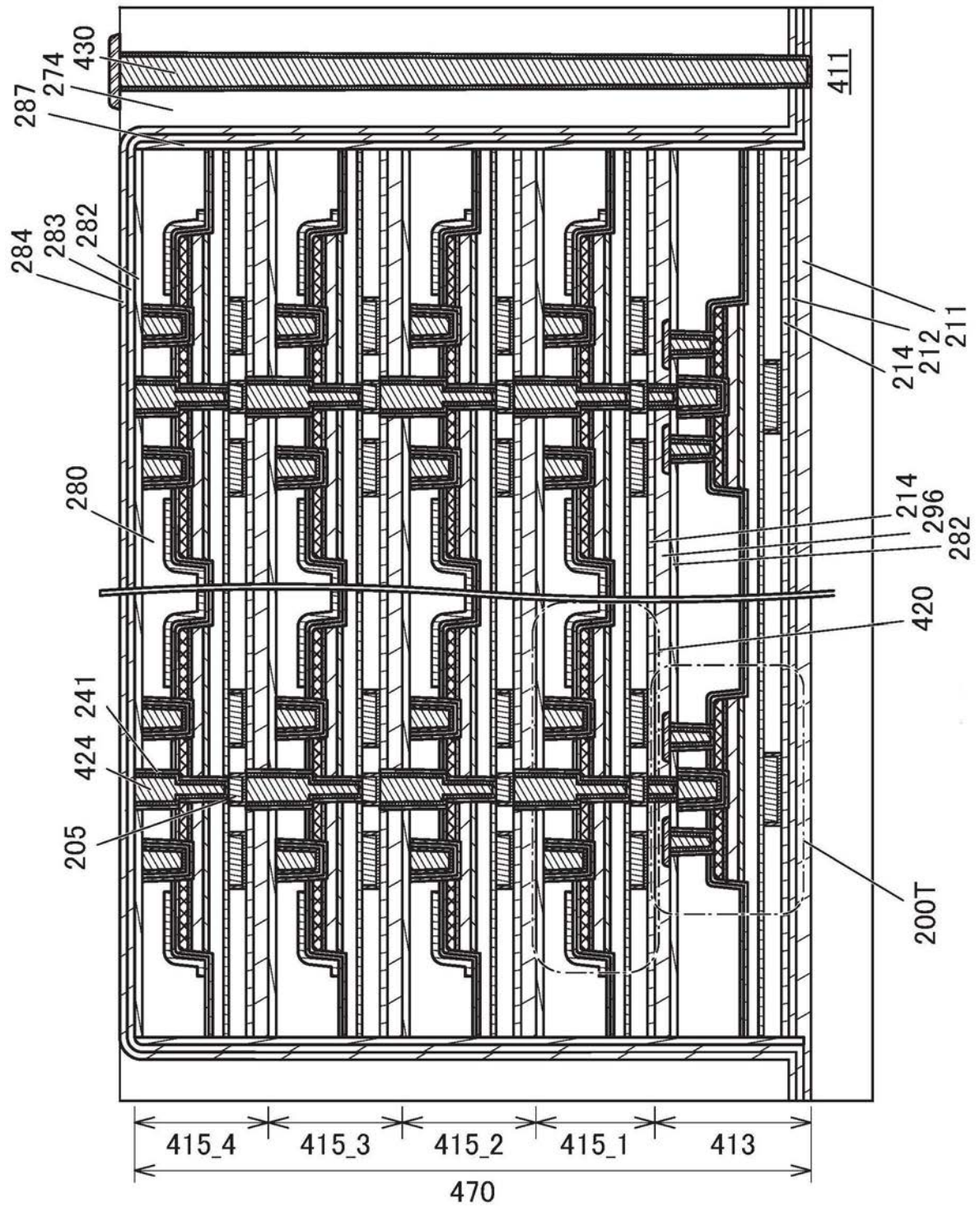


图38

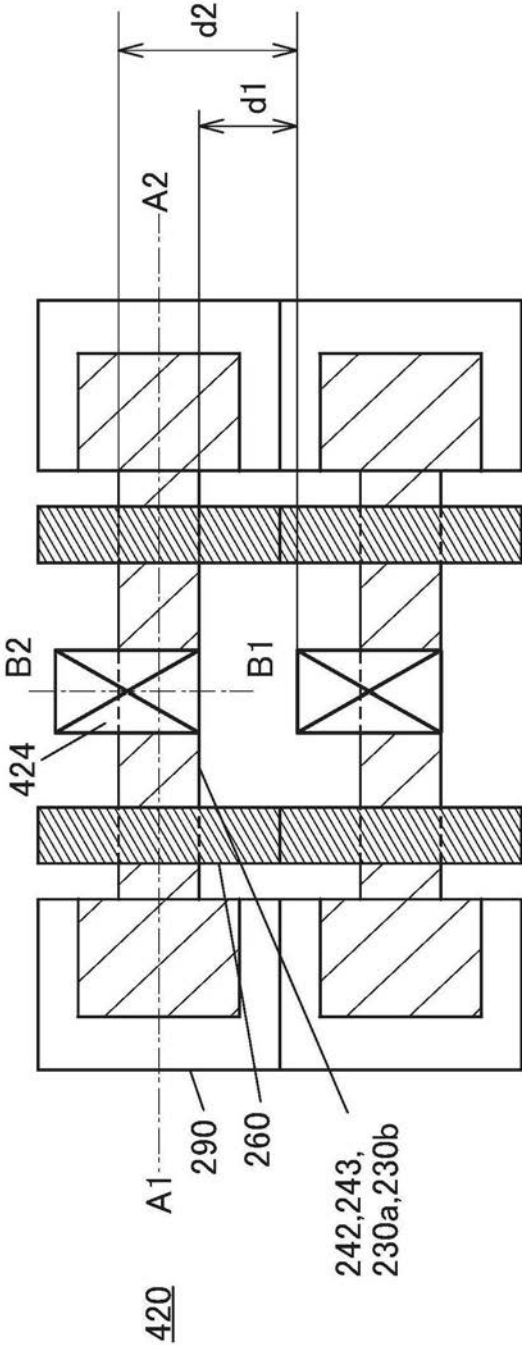


图39A

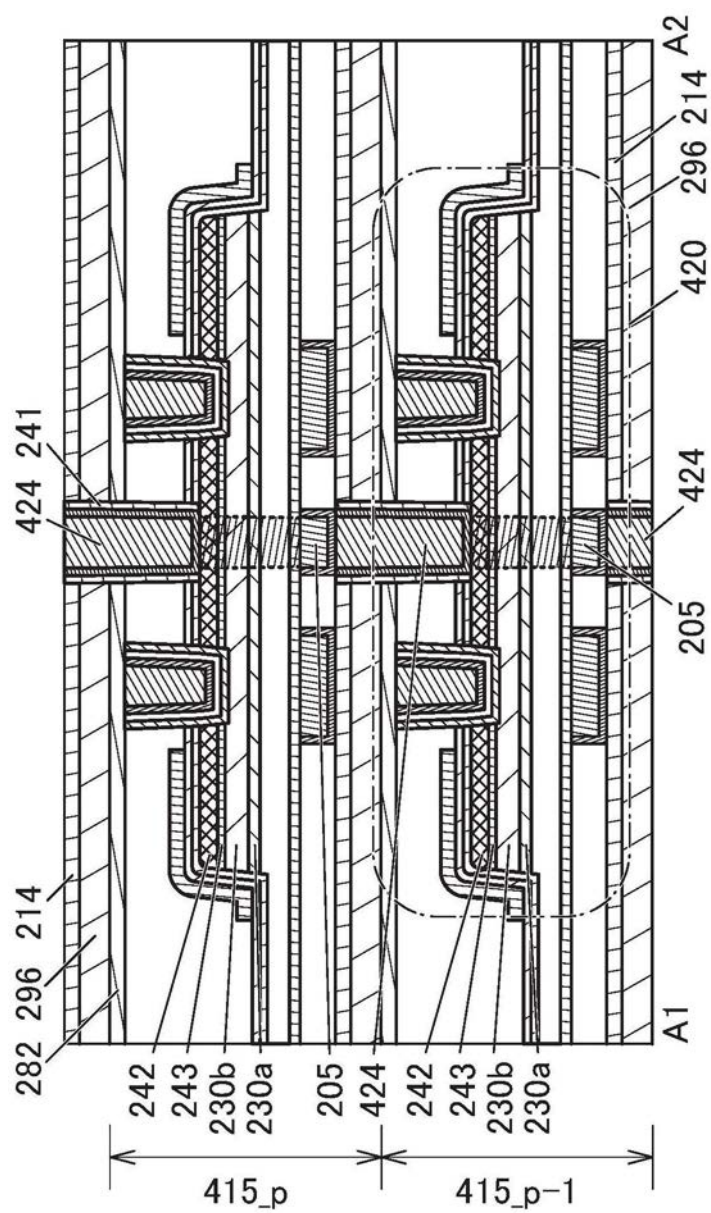


图39B

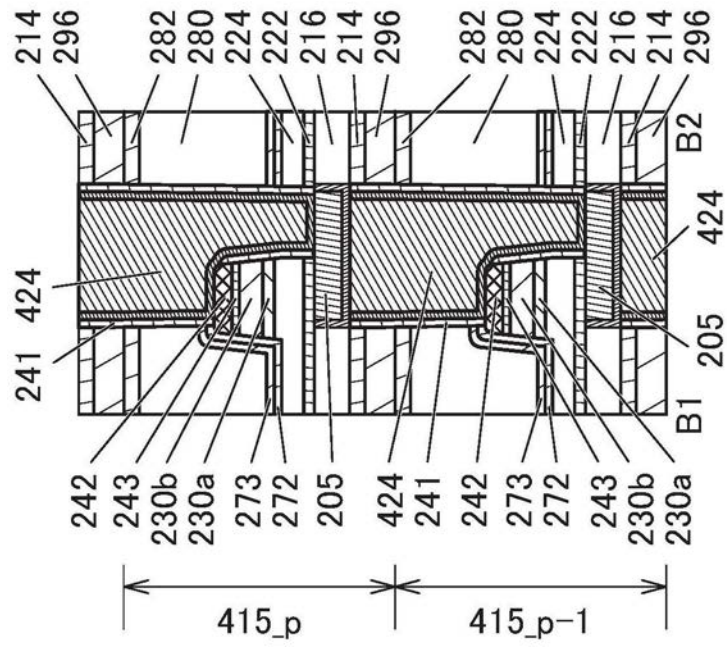


图39C

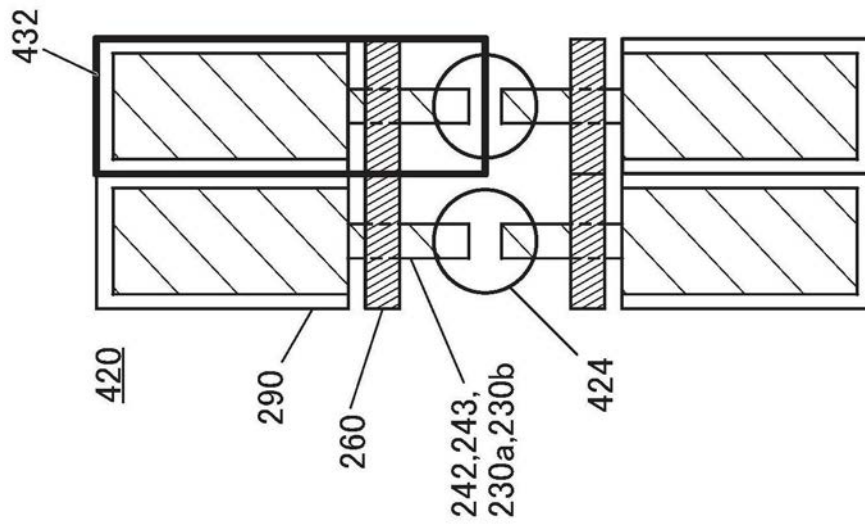


图40A

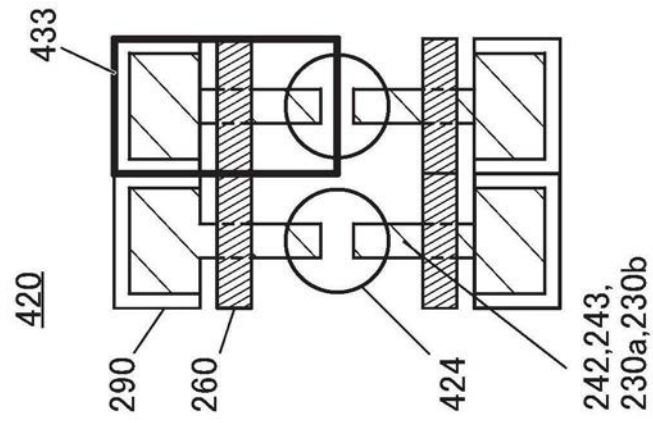


图40B

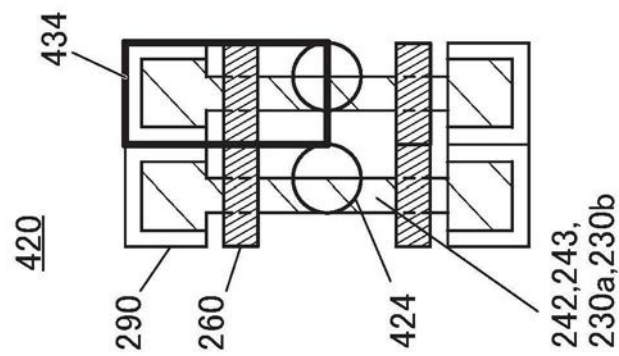


图40C

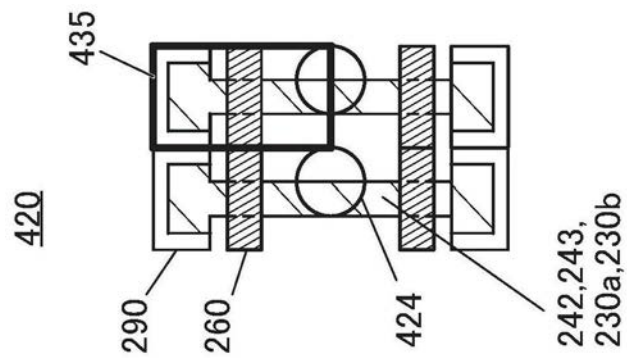


图40D

中间状态
新颖的边界区域

Amorphous (无定形)	Crystalline (结晶性)	Crystal (结晶)
▪ completely amorphous	▪ CAAC ▪ nc ▪ CAC 不包含 single crystal 及poly crystal	▪ single crystal ▪ poly crystal

图41A

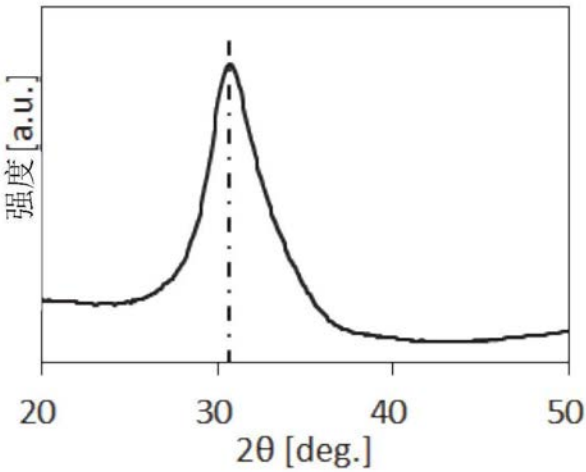


图41B

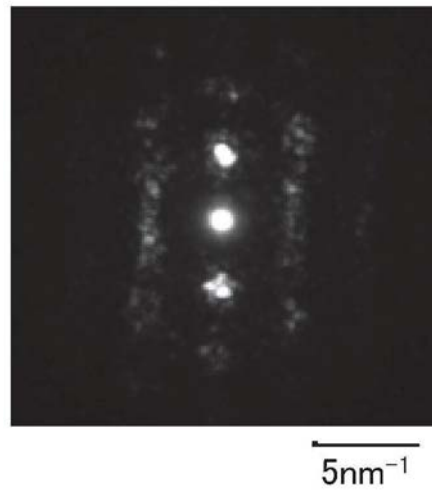


图41C

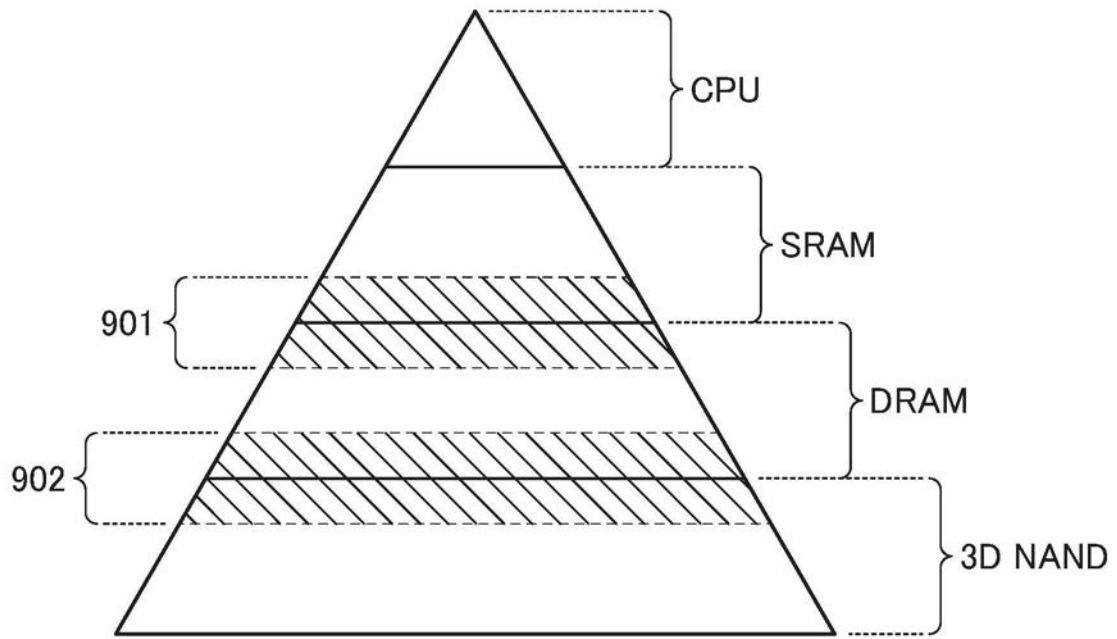


图43

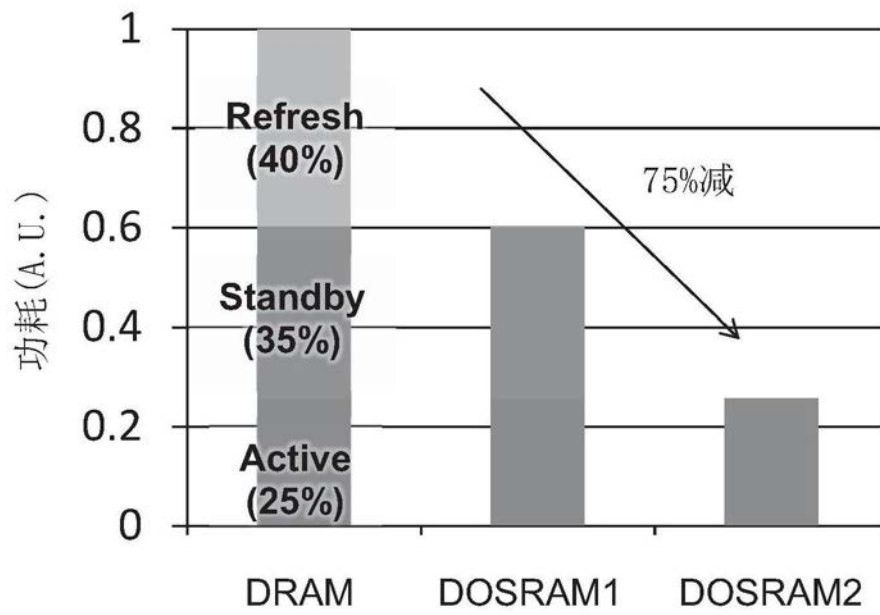


图44A

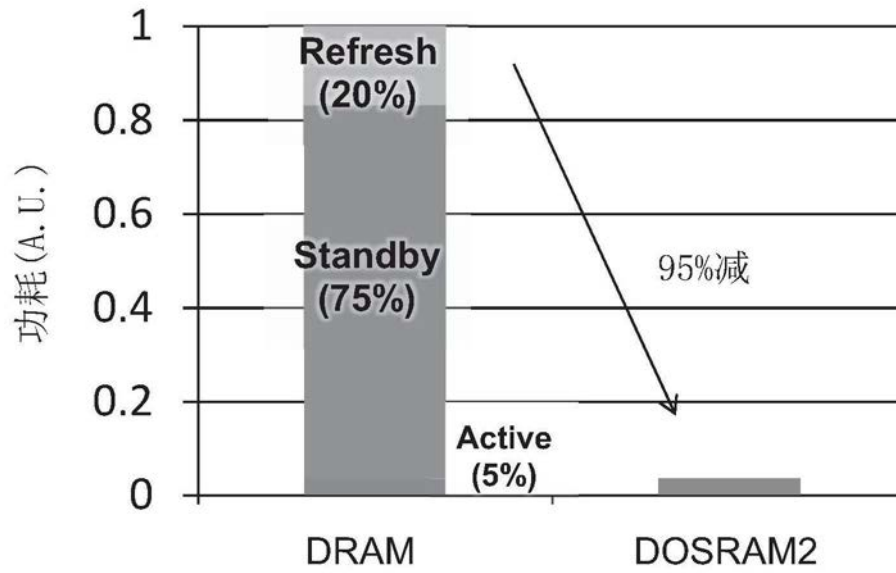


图44B

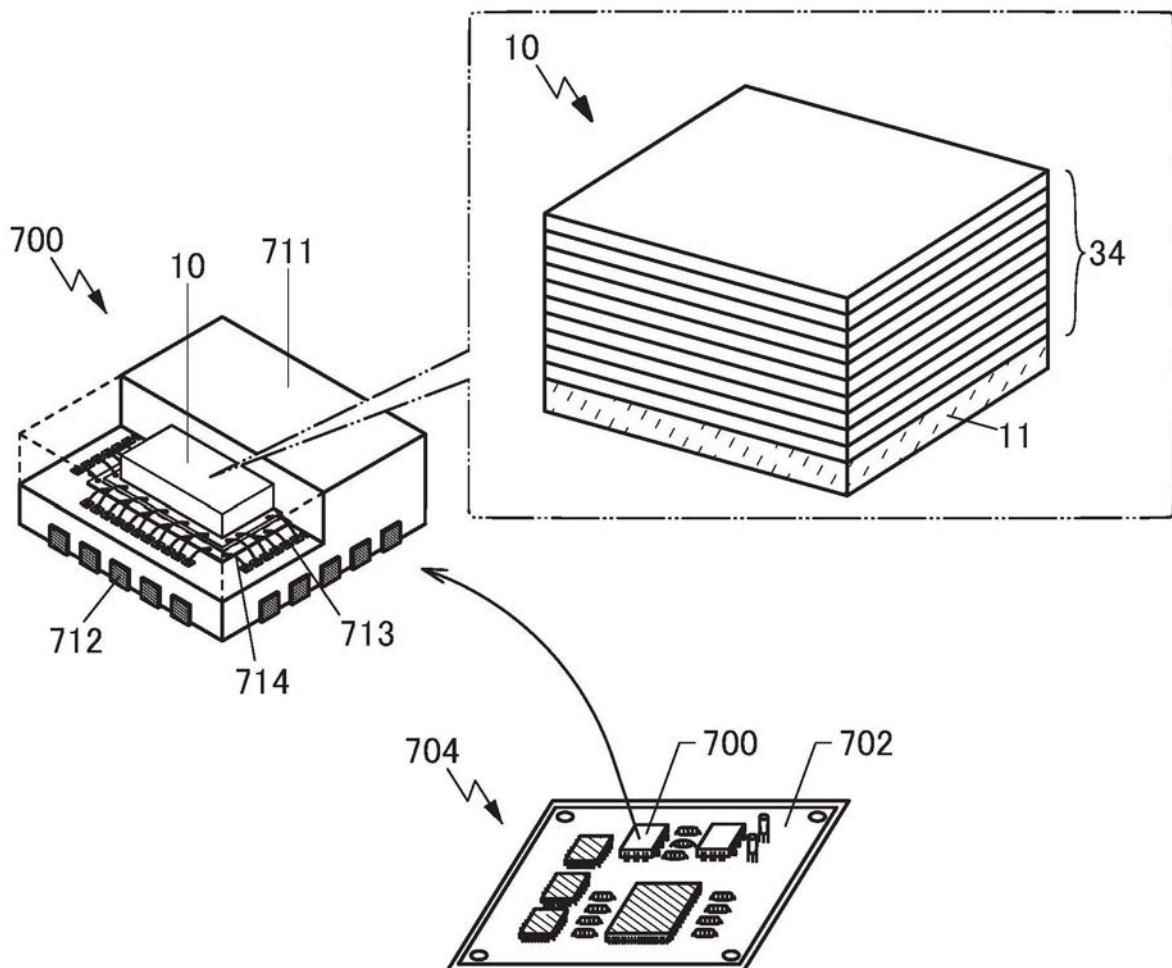


图45A

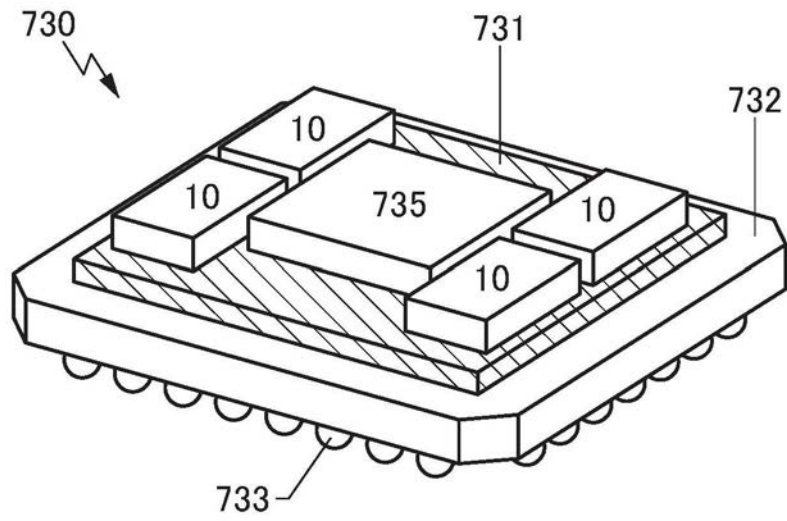


图45B

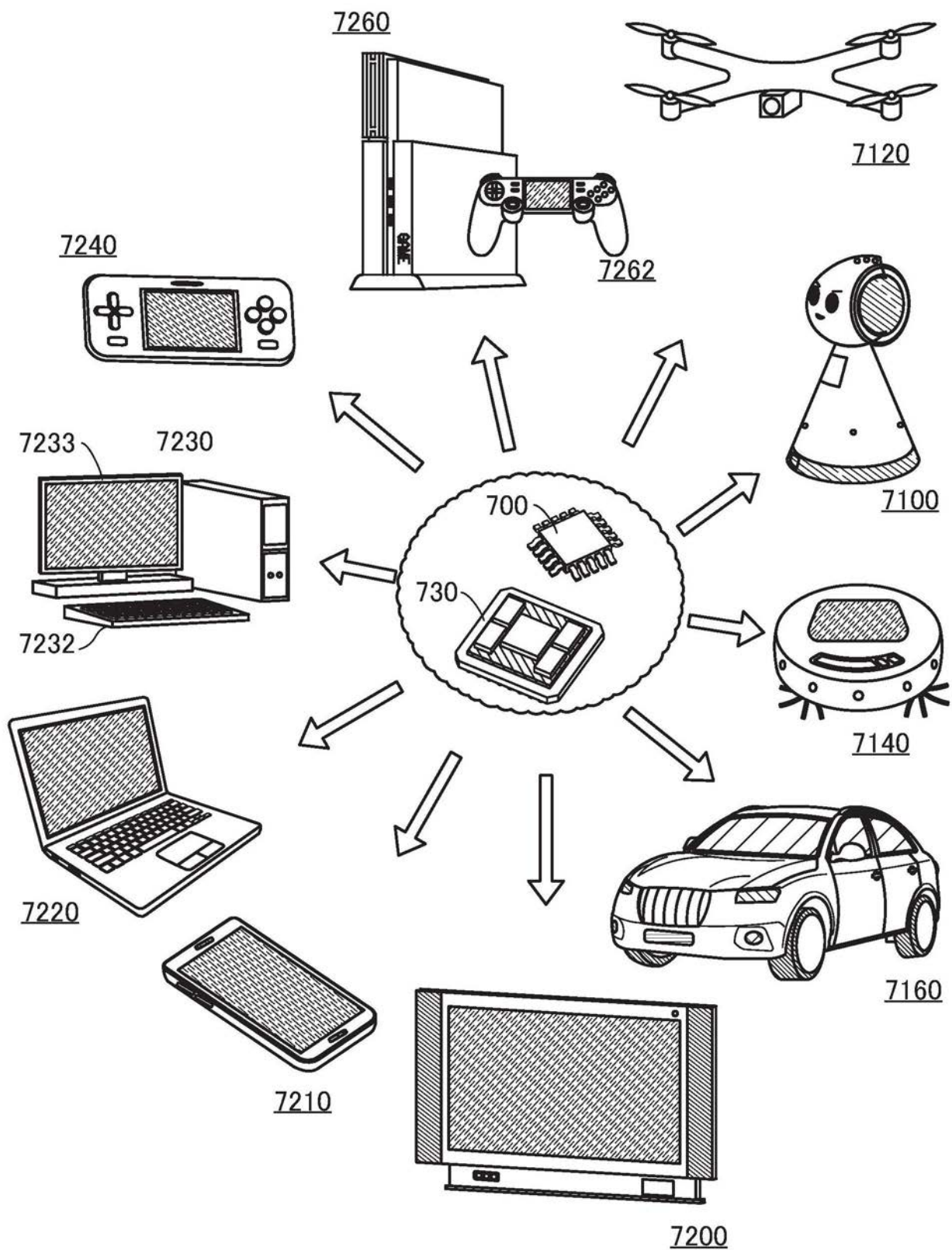


图46