

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号  
特開2022-17592  
(P2022-17592A)

(43)公開日 令和4年1月25日(2022.1.25)

|            |                 |         |         |             |               |
|------------|-----------------|---------|---------|-------------|---------------|
| (51)国際特許分類 |                 | F I     |         | テーマコード (参考) |               |
| H O 1 L    | 29/786(2006.01) | H O 1 L | 29/78   | 6 1 8 C     | 5 F 0 3 8     |
| H O 1 L    | 21/336(2006.01) | H O 1 L | 29/78   | 6 1 7 V     | 5 F 1 1 0     |
| H O 1 L    | 21/822(2006.01) | H O 1 L | 27/04   | H           |               |
|            |                 | H O 1 L | 29/78   | 6 1 8 B     |               |
|            |                 | H O 1 L | 29/78   | 6 1 7 M     |               |
|            |                 | 審査請求 有  | 請求項の数 2 | O L         | (全79頁) 最終頁に続く |

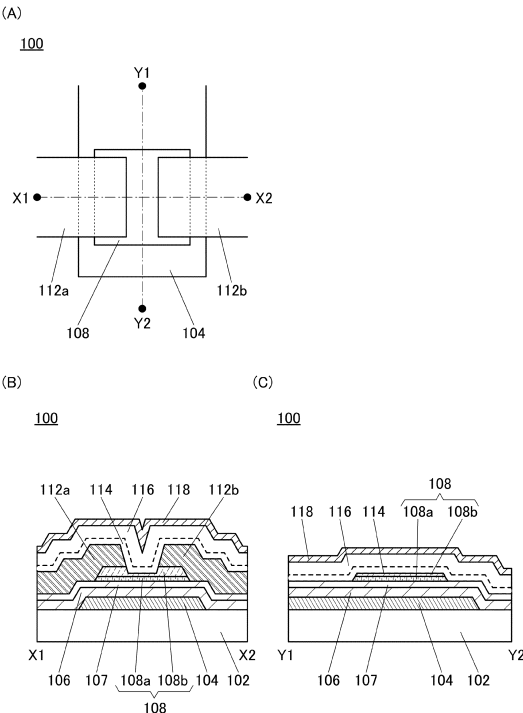
|                   |                             |         |                    |
|-------------------|-----------------------------|---------|--------------------|
| (21)出願番号          | 特願2021-185503(P2021-185503) | (71)出願人 | 000153878          |
| (22)出願日           | 令和3年11月15日(2021.11.15)      |         | 株式会社半導体エネルギー研究所    |
| (62)分割の表示         | 特願2020-192258(P2020-192258) |         | 神奈川県厚木市長谷398番地     |
|                   | の分割                         | (72)発明者 | 肥塚 純一              |
| 原出願日              | 平成27年7月14日(2015.7.14)       |         | 神奈川県厚木市長谷398番地 株式会 |
| (31)優先権主張番号       | 特願2014-144659(P2014-144659) |         | 社半導体エネルギー研究所内      |
| (32)優先日           | 平成26年7月15日(2014.7.15)       | (72)発明者 | 岡崎 健一              |
| (33)優先権主張国・地域又は機関 |                             |         | 神奈川県厚木市長谷398番地 株式会 |
|                   | 日本国(JP)                     |         | 社半導体エネルギー研究所内      |
| (31)優先権主張番号       | 特願2015-10055(P2015-10055)   | (72)発明者 | 黒崎 大輔              |
| (32)優先日           | 平成27年1月22日(2015.1.22)       |         | 神奈川県厚木市長谷398番地 株式会 |
| (33)優先権主張国・地域又は機関 |                             |         | 社半導体エネルギー研究所内      |
|                   | 日本国(JP)                     | (72)発明者 | 島 行徳               |
|                   |                             |         | 神奈川県厚木市長谷398番地 株式会 |
|                   |                             |         | 社半導体エネルギー研究所内      |
|                   |                             |         | 最終頁に続く             |

(54)【発明の名称】 半導体装置、及び、半導体装置の作製方法

(57)【要約】 (修正有) 【課題】電気特性の変動を抑制し、信頼性を向上させる酸化物半導体を有するトランジスタを有する半導体装置を提供する。

【解決手段】トランジスタ100は、ゲート電極104と、ゲート電極上のゲート絶縁膜106、107と、ゲート絶縁膜上の酸化物半導体膜108と、酸化物半導体膜に電気的に接続されるソース電極112aと、酸化物半導体膜に電気的に接続されるドレイン電極112bと、を有する。酸化物半導体膜は、ゲート電極側の第1の酸化物半導体膜108aと、第1の酸化物半導体膜上の第2の酸化物半導体膜108bと、を有する。第1の酸化物半導体膜は、Inの原子数比がM(Mは、Ti、Ga、Sn、Y、Zr、La、Ce、Nd又はHfを表す)の原子数比より多い第1の領域を有する。第2の酸化物半導体膜は、第1の酸化物半導体膜よりもInの原子数比が少ない第2の領域を有する。第2の領域は、第1の領域よりも薄い部分を有する。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

銅を有するゲート電極と、  
前記ゲート電極上の窒化シリコン膜と、  
前記窒化シリコン膜上に配置され、酸素を含む第 1 の絶縁膜と、  
前記第 1 の絶縁膜上の第 1 の酸化物半導体膜と、  
前記第 1 の酸化物半導体膜上の第 2 の酸化物半導体膜と、  
前記第 2 の酸化物半導体膜と接するように配置され、銅を有するソース電極と、  
前記第 2 の酸化物半導体膜と接するように配置され、銅を有するドレイン電極と、  
前記ソース電極上及び前記ドレイン電極上に配置され、前記第 2 の酸化物半導体膜と接する領域を有する、酸素を含む第 2 の絶縁膜と、を有し、  
前記第 1 の酸化物半導体膜は、In の原子数比が M (M は、Ti、Ga、Sn、Y、Zr、La、Ce、Nd、または Hf を表す) の原子数比より多く、  
前記第 2 の酸化物半導体膜は、前記第 1 の酸化物半導体膜よりも前記 In の原子数比が少なく、第 1 の領域と第 2 の領域と、を有し、  
前記第 1 の領域は、前記第 2 の領域よりも膜厚が厚く、前記ソース電極または前記ドレイン電極と重なりを有し、  
前記第 2 の領域は、前記ソース電極及び前記ドレイン電極と重なりを有さず、  
前記第 2 の領域は、前記第 1 の酸化物半導体膜よりも膜厚が薄い、半導体装置。

## 【請求項 2】

銅を有するゲート電極と、  
前記ゲート電極上の窒化シリコン膜と、  
前記窒化シリコン膜上に配置され、酸素を含む第 1 の絶縁膜と、  
前記第 1 の絶縁膜上の第 1 の酸化物半導体膜と、  
前記第 1 の酸化物半導体膜上の第 2 の酸化物半導体膜と、  
前記第 2 の酸化物半導体膜と接するように配置され、銅を有するソース電極と、  
前記第 2 の酸化物半導体膜と接するように配置され、銅を有するドレイン電極と、  
前記ソース電極上及び前記ドレイン電極上に配置され、前記第 2 の酸化物半導体膜と接する領域を有する、酸素を含む第 2 の絶縁膜と、を有し、  
前記第 1 の酸化物半導体膜は、In の原子数比が M (M は、Ti、Ga、Sn、Y、Zr、La、Ce、Nd、または Hf を表す) の原子数比より多く、  
前記第 2 の酸化物半導体膜は、前記第 1 の酸化物半導体膜よりも前記 In の原子数比が少なく、第 1 の領域と第 2 の領域と、を有し、  
前記第 1 の領域は、前記第 2 の領域よりも膜厚が厚く、前記ソース電極または前記ドレイン電極と重なりを有し、  
前記第 2 の領域は、前記ソース電極及び前記ドレイン電極と重なりを有さず、  
前記第 2 の領域は、前記第 1 の酸化物半導体膜よりも膜厚が薄い、半導体装置の作製方法であって、  
前記ソース電極及び前記ドレイン電極を形成した後、前記第 2 の絶縁膜、前記第 2 の酸化物半導体膜及び前記第 1 の酸化物半導体膜に酸素を添加する工程を有する、半導体装置の作製方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の一態様は、酸化物半導体膜を有する半導体装置及び該半導体装置を有する表示装置に関する。または、本発明の一態様は、酸化物半導体膜を有する半導体装置の作製方法に関する。

## 【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明は、プロ

セス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、またはそれらの製造方法に関する。

#### 【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

#### 【背景技術】

#### 【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（電界効果トランジスタ（FET）、または薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコンを代表とする半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

#### 【0005】

酸化物半導体を用いたトランジスタに安定した電気特性を付与し、信頼性の高い半導体装置を得るために、組成の異なる酸化物半導体膜を積層させて、チャネル側にInを多く含む酸化物半導体膜を用い、バックチャネル側にGa等のスタビライザーを多く含む酸化物半導体膜を用いる構成の半導体装置が開示されている（例えば、特許文献1参照）。

#### 【先行技術文献】

#### 【特許文献】

#### 【0006】

【特許文献1】特開2013-175715号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0007】

Inを多く含む酸化物半導体膜を用いると、エネルギーバンドギャップ（Eg）が小さくなる場合（例えば、Egが3.0eV未満）がある。この場合、Egが大きい酸化物半導体膜（例えば、Egが3.0eV以上3.5eV以下）よりも、Egが小さい酸化物半導体膜の方が、光に対する影響が大きくなる。光照射時のマイナス印加時のバイアスストレス試験（光負GBT（Gate Bias Temperature）ストレス試験）において、Egが小さい酸化物半導体膜を有するトランジスタにおいては、信頼性が低下する場合がある。

#### 【0008】

なお、光負GBTストレス試験は、加速試験の一種であり、光照射時における、長期間の使用によって起こるトランジスタの特性変化を、短時間で評価することができる。特に、光負GBTストレス試験前後におけるトランジスタのしきい値電圧の変化量（ $\Delta V_{th}$ ）は、信頼性を調べるための重要な指標となる。光負GBTストレス試験前後において、しきい値電圧の変化量（ $\Delta V_{th}$ ）が小さいほど信頼性が高い。

#### 【0009】

上記問題に鑑み、本発明の一態様においては、Inを多く含む酸化物半導体膜を有するトランジスタにおいて、電気特性の変動を抑制すると共に、信頼性を向上させることを課題の1つとする。または、本発明の一態様においては、消費電力が低減された半導体装置を提供することを課題の1つとする。または、本発明の一態様においては、新規な半導体装置を提供することを課題の1つとする。または、本発明の一態様においては、新規な表示装置を提供することを課題の1つとする。

10

20

30

40

50

## 【0010】

なお、上記の課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

## 【課題を解決するための手段】

## 【0011】

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、ゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上の酸化物半導体膜と、酸化物半導体膜に電氣的に接続されるソース電極と、酸化物半導体膜に電氣的に接続されるドレイン電極と、を有し、酸化物半導体膜は、ゲート電極側の第1の酸化物半導体膜と、第1の酸化物半導体膜上の第2の酸化物半導体膜と、を有し、第1の酸化物半導体膜は、Inの原子数比がM（Mは、Ti、Ga、Sn、Y、Zr、La、Ce、Nd、またはHfを表す）の原子数比より多い、第1の領域を有し、第2の酸化物半導体膜は、第1の酸化物半導体膜よりもInの原子数比が少ない、第2の領域を有し、第2の領域は、第1の領域よりも薄い部分を有することを特徴とする半導体装置である。

10

## 【0012】

また、本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1のゲート電極と、第1のゲート電極上の第1のゲート絶縁膜と、第1のゲート絶縁膜上の酸化物半導体膜と、酸化物半導体膜に電氣的に接続されるソース電極と、酸化物半導体膜に電氣的に接続されるドレイン電極と、酸化物半導体膜上の第2のゲート絶縁膜と、第2のゲート絶縁膜上の第2のゲート電極と、を有し、酸化物半導体膜は、第1のゲート電極側の第1の酸化物半導体膜と、第1の酸化物半導体膜上の第2の酸化物半導体膜と、を有し、第1の酸化物半導体膜は、Inの原子数比がM（Mは、Ti、Ga、Sn、Y、Zr、La、Ce、Nd、またはHfを表す）の原子数比より多い、第1の領域を有し、第2の酸化物半導体膜は、第1の酸化物半導体膜よりもInの原子数比が少ない、第2の領域を有し、第2の領域は、第1の領域よりも薄い部分を有することを特徴とする半導体装置である。

20

## 【0013】

上記各構成において、酸化物半導体膜は、Inと、Mと、さらにZnを有し、Mは、Gaであると好ましい。また、上記各構成において、酸化物半導体膜は、結晶部を有し、結晶部は、結晶部のc軸が酸化物半導体膜の被形成面の法線ベクトルに平行である部分を有すると好ましい。

30

## 【0014】

また、上記各構成において、第1の領域は、第2の領域よりも結晶部の占める割合が高い部分を有すると好ましい。また、上記各構成において、第1の領域は、第2の領域よりも水素濃度が少ない部分を有すると好ましい。

## 【0015】

また、本発明の他の一態様は、上記各構成にいずれか一つに記載の半導体装置と表示素子とを有する表示装置である。また、本発明の他の一態様は、該表示装置とタッチセンサとを有する表示モジュールである。また、本発明の他の一態様は、上記各構成にいずれか一つに記載の半導体装置、上記表示装置、または上記表示モジュールと、操作キーまたはバッテリーとを有する電子機器である。

40

## 【0016】

また、本発明の他の一態様は、トランジスタを有する半導体装置の作製方法であって、基板上にゲート電極を形成する工程と、ゲート電極上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に第1の酸化物半導体膜を形成する工程と、第1の酸化物半導体膜上に第2の酸化物半導体膜を形成する工程と、第2の酸化物半導体膜上にソース電極及びドレイン電極を形成する工程と、第2の酸化物半導体膜上に酸化物絶縁膜を形成する工程と、酸化物絶縁膜上に酸化物導電膜を形成する工程と、酸化物導電膜を介して、酸化物絶縁膜中

50

に酸素を添加する工程と、酸化物導電膜を除去する工程と、を備え、ソース電極及びドレイン電極を形成する工程において、第2の酸化物半導体膜の一部の領域は、第1の酸化物半導体膜よりも薄くなり、酸化物絶縁膜を形成する工程は、PECVD装置にて180℃以上350℃以下の温度で実施され、トランジスタの作製工程中において、酸化物絶縁膜を形成する工程の温度が最も高いことを特徴とする半導体装置の作製方法である。

【0017】

また、本発明の他の一態様は、トランジスタを有する半導体装置の作製方法であって、基板上に第1のゲート電極を形成する工程と、第1のゲート電極上に第1のゲート絶縁膜を形成する工程と、第1のゲート絶縁膜上に第1の酸化物半導体膜を形成する工程と、第1の酸化物半導体膜上に第2の酸化物半導体膜を形成する工程と、第2の酸化物半導体膜上にソース電極及びドレイン電極を形成する工程と、第2の酸化物半導体膜上に第2のゲート絶縁膜として機能する、酸化物絶縁膜を形成する工程と、酸化物絶縁膜上に酸化物導電膜を形成する工程と、酸化物導電膜を介して、酸化物絶縁膜中に酸素を添加する工程と、酸化物導電膜を除去する工程と、酸化物絶縁膜上に第2のゲート電極を形成する工程と、を備え、ソース電極及びドレイン電極を形成する工程において、第2の酸化物半導体膜の一部の領域は、第1の酸化物半導体膜よりも薄くなり、酸化物絶縁膜を形成する工程は、PECVD装置にて180℃以上350℃以下の温度で実施され、トランジスタの作製工程中において、酸化物絶縁膜を形成する工程の温度が最も高いことを特徴とする半導体装置の作製方法である。

10

【0018】

上記各構成において、第1の酸化物半導体膜及び第2の酸化物半導体膜は、それぞれ、酸素と、Inと、Znと、M（Mは、Ti、Ga、Sn、Y、Zr、La、Ce、Nd、またはHfを表す）と、を有すると好ましい。また、上記各構成において、第1の酸化物半導体膜及び第2の酸化物半導体膜は、それぞれ、結晶部を有し、結晶部は、結晶部のc軸が第1の酸化物半導体膜の被形成面の法線ベクトルに平行である部分、または第2の酸化物半導体膜の被形成面の法線ベクトルに平行である部分を有すると好ましい。

20

【発明の効果】

【0019】

本発明の一態様により、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。または、本発明の一態様においては、新規な半導体装置の作製方法を提供することができる。または、本発明の一態様により、新規な表示装置を提供することができる。

30

【0020】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

40

【0021】

【図1】半導体装置の一態様を示す上面図及び断面図。

【図2】半導体装置の一態様を示す断面図。

【図3】半導体装置の作製工程の一例を示す断面図。

【図4】半導体装置の作製工程の一例を示す断面図。

【図5】半導体装置の作製工程の一例を示す断面図。

【図6】半導体装置の作製工程の一例を示す断面図。

【図7】半導体装置の作製工程の一例を示す断面図。

【図8】表示装置の一態様を示す上面図。

【図9】表示装置の一態様を示す断面図。

50

- 【図 10】表示装置の一態様を示す断面図。
- 【図 11】表示装置を説明するブロック図及び回路図。
- 【図 12】表示モジュールを説明する図。
- 【図 13】電子機器を説明する図。
- 【図 14】SIMS 分析結果を説明する図。
- 【図 15】TDS 分析結果を説明する図。
- 【図 16】TDS 分析結果を説明する図。
- 【図 17】ESR の測定結果を説明する図。
- 【図 18】ESR の測定結果を説明する図。
- 【図 19】実施例に係る、トランジスタの  $I_D - V_G$  特性を説明する図。 10
- 【図 20】実施例に係る、トランジスタの  $I_D - V_G$  特性を説明する図。
- 【図 21】実施例に係る、トランジスタの  $I_D - V_G$  特性を説明する図。
- 【図 22】実施例に係る、トランジスタのゲート BT ストレス試験結果。
- 【図 23】実施例に係る、トランジスタのゲート BT ストレス試験結果。
- 【図 24】実施例に係る、トランジスタの  $I_D - V_G$  特性を説明する図。
- 【図 25】実施例に係る、トランジスタの  $I_D - V_G$  特性を説明する図。
- 【図 26】実施例に係る、トランジスタの  $I_D - V_G$  特性を説明する図。
- 【図 27】実施例に係る、トランジスタの  $V_{th}$  及び  $I_{on}$  の確率分布を説明する図。
- 【図 28】実施例に係る、トランジスタのゲート BT ストレス試験結果を説明する図。
- 【図 29】実施例に係る、トランジスタのゲート BT ストレス試験結果を説明する図。 20
- 【図 30】実施例に係る、表示装置の画素部の上面図。
- 【図 31】実施例に係る、表示装置の額縁領域を説明する上面図。
- 【図 32】実施例に係る、画素部及び保護回路部の断面図。
- 【図 33】実施例に係る、保護回路を説明する回路図。
- 【図 34】CAAC-OS の断面における Cs 補正高分解能 TEM 像、および CAAC-OS の断面模式図。
- 【図 35】CAAC-OS の平面における Cs 補正高分解能 TEM 像。
- 【図 36】CAAC-OS および単結晶酸化物半導体の XRD による構造解析を説明する図。
- 【図 37】CAAC-OS の電子回折パターンを示す図。 30
- 【図 38】In-Ga-Zn 酸化物の電子照射による結晶部の変化を示す図。
- 【図 39】CAAC-OS および nc-OS の成膜モデルを説明する模式図。
- 【図 40】InGaZnO<sub>4</sub> の結晶、およびペレットを説明する図。
- 【図 41】CAAC-OS の成膜モデルを説明する模式図。
- 【発明を実施するための形態】
- 【0022】
- 以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。 40
- 【0023】
- また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。
- 【0024】
- また、本明細書にて用いる「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。
- 【0025】
- また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関
- 50

係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0026】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

【0027】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【0028】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0029】

また、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多い膜を指し、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多い膜を指す。

【0030】

また、本明細書等において、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

【0031】

また、本明細書等において、「平行」とは、二つの直線が $-10^{\circ}$ 以上 $10^{\circ}$ 以下の角度で配置されている状態をいう。したがって、 $-5^{\circ}$ 以上 $5^{\circ}$ 以下の場合も含まれる。また、「垂直」とは、二つの直線が $80^{\circ}$ 以上 $100^{\circ}$ 以下の角度で配置されている状態をいう。したがって、 $85^{\circ}$ 以上 $95^{\circ}$ 以下の場合も含まれる。

【0032】

また、本明細書等において、「膜」という用語と、「層」という用語とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0033】

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置及び半導体装置の作製方法について、図1乃至図7を参照して説明する。

【0034】

＜半導体装置の構成例1＞

図1（A）は、本発明の一態様の半導体装置であるトランジスタ100の上面図であり、図1（B）は、図1（A）に示す一点鎖線X1-X2間における切断面の断面図に相当し、図1（C）は、図1（A）に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。なお、図1（A）において、煩雑になることを避けるため、トランジスタ100の構成要素の一部（ゲート絶縁膜として機能する絶縁膜等）を省略して図示している。ま

10

20

30

40

50

た、一点鎖線 X 1 - X 2 方向をチャネル長方向、一点鎖線 Y 1 - Y 2 方向をチャネル幅方向と呼称する場合がある。なお、トランジスタの上面図においては、以降の図面においても図 1 (A) と同様に、構成要素の一部を省略して図示する場合がある。

【0035】

トランジスタ 100 は、基板 102 上のゲート電極として機能する導電膜 104 と、基板 102 及び導電膜 104 上の絶縁膜 106 と、絶縁膜 106 上の絶縁膜 107 と、絶縁膜 107 上の酸化物半導体膜 108 と、酸化物半導体膜 108 に電氣的に接続されるソース電極として機能する導電膜 112a と、酸化物半導体膜 108 に電氣的に接続されるドレイン電極として機能する導電膜 112b と、を有する。また、トランジスタ 100 上、より詳しくは、導電膜 112a、112b 及び酸化物半導体膜 108 上には絶縁膜 114、116、及び絶縁膜 118 が設けられる。絶縁膜 114、116、118 は、トランジスタ 100 の保護絶縁膜としての機能を有する。

10

【0036】

また、酸化物半導体膜 108 は、ゲート電極として機能する導電膜 104 側の第 1 の酸化物半導体膜 108a と、第 1 の酸化物半導体膜 108a 上の第 2 の酸化物半導体膜 108b と、を有する。また、絶縁膜 106 及び絶縁膜 107 は、トランジスタ 100 のゲート絶縁膜としての機能を有する。

【0037】

酸化物半導体膜 108 としては、In-M (M は、Ti、Ga、Sn、Y、Zr、La、Ce、Nd、または Hf を表す) 酸化物、In-M-Zn 酸化物を用いることができる。とくに、酸化物半導体膜 108 としては、In-M-Zn 酸化物を用いると好ましい。

20

【0038】

また、第 1 の酸化物半導体膜 108a は、In の原子数比が M の原子数比より多い第 1 の領域を有する。また、第 2 の酸化物半導体膜 108b は、第 1 の酸化物半導体膜 108a よりも In の原子数比が少ない第 2 の領域を有する。また、第 2 の領域は、第 1 の領域よりも薄い部分を有する。

【0039】

第 1 の酸化物半導体膜 108a に In の原子数比が M の原子数比より多い第 1 の領域を有することで、トランジスタ 100 の電界効果移動度 (単に移動度、または  $\mu_{FE}$  という場合がある) を高くすることができる。具体的には、トランジスタ 100 の電界効果移動度が  $10 \text{ cm}^2 / \text{Vs}$  を超える、さらに好ましくはトランジスタ 100 の電界効果移動度が  $30 \text{ cm}^2 / \text{Vs}$  を超えることが可能となる。

30

【0040】

例えば、上記の電界効果移動度が高いトランジスタを、ゲート信号を生成するゲートドライバ (とくに、ゲートドライバが有するシフトレジスタの出力端子に接続されるデマルチプレクサ) に用いることで、額縁幅の狭い (狭額縁ともいう) 半導体装置または表示装置を提供することができる。

【0041】

一方で、In の原子数比が M の原子数比より多い第 1 の領域を有する第 1 の酸化物半導体膜 108a とすることで、光照射時にトランジスタ 100 の電気特性が変動しやすくなる。しかしながら、本発明の一態様の半導体装置においては、第 1 の酸化物半導体膜 108a 上に第 2 の酸化物半導体膜 108b が形成されている。また、第 2 の酸化物半導体膜 108b のチャネル領域近傍の膜厚が第 1 の酸化物半導体膜 108a の膜厚よりも小さい。

40

【0042】

また、第 2 の酸化物半導体膜 108b は、第 1 の酸化物半導体膜 108a よりも In の原子数比が少ない第 2 の領域を有するため、第 1 の酸化物半導体膜 108a よりも Eg が大きくなる。したがって、第 1 の酸化物半導体膜 108a と、第 2 の酸化物半導体膜 108b との積層構造である酸化物半導体膜 108 は、光負バイアスストレス試験による耐性が高くなる。

50

## 【0043】

上記構成の酸化物半導体膜とすることで、光照射時における酸化物半導体膜108の光吸収量を低減させることができる。したがって、光照射時におけるトランジスタ100の電気特性の変動を抑制することができる。また、本発明の一態様の半導体装置においては、絶縁膜114または絶縁膜116中に過剰の酸素を含有する構成のため、光照射におけるトランジスタ100の電気特性の変動をさらに、抑制することができる。

## 【0044】

ここで、酸化物半導体膜108について、図2を用いて詳細に説明する。

## 【0045】

図2は、図1(B)に示す、トランジスタ100の酸化物半導体膜108の近傍を拡大した断面図である。

10

## 【0046】

図2において、第1の酸化物半導体膜108aの膜厚を $t_1$ として、第2の酸化物半導体膜108bの膜厚を $t_2-1$ 、及び $t_2-2$ として、それぞれ示している。第1の酸化物半導体膜108a上には、第2の酸化物半導体膜108bが設けられているため、導電膜112a、112bの形成時において、第1の酸化物半導体膜108aがエッチングガスまたはエッチング溶液等に曝されることがない。したがって、第1の酸化物半導体膜108aにおいては、膜減りがない、または極めて少ない。一方で、第2の酸化物半導体膜108bにおいては、導電膜112a、112bの形成時において、第2の酸化物半導体膜108bの導電膜112a、112bと重ならない部分がエッチングされ、凹部が形成される。すなわち、第2の酸化物半導体膜108bの導電膜112a、112bと重なる領域の膜厚が $t_2-1$ となり、第2の酸化物半導体膜108bの導電膜112a、112bと重ならない領域の膜厚が $t_2-2$ となる。

20

## 【0047】

第1の酸化物半導体膜108aと第2の酸化物半導体膜108bの膜厚の関係は、 $t_2-1 > t_1 > t_2-2$ となると好ましい。このような膜厚の関係とすることによって、高い電界効果移動度を有し、且つ光照射時における、しきい値電圧の変化量が少ないトランジスタとすることが可能となる。

## 【0048】

また、トランジスタ100が有する酸化物半導体膜108は、酸素欠損が形成されるとキャリアである電子が生じ、ノーマリーオン特性になりやすい。したがって、酸化物半導体膜108中の酸素欠損、とくに第1の酸化物半導体膜108a中の酸素欠損を減らすことが、安定したトランジスタ特性を得る上でも重要となる。そこで、本発明の一態様のトランジスタの構成においては、酸化物半導体膜108上の絶縁膜、ここでは、酸化物半導体膜108上の絶縁膜114及び／又は絶縁膜116に過剰な酸素を導入することで、絶縁膜114及び／又は絶縁膜116から酸化物半導体膜108中に酸素を移動させ、酸化物半導体膜108中、とくに第1の酸化物半導体膜108a中の酸素欠損を補填することを特徴とする。

30

## 【0049】

なお、絶縁膜114、116としては、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。別言すると、絶縁膜114、116は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜114、116に酸素過剰領域を設けるには、例えば、成膜後の絶縁膜114、116に酸素を導入して、酸素過剰領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理等を用いることができる。

40

## 【0050】

また、第1の酸化物半導体膜108a中の酸素欠損を補填するためには、第2の酸化物半導体膜108bのチャネル領域近傍の膜厚を薄くした方が好適である。したがって、 $t_2-2 < t_1$ の関係を満たせばよい。例えば、第2の酸化物半導体膜108bのチャネル領域近傍の膜厚としては、好ましくは1nm以上20nm以下、さらに好ましくは、3nm

50

m以上10nm以下である。

【0051】

以下に、本実施の形態の半導体装置に含まれるその他の構成要素について、詳細に説明する。

【0052】

<基板>

基板102の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板102として用いてもよい。また、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板102として用いてもよい。なお、基板102として、ガラス基板を用いる場合、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2950mm×3400mm)等の大面積基板を用いることで、大型の表示装置を作製することができる。

10

【0053】

また、基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100を形成してもよい。または、基板102とトランジスタ100の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ100は耐熱性の劣る基板や可撓性の基板にも転載できる。

20

【0054】

<ゲート電極、ソース電極、及びドレイン電極として機能する導電膜>

ゲート電極として機能する導電膜104、及びソース電極として機能する導電膜112a、及びドレイン電極として機能する導電膜112bとしては、クロム(Cr)、銅(Cu)、アルミニウム(Al)、金(Au)、銀(Ag)、亜鉛(Zn)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)、タングステン(W)、マンガン(Mn)、ニッケル(Ni)、鉄(Fe)、コバルト(Co)から選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成することができる。

30

【0055】

また、導電膜104、112a、112bは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

40

【0056】

また、導電膜104、112a、112bには、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。

【0057】

また、導電膜104、112a、112bには、Cu-X合金膜(Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi)を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチングプロセスで加工できるため、製造コストを抑制することが

50

可能となる。

【0058】

＜ゲート絶縁膜として機能する絶縁膜＞

トランジスタ100のゲート絶縁膜として機能する絶縁膜106、107としては、プラズマ化学気相堆積（PECVD：（Plasma Enhanced Chemical Vapor Deposition））法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を、それぞれ用いることができる。なお、絶縁膜106、107の積層構造とせず、上述の材料から選択された単層の絶縁膜、または3層以上の絶縁膜を用いてもよい。

10

【0059】

また、絶縁膜106は、酸素の透過を抑制するブロッキング膜としての機能を有する。例えば、絶縁膜107、114、116及び／または酸化物半導体膜108中に過剰の酸素を供給する場合において、絶縁膜106は酸素の透過を抑制することができる。

【0060】

なお、トランジスタ100のチャネル領域として機能する酸化物半導体膜108と接する絶縁膜107は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。別言すると、絶縁膜107は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜107に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜107を形成すればよい。または、成膜後の絶縁膜107に酸素を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理等を用いることができる。

20

【0061】

また、絶縁膜107として、酸化ハフニウムを用いる場合、以下の効果を奏する。酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁膜107の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。すなわち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

30

【0062】

なお、本実施の形態では、絶縁膜106として窒化シリコン膜を形成し、絶縁膜107として酸化シリコン膜を形成する。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、酸化シリコン膜と同等の静電容量を得るのに必要な膜厚が大きい。ため、トランジスタ100のゲート絶縁膜として、窒化シリコン膜を含むことで絶縁膜を厚膜化することができる。よって、トランジスタ100の絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタ100の静電破壊を抑制することができる。

40

【0063】

＜酸化物半導体膜＞

酸化物半導体膜108としては、先に示す材料を用いることができる。酸化物半導体膜108がIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In \geq M$ 、 $Zn \geq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=2:1:3$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:4.1$ が好ましい。また、酸化物

50

半導体膜 108 が In-M-Zn 酸化物の場合、スパッタリングターゲットとしては、多結晶の In-M-Zn 酸化物を含むターゲットを用いると好ましい。多結晶の In-M-Zn 酸化物を含むターゲットを用いることで、結晶性を有する酸化物半導体膜 108 を形成しやすくなる。なお、成膜される酸化物半導体膜 108 の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス 40% の変動を含む。例えば、スパッタリングターゲットとして、原子数比が In:Ga:Zn = 4:2:4.1 を用いる場合、成膜される酸化物半導体膜 108 の原子数比は、In:Ga:Zn = 4:2:3 近傍となる場合がある。

【0064】

例えば、第 1 の酸化物半導体膜 108 a としては、上述の In:M:Zn = 2:1:3、In:M:Zn = 3:1:2、In:M:Zn = 4:2:4.1 等のスパッタリングターゲットを用いて形成すればよい。また、第 2 の酸化物半導体膜 108 b としては、上述の In:M:Zn = 1:1:1、In:M:Zn = 1:1:1.2 等を用いて形成すればよい。なお、第 2 の酸化物半導体膜 108 b に用いるスパッタリングターゲットの金属元素の原子数比としては、 $\text{In} \geq \text{M}$ 、 $\text{Zn} \geq \text{M}$  を満たす必要はなく、 $\text{In} \geq \text{M}$ 、 $\text{Zn} < \text{M}$  を満たす組成でもよい。具体的には、In:M:Zn = 1:3:2 等が挙げられる。

【0065】

また、酸化物半導体膜 108 は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ 100 のオフ電流を低減することができる。とくに、第 1 の酸化物半導体膜 108 a には、エネルギーギャップが 2 eV 以上、好ましくは 2 eV 以上 3.0 eV 以下の酸化物半導体膜を用い、第 2 の酸化物半導体膜 108 b には、エネルギーギャップが 2.5 eV 以上 3.5 eV 以下の酸化物半導体膜を用いると、好適である。また、第 1 の酸化物半導体膜 108 a よりも第 2 の酸化物半導体膜 108 b のエネルギーギャップが大きい方が好ましい。

【0066】

また、第 1 の酸化物半導体膜 108 a、及び第 2 の酸化物半導体膜 108 b の厚さは、それぞれ 3 nm 以上 200 nm 以下、好ましくは 3 nm 以上 100 nm 以下、さらに好ましくは 3 nm 以上 50 nm 以下とする。なお、先に記載の膜厚の関係を満たすと好ましい。

【0067】

また、第 2 の酸化物半導体膜 108 b としては、キャリア密度の低い酸化物半導体膜を用いる。例えば、第 2 の酸化物半導体膜 108 b は、キャリア密度が  $1 \times 10^{17}$  個/cm<sup>3</sup> 以下、好ましくは  $1 \times 10^{15}$  個/cm<sup>3</sup> 以下、さらに好ましくは  $1 \times 10^{13}$  個/cm<sup>3</sup> 以下、より好ましくは  $1 \times 10^{11}$  個/cm<sup>3</sup> 以下とする。

【0068】

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、第 1 の酸化物半導体膜 108 a、及び第 2 の酸化物半導体膜 108 b のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0069】

なお、第 1 の酸化物半導体膜 108 a、及び第 2 の酸化物半導体膜 108 b としては、それぞれ不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができ好ましい。ここでは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーモリーオンともいう。）になることが少ない。また、高純度真性または実質的に

高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長 $L$ が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が $1 \text{V}$ から $10 \text{V}$ の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。

#### 【0070】

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができる。なお、酸化物半導体膜のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

10

#### 【0071】

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体膜108は水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜108において、SIMS分析により得られる水素濃度を、 $2 \times 10^{20} \text{atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下とする。

20

#### 【0072】

また、第1の酸化物半導体膜108aは、第2の酸化物半導体膜108bよりも水素濃度が少ない部分を有すると好ましい。第1の酸化物半導体膜108aの方が、第2の酸化物半導体膜108bよりも水素濃度が少ない部分を有することにより、信頼性の高い半導体装置とすることができる。

30

#### 【0073】

また、第1酸化物半導体膜108aにおいて、第14族元素の一つであるシリコンや炭素が含まれると、第1の酸化物半導体膜108aにおいて酸素欠損が増加し、n型化してしまう。このため、第1の酸化物半導体膜108aにおけるシリコンや炭素の濃度と、第1の酸化物半導体膜108aとの界面近傍のシリコンや炭素の濃度（SIMS分析により得られる濃度）を、 $2 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{atoms/cm}^3$ 以下とする。

#### 【0074】

また、第1の酸化物半導体膜108aにおいて、SIMS分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、第1の酸化物半導体膜108aのアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

40

#### 【0075】

また、第1の酸化物半導体膜108aに窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導

50

体膜において、窒素はできる限り低減されていることが好ましい、例えば、SIMS分析により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

【0076】

また、第1の酸化物半導体膜108a、及び第2の酸化物半導体膜108bは、それぞれ非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

【0077】

<トランジスタの保護絶縁膜として機能する絶縁膜>

絶縁膜114、116は、酸化物半導体膜108に酸素を供給する機能を有する。また、絶縁膜118は、トランジスタ100の保護絶縁膜としての機能を有する。また、絶縁膜114、116は、酸素を有する。また、絶縁膜114は、酸素を透過することのできる絶縁膜である。なお、絶縁膜114は、後に形成する絶縁膜116を形成する際の、酸化物半導体膜108へのダメージ緩和膜としても機能する。

【0078】

絶縁膜114としては、厚さが5nm以上150nm以下、好ましくは5nm以上50nm以下の酸化シリコン、酸化窒化シリコン等を用いることができる。

【0079】

また、絶縁膜114は、欠陥量が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピ密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下であることが好ましい。これは、絶縁膜114に含まれる欠陥密度が多いと、該欠陥に酸素が結合してしまい、絶縁膜114における酸素の透過量が減少してしまう。

【0080】

なお、絶縁膜114においては、外部から絶縁膜114に入った酸素が全て絶縁膜114の外部に移動せず、絶縁膜114にとどまる酸素もある。また、絶縁膜114に酸素が入ると共に、絶縁膜114に含まれる酸素が絶縁膜114の外部へ移動することで、絶縁膜114において酸素の移動が生じる場合もある。絶縁膜114として酸素を透過することができる酸化物絶縁膜を形成すると、絶縁膜114上に設けられる、絶縁膜116から脱離する酸素を、絶縁膜114を介して酸化物半導体膜108に移動させることができる。

【0081】

また、絶縁膜114は、窒素酸化物に起因する準位密度が低い酸化物絶縁膜を用いて形成することができる。なお、当該窒素酸化物に起因する準位密度は、酸化物半導体膜の価電子帯の上端のエネルギー ( $E_{v\_os}$ ) と酸化物半導体膜の伝導帯の下端のエネルギー ( $E_{c\_os}$ ) の間に形成され得る場合がある。 $E_{v\_os}$  と  $E_{c\_os}$  の間に窒素酸化物の準位密度が低い上記酸化物絶縁膜として、窒素酸化物の放出量が少ない酸化窒化シリコン膜、または窒素酸化物の放出量が少ない酸化窒化アルミニウム膜等を用いることができる。

【0082】

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が $1 \times 10^{18} \text{ 個/cm}^3$ 以上 $5 \times 10^{19} \text{ 個/cm}^3$ 以下である。なお、アンモニアの放出量は、膜の表面温度が50℃以上650℃以下、好ましくは50℃以上550℃以下の加熱処理による放出量とする。

【0083】

窒素酸化物 ( $\text{NO}_x$ 、 $x$ は0以上2以下、好ましくは1以上2以下)、代表的には $\text{NO}_2$ または $\text{NO}$ は、絶縁膜114などに準位を形成する。当該準位は、酸化物半導体膜10

10

20

30

40

50

8のエネルギーギャップ内に位置する。そのため、窒素酸化物が、絶縁膜114及び酸化物半導体膜108の界面に拡散すると、当該準位が絶縁膜114側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜114及び酸化物半導体膜108界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。

【0084】

また、窒素酸化物は、加熱処理においてアンモニア及び酸素と反応する。絶縁膜114に含まれる窒素酸化物は、加熱処理において、絶縁膜116に含まれるアンモニアと反応するため、絶縁膜114に含まれる窒素酸化物が低減される。このため、絶縁膜114及び酸化物半導体膜108の界面において、電子がトラップされにくい。

10

【0085】

絶縁膜114として、上記酸化物絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0086】

なお、トランジスタの作製工程の加熱処理、代表的には300℃以上350℃未満の加熱処理により、絶縁膜114は、100K以下のESRで測定して得られたスペクトルにおいてg値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、及びg値が1.964以上1.966以下の第3のシグナルが観測される。なお、第1のシグナル及び第2のシグナルのスプリット幅、並びに第2のシグナル及び第3のシグナルのスプリット幅は、XバンドのESR測定において約5mTである。また、g値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、及びg値が1.964以上1.966以下の第3のシグナルのスピンの密度の合計が $1 \times 10^{18} \text{ spins/cm}^3$ 未満であり、代表的には $1 \times 10^{17} \text{ spins/cm}^3$ 以上 $1 \times 10^{18} \text{ spins/cm}^3$ 未満である。

20

【0087】

なお、100K以下のESRスペクトルにおいてg値が2.037以上2.039以下の第1シグナル、g値が2.001以上2.003以下の第2のシグナル、及びg値が1.964以上1.966以下の第3のシグナルは、窒素酸化物( $\text{NO}_x$ 、xは0以上2以下、好ましくは1以上2以下)起因のシグナルに相当する。窒素酸化物の代表例としては、一酸化窒素、二酸化窒素等がある。即ち、g値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、及びg値が1.964以上1.966以下の第3のシグナルのスピンの密度の合計が少ないほど、酸化物絶縁膜に含まれる窒素酸化物の含有量が少ないといえる。

30

【0088】

また、上記酸化物絶縁膜は、SIMSで測定される窒素濃度が $6 \times 10^{20} \text{ atoms/cm}^3$ 以下である。

【0089】

基板温度が220℃以上350℃以下であり、シラン及び一酸化二窒素を用いたPECVD法を用いて、上記酸化物絶縁膜を形成することで、緻密であり、且つ硬度の高い膜を形成することができる。

40

【0090】

絶縁膜116は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いて形成する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、加熱により酸素の一部が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物絶縁膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下、または100℃以上500℃以下の範囲が好ましい。

50

## 【0091】

絶縁膜116としては、厚さが30nm以上500nm以下、好ましくは50nm以上400nm以下の、酸化シリコン、酸化窒化シリコン等を用いることができる。

## 【0092】

また、絶縁膜116は、欠陥量が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピンの密度が $1.5 \times 10^{18} \text{ spins/cm}^3$ 未満、さらには $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。なお、絶縁膜116は、絶縁膜114と比較して酸化物半導体膜108から離れているため、絶縁膜114より、欠陥密度が多くともよい。

## 【0093】

また、絶縁膜114、116は、同種の材料の絶縁膜を用いることができるため、絶縁膜114と絶縁膜116の界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁膜114と絶縁膜116の界面は、破線で図示している。なお、本実施の形態においては、絶縁膜114と絶縁膜116の2層構造について説明したが、これに限定されず、例えば、絶縁膜114の単層構造としてもよい。

## 【0094】

絶縁膜118は、窒素を有する。また、絶縁膜118は、窒素及びシリコンを有する。また、絶縁膜118は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜118を設けることで、酸化物半導体膜108からの酸素の外部への拡散と、絶縁膜114、116に含まれる酸素の外部への拡散と、外部から酸化物半導体膜108への水素、水等の入り込みを防ぐことができる。絶縁膜118としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

## 【0095】

なお、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜は、スパッタリング法やPECVD法により形成することができるが、他の方法、例えば、熱CVD (Chemical Vapor Deposition) 法、またはALD (Atomic Layer Deposition) 法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法が挙げられる。

## 【0096】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

## 【0097】

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

## 【0098】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次チャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよ

10

20

30

40

50

い。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0099】

MOCVD法などの熱CVD法は、上記実施形態の導電膜、絶縁膜、酸化物半導体膜、金属酸化膜などの様々な膜を形成することができ、例えば、In-Ga-ZnO膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

10

【0100】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（TDMAH）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（ $\text{O}_3$ ）の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

20

【0101】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（TMA）など）を気化させた原料ガスと、酸化剤として $\text{H}_2\text{O}$ の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $\text{Al}(\text{CH}_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート）などがある。

30

【0102】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ $\text{O}_2$ 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【0103】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 $\text{WF}_6$ ガスと $\text{B}_2\text{H}_6$ ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 $\text{WF}_6$ ガスと $\text{H}_2$ ガスを同時に導入してタングステン膜を形成する。なお、 $\text{B}_2\text{H}_6$ ガスに代えて $\text{SiH}_4$ ガスを用いてもよい。

【0104】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-ZnO膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと $\text{O}_3$ ガスを順次繰り返し導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと $\text{O}_3$ ガスを順次繰り返し導入してGaO層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と $\text{O}_3$ ガスを順次繰り返し導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 $\text{O}_3$ ガスに変えてAr等の不活性ガスでバブリングして得られた $\text{H}_2\text{O}$ ガスを用いても良いが、Hを含まない $\text{O}_3$ ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスの代わりに、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスの代わりに、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを

40

50

用いても良い。

【0105】

<半導体装置の構成例2>

次に、図1(A)(B)(C)に示すトランジスタ100と異なる構成例について、図3(A)(B)(C)を用いて説明する。なお、先に説明した機能と同様の機能を有する場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0106】

図3(A)は、本発明の一態様の半導体装置であるトランジスタ170の上面図であり、図3(B)は、図3(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図3(C)は、図3(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

10

【0107】

トランジスタ170は、基板102上の第1のゲート電極として機能する導電膜104と、基板102及び導電膜104上の絶縁膜106と、絶縁膜106上の絶縁膜107と、絶縁膜107上の酸化物半導体膜108と、酸化物半導体膜108上の絶縁膜114と、絶縁膜114上の絶縁膜116と、酸化物半導体膜108に電氣的に接続されるソース電極として機能する導電膜112aと、酸化物半導体膜108に電氣的に接続されるドレイン電極として機能する112bと、酸化物半導体膜108上の絶縁膜114と、絶縁膜114上の絶縁膜116と、絶縁膜116上の絶縁膜118と、絶縁膜118上の導電膜120aと、絶縁膜118上の導電膜120bと、を有する。絶縁膜114、116、118は、トランジスタ170の第2のゲート絶縁膜としての機能を有する。また、導電膜120aは、絶縁膜114、116、118に設けられる開口部142cを介して、導電膜112bと電氣的に接続される。また、トランジスタ170において、導電膜120aは、例えば、表示装置に用いる画素電極としての機能を有する。また、トランジスタ170において、導電膜120bは、第2のゲート電極（バックゲート電極ともいう）として機能する。

20

【0108】

また、図3(C)に示すように導電膜120bは、絶縁膜106、107、114、116、118に設けられる開口部142a、142bにおいて、第1のゲート電極として機能する導電膜104に接続される。よって、導電膜120bと導電膜104とは、同じ電位が与えられる。

30

【0109】

なお、本実施の形態においては、開口部142a、142bを設け、導電膜120bと導電膜104を接続する構成について例示したが、これに限定されない。例えば、開口部142aまたは開口部142bのいずれか一方の開口部のみを形成し、導電膜120bと導電膜104を接続する構成、または開口部142a及び開口部142bを設けずに、導電膜120bと導電膜104を接続しない構成としてもよい。なお、導電膜120bと導電膜104を接続しない構成の場合、導電膜120bと導電膜104には、それぞれ異なる電位を与えることができる。

【0110】

また、図3(B)に示すように、酸化物半導体膜108は、ゲート電極として機能する導電膜104と、第2のゲート電極として機能する導電膜120bのそれぞれと対向するように位置し、2つのゲート電極として機能する導電膜に挟まれている。第2のゲート電極として機能する導電膜120bのチャンネル長方向の長さ及びチャンネル幅方向の長さは、酸化物半導体膜108のチャンネル長方向の長さ及びチャンネル幅方向の長さよりもそれぞれ長く、酸化物半導体膜108の全体は、絶縁膜114、116、118を介して導電膜120bに覆われている。また、第2のゲート電極として機能する導電膜120bとゲート電極として機能する導電膜104とは、絶縁膜106、107、114、116、118に設けられる開口部142a、142bにおいて接続されるため、酸化物半導体膜108のチャンネル幅方向の側面は、絶縁膜114、116、118を介して第2のゲート電極と

40

50

して機能する導電膜120bと対向している。

【0111】

別言すると、トランジスタ170のチャネル幅方向において、ゲート電極として機能する導電膜104及び第2のゲート電極として機能する導電膜120bは、ゲート絶縁膜として機能する絶縁膜106、107及び第2のゲート絶縁膜として機能する絶縁膜114、116、118に設けられる開口部において接続すると共に、ゲート絶縁膜として機能する絶縁膜106、107及び第2のゲート絶縁膜として機能する絶縁膜114、116、118を介して酸化物半導体膜108を囲む構成である。

【0112】

このような構成を有することで、トランジスタ170に含まれる酸化物半導体膜108を、ゲート電極として機能する導電膜104及び第2のゲート電極として機能する導電膜120bの電界によって電氣的に囲むことができる。トランジスタ170のように、ゲート電極及び第2のゲート電極の電界によって、チャネル領域が形成される酸化物半導体膜を電氣的に囲むトランジスタのデバイス構造をsurrounded channel (s-channel) 構造と呼ぶことができる。

【0113】

トランジスタ170は、s-channel構造を有するため、ゲート電極として機能する導電膜104によってチャネルを誘起させるための電界を効果的に酸化物半導体膜108に印加することができるため、トランジスタ170の電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタ170を微細化することが可能となる。また、トランジスタ170は、ゲート電極として機能する導電膜104及び第2のゲート電極として機能する導電膜120bによって囲まれた構成を有するため、トランジスタ170の機械的強度を高めることができる。

【0114】

トランジスタ170のその他の構成については、先に示すトランジスタ100と同様であり、同様の効果を奏する。

【0115】

また、本実施の形態に係るトランジスタは、上記の構造のそれぞれを自由に組み合わせることが可能である。例えば、図1に示すトランジスタ100を表示装置の画素のトランジスタに用い、図3に示すトランジスタ170を表示装置のゲートドライバのトランジスタに用いることができる。

【0116】

<半導体装置の作製方法1>

次に、本発明の一態様の半導体装置であるトランジスタ100の作製方法について、図4乃至図6を用いて以下詳細に説明する。なお、図4乃至図6は、半導体装置の作製方法を説明する断面図である。

【0117】

なお、トランジスタ100を構成する膜（絶縁膜、酸化物半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD）法、真空蒸着法、パルスレーザ堆積（PLD）法を用いて形成することができる。あるいは、塗布法や印刷法で形成することができる。成膜方法としては、スパッタリング法、プラズマ化学気相堆積（PECVD）法が代表的であるが、熱CVD法またはALD（原子層成膜）法でもよい。熱CVD法の例として、MOCVD（有機金属化学堆積）法が挙げられる。

【0118】

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行う。このように、熱CVD法は、プラズマを発生させない成膜方法であるため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0119】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行う。例えば、それぞれのスイッチングバルブ（高速バルブともよぶ。）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。

10

#### 【0120】

このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なトランジスタを作製する場合に適している。

#### 【0121】

まず、基板102上に導電膜を形成し、該導電膜をリソグラフィ工程及びエッチング工程を行い加工して、ゲート電極として機能する導電膜104を形成する。次に、導電膜104上にゲート絶縁膜として機能する絶縁膜106、107を形成する（図4（A）参照）。

20

#### 【0122】

ゲート電極として機能する導電膜104は、スパッタリング法、化学気相堆積（CVD）法、真空蒸着法、パルスレーザ堆積（PLD）法、を用いて形成することができる。または、塗布法や印刷法で形成することができる。成膜方法としては、スパッタリング法、プラズマ化学気相堆積（PECVD）法が代表的であるが、先に説明した有機金属化学気相堆積（MOCVD）法等の熱CVD法、又は原子層堆積（ALD）法を用いてもよい。

#### 【0123】

本実施の形態では、基板102としてガラス基板を用い、ゲート電極として機能する導電膜104として厚さ100nmのタングステン膜をスパッタリング法で形成する。

30

#### 【0124】

ゲート絶縁膜として機能する絶縁膜106、107は、スパッタリング法、PECVD法、熱CVD法、真空蒸着法、PLD法等を用いて形成することができる。本実施の形態では、PECVD法により、絶縁膜106として厚さ400nmの窒化シリコン膜を形成し、絶縁膜107として厚さ50nmの酸化窒化シリコン膜を形成する。

#### 【0125】

なお、絶縁膜106としては、窒化シリコン膜の積層構造とすることができる。具体的には、絶縁膜106を、第1の窒化シリコン膜と、第2の窒化シリコン膜と、第3の窒化シリコン膜との3層積層構造とすることができる。該3層積層構造の一例としては、以下のように形成することができる。

40

#### 【0126】

第1の窒化シリコン膜としては、例えば、流量200sccmのシラン、流量2000sccmの窒素、及び流量100sccmのアンモニアガスを原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが50nmとなるように形成すればよい。

#### 【0127】

第2の窒化シリコン膜としては、流量200sccmのシラン、流量2000sccmの窒素、及び流量2000sccmのアンモニアガスを原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源

50

を用いて2000Wの電力を供給して、厚さが300nmとなるように形成すればよい。

【0128】

第3の窒化シリコン膜としては、流量200sccmのシラン、及び流量5000sccmの窒素を原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが50nmとなるように形成すればよい。

【0129】

なお、上記第1の窒化シリコン膜、第2の窒化シリコン膜、及び第3の窒化シリコン膜形成時の基板温度は350℃以下とすることができる。

【0130】

絶縁膜106を、窒化シリコン膜の3層の積層構造とすることで、例えば、導電膜104に銅(Cu)を含む導電膜を用いる場合において、以下の効果を奏する。

【0131】

第1の窒化シリコン膜は、導電膜104からの銅(Cu)元素の拡散を抑制することができる。第2の窒化シリコン膜は、水素を放出する機能を有し、ゲート絶縁膜として機能する絶縁膜の耐圧を向上させることができる。第3の窒化シリコン膜は、第3の窒化シリコン膜からの水素放出が少なく、且つ第2の窒化シリコン膜からの放出される水素の拡散を抑制することができる。

【0132】

絶縁膜107としては、後に形成される酸化物半導体膜108（より具体的には、第1の酸化物半導体膜108a）との界面特性を向上させるため、酸素を含む絶縁膜で形成されると好ましい。

【0133】

次に、絶縁膜107上に、第1の酸化物半導体膜108aを形成する。その後、第1の酸化物半導体膜108a上に、第2の酸化物半導体膜108bを形成する（図4（B）参照）。

【0134】

本実施の形態では、In-Ga-Zn金属酸化物ターゲット（In：Ga：Zn=3：1：2（原子数比））を用いて、スパッタリング法により第1の酸化物半導体膜を成膜し、その後真空中で連続して、In-Ga-Zn金属酸化物ターゲット（In：Ga：Zn=1：1：1.2（原子数比））を用いて、スパッタリング法により第2の酸化物半導体膜を成膜することで、積層の酸化物半導体膜を形成する。次に、該先層の酸化物半導体膜上にリソグラフィ工程によりマスクを形成し、該積層の酸化物半導体膜を所望の領域に加工することで島状の酸化物半導体膜108を形成する。

【0135】

なお、スパッタリング法で酸化物半導体膜108を形成する場合、スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が-40℃以下、好ましくは-80℃以下、より好ましくは-100℃以下、より好ましくは-120℃以下にまで高純度化したガスを用いることで酸化物半導体膜108に水分等が取り込まれることを可能な限り防ぐことができる。

【0136】

また、スパッタリング法で酸化物半導体膜108を形成する場合、スパッタリング装置におけるチャンバーは、酸化物半導体膜108にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空（ $1 \times 10^{-4}$  Paから $5 \times 10^{-7}$  Pa程度まで）排気することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

【0137】

10

20

30

40

50

次に、絶縁膜 107 及び酸化物半導体膜 108 a 上にソース電極及びドレイン電極として機能する導電膜 112 を形成する（図 4（C）参照）。

【0138】

本実施の形態では、導電膜 112 として、厚さ 50 nm のタングステン膜と、厚さ 400 nm のアルミニウム膜とが順に積層された積層膜をスパッタリング法により成膜する。なお、本実施の形態においては、導電膜 112 の 2 層の積層構造としたが、これに限定されない。例えば、導電膜 112 として、厚さ 50 nm のタングステン膜と、厚さ 400 nm のアルミニウム膜と、厚さ 100 nm のチタン膜とが順に積層された 3 層の積層構造としてもよい。

【0139】

次に、導電膜 112 上の所望の領域にマスク 140 a、140 b を形成する（図 4（D）参照）。

【0140】

本実施の形態においては、マスク 140 a、140 b としては、感光性の樹脂膜を塗布し、該感光性の樹脂膜をリソグラフィ工程によりパターンニングすることで形成する。

【0141】

次に、導電膜 112、及びマスク 140 a、140 b 上からエッチングガス 138 を用いて、導電膜 112 及び第 2 の酸化物半導体膜 108 b を加工する（図 5（A）参照）。

【0142】

本実施の形態においては、ドライエッチング装置を用い、導電膜 112、及び第 2 の酸化物半導体膜 108 b を加工する。ただし、導電膜 112 の形成方法としては、これに限定されず、例えば、エッチングガス 138 に薬液を用いることで、ウエットエッチング装置を用いて、導電膜 112、及び第 2 の酸化物半導体膜 108 b を加工してもよい。ただし、ウエットエッチング装置を用いて、導電膜 112、及び第 2 の酸化物半導体膜 108 b を加工するよりも、ドライエッチング装置を用いて導電膜 112、及び第 2 の酸化物半導体膜 108 b を加工した方が、より微細なパターンを形成することができるため、好適である。

【0143】

次に、マスク 140 a、140 b を除去することで、第 2 の酸化物半導体膜 108 b 上のソース電極として機能する導電膜 112 a と、第 2 の酸化物半導体膜 108 b 上のドレイン電極として機能する導電膜 112 b と、が形成される。また、酸化物半導体膜 108 は、第 1 の酸化物半導体膜 108 a と、第 2 の酸化物半導体膜 108 b との積層構造となる（図 5（B）参照）。

【0144】

また、第 2 の酸化物半導体膜 108 b、及び導電膜 112 a、112 b 上から、薬液を塗布し、第 2 の酸化物半導体膜 108 b の表面（バックチャネル側）を洗浄してもよい。該洗浄の方法としては、例えば、リン酸等の薬液を用いた洗浄が挙げられる。リン酸等の薬液を用いて洗浄を行うことで、第 2 の酸化物半導体膜 108 b の表面に付着した不純物（例えば、導電膜 112 a、112 b に含まれる元素等）を除去することができる。なお、該洗浄は、必ずしも行う必要はなく、場合によっては、洗浄を行わなくてもよい。

【0145】

また、導電膜 112 a、112 b の形成時、及び／または上記洗浄工程において、第 2 の酸化物半導体膜 108 b は、第 1 の酸化物半導体膜 108 a よりも膜厚の薄い第 2 の領域が形成される。

【0146】

次に、酸化物半導体膜 108、及び導電膜 112 a、112 b 上に絶縁膜 114、116 を形成する（図 5（C）参照）。

【0147】

なお、絶縁膜 114 を形成した後、大気に曝すことなく、連続的に絶縁膜 116 を形成することが好ましい。絶縁膜 114 を形成後、大気開放せず、原料ガスの流量、圧力、高

10

20

30

40

50

周波電力及び基板温度の一以上を調整して、絶縁膜 116 を連続的に形成することで、絶縁膜 114 と絶縁膜 116 の界面において大気成分由来の不純物濃度を低減することができるとともに、絶縁膜 114、116 に含まれる酸素を酸化物半導体膜 108 に移動させることが可能となり、酸化物半導体膜 108 の酸素欠損量を低減することが可能となる。

#### 【0148】

例えば、絶縁膜 114 として、PECVD 法を用いて、酸化窒化シリコン膜を形成することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、一酸化二窒素、二酸化窒素等がある。また、上記の堆積性気体に対する酸化性気体を 20 倍より大きく 100 倍未満、好ましくは 40 倍以上 80 倍以下とし、処理室内の圧力を 100 Pa 未満、好ましくは 50 Pa 以下とする PECVD 法を用いることで、絶縁膜 114 が、窒素を含み、且つ欠陥量の少ない絶縁膜となる。

#### 【0149】

本実施の形態においては、絶縁膜 114 として、基板 102 を保持する温度を 220℃ とし、流量 50 sccm のシラン及び流量 2000 sccm の一酸化二窒素を原料ガスとし、処理室内の圧力を 20 Pa とし、平行平板電極に供給する高周波電力を 13.56 MHz、100 W（電力密度としては  $1.6 \times 10^{-2} \text{ W/cm}^2$ ）とする PECVD 法を用いて、酸化窒化シリコン膜を形成する。

#### 【0150】

絶縁膜 116 としては、PECVD 装置の真空排気された処理室内に載置された基板を 180℃ 以上 350℃ 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 100 Pa 以上 250 Pa 以下、さらに好ましくは 100 Pa 以上 200 Pa 以下とし、処理室内に設けられる電極に  $0.17 \text{ W/cm}^2$  以上  $0.5 \text{ W/cm}^2$  以下、さらに好ましくは  $0.25 \text{ W/cm}^2$  以上  $0.35 \text{ W/cm}^2$  以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

#### 【0151】

絶縁膜 116 の成膜条件として、上記圧力の反応室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜 116 中における酸素含有量が化学量論的組成よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱いため、後の工程の加熱処理により膜中の酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化物絶縁膜を形成することができる。

#### 【0152】

また、絶縁膜 116 を形成する工程は、PECVD 装置にて 180℃ 以上 350℃ 以下の温度で実施され、トランジスタ 100 の作製工程中において、絶縁膜 116 を形成する工程の温度が最も高くなると好ましい。例えば、絶縁膜 116 を形成する温度を 350℃ で実施することで、トランジスタ 100 を直接フレキシブル基板等への形成が可能となる。

#### 【0153】

なお、絶縁膜 116 の形成工程において、絶縁膜 114 が酸化物半導体膜 108 の保護膜となる。したがって、酸化物半導体膜 108 へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁膜 116 を形成することができる。

#### 【0154】

なお、絶縁膜 116 の成膜条件において、酸化性気体に対するシリコンを含む堆積性気体の流量を増加することで、絶縁膜 116 の欠陥量を低減することが可能である。代表的には、ESR 測定により、シリコンのダングリングボンドに由来する  $g = 2.001$  に現れる信号のスピン密度が  $6 \times 10^{17} \text{ spins/cm}^3$  未満、好ましくは  $3 \times 10^{17} \text{ spins/cm}^3$  以下、好ましくは  $1.5 \times 10^{17} \text{ spins/cm}^3$  以下である欠

10

20

30

40

50

陥量の少ない酸化物絶縁層を形成することができる。この結果トランジスタの信頼性を高めることができる。

【0155】

また、絶縁膜114、116を形成した後、加熱処理を行ってもよい。該加熱処理により、絶縁膜114、116に含まれる窒素酸化物を低減することができる。また、上記加熱処理により、絶縁膜114、116に含まれる酸素の一部を酸化物半導体膜108に移動させ、酸化物半導体膜108に含まれる酸素欠損量を低減することができる。

【0156】

絶縁膜114、116への加熱処理の温度は、代表的には、150℃以上350℃以下、以下とする。加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい。該加熱処理には、電気炉、RTA装置等を用いることができる。

【0157】

本実施の形態では、窒素雰囲気、350℃、1時間の加熱処理を行う。なお、トランジスタ100を形成する工程において、絶縁膜116を形成する温度が最も高くなればよく、絶縁膜116の形成する温度と同等の温度の加熱処理を異なる工程で行ってもよい。

【0158】

次に、絶縁膜116上に酸化物導電膜131を形成する（図5（D）参照）。

【0159】

酸化物導電膜131は、酸素と、金属（インジウム、亜鉛、チタン、アルミニウム、タングステン、タンタル、またはモリブデンの中から選ばれる少なくとも1以上）と、を有する。

【0160】

酸化物導電膜131の一例としては、酸化窒化タンタル膜、酸化チタン膜、インジウム錫酸化物（以下ITOともいう）膜、酸化アルミニウム膜、酸化物半導体膜（例えば、IGZO膜（In:Ga:Zn=1:4:5（原子数比））等）を用いることができる。また、酸化物導電膜131としては、スパッタリング法を用いて形成することができる。また、酸化物導電膜131の厚さとしては、1nm以上20nm以下、または2nm以上10nm以下とすると好ましい。本実施の形態では、酸化物導電膜131として、厚さ5nmの酸化シリコンを添加したインジウム錫酸化物（以下ITOSと呼ぶ）を用いる。

【0161】

次に、酸化物導電膜131を介して絶縁膜114、116及び酸化物半導体膜108に酸素139を添加する（図6（A）参照）。

【0162】

酸化物導電膜131を介して絶縁膜114、116及び酸化物半導体膜108に酸素139を添加する方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等がある。また、酸素139を添加する際に、基板側にバイアスを印加することで効果的に酸素139を絶縁膜114、116及び酸化物半導体膜108に添加することができる。上記バイアスとしては、例えば、電力密度を1W/cm<sup>2</sup>以上5W/cm<sup>2</sup>以下とすればよい。絶縁膜116上に酸化物導電膜131を設けて酸素を添加することで、酸化物導電膜131が絶縁膜116から酸素が脱離することを抑制する保護膜として機能する。このため、絶縁膜114、116及び酸化物半導体膜108により多くの酸素を添加することができる。

【0163】

次に、エッチャント142により、酸化物導電膜131を除去する（図6（B）参照）。

【0164】

酸化物導電膜131の除去方法としては、ドライエッチング法、ウェットエッチング法

10

20

30

40

50

、またはドライエッチング法とウエットエッチング法を組み合わせる方法等が挙げられる。なお、ドライエッチング法の場合には、エッチャント 142 は、エッチングガスであり、ウエットエッチング法の場合には、エッチャント 142 は、薬液である。本実施の形態においては、ウエットエッチング法を用いて、酸化物導電膜 131 を除去する。

【0165】

次に、絶縁膜 116 上に絶縁膜 118 を形成する（図 6（C）参照）。

【0166】

なお、絶縁膜 118 の形成前、または絶縁膜 118 の形成後に加熱処理を行って、絶縁膜 114、116 に含まれる過剰酸素を酸化物半導体膜 108 中に拡散させ、酸化物半導体膜 108 中の酸素欠損を補填することができる。あるいは、絶縁膜 118 を加熱成膜とすることで、絶縁膜 114、116 に含まれる過剰酸素を酸化物半導体膜 108 中に拡散させ、酸化物半導体膜 108 中の酸素欠損を補填することができる。

10

【0167】

絶縁膜 118 を PECVD 法で形成する場合、基板温度は 180℃以上 350℃以下にすることで、緻密な膜を形成できるため好ましい。

【0168】

例えば、絶縁膜 118 として PECVD 法により窒化シリコン膜を形成する場合、シリコンを含む堆積性気体、窒素、及びアンモニアを原料ガスとして用いることが好ましい。窒素と比較して少量のアンモニアを用いることで、プラズマ中でアンモニアが解離し、活性種が発生する。該活性種が、シリコンを含む堆積性気体に含まれるシリコン及び水素の結合、及び窒素の三重結合を切断する。この結果、シリコン及び窒素の結合が促進され、シリコン及び水素の結合が少なく、欠陥が少なく、緻密な窒化シリコン膜を形成することができる。一方、窒素に対するアンモニアの量が多いと、シリコンを含む堆積性気体及び窒素の分解が進まず、シリコン及び水素結合が残存してしまい、欠陥が増大した、且つ粗な窒化シリコン膜が形成されてしまう。これらのため、原料ガスにおいて、アンモニアに対する窒素の流量比を 5 以上 50 以下、10 以上 50 以下とすることが好ましい。

20

【0169】

本実施の形態においては、絶縁膜 118 として、PECVD 装置を用いて、シラン、窒素、及びアンモニアの原料ガスから、厚さ 50 nm の窒化シリコン膜を形成する。流量は、シランが 50 sccm、窒素が 5000 sccm であり、アンモニアが 100 sccm である。処理室の圧力を 100 Pa、基板温度を 350℃とし、27.12 MHz の高周波電源を用いて 1000 W の高周波電力を平行平板電極に供給する。PECVD 装置は電極面積が 6000 cm<sup>2</sup> である平行平板型の PECVD 装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると 1.7×10<sup>-1</sup> W/cm<sup>2</sup> である。

30

【0170】

以上の工程で図 1 に示すトランジスタ 100 を形成することができる。

【0171】

<半導体装置の作製方法 2>

次に、本発明の一態様であるトランジスタ 170 の作製方法について、図 7 を用いて以下詳細に説明する。なお、図 7 は、半導体装置の作製方法を説明する断面図である。また、図 7（A）（C）（E）（G）は、トランジスタ 170 の作製途中のチャネル長方向の断面図であり、図 7（B）（D）（F）（H）は、トランジスタ 170 の作製途中のチャネル幅方向の断面図である。

40

【0172】

まず、先に示すトランジスタ 100 の作製方法と同様の工程（図 4 乃至図 6 に示す工程）を行い、基板 102 上に導電膜 104、絶縁膜 106、107、酸化物半導体膜 108、導電膜 112a、112b、及び絶縁膜 114、116、118 を形成する（図 7（A）（B）参照）。

【0173】

次に、絶縁膜 118 上にリソグラフィ工程によりマスクを形成し、絶縁膜 114、11

50

6、118の所望の領域に開口部142cを形成する。また、絶縁膜118上にリソグラフィ工程によりマスクを形成し、絶縁膜106、107、114、116、118の所望の領域に開口部142a、142bを形成する。なお、開口部142cは、導電膜112bに達するように形成される。また、開口部142a、142bは、それぞれ導電膜104に達するように形成される（図7（C）（D）参照）。

【0174】

なお、開口部142a、142bと開口部142cは、同じ工程で形成してもよく、異なる工程で形成してもよい。開口部142a、142bと開口部142cを同じ工程で形成する場合、例えば、グレートーンマスクまたはハーフトーンマスクを用いて形成することができる。また、開口部142a、142bを複数回に分けて形成してもよい。例えば、絶縁膜106、107を加工し、その後、絶縁膜114、116、118を加工する。

10

【0175】

次に、開口部142a、142b、142cを覆うように絶縁膜118上に導電膜120を形成する（図7（E）（F）参照）。

【0176】

導電膜120としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）の中から選ばれた一種を含む材料を用いることができる。とくに、導電膜120としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物（ITSO）などの透光性を有する導電性材料を用いることができる。また、導電膜120としては、例えば、スパッタリング法を用いて形成することができる。本実施の形態においては、膜厚110nmのITSO膜をスパッタリング法で形成する。

20

【0177】

次に、導電膜120上にリソグラフィ工程によりマスクを形成し、導電膜112を所望の形状に加工することで、導電膜120a、120bを形成する（図7（G）（H）参照）。

【0178】

導電膜120a、120bの形成方法については、ドライエッチング法、ウエットエッチング法、またはドライエッチング法とウエットエッチング法を組み合わせる方法等が挙げられる。本実施の形態においては、ウエットエッチング法を用いて、導電膜120を導電膜120a、120bへと加工する。

30

【0179】

以上の工程で図3に示すトランジスタ170を作製することができる。

【0180】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせる用いることができる。

【0181】

（実施の形態2）

本実施の形態では、本発明の一態様の半導体装置に含まれる酸化物半導体の構造について、詳細に説明を行う。

40

【0182】

<酸化物半導体の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）、多結晶酸化物半導体、nc-OS（nanocrystalline Oxide Semiconductor）、擬似非晶質酸化物半導体（a-like OS：amorphous like Oxide Semiconductor）、非晶質酸化物半導体などがある。

【0183】

50

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

【0184】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

【0185】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質（completely amorphous）酸化物半導体と呼ぶことはできない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆（ボイドともいう。）を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

【0186】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0187】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

【0188】

透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0189】

以下では、TEMによって観察したCAAC-OSについて説明する。図34（A）に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

【0190】

図34（A）の領域（1）を拡大したCs補正高分解能TEM像を図34（B）に示す。図34（B）より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0191】

図34（B）に示すように、CAAC-OSは特徴的な原子配列を有する。図34（C）は、特徴的な原子配列を、補助線で示したものである。図34（B）および図34（C）より、ペレット一つの大きさは1nm以上のものや、3nm以上のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc：nanocrystal）と呼ぶこともできる。また、CAAC-OSを、CANAC（C-Axis Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0192】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OSのペレ

10

20

30

40

50

ット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図34(D)参照。)。図34(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図34(D)に示す領域5161に相当する。

【0193】

また、図35(A)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図35(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図35(B)、図35(C)および図35(D)に示す。図35(B)、図35(C)および図35(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

10

【0194】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-OSについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図36(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の(009)面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0195】

なお、CAAC-OSのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-OSは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

20

【0196】

一方、CAAC-OSに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO<sub>4</sub>の結晶の(110)面に帰属される。CAAC-OSの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(φ軸)として試料を回転させながら分析(φスキャン)を行っても、図36(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO<sub>4</sub>の単結晶酸化物半導体であれば、2θを56°近傍に固定してφスキャンした場合、図36(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

30

【0197】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-OSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図37(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO<sub>4</sub>の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図37(B)に示す。図37(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図37(B)における第1リングは、InGaZnO<sub>4</sub>の結晶の(010)面および(100)面などに起因すると考えられる。また、図37(B)における第2リングは(110)面などに起因すると考えられる。

40

【0198】

上述したように、CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をす

50

ると C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0199】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0200】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0201】

不純物および酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0202】

< n c - O S >

次に、n c - O S について説明する。

【0203】

n c - O S は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 n m 以上 1 0 n m 以下、または 1 n m 以上の大きさであることが多い。なお、結晶部の大きさが 1 0 n m より大きく 1 0 0 n m 以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。n c - O S は、例えば、高分解能 T E M 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

【0204】

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径の X 線を用いた場合、o u t - o f - p l a n e 法による解析では、結晶面を示すピークは検出されない。また、n c - O S に対し、ペレットよりも大きいプローブ径（例えば 5 0 n m 以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S に対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O S に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

【0205】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c - O S を、R A N C ( R a n d o m A l i g n e d n a n o c r y s t a l s ) を有する酸化物半導体、または N A N C ( N o n - A l i g n e d n a n o c r y s t a l s ) を有する酸化物半導体と呼ぶこともできる。

【0206】

$nc-OS$ は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、 $nc-OS$ は、 $a-like OS$ や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、 $nc-OS$ は、異なるペレット間で結晶方位に規則性が見られない。そのため、 $nc-OS$ は、 $CAAC-OS$ と比べて欠陥準位密度が高くなる。

【0207】

< $a-like OS$ >

$a-like OS$ は、 $nc-OS$ と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0208】

$a-like OS$ は、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0209】

鬆を有するため、 $a-like OS$ は、不安定な構造である。以下では、 $a-like OS$ が、 $CAAC-OS$ および $nc-OS$ と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0210】

電子照射を行う試料として、 $a-like OS$ （試料Aと表記する。）、 $nc-OS$ （試料Bと表記する。）および $CAAC-OS$ （試料Cと表記する。）を準備する。いずれの試料も $In-Ga-Zn$ 酸化物である。

【0211】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0212】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、 $InGaZnO_4$ の結晶の単位格子は、 $In-O$ 層を3層有し、また $Ga-Zn-O$ 層を6層有する、計9層が $c$ 軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、 $(009)$ 面の格子面間隔（ $d$ 値ともいう。）と同程度であり、結晶構造解析からその値は $0.29\text{ nm}$ と求められている。したがって、格子縞の間隔が $0.28\text{ nm}$ 以上 $0.30\text{ nm}$ 以下である箇所を、 $InGaZnO_4$ の結晶部と見なすことができる。なお、格子縞は、 $InGaZnO_4$ の結晶の $a-b$ 面に対応する。

【0213】

図38は、各試料の結晶部（22箇所から45箇所）の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図38より、 $a-like OS$ は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図38中に（1）で示すように、TEMによる観察初期においては $1.2\text{ nm}$ 程度の大きさだった結晶部（初期核ともいう。）が、累積照射量が $4.2 \times 10^8\text{ e}^-/\text{nm}^2$ においては $2.6\text{ nm}$ 程度の大きさまで成長していることがわかる。一方、 $nc-OS$ および $CAAC-OS$ は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8\text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図38中の（2）および（3）で示すように、電子の累積照射量によらず、 $nc-OS$ および $CAAC-OS$ の結晶部の大きさは、それぞれ $1.4\text{ nm}$ 程度および $2.1\text{ nm}$ 程度であることがわかる。

【0214】

このように、 $a-like OS$ は、電子照射によって結晶部の成長が見られる場合がある。一方、 $nc-OS$ および $CAAC-OS$ は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、 $a-like OS$ は、 $nc-OS$ および $CAAC-OS$ と比べて、不安定な構造であることがわかる。

【0215】

また、鬆を有するため、 $a-like OS$ は、 $nc-OS$ および $CAAC-OS$ と比

べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0216】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶  $\text{InGaZnO}_4$  の密度は  $6.357 \text{ g/cm}^3$  となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [原子数比] を満たす酸化物半導体において、*a-like OS* の密度は  $5.0 \text{ g/cm}^3$  以上  $5.9 \text{ g/cm}^3$  未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [原子数比] を満たす酸化物半導体において、*nc-OS* の密度および *CAAC-OS* の密度は  $5.9 \text{ g/cm}^3$  以上  $6.3 \text{ g/cm}^3$  未満となる。

10

【0217】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0218】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAAC-OS* のうち、二種以上を有する積層膜であってもよい。

20

【0219】

<成膜モデル>

以下では、*CAAC-OS* および *nc-OS* の成膜モデルの一例について説明する。

【0220】

図39(A)は、スパッタリング法により *CAAC-OS* が成膜される様子を示した成膜室内の模式図である。

【0221】

ターゲット5130は、バックングプレートに接着されている。バックングプレートを介してターゲット5130と向かい合う位置には、複数のマグネットが配置される。該複数のマグネットによって磁場が生じている。マグネットの配置や構成などについては、上述した成膜室の記載を参照する。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

30

【0222】

ターゲット5130は、多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。

【0223】

一例として、 $\text{In-Ga-Zn}$  酸化物を有するターゲット5130の劈開面について説明する。図40(A)に、ターゲット5130に含まれる  $\text{InGaZnO}_4$  の結晶の構造を示す。なお、図40(A)は、*c* 軸を上向きとし、*b* 軸に平行な方向から  $\text{InGaZnO}_4$  の結晶を観察した場合の構造である。

40

【0224】

図40(A)より、近接する二つの  $\text{Ga-Zn-O}$  層において、それぞれの層における酸素原子同士が近距離に配置されていることがわかる。そして、酸素原子が負の電荷を有することにより、近接する二つの  $\text{Ga-Zn-O}$  層は互いに反発する。その結果、 $\text{InGaZnO}_4$  の結晶は、近接する二つの  $\text{Ga-Zn-O}$  層の間に劈開面を有する。

【0225】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離 *d* (ターゲット-基板間距離 (T-S間距離) ともいう。) は  $0.01 \text{ m}$  以上  $1 \text{ m}$  以下、好ましくは  $0.02 \text{ m}$  以上  $0.5 \text{ m}$  以下とする。成膜室内は、ほとんどが成膜ガス (例えば、

50

酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス)で満たされ、0.01 Pa以上100 Pa以下、好ましくは0.1 Pa以上10 Pa以下に制御される。ここで、ターゲット5130に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット5130の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5101が生じる。イオン5101は、例えば、酸素の陽イオン( $O^+$ )やアルゴンの陽イオン( $Ar^+$ )などである。

#### 【0226】

イオン5101は、電界によってターゲット5130側に加速され、やがてターゲット5130と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5100aおよびペレット5100bが剥離し、叩き出される。なお、ペレット5100aおよびペレット5100bは、イオン5101の衝突の衝撃によって、構造に歪みが生じる場合がある。

10

#### 【0227】

ペレット5100aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット5100bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット5100aおよびペレット5100bなどの平板状またはペレット状のスパッタ粒子を総称してペレット5100と呼ぶ。ペレット5100の平面の形状は、三角形、六角形に限定されない、例えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形(例えば、正三角形)が2個合わさった四角形(例えば、ひし形)となる場合もある。

20

#### 【0228】

ペレット5100は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット5100の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。例えば、ペレット5100は、厚さを0.4 nm以上1 nm以下、好ましくは0.6 nm以上0.8 nm以下とする。また、例えば、ペレット5100は、幅を1 nm以上とする。ペレット5100は、上述の図38中の(1)で説明した初期核に相当する。例えば、In-Ga-Zn酸化物を有するターゲット5130にイオン5101を衝突させる場合、図40(B)に示すように、Ga-Zn-O層、In-O層およびGa-Zn-O層の3層を有するペレット5100が飛び出してくる。なお、図40(C)は、ペレット5100をc軸に平行な方向から観察した場合の構造である。したがって、ペレット5100は、二つのGa-Zn-O層(パン)と、In-O層(具)と、を有するナノサイズのサンドイッチ構造と呼ぶこともできる。

30

#### 【0229】

ペレット5100は、プラズマを通過する際に電荷を受け取ることで、側面が負または正に帯電する場合がある。ペレット5100は、側面に酸素原子を有し、当該酸素原子が負に帯電する可能性がある。このように、側面が同じ極性の電荷を帯びることにより、電荷同士の反発が起こり、平板状の形状を維持することが可能となる。なお、CAAC-Osが、In-Ga-Zn酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。また、ペレット5100は、プラズマを通過する際にインジウム原子、ガリウム原子、亜鉛原子および酸素原子などと結合することで成長する場合がある。これは、上述の図38中の(2)と(1)の大きさの違いに相当する。ここで、基板5120が室温程度である場合、ペレット5100がこれ以上成長しないためnc-Osとなる(図39(B)参照。)。成膜可能な温度が室温程度であることから、基板5120が大面積である場合でもnc-Osの成膜は可能である。なお、ペレット5100をプラズマ中で成長させるためには、スパッタリング法における成膜電力を高くすることが有効である。成膜電力を高くすることで、ペレット5100の構造を安定にすることができる。

40

50

## 【0230】

図39(A)および図39(B)に示すように、例えば、ペレット5100は、プラズマ中を風のようにはばたき、ひらひらと基板5120上まで舞い上がっていく。ペレット5100は電荷を帯びているため、ほかのペレット5100が既に堆積している領域が近づく、斥力が生じる。ここで、基板5120の上面では、基板5120の上面に平行な向きの磁場（水平磁場ともいう。）が生じている。また、基板5120およびターゲット5130間には、電位差が与えられているため、基板5120からターゲット5130に向けて電流が流れている。したがって、ペレット5100は、基板5120の上面において、磁場および電流の作用によって、力（ローレンツ力）を受ける。このことは、フレミングの左手の法則によって理解できる。

10

## 【0231】

ペレット5100は、原子一つと比べると質量が大きい。そのため、基板5120の上面を移動するためには何らかの力を外部から印加することが重要となる。その力の一つが磁場および電流の作用で生じる力である可能性がある。なお、ペレット5100に与える力を大きくするためには、基板5120の上面において、基板5120の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板5120の上面において、基板5120の上面に平行な向きの磁場が、基板5120の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上、より好ましくは5倍以上となる領域を設けるとよい。

20

## 【0232】

このとき、マグネットユニットまたは／および基板5120が相対的に移動すること、または回転することによって、基板5120の上面における水平磁場の向きは変化し続ける。したがって、基板5120の上面において、ペレット5100は、様々な方向への力を受け、様々な方向へ移動することができる。

## 【0233】

また、図39(A)に示すように基板5120が加熱されている場合、ペレット5100と基板5120との間で摩擦などによる抵抗が小さい状態となっている。その結果、ペレット5100は、基板5120の上面を滑空するように移動する。ペレット5100の移動は、平板面を基板5120に向けた状態で起こる。その後、既に堆積しているほかのペレット5100の側面まで到達すると、側面同士が結合する。このとき、ペレット5100の側面にある酸素原子が脱離する。脱離した酸素原子によって、CAAC-O-S中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いCAAC-O-Sとなる。なお、基板5120の上面の温度は、例えば、100℃以上500℃未満、150℃以上450℃未満、170℃以上400℃未満、または170℃以上350℃以下とすればよい。即ち、基板5120が大面積である場合でもCAAC-O-Sの成膜は可能である。

30

## 【0234】

また、ペレット5100が基板5120上で加熱されることにより、原子が再配列し、イオン5101の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット5100は、ほぼ単結晶となる。ペレット5100がほぼ単結晶となることにより、ペレット5100同士が結合した後に加熱されたとしても、ペレット5100自体の伸縮はほとんど起こり得ない。したがって、ペレット5100間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。

40

## 【0235】

また、CAAC-O-Sは、単結晶酸化物半導体が一枚板のようになっているのではなく、ペレット5100（ナノ結晶）の集合体がレンガまたはブロックが積み重なったような配列をしている。また、その間には結晶粒界を有さない。そのため、成膜時の加熱、成膜後の加熱または曲げなどで、CAAC-O-Sに縮みなどの変形が生じた場合でも、局部応力を緩和する、または歪みを逃がすことが可能である。したがって、可とう性を有する半導体装置に適した構造である。なお、nc-O-Sは、ペレット5100（ナノ結晶）の集

50

合体が無秩序に積み重なったような配列となる。

【0236】

ターゲットをイオンでスパッタした際に、ペレットだけでなく、酸化亜鉛などが飛び出す場合がある。酸化亜鉛はペレットよりも軽量であるため、先に基板5120の上面に到達する。そして、0.1nm以上10nm以下、0.2nm以上5nm以下、または0.5nm以上2nm以下の酸化亜鉛層5102を形成する。図41に断面模式図を示す。

【0237】

図41(A)に示すように、酸化亜鉛層5102上にはペレット5105aと、ペレット5105bと、が堆積する。ここで、ペレット5105aとペレット5105bとは、互いに側面が接するように配置している。また、ペレット5105cは、ペレット5105b上に堆積した後、ペレット5105b上を滑るように移動する。また、ペレット5105aの別の側面において、酸化亜鉛とともにターゲットから飛び出した複数の粒子5103が基板5120の加熱により結晶化し、領域5105a1を形成する。なお、複数の粒子5103は、酸素、亜鉛、インジウムおよびガリウムを含む可能性がある。

10

【0238】

そして、図41(B)に示すように、領域5105a1は、ペレット5105aと同化し、ペレット5105a2となる。また、ペレット5105cは、その側面がペレット5105bの別の側面と接するように配置する。

【0239】

次に、図41(C)に示すように、さらにペレット5105dがペレット5105a2上およびペレット5105b上に堆積した後、ペレット5105a2上およびペレット5105b上を滑るように移動する。また、ペレット5105cの別の側面に向けて、さらにペレット5105eが酸化亜鉛層5102上を滑るように移動する。

20

【0240】

そして、図41(D)に示すように、ペレット5105dは、その側面がペレット5105a2の側面と接するように配置する。また、ペレット5105dは、その側面がペレット5105cの別の側面と接するように配置する。また、ペレット5105dの別の側面において、酸化亜鉛とともにターゲットから飛び出した複数の粒子5103が基板5120の加熱により結晶化し、領域5105d1を形成する。

【0241】

以上のように、堆積したペレット同士が接するように配置し、ペレットの側面において結晶成長が起こることで、基板5120上にCAAC-OSが形成される。したがって、CAAC-OSは、nc-OSよりも一つ一つのペレットが大きくなる。これは、上述の図38中の(3)と(2)の大きさの違いに相当する。

30

【0242】

また、ペレット5100の隙間が極めて小さくなることで、あたかも一つの大きなペレットが形成される場合がある。大きなペレットは、単結晶構造を有する。例えば、大きなペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。したがって、トランジスタのチャネル形成領域が、大きなペレットよりも小さい場合、チャネル形成領域として単結晶構造を有する領域を用いることができる。また、ペレットが大きくなることで、トランジスタのチャネル形成領域、ソース領域およびド레인領域として単結晶構造を有する領域を用いることができる場合がある。

40

【0243】

このように、トランジスタのチャネル形成領域などが、単結晶構造を有する領域に形成されることによって、トランジスタの周波数特性を高くすることができる場合がある。

【0244】

以上のようなモデルにより、ペレット5100が基板5120上に堆積していくと考えられる。したがって、エピタキシャル成長とは異なり、被形成面が結晶構造を有さない場合においても、CAAC-OSの成膜が可能であることがわかる。例えば、基板5120

50

の上面（被形成面）の構造が非晶質構造（例えば非晶質酸化シリコン）であっても、C A A C-O Sを成膜することは可能である。

【0245】

また、C A A C-O Sは、被形成面である基板5120の上面に凹凸がある場合でも、その形状に沿ってペレット5100が配列することがわかる。例えば、基板5120の上面が原子レベルで平坦な場合、ペレット5100はa b面と平行な平面である平板面を下に向けて並置するため、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層がn段（nは自然数。）積み重なることで、C A A C-O Sを得ることができる。

【0246】

一方、基板5120の上面が凹凸を有する場合でも、C A A C-O Sは、ペレット5100が凸面に沿って並置した層がn段（nは自然数。）積み重なった構造となる。基板5120が凹凸を有するため、C A A C-O Sは、ペレット5100間に隙間が生じやすい場合がある。ただし、ペレット5100間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有するC A A C-O Sとすることができる。

【0247】

したがって、C A A C-O Sは、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。

【0248】

このようなモデルによってC A A C-O Sが成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板5120上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

【0249】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有するC A A C-O Sを得ることができる。

【0250】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0251】

（実施の形態3）

本実施の形態においては、先の実施の形態で例示したトランジスタを有する表示装置の一例について、図8乃至図10を用いて以下説明を行う。

【0252】

図8は、表示装置の一例を示す上面図である。図8示す表示装置700は、第1の基板701上に設けられた画素部702と、第1の基板701に設けられたソースドライバ回路部704及びゲートドライバ回路部706と、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706を囲むように配置されるシール材712と、第1の基板701に対向するように設けられる第2の基板705と、を有する。なお、第1の基板701と第2の基板705は、シール材712によって封止されている。すなわち、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706は、第1の基板701とシール材712と第2の基板705によって封止されている。なお、図8には図示しないが、第1の基板701と第2の基板705の間には表示素子が設けられる。

【0253】

また、表示装置700は、第1の基板701上のシール材712によって囲まれている領域とは異なる領域に、画素部702、ソースドライバ回路部704及びゲートドライバ回路部706とそれぞれ電氣的に接続されるF P C端子部708（F P C：F l e x i b l e p r i n t e d c i r c u i t）が設けられる。また、F P C端子部708には

10

20

30

40

50

、F P C 7 1 6 が接続され、F P C 7 1 6 によって画素部 7 0 2、ソースドライバ回路部 7 0 4、及びゲートドライバ回路部 7 0 6 に各種信号等が供給される。また、画素部 7 0 2、ソースドライバ回路部 7 0 4、ゲートドライバ回路部 7 0 6、及び F P C 端子部 7 0 8 には、信号線 7 1 0 が各々接続されている。F P C 7 1 6 により供給される各種信号等は、信号線 7 1 0 を介して、画素部 7 0 2、ソースドライバ回路部 7 0 4、ゲートドライバ回路部 7 0 6、及び F P C 端子部 7 0 8 に与えられる。

【0254】

また、表示装置 7 0 0 にゲートドライバ回路部 7 0 6 を複数設けてもよい。また、表示装置 7 0 0 としては、ソースドライバ回路部 7 0 4、及びゲートドライバ回路部 7 0 6 を画素部 7 0 2 と同じ第 1 の基板 7 0 1 に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部 7 0 6 のみを第 1 の基板 7 0 1 に形成しても良い、またはソースドライバ回路部 7 0 4 のみを第 1 の基板 7 0 1 に形成しても良い。この場合、ソースドライバ回路またはゲートドライバ回路等が形成された基板（例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板）を、第 1 の基板 7 0 1 に実装する構成としても良い。なお、別途形成した駆動回路基板の接続方法は、特に限定されるものではなく、C O G ( C h i p O n G l a s s ) 方法、ワイヤボンディング方法などを用いることができる。

10

【0255】

また、表示装置 7 0 0 が有する画素部 7 0 2、ソースドライバ回路部 7 0 4 及びゲートドライバ回路部 7 0 6 は、複数のトランジスタを有しており、本発明の一態様の半導体装置であるトランジスタを適用することができる。

20

【0256】

また、表示装置 7 0 0 は、様々な素子を有することが出来る。該素子の一例としては、液晶素子、E L (エレクトロルミネッセンス) 素子 (有機物及び無機物を含む E L 素子、有機 E L 素子、無機 E L 素子)、L E D (白色 L E D、赤色 L E D、緑色 L E D、青色 L E D など)、トランジスタ (電流に応じて発光するトランジスタ)、電子放出素子、電子インク、電気泳動素子、グレーティングライトバルブ (G L V)、プラズマディスプレイ (P D P)、M E M S (マイクロ・エレクトロ・メカニカル・システム) を用いた表示素子、デジタルマイクロミラーデバイス (D M D)、D M S (デジタル・マイクロ・シャッター)、M I R A S O L (登録商標)、I M O D (インターフェアレンス・モジュレーション) 素子、シャッター方式の M E M S 表示素子、光干渉方式の M E M S 表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。E L 素子を用いた表示装置の一例としては、E L ディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ (F E D) 又は S E D 方式平面型ディスプレイ (S E D : S u r f a c e - c o n d u c t i o n E l e c t r o n - e m i t t e r D i s p l a y) などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ (透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ) などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、S R A M などの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

30

40

【0257】

なお、表示装置 7 0 0 における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、R G B ( R は赤、G は緑、B は青を表す) の三色に限定されない。例えば、R の画素と G の

50

画素とBの画素とW（白）の画素の四画素から構成されてもよい。または、ペンタイル配列のように、RGBのうちの2色分で一つの色要素を構成し、色要素によって、異なる2色を選択して構成してもよい。またはRGBに、イエロー、シアン、マゼンタ等を一色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

#### 【0258】

また、バックライト（有機EL素子、無機EL素子、LED、蛍光灯など）に白色光（W）を用いて表示装置をフルカラー表示させるために、着色層（カラーフィルタともいう。）を用いてもよい。着色層は、例えば、レッド（R）、グリーン（G）、ブルー（B）、イエロー（Y）などを適宜組み合わせる用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、ホワイト（W）を、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。

#### 【0259】

本実施の形態においては、表示素子として液晶素子及びEL素子を用いる構成について、図9及び図10を用いて説明する。なお、図9は、図8に示す一点鎖線Q-Rにおける断面図であり、表示素子として液晶素子を用いた構成である。また、図10は、図8に示す一点鎖線Q-Rにおける断面図であり、表示素子としてEL素子を用いた構成である。

#### 【0260】

まず、図9及び図10に示す共通部分について最初に説明し、次に異なる部分について以下説明する。

#### 【0261】

<表示装置の共通部分に関する説明>

図9及び図10に示す表示装置700は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、FPC端子部708と、を有する。また、引き回し配線部711は、信号線710を有する。また、画素部702は、トランジスタ750及び容量素子790を有する。また、ソースドライバ回路部704は、トランジスタ752を有する。

#### 【0262】

トランジスタ750及びトランジスタ752は、先に示すトランジスタを用いることができる。

#### 【0263】

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ状態における電流値（オフ電流値）を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

#### 【0264】

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度を得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なラン

ジスタを用いることで、高画質な画像を提供することができる。

【0265】

容量素子790は、一对の電極間に誘電体を有する構造である。より詳しくは、容量素子790の一方の電極としては、トランジスタ750のゲート電極として機能する導電膜と同一工程で形成された導電膜を用い、容量素子790の他方の電極としては、トランジスタ750のソース電極及びドレイン電極として機能する導電膜を用いる。また、一对の電極間に挟持される誘電体としては、トランジスタ750のゲート絶縁膜として機能する絶縁膜を用いる。

【0266】

また、図9及び図10において、トランジスタ750、トランジスタ752、及び容量素子790上に、絶縁膜764、766、768、酸化物半導体膜767、及び平坦化絶縁膜770が設けられている。

10

【0267】

絶縁膜764、766、768としては、それぞれ先の実施の形態に示す絶縁膜114、116、118と、同様の材料及び作製方法により形成することができる。また、酸化物半導体膜767としては、先の実施の形態に示す酸化物半導体膜108と同様の材料及び作製方法により形成することができる。また、平坦化絶縁膜770としては、ポリイミド樹脂、アクリル樹脂、ポリイミドアミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂、エポキシ樹脂等の耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜770を形成してもよい。また、平坦化絶縁膜770を設けない構成としてもよい。

20

【0268】

また、信号線710は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程で形成される。なお、信号線710は、トランジスタ750、752のソース電極及びドレイン電極と異なる工程で形成された導電膜、例えばゲート電極として機能する導電膜としてもよい。信号線710として、例えば、銅元素を含む材料を用いた場合、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となる。

【0269】

また、FPC端子部708は、接続電極760、異方性導電膜780、及びFPC716を有する。なお、接続電極760は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程で形成される。また、接続電極760は、FPC716が有する端子と異方性導電膜780を介して、電氣的に接続される。

30

【0270】

また、第1の基板701及び第2の基板705としては、例えばガラス基板を用いることができる。また、第1の基板701及び第2の基板705として、可撓性を有する基板を用いてもよい。該可撓性を有する基板としては、例えばプラスチック基板等が挙げられる。

【0271】

また、第1の基板701と第2の基板705の間には、構造体778が設けられる。構造体778は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の基板701と第2の基板705の間の距離（セルギャップ）を制御するために設けられる。なお、構造体778として、球状のスペーサを用いても良い。また、本実施の形態においては、構造体778を第1の基板701側に設ける構成について例示したが、これに限定されない。例えば、第2の基板705側に構造体778を設ける構成、または第1の基板701及び第2の基板705双方に構造体778を設ける構成としてもよい。

40

【0272】

また、第2の基板705側には、ブラックマトリクスとして機能する遮光膜738と、カラーフィルタとして機能する着色膜736と、遮光膜738及び着色膜736に接する

50

絶縁膜 734 が設けられる。

【0273】

＜表示素子として液晶素子を用いる表示装置の構成例＞

図 9 に示す表示装置 700 は、液晶素子 775 を有する。液晶素子 775 は、導電膜 772、導電膜 774、及び液晶層 776 を有する。導電膜 774 は、第 2 の基板 705 側に設けられ、対向電極としての機能を有する。図 9 に示す表示装置 700 は、導電膜 772 と導電膜 774 に印加される電圧によって、液晶層 776 の配向状態が変わることによって光の透過、非透過が制御され画像を表示することができる。

【0274】

また、導電膜 772 は、トランジスタ 750 が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜 772 は、平坦化絶縁膜 770 上に形成され画素電極、すなわち表示素子の一方の電極として機能する。また、導電膜 772 は、反射電極としての機能を有する。図 9 に示す表示装置 700 は、外光を利用し導電膜 772 で光を反射して着色膜 736 を介して表示する、所謂反射型のカラー液晶表示装置である。

【0275】

導電膜 772 としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム (In)、亜鉛 (Zn)、錫 (Sn) の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。本実施の形態においては、導電膜 772 として、可視光において、反射性のある導電膜を用いる。

【0276】

また、導電膜 772 として、可視光において反射性のある導電膜を用いる場合、該導電膜を積層構造としてもよい。例えば、下層に膜厚 100 nm のアルミニウム膜を形成し、上層に厚さ 30 nm の銀合金膜（例えば、銀、パラジウム、及び銅を含む合金膜）を形成する。上述の構造とすることで、以下の優れた効果を奏する。

【0277】

(1) 下地膜と導電膜 772 との密着性を向上させることができる。(2) 薬液によってアルミニウム膜と、銀合金膜とを一括してエッチングすることが可能である。(3) 導電膜 772 の断面形状を良好な形状（例えば、テーパ形状）とすることができる。(3) の理由としては、アルミニウム膜は、銀合金膜よりも薬液によるエッチング速度が遅い、または上層の銀合金膜のエッチング後、下層のアルミニウム膜が露出した場合に、銀合金膜よりも卑な金属、別言するとイオン化傾向の高い金属であるアルミニウムから電子を引き抜くため、銀合金膜のエッチングが抑制され、下層のアルミニウム膜のエッチングの進行が速くなるためである。

【0278】

また、図 9 に示す表示装置 700 においては、画素部 702 の平坦化絶縁膜 770 の一部に凹凸が設けられている。該凹凸は、例えば、平坦化絶縁膜 770 を有機樹脂膜等で形成し、該有機樹脂膜の表面に凹凸を設けることで形成することができる。また、反射電極として機能する導電膜 772 は、上記凹凸に沿って形成される。したがって、外光が導電膜 772 に入射した場合において、導電膜 772 の表面で光を乱反射することが可能となり、視認性を向上させることができる。

【0279】

なお、図 9 に示す表示装置 700 は、反射型のカラー液晶表示装置について例示したが、これに限定されない、例えば、導電膜 772 を可視光において、透光性のある導電膜を用いることで透過型のカラー液晶表示装置としてもよい。透過型のカラー液晶表示装置の場合、平坦化絶縁膜 770 に設けられる凹凸については、設けない構成としてもよい。

【0280】

なお、図 9 において図示しないが、導電膜 772、774 の液晶層 776 と接する側に、それぞれ配向膜を設ける構成としてもよい。また、図 9 において図示しないが、偏光部

10

20

30

40

50

材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0281】

表示素子として液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0282】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性である。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

【0283】

また、表示素子として液晶素子を用いる場合、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（Anti Ferroelectric Liquid Crystal）モードなどを用いることができる。

【0284】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向（VA）モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA（Multi-Domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASVモードなどを用いることができる。

【0285】

＜表示素子として発光素子を用いる表示装置＞

図10に示す表示装置700は、発光素子782を有する。発光素子782は、導電膜784、EL層786、及び導電膜788を有する。図10に示す表示装置700は、発光素子782が有するEL層786が発光することによって、画像を表示することができる。

【0286】

また、導電膜784は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜784は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。導電膜784としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。

【0287】

また、図 10 に示す表示装置 700 には、平坦化絶縁膜 770 及び導電膜 784 上に絶縁膜 730 が設けられる。絶縁膜 730 は、導電膜 784 の一部を覆う。なお、発光素子 782 はトップエミッション構造である。したがって、導電膜 788 は透光性を有し、EL 層 786 が発する光を透過する。なお、本実施の形態においては、トップエミッション構造について、例示するが、これに限定されない。例えば、導電膜 784 側に光を射出するボトムエミッション構造や、導電膜 784 及び導電膜 788 の双方に光を射出するデュアルエミッション構造にも適用することができる。

【0288】

また、発光素子 782 と重なる位置に、着色膜 736 が設けられ、絶縁膜 730 と重なる位置、引き回し配線部 711、及びソースドライバ回路部 704 に遮光膜 738 が設けられている。また、着色膜 736 及び遮光膜 738 は、絶縁膜 734 で覆われている。また、発光素子 782 と絶縁膜 734 の間は封止膜 732 で充填されている。なお、図 10 に示す表示装置 700 においては、着色膜 736 を設ける構成について例示したが、これに限定されない。例えば、EL 層 786 を塗り分けにより形成する場合においては、着色膜 736 を設けない構成としてもよい。

【0289】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0290】

(実施の形態 4)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図 11 を用いて説明を行う。

【0291】

図 11 (A) に示す表示装置は、表示素子の画素を有する領域（以下、画素部 502 という）と、画素部 502 の外側に配置され、画素を駆動するための回路を有する回路部（以下、駆動回路部 504 という）と、素子の保護機能を有する回路（以下、保護回路 506 という）と、端子部 507 と、を有する。なお、保護回路 506 は、設けない構成としてもよい。

【0292】

駆動回路部 504 の一部、または全部は、画素部 502 と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことができる。駆動回路部 504 の一部、または全部が、画素部 502 と同一基板上に形成されていない場合には、駆動回路部 504 の一部、または全部は、COG や TAB (Tape Automated Bonding) によって、実装することができる。

【0293】

画素部 502 は、X 行 (X は 2 以上の自然数) Y 列 (Y は 2 以上の自然数) に配置された複数の表示素子を駆動するための回路（以下、画素回路 501 という）を有し、駆動回路部 504 は、画素を選択する信号（走査信号）を出力する回路（以下、ゲートドライバ 504a という）、画素の表示素子を駆動するための信号（データ信号）を供給するための回路（以下、ソースドライバ 504b）などの駆動回路を有する。

【0294】

ゲートドライバ 504a は、シフトレジスタ等を有する。ゲートドライバ 504a は、端子部 507 を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ 504a は、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲートドライバ 504a は、走査信号が与えられる配線（以下、走査線 GL<sub>1</sub> 乃至 GL<sub>X</sub> という）の電位を制御する機能を有する。なお、ゲートドライバ 504a を複数設け、複数のゲートドライバ 504a により、走査線 GL<sub>1</sub> 乃至 GL<sub>X</sub> を分割して制御してもよい。または、ゲートドライバ 504a は、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ 504a は、別の信号を供給することも可能である。

## 【0295】

ソースドライバ504bは、シフトレジスタ等を有する。ソースドライバ504bは、端子部507を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号（画像信号）が入力される。ソースドライバ504bは、画像信号を元に画素回路501に書き込むデータ信号を生成する機能を有する。また、ソースドライバ504bは、スタートパルス、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ504bは、データ信号が与えられる配線（以下、データ線DL<sub>1</sub>乃至DL<sub>Y</sub>という）の電位を制御する機能を有する。または、ソースドライバ504bは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ504bは、別の信号を供給することも可能である。

10

## 【0296】

ソースドライバ504bは、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ504bは、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ504bを構成してもよい。

## 【0297】

複数の画素回路501のそれぞれは、走査信号が与えられる複数の走査線GLの一つを介してパルス信号が入力され、データ信号が与えられる複数のデータ線DLの一つを介してデータ信号が入力される。また、複数の画素回路501のそれぞれは、ゲートドライバ504aによりデータ信号のデータの書き込み及び保持が制御される。例えば、m行n列目の画素回路501は、走査線GL<sub>m</sub>（mはX以下の自然数）を介してゲートドライバ504aからパルス信号が入力され、走査線GL<sub>m</sub>の電位に応じてデータ線DL<sub>n</sub>（nはY以下の自然数）を介してソースドライバ504bからデータ信号が入力される。

20

## 【0298】

図11（A）に示す保護回路506は、例えば、ゲートドライバ504aと画素回路501の間の配線である走査線GLに接続される。または、保護回路506は、ソースドライバ504bと画素回路501の間の配線であるデータ線DLに接続される。または、保護回路506は、ゲートドライバ504aと端子部507との間の配線に接続することができる。または、保護回路506は、ソースドライバ504bと端子部507との間の配線に接続することができる。なお、端子部507は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分をいう。

30

## 【0299】

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。

## 【0300】

図11（A）に示すように、画素部502と駆動回路部504にそれぞれ保護回路506を設けることにより、ESD（Electro Static Discharge：静電気放電）などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路506の構成はこれに限定されず、例えば、ゲートドライバ504aに保護回路506を接続した構成、またはソースドライバ504bに保護回路506を接続した構成とすることもできる。あるいは、端子部507に保護回路506を接続した構成とすることもできる。

40

## 【0301】

また、図11（A）においては、ゲートドライバ504aとソースドライバ504bによって駆動回路部504を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ504aのみを形成し、別途用意されたソースドライバ回路が形成された基板（例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板）を実装する構成としても良い。

## 【0302】

50

また、図 1 1 (A) に示す複数の画素回路 5 0 1 は、例えば、図 1 1 (B) に示す構成とすることができる。

【0303】

図 1 1 (B) に示す画素回路 5 0 1 は、液晶素子 5 7 0 と、トランジスタ 5 5 0 と、容量素子 5 6 0 と、を有する。トランジスタ 5 5 0 に先の実施の形態に示すトランジスタを適用することができる。

【0304】

液晶素子 5 7 0 の一对の電極の一方の電位は、画素回路 5 0 1 の仕様に依じて適宜設定される。液晶素子 5 7 0 は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路 5 0 1 のそれぞれが有する液晶素子 5 7 0 の一对の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路 5 0 1 の液晶素子 5 7 0 の一对の電極の一方に異なる電位を与えてもよい。

10

【0305】

例えば、液晶素子 5 7 0 を備える表示装置の駆動方法としては、TNモード、STNモード、VAモード、ASM (Axially Symmetric Aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、MVAモード、PVA (Patterned Vertical Alignment) モード、IPSモード、FFSモード、又はTBA (Transverse Bend Alignment) モードなどを用いてもよい。また、表示装置の駆動方法としては、上述した駆動方法の他、ECB (Electrically Controlled Birefringence) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

20

【0306】

m行n列目の画素回路 5 0 1 において、トランジスタ 5 5 0 のソース電極またはドレイン電極の一方は、データ線 DL\_\_n に電氣的に接続され、他方は液晶素子 5 7 0 の一对の電極の他方に電氣的に接続される。また、トランジスタ 5 5 0 のゲート電極は、走査線 GL\_\_m に電氣的に接続される。トランジスタ 5 5 0 は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

30

【0307】

容量素子 5 6 0 の一对の電極の一方は、電位が供給される配線（以下、電位供給線 VL）に電氣的に接続され、他方は、液晶素子 5 7 0 の一对の電極の他方に電氣的に接続される。なお、電位供給線 VL の電位の値は、画素回路 5 0 1 の仕様に依じて適宜設定される。容量素子 5 6 0 は、書き込まれたデータを保持する保持容量としての機能を有する。

【0308】

例えば、図 1 1 (B) の画素回路 5 0 1 を有する表示装置では、例えば、図 1 1 (A) に示すゲートドライバ 5 0 4 a により各行の画素回路 5 0 1 を順次選択し、トランジスタ 5 5 0 をオン状態にしてデータ信号のデータを書き込む。

40

【0309】

データが書き込まれた画素回路 5 0 1 は、トランジスタ 5 5 0 がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

【0310】

また、図 1 1 (A) に示す複数の画素回路 5 0 1 は、例えば、図 1 1 (C) に示す構成とすることができる。

【0311】

また、図 1 1 (C) に示す画素回路 5 0 1 は、トランジスタ 5 5 2、5 5 4 と、容量素

50

子 5 6 2 と、発光素子 5 7 2 と、を有する。トランジスタ 5 5 2 及びトランジスタ 5 5 4 のいずれか一方または双方に先の実施の形態に示すトランジスタを適用することができる。

【 0 3 1 2 】

トランジスタ 5 5 2 のソース電極及びドレイン電極の一方は、データ信号が与えられる配線（以下、信号線 D L \_\_ n という）に電氣的に接続される。さらに、トランジスタ 5 5 2 のゲート電極は、ゲート信号が与えられる配線（以下、走査線 G L \_\_ m という）に電氣的に接続される。

【 0 3 1 3 】

トランジスタ 5 5 2 は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

10

【 0 3 1 4 】

容量素子 5 6 2 の一対の電極の一方は、電位が与えられる配線（以下、電位供給線 V L \_\_ a という）に電氣的に接続され、他方は、トランジスタ 5 5 2 のソース電極及びドレイン電極の他方に電氣的に接続される。

【 0 3 1 5 】

容量素子 5 6 2 は、書き込まれたデータを保持する保持容量としての機能を有する。

【 0 3 1 6 】

トランジスタ 5 5 4 のソース電極及びドレイン電極の一方は、電位供給線 V L \_\_ a に電氣的に接続される。さらに、トランジスタ 5 5 4 のゲート電極は、トランジスタ 5 5 2 のソース電極及びドレイン電極の他方に電氣的に接続される。

20

【 0 3 1 7 】

発光素子 5 7 2 のアノード及びカソードの一方は、電位供給線 V L \_\_ b に電氣的に接続され、他方は、トランジスタ 5 5 4 のソース電極及びドレイン電極の他方に電氣的に接続される。

【 0 3 1 8 】

発光素子 5 7 2 としては、例えば有機エレクトロルミネセンス素子（有機 E L 素子ともいう）などを用いることができる。ただし、発光素子 5 7 2 としては、これに限定されず、無機材料からなる無機 E L 素子を用いても良い。

【 0 3 1 9 】

なお、電位供給線 V L \_\_ a 及び電位供給線 V L \_\_ b の一方には、高電源電位 V D D が与えられ、他方には、低電源電位 V S S が与えられる。

30

【 0 3 2 0 】

図 1 1 （ C ）の画素回路 5 0 1 を有する表示装置では、例えば、図 1 1 （ A ）に示すゲートドライバ 5 0 4 a により各行の画素回路 5 0 1 を順次選択し、トランジスタ 5 5 2 をオン状態にしてデータ信号のデータを書き込む。

【 0 3 2 1 】

データが書き込まれた画素回路 5 0 1 は、トランジスタ 5 5 2 がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ 5 5 4 のソース電極とドレイン電極の間に流れる電流量が制御され、発光素子 5 7 2 は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

40

【 0 3 2 2 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 3 2 3 】

（実施の形態 5）

本実施の形態では、本発明の一態様の半導体装置を有する表示モジュール及び電子機器について、図 1 2 及び図 1 3 を用いて説明を行う。

【 0 3 2 4 】

図 1 2 に示す表示モジュール 8 0 0 0 は、上部カバー 8 0 0 1 と下部カバー 8 0 0 2 と

50

の間に、F P C 8 0 0 3 に接続されたタッチパネル 8 0 0 4、F P C 8 0 0 5 に接続された表示パネル 8 0 0 6、バックライト 8 0 0 7、フレーム 8 0 0 9、プリント基板 8 0 1 0、バッテリー 8 0 1 1 を有する。

【 0 3 2 5 】

本発明の一態様の半導体装置は、例えば、表示パネル 8 0 0 6 に用いることができる。

【 0 3 2 6 】

上部カバー 8 0 0 1 及び下部カバー 8 0 0 2 は、タッチパネル 8 0 0 4 及び表示パネル 8 0 0 6 のサイズに合わせて、形状や寸法を適宜変更することができる。

【 0 3 2 7 】

タッチパネル 8 0 0 4 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル 8 0 0 6 に重畳して用いることができる。また、表示パネル 8 0 0 6 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル 8 0 0 6 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

【 0 3 2 8 】

バックライト 8 0 0 7 は、光源 8 0 0 8 を有する。なお、図 1 2 において、バックライト 8 0 0 7 上に光源 8 0 0 8 を配置する構成について例示したが、これに限定さない。例えば、バックライト 8 0 0 7 の端部に光源 8 0 0 8 を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機 E L 素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト 8 0 0 7 を設けない構成としてもよい。

【 0 3 2 9 】

フレーム 8 0 0 9 は、表示パネル 8 0 0 6 の保護機能の他、プリント基板 8 0 1 0 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8 0 0 9 は、放熱板としての機能を有していてもよい。

【 0 3 3 0 】

プリント基板 8 0 1 0 は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8 0 1 1 による電源であってもよい。バッテリー 8 0 1 1 は、商用電源を用いる場合には、省略可能である。

【 0 3 3 1 】

また、表示モジュール 8 0 0 0 は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【 0 3 3 2 】

図 1 3 （ A ）乃至図 1 3 （ G ）は、電子機器を示す図である。これらの電子機器は、筐体 9 0 0 0、表示部 9 0 0 1、スピーカ 9 0 0 3、操作キー 9 0 0 5（電源スイッチ、又は操作スイッチを含む）、接続端子 9 0 0 6、センサ 9 0 0 7（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に問い又は赤外線を測定する機能を含むもの）、マイクロフォン 9 0 0 8、等を有することができる。

【 0 3 3 3 】

図 1 3 （ A ）乃至図 1 3 （ G ）に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能、等を有することができる。なお、図 1 3 （ A ）乃至図 1 3 （ G ）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図 1 3 （ A ）乃至図 1 3 （ G ）には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体（外部またはカメラに内蔵

10

20

30

40

50

）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

【0334】

図13（A）乃至図13（G）に示す電子機器の詳細について、以下説明を行う。

【0335】

図13（A）は、携帯情報端末9100を示す斜視図である。携帯情報端末9100が有する表示部9001は、可撓性を有する。そのため、湾曲した筐体9000の湾曲面に沿って表示部9001を組み込むことが可能である。また、表示部9001はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部9001に表示されたアイコンに触れることで、アプリケーションを起動することができる。

10

【0336】

図13（B）は、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えば電話機、手帳又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を省略して図示しているが、図13（A）に示す携帯情報端末9100と同様の位置に設けることができる。また、携帯情報端末9101は、文字や画像情報をその複数の面に表示することができる。例えば、3つの操作ボタン9050（操作アイコンまたは単にアイコンともいう）を表示部9001の一の面に表示することができる。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することができる。なお、情報9051の一例としては、電子メールやSNS（ソーシャル・ネットワーキング・サービス）や電話などの着信を知らせる表示、電子メールやSNSなどの題名、電子メールやSNSなどの送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置に、情報9051の代わりに、操作ボタン9050などを表示してもよい。

20

【0337】

図13（C）は、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末9102の使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、その表示（ここでは情報9053）を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末9102の上方から観察できる位置に表示する。使用者は、携帯情報端末9102をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

30

【0338】

図13（D）は、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006を有し、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また接続端子9006を介して充電を行うこともできる。なお、充電動作は接続端子9006を介さずに無線給電により行ってもよい。

40

【0339】

図13（E）（F）（G）は、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図13（E）が携帯情報端末9201を展開した状態の斜視図であり、図13（F）が携帯情報端末9201を展開した状態または折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図13（G）が携帯情報端末9201を折り畳んだ状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開し

50

た状態では、継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末 9201 が有する表示部 9001 は、ヒンジ 9055 によって連結された 3 つの筐体 9000 に支持されている。ヒンジ 9055 を介して 2 つの筐体 9000 間を屈曲させることにより、携帯情報端末 9201 を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末 9201 は、曲率半径 1 mm 以上 150 mm 以下で曲げることができる。

#### 【0340】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。ただし、本発明の一態様の半導体装置は、表示部を有さない電子機器にも適用することができる。また、本実施の形態において述べた電子機器の表示部においては、可撓性を有し、湾曲した表示面に沿って表示を行うことができる構成、または折り畳み可能な表示部の構成について例示したが、これに限定されず、可撓性を有さず、平面部に表示を行う構成としてもよい。

10

#### 【0341】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

#### 【実施例 1】

#### 【0342】

本実施例においては、試料 A1 乃至 A3 の分析用サンプルを作製し、該分析用サンプルの SIMS 分析を行った。

20

#### 【0343】

まず、本実施例で作製した分析用サンプルについて、以下説明を行う。

#### 【0344】

(試料 A1 乃至試料 A3)

まず、厚さ 0.7 mm のガラス基板上に、厚さ 100 nm の酸化物半導体膜を形成した。なお、試料 A1、試料 A2、及び試料 A3 は、それぞれ酸化物半導体膜の組成が異なる。

#### 【0345】

試料 A1 の酸化物半導体膜としては、基板温度を 170℃ とし、流量 100 sccm のアルゴンガスと、流量 100 sccm の酸素ガスをチャンバー内に導入し、圧力を 0.6 Pa とし、多結晶の金属酸化物スパッタリングターゲット多結晶の金属酸化物スパッタリングターゲット (In : Ga : Zn = 1 : 1 : 1.2 [原子数比]) に 2500 W の AC 電力を投入して成膜した。

30

#### 【0346】

試料 A2 の酸化物半導体膜としては、基板温度を 170℃ とし、流量 100 sccm のアルゴンガスと、流量 100 sccm の酸素ガスをチャンバー内に導入し、圧力を 0.6 Pa とし、多結晶の金属酸化物スパッタリングターゲット (In : Ga : Zn = 3 : 1 : 2 [原子数比]) に 2500 W の AC 電力を投入して成膜した。

#### 【0347】

試料 A3 の酸化物半導体膜としては、基板温度を 170℃ とし、流量 100 sccm のアルゴンガスと、流量 100 sccm の酸素ガスをチャンバー内に導入し、圧力を 0.6 Pa とし、多結晶の金属酸化物スパッタリングターゲット (In : Ga : Zn = 4 : 2 : 4.1 [原子数比]) に 2500 W の AC 電力を投入して成膜した。

40

#### 【0348】

次に、熱処理を行った。該熱処理としては、窒素雰囲気下で 450℃ 1 時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気下で 450℃ 1 時間の熱処理とした。なお、本実施例においては、酸化物半導体膜中の水素濃度を低減させるために、450℃ で各試料を熱処理したが、実際のトランジスタを作製する工程においては、350℃ 以下で熱処理の方が好適である。

#### 【0349】

50

以上の工程で、本実施例の試料 A 1 乃至試料 A 3 を作製した。

【0350】

次に、上記作製した試料 A 1 乃至試料 A 3 の酸化物半導体膜中の水素濃度を測定するために、SIMS 分析を行った。試料 A 1 乃至 A 3 の分析結果を図 14 に示す。なお、図 14 において、縦軸が水素濃度 (atoms/cm<sup>3</sup>) を、横軸が深さ (nm) を、それぞれ表す。

【0351】

図 14 に示す結果より、試料 A 1 の酸化物半導体膜中の水素濃度は、 $6.33 \times 10^{19}$  atoms/cm<sup>3</sup> であった。また、試料 A 2 の酸化物半導体膜中の水素濃度は、 $8.64 \times 10^{18}$  atoms/cm<sup>3</sup> であった。また、試料 A 3 の酸化物半導体膜中の水素濃度は、 $1.46 \times 10^{19}$  atoms/cm<sup>3</sup> であった。なお、ここでの酸化物半導体膜中の水素濃度としては、膜厚 50 nm での数値とした。

10

【0352】

例えば、試料 A 2 の酸化物半導体膜上に、試料 A 1 の酸化物半導体膜を形成することで、IGZO 膜 (In:Ga:Zn=3:1:2) \ IGZO 膜 (In:Ga:Zn=1:1:1.2) の構造となる。または、試料 A 3 の酸化物半導体膜上に、試料 A 1 の酸化物半導体膜を形成することで、IGZO 膜 (In:Ga:Zn=4:2:4.1) \ IGZO 膜 (In:Ga:Zn=1:1:1.2) の構造となる。

【0353】

このように、本発明の一態様の半導体装置は、酸化物半導体膜を積層構造とし、下層の酸化物半導体膜よりも上層の酸化物半導体膜の水素濃度が高くなるように形成すると好ましい。また、下層の酸化物半導体膜が、In の原子数比が Ga の原子数比より多く、下層の酸化物半導体膜よりも上層の酸化物半導体膜の In の原子数比が少ない。このような組成の酸化物半導体膜の積層構造とすることで、高い電界効果移動度を有し、且つ高い信頼性の半導体装置とすることができる。

20

【0354】

本実施例に示す構成は、他の実施の形態または他の実施例と適宜組み合わせて用いてもよい。

【実施例 2】

【0355】

本実施例においては、本発明の一態様の半導体装置が有する絶縁膜の水素及び水の放出量について、TDS を用いて評価した。また、本発明の一態様の半導体装置が有する絶縁膜のキャリアトラップとなる欠陥について、ESR を用いて評価した。本実施例においては、以下に示す試料 B 1 乃至試料 B 4、試料 C 1 乃至試料 C 4 を作製した。

30

【0356】

まず、試料 B 1 乃至試料 B 4 の詳細について説明する。

【0357】

<試料 B 1>

試料 B 1 は、ガラス基板上に、厚さ 100 nm の窒化シリコン膜が形成された構造である。

40

【0358】

試料 B 1 の窒化シリコン膜の成膜条件としては、基板温度を 350 °C とし、流量 200 sccm のシランガスと、流量 2000 sccm の窒素ガスと、流量 100 sccm のアンモニアガスとをチャンバー内に導入し、圧力を 100 Pa とし、PECVD 装置内に設置された平行平板の電極間に 2000 W の RF 電力を供給して成膜した。

【0359】

<試料 B 2>

試料 B 2 は、ガラス基板上に厚さ 100 nm の窒化シリコン膜が形成された構造である。

【0360】

50

試料 B 2 の窒化シリコン膜の成膜条件としては、アンモニアガスの流量を 2 0 0 0 s c c m として、窒化シリコン膜を成膜した。なお、アンモニアガスの流量以外の条件については、試料 B 1 と同じとした。

【 0 3 6 1 】

< 試料 B 3 >

試料 B 3 は、ガラス基板上に厚さ 2 0 0 n m の酸化窒化シリコン膜が形成された構造である。

【 0 3 6 2 】

試料 B 3 の酸化窒化シリコン膜の成膜条件としては、基板温度を 3 5 0 °C とし、流量 2 0 s c c m のシランガスと、流量 3 0 0 0 s c c m の一酸化二窒素ガスとをチャンバー内に導入し、圧力を 4 0 P a とし、P E C V D 装置内に設置された平行平板の電極間に 1 0 0 0 W の R F 電力を供給して成膜した。

【 0 3 6 3 】

< 試料 B 4 >

試料 B 4 は、ガラス基板上に厚さ 2 0 0 n m の酸化窒化シリコン膜が形成された構造である。

【 0 3 6 4 】

試料 B 4 の酸化窒化シリコン膜の成膜条件としては、R F 電力を 1 0 0 W として、酸化窒化シリコン膜を成膜した。なお、R F 電力以外の条件については、試料 B 3 と同じとした。

【 0 3 6 5 】

< T D S 測定 >

次に、上記作製した試料 B 1 乃至試料 B 4 の T D S 測定を行った。T D S 測定においては、5 0 °C から 5 5 0 °C まで各試料を加熱し、各試料中の絶縁膜に含まれる気体の放出量について評価した。試料 B 1 及び試料 B 2 においては、窒化シリコン膜に含まれる水素の放出量について評価した。なお、水素の放出量としては、質量電荷比 ( M / z ) が 2 に相当するガスの放出量を測定した。また、試料 B 3 及び試料 B 4 においては、酸化窒化シリコン膜に含まれる H <sub>2</sub> O の放出量について評価した。なお、H <sub>2</sub> O の放出量としては、質量電荷比 ( M / z ) が 1 8 に相当するガスの放出量を測定した。

【 0 3 6 6 】

図 1 5 ( A ) に、試料 B 1 の T D S 測定結果を、図 1 5 ( B ) に試料 B 2 の T D S 測定結果を、図 1 6 ( A ) に試料 B 3 の T D S 測定結果を、図 1 6 ( B ) に試料 B 4 の T D S 測定結果を、それぞれ示す。なお、図 1 5 ( A ) ( B ) 及び図 1 6 ( A ) ( B ) において、縦軸が強度 ( 任意単位 ) を、横軸が基板温度 ( °C ) 、それぞれ表す。

【 0 3 6 7 】

図 1 5 ( A ) ( B ) に示す結果より、アンモニアガスの流量を低減することで、水素の放出量の少ない窒化シリコン膜を成膜できることが分かった。

【 0 3 6 8 】

図 1 6 ( A ) ( B ) に示す結果より、R F 電力を増大させることで、水の放出量の少ない酸化窒化シリコン膜を成膜できることが分かった。

【 0 3 6 9 】

次に、試料 C 1 乃至試料 C 4 の詳細について説明する。

【 0 3 7 0 】

< 試料 C 1 >

試料 C 1 は、ガラス基板上に厚さ 1 0 0 n m の窒化シリコン膜が形成された構造である。

【 0 3 7 1 】

試料 C 1 の窒化シリコン膜の成膜条件としては、基板温度を 3 5 0 °C とし、流量 2 0 0 s c c m のシランガスと、流量 2 0 0 0 s c c m の窒素ガスと、流量 1 0 0 s c c m のアンモニアガスをチャンバー内に導入し、圧力を 1 0 0 P a とし、P E C V D 装置内に設置

された平行平板の電極間に 2 0 0 0 W の R F 電力を供給して成膜した。

【 0 3 7 2 】

< 試料 C 2 >

試料 C 2 は、ガラス基板上に厚さ 1 0 0 n m の窒化シリコン膜が形成された構造である。

【 0 3 7 3 】

試料 C 2 の窒化シリコン膜の成膜条件としては、基板温度を 2 8 0 °C とし、流量 1 0 0 s c c m のシランガスと、流量 1 0 0 0 s c c m の窒素ガスと、流量 5 0 s c c m のアンモニアガスをチャンバー内に導入し、圧力を 1 0 0 P a とし、P E C V D 装置内に設置された平行平板の電極間に 7 5 0 W の R F 電力を供給して成膜した。

10

【 0 3 7 4 】

< 試料 C 3 >

試料 C 3 は、ガラス基板上に厚さ 1 0 0 n m の酸化窒化シリコン膜が形成された構造である。

【 0 3 7 5 】

酸化窒化シリコン膜の成膜条件としては、基板温度を 2 8 0 °C とし、流量 5 0 s c c m のシランガスと、流量 1 2 5 0 s c c m の一酸化二窒素ガスをチャンバー内に導入し、圧力を 2 0 P a とし、P E C V D 装置内に設置された平行平板の電極間に 7 5 0 W の R F 電力を供給して成膜した。

20

【 0 3 7 6 】

< 試料 C 4 >

試料 C 4 は、ガラス基板上に厚さ 1 0 0 n m の酸化窒化シリコン膜が形成された構造である。

【 0 3 7 7 】

試料 C 4 としては、試料 C 3 の酸化窒化シリコン膜の成膜条件において、R F 電力を 2 5 0 W とし、酸化窒化シリコン膜を成膜した。なお、R F 電力以外の条件について、試料 C 3 と同じとした。

【 0 3 7 8 】

< E S R 測定 >

次に、上記作製した試料 C 1 乃至試料 C 4 の E S R 測定を行った。E S R 測定は、所定の温度で、マイクロ波の吸収の起こる磁場の値 ( $H_0$ ) から、式  $g = h\nu / \beta H_0$ 、を用いて  $g$  値というパラメータが得られる。なお、 $\nu$  はマイクロ波の周波数である。 $h$  はプランク定数であり、 $\beta$  はボーア磁子であり、どちらも定数である。

30

【 0 3 7 9 】

試料 C 1 及び試料 C 2 においては、下記の条件で E S R 測定を行った。測定温度を室温 (2 5 °C) とし、9 . 2 G H z の高周波電力 (マイクロ波パワー) を 0 . 1 m W とし、磁場の向きは作製した試料の膜表面と平行とした。なお、窒化シリコン膜に含まれる K - c e n t e r に起因するシグナルのスピンの密度の検出下限は  $1 . 5 \times 10^{16} \text{ spins/cm}^3$  であった。

【 0 3 8 0 】

試料 C 3 及び試料 C 4 においては、下記の条件で E S R 測定を行った。測定温度を室温 (2 5 °C) とし、9 . 2 G H z の高周波電力 (マイクロ波パワー) を 0 . 0 0 5 m W とし、磁場の向きは作製した試料の膜表面と平行とした。なお、酸化窒化シリコン膜に含まれる E ' - c e n t e r に起因するシグナルのスピンの密度の検出下限は  $1 . 5 \times 10^{16} \text{ spins/cm}^3$  であった。

40

【 0 3 8 1 】

図 1 7 は、試料 C 1 及び試料 C 2 の E S R の測定により得られた E S R スペクトルである。図 1 8 は、試料 C 3 及び試料 C 4 の E S R の測定により得られた E S R スペクトルである。

【 0 3 8 2 】

50

図 17 に示すように、試料 C2 と比較して、試料 C1 の方が、K-center に起因するシグナルの強度が小さいことが分かる。K-center は、図 17 に示すような、シリコンのダングリングボンドによる欠陥である。このことから、成膜条件において、より高い温度で、且つ高い RF 電力を供給することで、シリコンのダングリングボンドの少ない、窒化シリコン膜を成膜できることが分かった。

【0383】

図 18 に示すように、試料 C4 と比較して、試料 C3 の方が、E'-center に起因するシグナルの強度が小さいことが分かる。E'-center は、図 18 に示すような、シリコンのダングリングボンドによる欠陥である。このことから、成膜条件において、より高い RF 電力を供給することで、シリコンのダングリングボンドの少ない、酸化窒化シリコン膜を成膜できることが分かった。

10

【0384】

本実施例に示す構成は、他の実施の形態または他の実施例と適宜組み合わせて用いてもよい。

【実施例 3】

【0385】

本実施例においては、図 3 に示すトランジスタ 170 に相当するトランジスタを作製し、該トランジスタの ID-VG 特性の評価を行った。本実施例においては、以下に示す試料 D1 乃至試料 D3 を作製し評価を行った。なお、試料 D1 及び試料 D2 は比較例であるトランジスタを有する試料であり、試料 D3 は本発明の一態様のトランジスタを有する試料である。また、試料 D1 乃至試料 D3 は、それぞれチャンネル長  $L = 2 \mu\text{m}$ 、チャンネル幅  $W = 50 \mu\text{m}$  のトランジスタと、チャンネル長  $L = 3 \mu\text{m}$ 、チャンネル幅  $W = 50 \mu\text{m}$  のトランジスタと、チャンネル長  $L = 6 \mu\text{m}$ 、チャンネル幅  $W = 50 \mu\text{m}$  との合計 3 種類のトランジスタが形成された構造である。

20

【0386】

本実施例で作製した試料について、以下説明を行う。なお、以下の説明において、図 3 に示すトランジスタ 170 に付記した符号を用いて説明する。

【0387】

< 試料 D1 の作製方法 >

まず、基板 102 上に導電膜 104 を形成した。基板 102 としては、ガラス基板を用いた。また、導電膜 104 としては、厚さ  $100 \text{ nm}$  のタングステン膜を、スパッタリング装置を用いて形成した。

30

【0388】

次に、基板 102 及び導電膜 104 上に絶縁膜 106、107 を形成した。絶縁膜 106 としては、厚さ  $400 \text{ nm}$  の窒化シリコン膜を、PECVD 装置を用いて形成した。また、絶縁膜 107 としては、厚さ  $50 \text{ nm}$  の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。

【0389】

絶縁膜 106 の成膜条件としては、基板温度を  $350^\circ\text{C}$  とし、流量  $200 \text{ sccm}$  のシランガスと、流量  $2000 \text{ sccm}$  の窒素ガスと、流量  $100 \text{ sccm}$  のアンモニアガスをチャンバー内に導入し、圧力を  $100 \text{ Pa}$  とし、PECVD 装置内に設置された平行平板の電極間に  $2000 \text{ W}$  の RF 電力を供給して、厚さ  $50 \text{ nm}$  の窒化シリコン膜を成膜し、次に、アンモニアガスの流量を  $2000 \text{ sccm}$  に変更して、厚さ  $300 \text{ nm}$  の窒化シリコン膜を成膜し、次に、アンモニアガスの流量を  $100 \text{ sccm}$  に変更して、厚さ  $50 \text{ nm}$  の窒化シリコン膜を成膜した。

40

【0390】

また、絶縁膜 107 の成膜条件としては、基板温度を  $350^\circ\text{C}$  とし、流量  $20 \text{ sccm}$  のシランガスと、流量  $3000 \text{ sccm}$  の一酸化二窒素ガスをチャンバー内に導入し、圧力を  $40 \text{ Pa}$  とし、PECVD 装置内に設置された平行平板の電極間に  $100 \text{ W}$  の RF 電力を供給して成膜した。

50

## 【0391】

次に、絶縁膜107上に酸化物半導体膜108を形成した。酸化物半導体膜108としては、スパッタリング装置を用いて、単層のIGZO膜を形成した。また、酸化物半導体膜108として、厚さ35nmのIGZO膜を形成した。なお、酸化物半導体膜108の成膜条件としては、基板温度を170℃とし、流量100sccmのアルゴンガスと、流量100sccmの酸素ガスをチャンバー内に導入し、圧力を0.6Paとし、多結晶の金属酸化物スパッタリングターゲット(In:Ga:Zn=1:1:1.2[原子数比])に2500WのAC電力を投入して成膜した。

## 【0392】

次に、第1の熱処理を行った。該第1の熱処理としては、窒素雰囲気下で450℃1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気下で450℃1時間の熱処理とした。

10

## 【0393】

次に、絶縁膜107及び酸化物半導体膜108上に導電膜112a、112bを形成した。導電膜112a、112bとしては、厚さ50nmのタングステン膜と、厚さ400nmのアルミニウム膜と、厚さ100nmのチタン膜とを、スパッタリング装置を用いて真空中で連続して形成した。

## 【0394】

次に、絶縁膜107、酸化物半導体膜108、及び導電膜112a、112b上に絶縁膜114及び絶縁膜116を形成した。絶縁膜114としては、厚さ50nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜116としては、厚さ400nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。なお、絶縁膜114及び絶縁膜116としては、PECVD装置により真空中で連続して形成した。

20

## 【0395】

絶縁膜114の成膜条件としては、基板温度を220℃とし、流量50sccmのシランガスと、流量2000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を20Paとし、PECVD装置内に設置された平行平板の電極間に100WのRF電力を供給して成膜した。また、絶縁膜116の成膜条件としては、基板温度を220℃とし、流量160sccmのシランガスと、流量4000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を200Paとし、PECVD装置内に設置された平行平板の電極間に1500WのRF電力を供給して成膜した。

30

## 【0396】

次に、第2の熱処理を行った。該第2の熱処理としては、窒素ガス雰囲気下で350℃1時間とした。

## 【0397】

次に、以下の2つの工程を行った。

## 【0398】

## (1、ITSO膜形成工程)

絶縁膜116上に、厚さ5nmのITSO膜を、スパッタリング装置を用いて形成した。該ITSO膜の成膜条件としては、基板温度を室温とし、流量72sccmのアルゴンガスと、流量5sccmの酸素ガスをチャンバー内に導入し、圧力を0.15Paとし、スパッタリング装置内に設置された金属酸化物ターゲット(In<sub>2</sub>O<sub>3</sub>:SnO<sub>2</sub>:SiO<sub>2</sub>=85:10:5[重量%])に1000WのDC電力を供給して成膜した。

40

## 【0399】

## (2、酸素添加処理工程)

次に、ITSO膜を介して、酸化物半導体膜108、及び絶縁膜114、116に酸素添加処理を行った。該酸素添加処理としては、アッシング装置を用い、基板温度を40℃とし、流量250sccmの酸素ガスをチャンバー内に導入し、圧力を15Paとし、基板側にバイアスが印加されるように、アッシング装置内に設置された平行平板の電極間に4500WのRF電力を600sec供給して行った。

50

## 【0400】

次に、基板温度を350℃とし、175Paの窒素雰囲気中で熱処理をした後、ITSO膜上に絶縁膜118を形成した。絶縁膜118としては、厚さ100nmの窒化シリコン膜を、PECVD装置を用いて形成した。

## 【0401】

次に、導電膜112bに達する開口部142c及び、導電膜104に達する開口部142a、142bを形成した。開口部142a、142b、142cとしては、ドライエッチング装置を用いて形成した。

## 【0402】

次に、開口部142a、142b、142cを覆うように絶縁膜118上に導電膜を形成し、該導電膜を加工することで導電膜120a、120bを形成した。導電膜120a、120bとしては、厚さ100nmのITSO膜を、スパッタリング装置を用いて形成した。ITSO膜に用いたターゲットの組成としては、先に示すITSO膜形成工程で用いた組成と同様とした。

10

## 【0403】

次に、第3の熱処理を行った。該第3の熱処理としては、窒素ガス雰囲気中で250℃1時間とした。

## 【0404】

以上の工程で本実施例の試料D1を作製した。なお、試料D1のプロセスにおける最高温度は450℃であった。

20

## 【0405】

<試料D2の作製方法>

試料D2は、先に示す試料D1と比較し、以下の工程が異なる。それ以外の工程については、試料D1と同様とした。

## 【0406】

試料D2において、第1の熱処理を行わなかった。

## 【0407】

また、試料D2の(2、酸素添加処理工程)において、酸素添加の処理時間を120secとした。次に、ITSO膜を除去し、絶縁膜116を露出させた。また、ITSO膜の除去方法としては、ウェットエッチング装置を用い、濃度5%のシュウ酸水溶液を用いて、300secのエッチングを行った後、濃度0.5%のフッ化水素酸を用いて、15secのエッチングを行った。

30

## 【0408】

次に、熱処理を行わずに、絶縁膜116上に絶縁膜118を形成した。

## 【0409】

以上の工程で本実施例の試料D2を作製した。なお、試料D2のプロセスにおける最高温度は350℃であった。

## 【0410】

<試料D3の作製方法>

試料D3は、先に示す試料D1と比較し、以下の工程が異なる。それ以外の工程については、試料D1と同様とした。

40

## 【0411】

試料D3において、酸化物半導体膜108は、ゲート電極として機能する導電膜104側の第1の酸化物半導体膜108aと、第1の酸化物半導体膜108a上の第2の酸化物半導体膜108bとを、積層して形成した。また、第1の酸化物半導体膜108aとして、厚さ10nmのIGZO膜を形成し、第2の酸化物半導体膜108bとして、厚さ15nmのIGZO膜を形成した。

## 【0412】

なお、第1の酸化物半導体膜108aの成膜条件としては、基板温度を170℃とし、流量100sccmのアルゴンガスと、流量100sccmの酸素ガスをチャンバー内に

50

導入し、圧力を $0.6\text{ Pa}$ とし、多結晶の金属酸化物スパッタリングターゲット（ $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ 〔原子数比〕）に $2500\text{ W}$ の $\text{AC}$ 電力を投入して成膜した。

【0413】

また、第2の酸化物半導体膜108bの成膜条件としては、基板温度を $170^\circ\text{C}$ とし、流量 $100\text{ sccm}$ のアルゴンガスと、流量 $100\text{ sccm}$ の酸素ガスをチャンバー内に導入し、圧力を $0.6\text{ Pa}$ とし、多結晶の金属酸化物スパッタリングターゲット（ $\text{In}:\text{Ga}:\text{Zn}=1:1:1.2$ 〔原子数比〕）に $2500\text{ W}$ の $\text{AC}$ 電力を投入して成膜した。

【0414】

また、試料D3としては、第1の熱処理を行わなかった。

【0415】

また、試料D3の（2、酸素添加処理工程）において、酸素添加の処理時間を $120\text{ sec}$ とした。次に、 $\text{ITSO}$ 膜を除去し、絶縁膜116を露出させた。また、 $\text{ITSO}$ 膜の除去方法としては、ウェットエッチング装置を用い、濃度 $5\%$ のシュウ酸水溶液を用いて、 $300\text{ sec}$ のエッチングを行った後、濃度 $0.5\%$ のフッ化水素酸を用いて、 $15\text{ sec}$ のエッチングを行った。

【0416】

次に、熱処理を行わずに、絶縁膜116上に絶縁膜118を形成した。

【0417】

以上の工程で本実施例の試料D3を作製した。なお、試料D3のプロセスにおける最高温度は $350^\circ\text{C}$ であった。

【0418】

次に、上記作製した試料D1乃至試料D3の $\text{ID}-\text{VG}$ 特性を測定した。試料D1乃至試料D3の $\text{ID}-\text{VG}$ 特性結果を、図19乃至図21に示す。なお、図19は、試料D1の $\text{ID}-\text{VG}$ 特性結果であり、図20は、試料D2の $\text{ID}-\text{VG}$ 特性結果であり、図21は、試料D3の $\text{ID}-\text{VG}$ 特性結果である。また、図19乃至図21において、縦軸が $\text{ID}(\text{A})$ を、横軸が $\text{VG}(\text{V})$ を、それぞれ表す。また、図19乃至図21において、（A）は、チャンネル長 $L=2\text{ }\mu\text{m}$ 、チャンネル幅 $W=50\text{ }\mu\text{m}$ のトランジスタの $\text{ID}-\text{VG}$ 特性結果であり、（B）は、チャンネル長 $L=3\text{ }\mu\text{m}$ 、チャンネル幅 $W=50\text{ }\mu\text{m}$ のトランジスタの $\text{ID}-\text{VG}$ 特性結果であり、（C）は、チャンネル長 $L=6\text{ }\mu\text{m}$ 、チャンネル幅 $W=50\text{ }\mu\text{m}$ のトランジスタの $\text{ID}-\text{VG}$ 特性結果である。

【0419】

また、トランジスタ170の第1のゲート電極として機能する導電膜104に印加する電圧（以下、ゲート電圧（ $\text{VG}$ ）ともいう。）、及び第2のゲート電極として機能する導電膜120bに印加する電圧（ $\text{VBG}$ ）としては、 $-15\text{ V}$ から $+20\text{ V}$ まで $0.25\text{ V}$ のステップで印加した。また、ソース電極として機能する導電膜112aに印加する電圧（以下、ソース電圧（ $\text{VS}$ ）ともいう。）を $0\text{ V}(\text{common})$ とし、ドレイン電極として機能する導電膜112bに印加する電圧（以下、ドレイン電圧（ $\text{VD}$ ）ともいう。）を $1\text{ V}$ または $10\text{ V}$ とした。

【0420】

図19乃至図21に示す結果から、プロセスにおける最高温度を $450^\circ\text{C}$ から $350^\circ\text{C}$ に低下させても、トランジスタの $\text{ID}-\text{VG}$ 特性に大きな差がないことが確認できた。また、試料D2と比較し試料D3は、酸化物半導体膜を積層構造とすることで、電気特性のばらつき低下が見られる。また、試料D3は、オン電流が向上し、及び $\text{S}$ 値（ $\text{subthreshold swing value}$ ）が低い。このように、本発明の一態様の半導体装置は、優れた電気特性を有することが確認された。

【0421】

次に、上記作製した試料D1乃至試料D3の信頼性評価を行った。信頼性評価としては、バイアスー熱ストレス試験（以下、 $\text{GBT}$ 試験と呼ぶ。）を用いた。

## 【0422】

本実施例でのGBT試験条件としては、ゲート電圧 ( $V_G$ ) を  $\pm 30\text{ V}$ 、とし、ドレイン電圧 ( $V_D$ ) とソース電圧 ( $V_S$ ) を  $0\text{ V}$  (COMMON) とし、ストレス温度を  $60^\circ\text{C}$  とし、ストレス印加時間を1時間とし、測定環境をダーク環境及び光照射環境 (白色LEDにて約  $10000\text{ lx}$  の光を照射) の2つの環境で、それぞれ行った。すなわち、トランジスタのソース電極とドレイン電極を同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間 (ここでは1時間) 印加した。また、ゲート電極に与える電位がソース電極及びドレイン電極の電位よりも高い場合をプラスストレスとし、ゲート電極に与える電位がソース電極及びドレイン電極の電位よりも低い場合をマイナスストレスとした。したがって、測定環境と合わせて、プラスGBTストレス (ダーク)、  
10 マイナスGBTストレス (ダーク)、プラスGBTストレス (光照射)、及びマイナスGBTストレス (光照射) の合計4条件にて信頼性評価を実施した。

## 【0423】

試料D1乃至試料D3のGBT試験結果を図22に示す。図22において、縦軸がトランジスタのしきい値電圧の変化量 ( $\Delta V_{th}$ ) 及びシフト値の変化量 ( $\Delta Shift$ ) を、横軸が各試料名、プロセス条件等を、それぞれ示す。なお、Shift値とは、トランジスタのドレイン電流 ( $I_D$ ) - ゲート電圧 ( $V_G$ ) 特性における、対数で表されるドレイン電流 ( $I_D$ ) の最大の傾きの接線と  $1 \times 10^{-12}\text{ A}$  の軸との交点のゲート電圧 ( $V_G$ ) である。また、 $\Delta Shift$  とは、Shift値の変化量である。

## 【0424】

図22に示す結果から、試料D2は、試料D1と比較するとしきい値電圧の変化量 ( $\Delta V_{th}$ ) が3倍程度であった。一方、本発明の一態様の試料D3は、GBT試験における、しきい値電圧の変化量 ( $\Delta V_{th}$ ) が、試料D1の2倍程度であった。プロセスにおける最高温度を  $450^\circ\text{C}$  から  $350^\circ\text{C}$  に低下させても、酸化物半導体膜を積層構造とすることで、信頼性の低下を抑制できることが確認できた。

## 【0425】

続いて、試料D1乃至試料D3について、プラスゲートBTストレス試験 (Dark + GBT) とマイナスゲートBTストレス試験 (Dark - GBT) とを交互に繰り返した時の、しきい値電圧の変化量を測定した。測定方法としては、まずトランジスタの  $I_D - V_G$  特性を測定した (initial)。その後プラスゲートBTストレス試験、  
30 マイナスゲートBTストレス試験をそれぞれ交互に2回ずつ行った。各ゲートBTストレス試験は、ストレス温度を  $60^\circ\text{C}$ 、ストレス時間を3600秒とした。また、ここでは、チャンネル長  $L = 6\text{ }\mu\text{m}$ 、チャンネル幅  $W = 50\text{ }\mu\text{m}$  のトランジスタについて測定した。

## 【0426】

図23に試料D1乃至試料D3における、ストレス試験前 (initial) と、各ゲートBTストレス試験後のそれぞれのしきい値電圧を示す。図23において、縦軸はドレイン電圧が  $10\text{ V}$  のときのしきい値電圧 ( $V_{th}$ ) を示し、横軸はストレス試験名称を示す。また、図23は、ストレス試験前 (initial)、プラスゲートBTストレス試験後 (+GBT)、  
40 マイナスゲートBTストレス試験後 (-GBT)、プラスゲートBTストレス試験後 (+GBT)、マイナスゲートBTストレス試験後 (-GBT) の順に交互にGBT試験を行った結果である。

## 【0427】

ここで、プラスゲートBTストレス試験とマイナスゲートBTストレス試験とを交互に行ったとき、しきい値電圧の値が交互に増減を繰り返す場合、ゲート電極への電圧印加に伴うトラップ準位へのキャリアのトラップ及びデトラップに起因する、しきい値電圧の変動であることが推測される。一方、しきい値電圧の変化が一方向に偏りを有する場合 (例えば徐々に増大、または減少する傾向がある場合)、トラップ準位へトラップされたキャリアが固定電荷として振る舞うことによるしきい値電圧の変動であることが推測される。

## 【0428】

図23に示す結果から、各ゲートBTストレス試験後のトランジスタのしきい値電圧は

10

20

30

40

50

、試料 D 2 と比較して、本発明の一態様の試料 D 3 は、しきい値電圧の変化量が少ないことがわかる。

【0429】

以上より、本発明の一態様は、試料 D 3 のトランジスタのように、プロセス温度を低くしても、酸化物半導体膜を積層構造とすることで、信頼性の向上と、電気特性のばらつきの抑制と、オン電流の向上と、低い S 値と、が満たされた優れた電気特性を有することが示された。

【0430】

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせて用いることができる。

【実施例 4】

【0431】

本実施例においては、図 3 に示すトランジスタ 170 に相当するトランジスタを作製し、該トランジスタの I D - V G 特性の評価を行った。本実施例においては、以下に示す試料 E 1 及び試料 E 2 を作製し評価を行った。なお、試料 E 1 は比較例であるトランジスタを有する試料であり、試料 E 2 は本発明の一態様のトランジスタを有する試料である。また、試料 E 1 及び試料 E 2 は、それぞれチャンネル長  $L = 2 \mu m$ 、チャンネル幅  $W = 50 \mu m$  のトランジスタと、チャンネル長  $L = 3 \mu m$ 、チャンネル幅  $W = 50 \mu m$  のトランジスタと、チャンネル長  $L = 6 \mu m$ 、チャンネル幅  $W = 50 \mu m$  との合計 3 種類のトランジスタが形成された構造である。また、上記 3 種類のトランジスタを、それぞれ、3 つの基板のいずれか一つの基板内に 40 個ずつ形成した。

【0432】

本実施例で作製した試料について、以下説明を行う。なお、以下の説明において、図 3 に示すトランジスタ 170 に付記した符号を用いて説明する。

【0433】

< 試料 E 1 の作製方法 >

まず、基板 102 上に導電膜 104 を形成した。基板 102 としては、ガラス基板を用いた。なお、ガラス基板の大きさとしては、 $600 mm \times 720 mm$ 、厚さ  $0.7 mm$  とした。また、導電膜 104 としては、厚さ  $100 nm$  のタングステン膜を、スパッタリング装置を用いて形成した。

【0434】

次に、基板 102 及び導電膜 104 上に絶縁膜 106、107 を形成した。絶縁膜 106 としては、厚さ  $400 nm$  の窒化シリコン膜を、PECVD 装置を用いて形成した。また、絶縁膜 107 としては、厚さ  $50 nm$  の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。

【0435】

絶縁膜 106 の成膜条件としては、基板温度を  $350^\circ C$  とし、流量  $200 sccm$  のシランガスと、流量  $2000 sccm$  の窒素ガスと、流量  $100 sccm$  のアンモニアガスをチャンバー内に導入し、圧力を  $100 Pa$  とし、PECVD 装置内に設置された平行平板の電極間に  $2000 W$  の RF 電力を供給して、厚さ  $50 nm$  の窒化シリコン膜を成膜し、次に、アンモニアガスの流量を  $2000 sccm$  に変更して、厚さ  $300 nm$  の窒化シリコン膜を成膜し、次に、アンモニアガスの流量を  $100 sccm$  に変更して、厚さ  $50 nm$  の窒化シリコン膜を成膜した。

【0436】

また、絶縁膜 107 の成膜条件としては、基板温度を  $350^\circ C$  とし、流量  $20 sccm$  のシランガスと、流量  $3000 sccm$  の一酸化二窒素ガスをチャンバー内に導入し、圧力を  $40 Pa$  とし、PECVD 装置内に設置された平行平板の電極間に  $100 W$  の RF 電力を供給して成膜した。

【0437】

次に、絶縁膜 107 上に酸化物半導体膜 108 を形成した。酸化物半導体膜 108 は、

10

20

30

40

50

ゲート電極として機能する導電膜104側の第1の酸化物半導体膜108aと、第1の酸化物半導体膜108a上の第2の酸化物半導体膜108bとを、積層して形成した。また、第1の酸化物半導体膜108aとして、厚さ10nmのIGZO膜を形成し、第2の酸化物半導体膜108bとして、厚さ15nmのIGZO膜を形成した。

【0438】

なお、第1の酸化物半導体膜108aの成膜条件としては、基板温度を170℃とし、流量140sccmのアルゴンガスと、流量60sccmの酸素ガスをチャンバー内に導入し、圧力を0.6Paとし、多結晶の金属酸化物スパッタリングターゲット(In:Ga:Zn=4:2:4.1[原子数比])に2500WのAC電力を投入して成膜した。

【0439】

また、第2の酸化物半導体膜108bの成膜条件としては、基板温度を170℃とし、流量100sccmのアルゴンガスと、流量100sccmの酸素ガスをチャンバー内に導入し、圧力を0.6Paとし、多結晶の金属酸化物スパッタリングターゲット(In:Ga:Zn=1:1:1.2[原子数比])に2500WのAC電力を投入して成膜した。

【0440】

次に、第1の熱処理を行った。該第1の熱処理としては、窒素雰囲気下で450℃1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気下で450℃1時間の熱処理とした。

【0441】

次に、絶縁膜107及び酸化物半導体膜108上に導電膜112a、112bを形成した。導電膜112a、112bとしては、厚さ50nmのタングステン膜と、厚さ400nmのアルミニウム膜と、厚さ100nmのチタン膜とを、スパッタリング装置を用いて真空中で連続して形成した。

【0442】

次に、絶縁膜107、酸化物半導体膜108、及び導電膜112a、112b上に絶縁膜114及び絶縁膜116を形成した。絶縁膜114としては、厚さ50nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜116としては、厚さ400nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。なお、絶縁膜114及び絶縁膜116としては、PECVD装置により真空中で連続して形成した。

【0443】

絶縁膜114の成膜条件としては、基板温度を220℃とし、流量50sccmのシランガスと、流量2000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を20Paとし、PECVD装置内に設置された平行平板の電極間に100WのRF電力を供給して成膜した。また、絶縁膜116の成膜条件としては、基板温度を220℃とし、流量160sccmのシランガスと、流量4000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を200Paとし、PECVD装置内に設置された平行平板の電極間に1500WのRF電力を供給して成膜した。

【0444】

次に、第2の熱処理を行った。該第2の熱処理としては、窒素ガス雰囲気下で350℃1時間とした。

【0445】

次に、以下の3つの工程を行った。

【0446】

(1、ITO膜形成工程)

絶縁膜116上に、厚さ5nmのITO膜を、スパッタリング装置を用いて形成した。該ITO膜の成膜条件としては、基板温度を室温とし、流量72sccmのアルゴンガスと、流量5sccmの酸素ガスをチャンバー内に導入し、圧力を0.15Paとし、スパッタリング装置内に設置された金属酸化物ターゲット(In<sub>2</sub>O<sub>3</sub>:SnO<sub>2</sub>:SiO<sub>2</sub>=85:10:5[重量%])に1000WのDC電力を供給して成膜した。

## 【0447】

## (2、酸素添加処理工程)

次に、ITSO膜を介して、酸化物半導体膜108、及び絶縁膜114、116に酸素添加処理を行った。該酸素添加処理としては、アッシング装置を用い、基板温度を40℃とし、流量250sccmの酸素ガスをチャンバー内に導入し、圧力を15Paとし、基板側にバイアスが印加されるように、アッシング装置内に設置された平行平板の電極間に4500WのRF電力を120sec供給して行った。

## 【0448】

## (3、ITSO膜除去工程)

次に、ITSO膜を除去し、絶縁膜116を露出させた。また、ITSO膜の除去方法としては、ウェットエッチング装置を用い、濃度5%のシュウ酸水溶液を用いて、300secのエッチングを行った後、濃度0.5%のフッ化水素酸を用いて、15secのエッチングを行った。

## 【0449】

次に、絶縁膜116上に絶縁膜118を形成した。絶縁膜118としては、厚さ100nmの窒化シリコン膜を、PECVD装置を用いて形成した。なお、絶縁膜118の成膜時のPECVD装置における、基板温度を350℃とした。

## 【0450】

次に、導電膜112bに達する開口部142c及び、導電膜104に達する開口部142a、142bを形成した。開口部142a、142b、142cとしては、ドライエッチング装置を用いて形成した。

## 【0451】

次に、開口部142a、142b、142cを覆うように絶縁膜118上に導電膜を形成し、該導電膜を加工することで導電膜120a、120bを形成した。導電膜120a、120bとしては、厚さ100nmのITSO膜を、スパッタリング装置を用いて形成した。ITSO膜に用いたターゲットの組成としては、先に示すITSO膜形成工程で用いた組成と同様とした。

## 【0452】

次に、第3の熱処理を行った。該第3の熱処理としては、窒素ガス雰囲気下で250℃1時間とした。

## 【0453】

以上の工程で本実施例の試料E1を作製した。なお、試料E1のプロセスにおける最高温度は450℃であった。

## 【0454】

## &lt;試料E2の作製方法&gt;

試料E2は、先に示す試料E1と比較し、以下の工程が異なる。それ以外の工程については、試料E1と同様とした。

## 【0455】

試料E2において、第1の熱処理を行わなかった。

## 【0456】

以上の工程で本実施例の試料E2を作製した。なお、試料E2のプロセスにおける最高温度は350℃であった。

## 【0457】

次に、上記作製した試料E1及び試料E2のID-VG特性を測定した。試料E1及び試料E2のID-VG特性結果を、図24及び図25に示す。なお、図24は、試料E1のID-VG特性結果であり、図25は、試料E2のID-VG特性結果である。また、図24及び図25において、第1縦軸がID(A)を、第2縦軸が $\mu FE (cm^2/Vs)$ を、横軸がVG(V)を、それぞれ表す。また、図24及び図25において、(A)は、チャンネル長 $L = 2 \mu m$ 、チャンネル幅 $W = 50 \mu m$ のトランジスタのID-VG特性結果であり、(B)は、チャンネル長 $L = 3 \mu m$ 、チャンネル幅 $W = 50 \mu m$ のトランジスタのI

10

20

30

40

50

D-VG特性結果であり、(C)は、チャネル長 $L=6\mu\text{m}$ 、チャネル幅 $W=50\mu\text{m}$ のトランジスタのID-VG特性結果である。また、図24及び図25において、それぞれ合計10個のトランジスタ特性を重ねて表示している。

【0458】

また、トランジスタ170の第1のゲート電極として機能する導電膜104に印加する電圧(以下、ゲート電圧(VG)ともいう。)、及び第2のゲート電極として機能する導電膜120bに印加する電圧(VBG)としては、 $-15\text{V}$ から $+20\text{V}$ まで $0.25\text{V}$ のステップで印加した。なお、チャネル長 $L=2\mu\text{m}$ 、チャネル幅 $W=50\mu\text{m}$ のトランジスタのみ、導電膜104及び導電膜120bに印加する電圧を $-15\text{V}$ から $+15\text{V}$ とした。また、ソース電極として機能する導電膜112aに印加する電圧(以下、ソース電圧(VS)ともいう。)を $0\text{V}$ (common)とし、ドレイン電極として機能する導電膜112bに印加する電圧(以下、ドレイン電圧(VD)ともいう。)を $0.1\text{V}$ または $20\text{V}$ とした。なお、電界効果移動度( $\mu\text{FE}$ )については、 $VD=20\text{V}$ の結果を示している。

10

【0459】

図24及び図25に示す結果から、プロセスにおける最高温度を $450^\circ\text{C}$ から $350^\circ\text{C}$ に低下させても、トランジスタのID-VG特性に大きな差がないことが確認できた。

【0460】

次に、試料E1及び試料E2のチャネル長 $L=3\mu\text{m}$ 、チャネル幅 $W=50\mu\text{m}$ のトランジスタの基板面内( $600\text{mm}\times 720\text{mm}$ )での、ばらつきを評価した。

20

【0461】

まず、試料E1及び試料E2のチャネル長 $L=3\mu\text{m}$ 、チャネル幅 $W=50\mu\text{m}$ のトランジスタのID-VG特性を評価した。試料E1及び試料E2のID-VG特性結果を、図26(A)(B)に示す。なお、図26(A)は、試料E1のID-VG特性結果であり、図26(B)は、試料E2のID-VG特性結果である。また、図26(A)(B)において、縦軸がID(A)を、横軸がVG(V)を、それぞれ表す。また、図26(A)(B)において、それぞれ合計40個のトランジスタ特性を重ねて表示している。なお、図26(A)(B)に示すID-VG特性は、図24及び図25に示すID-VG特性と測定条件が異なる。具体的には、図26(A)(B)に示すID-VG特性の測定条件としては、ゲート電圧(VG)及び(VBG)としては、 $-15\text{V}$ から $+20\text{V}$ まで $0.25\text{V}$ のステップで導電膜104及び導電膜120bに印加した。また、ソース電圧(VS)を $0\text{V}$ (common)とし、ドレイン電圧(VD)を $10\text{V}$ とした。

30

【0462】

次に、図26(A)(B)に示す試料E1及び試料E2のトランジスタのしきい値電圧( $V_{th}$ )と、オン電流( $I_{on}$ )と、のばらつきを比較した結果を図27(A)(B)に示す。なお、図27(A)は、基板面内( $600\text{mm}\times 720\text{mm}$ )での $V_{th}$ の確率分布を説明する図であり、図27(B)は、基板面内( $600\text{mm}\times 720\text{mm}$ )での $I_{on}$ の確率分布を説明する図である。なお、図27(B)において、 $I_{on}$ は、 $VG=20\text{V}$ での値とした。

【0463】

40

図26及び図27に示す結果より、試料E2は、試料E1と比較し、若干 $I_{on}$ の低下が確認されるものの、基板面内でのばらつきが少ない良好なトランジスタ特性であることが確認された。

【0464】

次に、上記作製した試料E1及び試料E2の信頼性評価を行った。信頼性評価としては、GBT試験を用いた。

【0465】

本実施例でのGBT試験条件としては、ゲート電圧(VG)を $\pm 30\text{V}$ 、とし、ドレイン電圧(VD)とソース電圧(VS)を $0\text{V}$ (COMMON)とし、ストレス温度を $60^\circ\text{C}$ とし、ストレス印加時間を1時間とし、測定環境をダーク環境及び光照射環境(白色L

50

EDにて約10000 lxの光を照射)の2つの環境で、それぞれ行った。すなわち、トランジスタのソース電極とド레인電極を同電位とし、ゲート電極にはソース電極及びド레인電極とは異なる電位を一定時間(ここでは1時間)印加した。また、ゲート電極に与える電位がソース電極及びド레인電極の電位よりも高い場合をプラスストレスとし、ゲート電極に与える電位がソース電極及びド레인電極の電位よりも低い場合をマイナスストレスとした。したがって、測定環境と合わせて、プラスGBTストレス(ダーク)、マイナスGBTストレス(ダーク)、プラスGBTストレス(光照射)、及びマイナスGBTストレス(光照射)の合計4条件にて信頼性評価を実施した。なお、プラスGBTストレス(ダーク)をPBTS(Positive Bias Temperature Stress)とし、マイナスGBTストレス(ダーク)を、NBTS(Negative Bias Temperature Stress)とし、プラスGBTストレス(光照射)をPBITS(Positive Bias Illuminations Temperature Stress)とし、マイナスGBTストレス(光照射)をNBITS(Negative Bias Illuminations Temperature Stress)として、以下記載する場合がある。

10

【0466】

試料E1及び試料E2のGBT試験結果を図28に示す。図28において、縦軸がトランジスタのしきい値電圧の変化量( $\Delta V_{th}$ )及びシフト値の変化量( $\Delta Shift$ )を、横軸が各試料名、プロセス条件等を、それぞれ示す。

20

【0467】

図28に示す結果から、試料E2は、試料E1と比較するとしきい値電圧の変化量( $\Delta V_{th}$ )が若干大きい、GBTのマイナス変動が1V以下、プラス変動が2V以下であることが確認できた。

【0468】

続いて、試料E1及び試料E2について、PBTSとNBTSとを交互に繰り返した時の、しきい値電圧の変化量を測定した。測定方法としては、まずトランジスタのID-VG特性を測定した(initial)。その後PBTS、NBTSをそれぞれ交互に2回ずつ行った。各GBTストレス試験は、ストレス温度を60℃、ストレス時間を3600秒とした。また、ここでは、チャンネル長 $L=6\mu m$ 、チャンネル幅 $W=50\mu m$ のトランジスタについて測定した。

30

【0469】

試料E1におけるストレス試験前(initial)と、各GBTストレス試験後のしきい値電圧を図29(A)に、試料E2における、ストレス試験前(initial)と、各GBTストレス試験後のしきい値電圧を図29(B)に、それぞれ示す。なお、図29(A)(B)において、縦軸はド레인電圧が10Vのときのしきい値電圧( $V_{th}$ )を示し、横軸はストレス試験名称を示す。また、図29(A)(B)は、ストレス試験前(initial)、PBTS、NBTS、PBTS、NBTSの順に交互にGBT試験を行った結果である。

【0470】

図29(A)(B)に示す結果から、試料E2のトランジスタのしきい値電圧の変化量は、試料E1のトランジスタのしきい値電圧の変化量よりも大きい、 $\pm 4V$ 以内の変化量であることが確認された。

40

【0471】

以上より、本発明の一態様は、試料E2のトランジスタのように、プロセス温度を低くしても、酸化半導体膜を積層構造とすることで、信頼性の向上と、電気特性のばらつきの抑制と、オン電流の向上と、低いS値と、が満たされた優れた電気特性を有することが示された。

【0472】

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせて用いることができる。

50

【実施例 5】

【0473】

本実施例においては、図 1 に示すトランジスタ 100、及び図 3 に示すトランジスタ 170 に相当するトランジスタを作製し、該トランジスタを有する表示装置を作製した。

【0474】

まず、本実施例で作製した表示装置の仕様を表 1 に示す。

【0475】

【表 1】

|               |                |                                     |
|---------------|----------------|-------------------------------------|
| パネル全体仕様       | パネルサイズ         | 4.29inch (portrait)                 |
|               | 有効画素数          | 1080 × RGB(H) × 1920 (V) : Full-HD  |
|               | 画素サイズ          | 15.0 $\mu$ m (H) × 49.5 $\mu$ m (V) |
|               | パネル外寸          | 54.86mm (H) × 137.665mm (V)         |
|               | 表示領域           | 53.46mm (H) × 95.04mm (V)           |
|               | 額縁 (3辺)        | 0.7mm                               |
|               | 解像度            | 513ppi                              |
|               | LCD            | 透過型 FFS mode                        |
|               | カラー化方式         | CF方式                                |
|               | 開口率            | 52.1%                               |
|               | 駆動周波数          | 60Hz                                |
|               | 映像信号形式         | アナログ線順次                             |
|               | Gate Driver    | 内蔵                                  |
|               | Source Driver  | TAB-IC                              |
| Source Driver | Video信号電圧      | 1.5V/13.5V                          |
|               | データ書き込み期間      | 6.35 $\mu$ sec                      |
|               | 反転駆動           | ソースライン反転orドット反転                     |
| Gate Driver   | クロック周波数 (GCLK) | 7.26kHz                             |
|               | 信号電圧           | -2.5V/24.5V                         |
| その他           | VCOM           | 7.5V                                |
|               | バックゲート (GD)    | なし                                  |

【0476】

次に、本実施例で作製した表示装置の画素部の上面図を図 30 (A) (B) に示す。なお、図 30 (A) は、プロセスの最小加工寸法を 2  $\mu$ m とした場合の画素部 840A の上面図であり、図 30 (B) は、プロセスの最小加工寸法を 3.5  $\mu$ m とした場合の画素部 840B の上面図である。なお、図 30 (A) (B) において、それぞれ、画素 3 つ分を表している。

【0477】

また、本実施例で作製した表示装置のゲートドライバ部の上面図を図 31 (A) (B) に示す。なお、図 31 (A) は、プロセスの最小加工寸法を 2  $\mu$ m とした場合の上面図であり、図 31 (B) は、プロセスの最小加工寸法を 3.5  $\mu$ m とした場合の上面図である。なお、図 31 (A) において、領域 800 は額縁幅を、領域 801 はダミー画素部を、領域 802 は保護回路部を、領域 803 はゲートドライバ回路部を、領域 804 は分断のためのマージン領域を、それぞれ表している。また、図 31 (B) において、領域 850 は額縁幅を、領域 851 はダミー画素部を、領域 852 は保護回路部を、領域 853 はゲートドライバ回路部を、領域 854 は分断のためのマージン領域を、それぞれ表している。

【0478】

また、本実施例においては、図 31 (A) に示す、領域 800 を 0.7mm とし、領域

８０１を０．０５mmとし、領域８０２を０．０８mmとし、領域８０３を０．４１mmとし、領域８０４を０．１６mmとした。また、本実施例においては、図３１（Ｂ）に示す、領域８５０を０．８mmとし、領域８５１を０．０５mmとし、領域８５２を０．０７mmとし、領域８５３を０．５５mmとし、領域８５４を０．１３mmとした。

【０４７９】

なお、本実施例においては、図３１（Ａ）（Ｂ）に示すように、保護回路部（領域８０２または領域８５２）を設ける構成を例示したが、これに限定されず、保護回路部を設けなくても良い。この場合、保護回路部を省略することが可能となるため、さらに額縁幅を縮小することが可能となる。例えば、図３１（Ａ）に示す領域８００を０．６mmと、図３１（Ｂ）に示す領域８５０を０．７mmと、それぞれ縮小することができる。

10

【０４８０】

このように、本発明の一態様のトランジスタは、電界効果移動度が高く、且つ信頼性が高いため、ゲートドライバ回路を内蔵し、且つ額縁幅（ここでは、領域８００及び領域８５０の幅）を、１mm以下、好ましくは０．８mm以下、さらに好ましくは０．６mm以下とすることができる。したがって、狭額縁での表示装置を作製することができる。

【０４８１】

また、図３０（Ａ）に示す、一点鎖線Ｍ１－Ｎ１間の切断面に相当する断面図を図３２（Ａ）に、図３１（Ａ）に示す、一点鎖線Ｍ２－Ｎ２間の切断面に相当する断面図を図３２（Ｂ）に、それぞれ示す。

20

【０４８２】

図３２（Ａ）に示す画素部８４０Ａは、基板９０２上の導電膜９０４aと、基板９０２及び導電膜９０４上の絶縁膜９０６と、絶縁膜９０６上の絶縁膜９０７と、絶縁膜９０７上の酸化物半導体膜９０８と、絶縁膜９０７上の酸化物半導体膜９０９と、酸化物半導体膜９０８に電氣的に接続されソース電極として機能する導電膜９１２aと、酸化物半導体膜９０８に電氣的に接続されドレイン電極として機能する導電膜９１２bと、絶縁膜９０７、及び酸化物半導体膜９０８、９０９上の絶縁膜９１４と、絶縁膜９１４上の絶縁膜９１６と、絶縁膜９１６、及び酸化物半導体膜９０９上の絶縁膜９１８と、絶縁膜９１８上の画素電極として機能する導電膜９２０aと、絶縁膜９１８及び導電膜９２０a上の絶縁膜９２４と、を有する。

【０４８３】

なお、酸化物半導体膜９０８は、第１の酸化物半導体膜９０８aと、第２の酸化物半導体膜９０８bと、を有する。また、酸化物半導体膜９０９は、第１の酸化物半導体膜９０９aと、第２の酸化物半導体膜９０９bと、を有する。

30

【０４８４】

また、絶縁膜９１８は、絶縁膜９１４、９１６に設けられる開口部を覆うように形成され、酸化物半導体膜９０９と接している。また、画素電極として機能する導電膜９２０は、絶縁膜９１４、９１６、９１８に設けられる開口部を覆うように形成され、ドレイン電極として機能する導電膜９１２bと電氣的に接続されている。

【０４８５】

なお、図３２（Ａ）（Ｂ）においては、液晶素子、対向基板側の素子等については省略している。

40

【０４８６】

また、図３２（Ｂ）に示す保護回路部として機能する領域８０２は、基板９０２上の導電膜９０４bと、基板９０２上の導電膜９０４cと、導電膜９０４b、９０４c上の絶縁膜９０６と、絶縁膜９０６上の絶縁膜９０７と、絶縁膜９０７上の酸化物半導体膜９１０と、酸化物半導体膜９１０に電氣的に接続される導電膜９１２cと、酸化物半導体膜９１０に電氣的に接続される導電膜９１２dと、絶縁膜９０７上の導電膜９１２eと、絶縁膜９０７、酸化物半導体膜９１０、及び導電膜９１２c、９１２d、９１２e上の絶縁膜９１４と、絶縁膜９１４上の絶縁膜９１６と、絶縁膜９０７、９１６上の絶縁膜９１８と、絶縁膜９１８上に設けられ、且つ酸化物半導体膜９１０と重なる導電膜９２０bと、絶縁

50

膜 918 及び導電膜 912 e 上の導電膜 920 c と、絶縁膜 918、及び導電膜 920 b、920 c 上の絶縁膜 924 と、を有する。

【0487】

なお、導電膜 904 a と、導電膜 904 b と、導電膜 904 c とは、同じ導電膜を加工する工程を経て形成した。また、酸化物半導体膜 908 と、酸化物半導体膜 909 と、酸化物半導体膜 910 とは、同じ酸化物半導体膜を加工する工程を経て形成した。また、導電膜 912 a と、導電膜 912 b と、導電膜 912 c と、導電膜 912 d、と導電膜 912 e とは同じ導電膜を加工する工程を経て形成した。また、導電膜 920 a と、導電膜 920 b と、導電膜 920 c とは、同じ導電膜を加工する工程を経て形成した。

【0488】

なお、図 31 (A) に示すゲートドライバ回路部として機能する領域 803 に用いるトランジスタ構造としては、図 3 に示すトランジスタ 170 と同様の構成のトランジスタを用いることができる。

【0489】

基板 902 としては、ガラス基板を用いた。また、導電膜 904 a、904 b、904 c としては、厚さ 200 nm のタングステン膜をスパッタリング装置にて形成した。また、絶縁膜 906 としては、厚さ 400 nm の窒化シリコン膜を PECVD 装置にて形成した。また、絶縁膜 907 としては、厚さ 50 nm の酸化窒化シリコン膜を PECVD 装置にて形成した。

【0490】

また、第 1 の酸化物半導体膜 908 a、909 a、910 a としては、厚さ 10 nm の IGZO 膜 (In:Ga:Zn=3:1:2 [原子数比]) をスパッタリング装置にて形成した。また、第 2 の酸化物半導体膜 908 b、909 b、910 b としては、厚さ 15 nm の IGZO 膜 (In:Ga:Zn=1:1:1.2 [原子数比]) をスパッタリング装置にて形成した。

【0491】

また、導電膜 912 a、912 b、912 c、912 d、912 e としては、厚さ 50 nm のタングステン膜と、厚さ 400 nm のアルミニウム膜と、厚さ 100 nm のチタン膜との積層膜を、スパッタリング装置にて形成した。

【0492】

また、絶縁膜 914 としては、厚さ 50 nm の酸化窒化シリコン膜を、PECVD 装置にて形成した。また、絶縁膜 916 としては、厚さ 400 nm の酸化窒化シリコン膜を、PECVD 装置にて形成した。また、絶縁膜 918 としては、厚さ 100 nm の窒化シリコン膜を、PECVD 装置を用いて形成した。

【0493】

また、導電膜 920 a、920 b、920 c としては、厚さ 100 nm の ITSO 膜を、スパッタリング装置にて形成した。

【0494】

また、図 32 (B) に示す保護回路部として機能する領域 802 には、所謂ダイオード接続されたトランジスタが設けられている。図 32 (B) に示す保護回路部として機能する領域 802 に設けることのできる、保護回路の回路図の一例を図 33 に示す。

【0495】

図 33 に示す保護回路 870 は、ゲート線として機能する第 1 の配線 861 と、低電位電源線として機能する第 2 の配線 862 と、高電位電源線として機能する第 3 の配線 863 と、トランジスタ 871 と、トランジスタ 872 と、を有する。なお、トランジスタ 871、及びトランジスタ 872 は、2 つのゲート電極を有する、所謂デュアルゲート構造のトランジスタである。なお、該 2 つのゲート電極には、同じ電位が与えられる。

【0496】

また、トランジスタ 871 のゲートは、トランジスタ 871 のソースまたはドレインの一方、及び第 1 の配線 861 と電氣的に接続される。また、トランジスタ 871 のソース

10

20

30

40

50

またはドレインの一方は、トランジスタ 872 のソースまたはドレインの一方と電氣的に接続される。また、トランジスタ 871 のソースまたはドレインの他方は、第 2 の配線 862 と電氣的に接続される。また、トランジスタ 872 のソースまたはドレインの他方は、トランジスタ 872 のゲート及び第 3 の配線 863 と電氣的に接続される。

【0497】

図 33 に示す保護回路 870 を、本実施例に示すように、領域 801 と領域 803 との間、すなわち領域 802 に設けることで、表示装置の信頼性を向上させることができる。ただし、本発明の一態様の表示装置は、これに限定されず、例えば、保護回路 870 を設けない構成としてもよい。この場合、表示装置の額縁幅をさらに小さくすることができる。

10

【0498】

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせることができる。

【符号の説明】

【0499】

100 トランジスタ  
102 基板  
104 導電膜  
106 絶縁膜  
107 絶縁膜  
108 酸化物半導体膜  
108a 酸化物半導体膜  
108b 酸化物半導体膜  
112 導電膜  
112a 導電膜  
112b 導電膜  
114 絶縁膜  
116 絶縁膜  
118 絶縁膜  
120 導電膜  
120a 導電膜  
120b 導電膜  
131 酸化物導電膜  
138 エッチングガス  
139 酸素  
140a マスク  
140b マスク  
142 エッチャント  
142a 開口部  
142b 開口部  
142c 開口部  
170 トランジスタ  
501 画素回路  
502 画素部  
504 駆動回路部  
504a ゲートドライバ  
504b ソースドライバ  
506 保護回路  
507 端子部  
550 トランジスタ

20

30

40

50

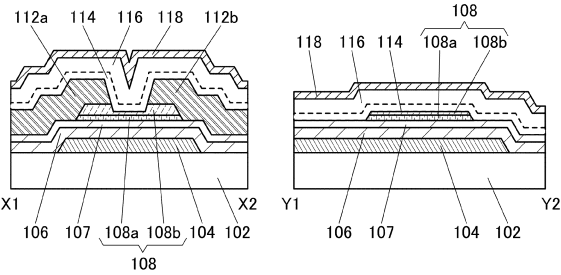
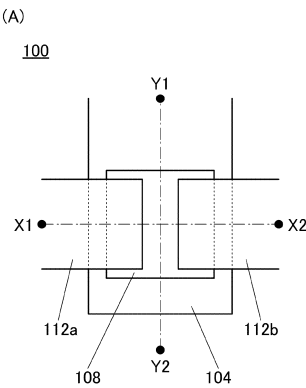
|         |            |    |
|---------|------------|----|
| 5 5 2   | トランジスタ     |    |
| 5 5 4   | トランジスタ     |    |
| 5 6 0   | 容量素子       |    |
| 5 6 2   | 容量素子       |    |
| 5 7 0   | 液晶素子       |    |
| 5 7 2   | 発光素子       |    |
| 7 0 0   | 表示装置       |    |
| 7 0 1   | 基板         |    |
| 7 0 2   | 画素部        |    |
| 7 0 4   | ソースドライバ回路部 | 10 |
| 7 0 5   | 基板         |    |
| 7 0 6   | ゲートドライバ回路部 |    |
| 7 0 8   | F P C 端子部  |    |
| 7 1 0   | 信号線        |    |
| 7 1 1   | 配線部        |    |
| 7 1 2   | シール材       |    |
| 7 1 6   | F P C      |    |
| 7 3 0   | 絶縁膜        |    |
| 7 3 2   | 封止膜        |    |
| 7 3 4   | 絶縁膜        | 20 |
| 7 3 6   | 着色膜        |    |
| 7 3 8   | 遮光膜        |    |
| 7 5 0   | トランジスタ     |    |
| 7 5 2   | トランジスタ     |    |
| 7 6 0   | 接続電極       |    |
| 7 6 4   | 絶縁膜        |    |
| 7 6 6   | 絶縁膜        |    |
| 7 6 7   | 酸化物半導体膜    |    |
| 7 6 8   | 絶縁膜        |    |
| 7 7 0   | 平坦化絶縁膜     | 30 |
| 7 7 2   | 導電膜        |    |
| 7 7 4   | 導電膜        |    |
| 7 7 5   | 液晶素子       |    |
| 7 7 6   | 液晶層        |    |
| 7 7 8   | 構造体        |    |
| 7 8 0   | 異方性導電膜     |    |
| 7 8 2   | 発光素子       |    |
| 7 8 4   | 導電膜        |    |
| 7 8 6   | E L 層      |    |
| 7 8 8   | 導電膜        | 40 |
| 7 9 0   | 容量素子       |    |
| 8 0 0   | 領域         |    |
| 8 0 1   | 領域         |    |
| 8 0 2   | 領域         |    |
| 8 0 3   | 領域         |    |
| 8 0 4   | 領域         |    |
| 8 4 0 A | 画素部        |    |
| 8 4 0 B | 画素部        |    |
| 8 5 0   | 領域         |    |
| 8 5 1   | 領域         | 50 |

|             |         |    |
|-------------|---------|----|
| 8 5 2       | 領域      |    |
| 8 5 3       | 領域      |    |
| 8 5 4       | 領域      |    |
| 8 6 1       | 配線      |    |
| 8 6 2       | 配線      |    |
| 8 6 3       | 配線      |    |
| 8 7 0       | 保護回路    |    |
| 8 7 1       | トランジスタ  |    |
| 8 7 2       | トランジスタ  |    |
| 9 0 2       | 基板      | 10 |
| 9 0 4       | 導電膜     |    |
| 9 0 4 a     | 導電膜     |    |
| 9 0 4 b     | 導電膜     |    |
| 9 0 4 c     | 導電膜     |    |
| 9 0 6       | 絶縁膜     |    |
| 9 0 7       | 絶縁膜     |    |
| 9 0 8       | 酸化物半導体膜 |    |
| 9 0 8 a     | 酸化物半導体膜 |    |
| 9 0 8 b     | 酸化物半導体膜 |    |
| 9 0 9       | 酸化物半導体膜 | 20 |
| 9 0 9 a     | 酸化物半導体膜 |    |
| 9 0 9 b     | 酸化物半導体膜 |    |
| 9 1 0       | 酸化物半導体膜 |    |
| 9 1 0 a     | 酸化物半導体膜 |    |
| 9 1 0 b     | 酸化物半導体膜 |    |
| 9 1 2 a     | 導電膜     |    |
| 9 1 2 b     | 導電膜     |    |
| 9 1 2 c     | 導電膜     |    |
| 9 1 2 d     | 導電膜     |    |
| 9 1 2 e     | 導電膜     | 30 |
| 9 1 4       | 絶縁膜     |    |
| 9 1 6       | 絶縁膜     |    |
| 9 1 8       | 絶縁膜     |    |
| 9 2 0       | 導電膜     |    |
| 9 2 0 a     | 導電膜     |    |
| 9 2 0 b     | 導電膜     |    |
| 9 2 0 c     | 導電膜     |    |
| 9 2 4       | 絶縁膜     |    |
| 5 1 0 0     | ペレット    |    |
| 5 1 0 0 a   | ペレット    | 40 |
| 5 1 0 0 b   | ペレット    |    |
| 5 1 0 1     | イオン     |    |
| 5 1 0 2     | 酸化亜鉛層   |    |
| 5 1 0 3     | 粒子      |    |
| 5 1 0 5 a   | ペレット    |    |
| 5 1 0 5 a 1 | 領域      |    |
| 5 1 0 5 a 2 | ペレット    |    |
| 5 1 0 5 b   | ペレット    |    |
| 5 1 0 5 c   | ペレット    |    |
| 5 1 0 5 d   | ペレット    | 50 |

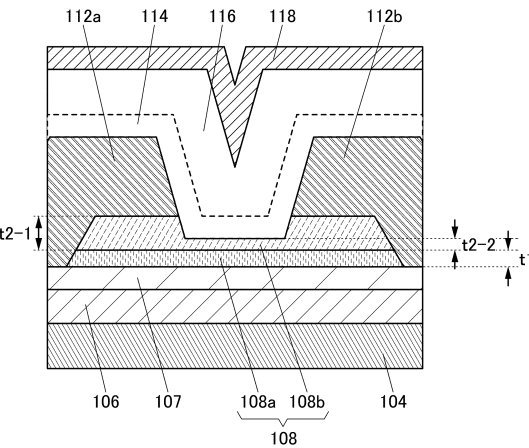
|             |         |    |
|-------------|---------|----|
| 5 1 0 5 d 1 | 領域      |    |
| 5 1 0 5 e   | ペレット    |    |
| 5 1 2 0     | 基板      |    |
| 5 1 3 0     | ターゲット   |    |
| 5 1 6 1     | 領域      |    |
| 8 0 0 0     | 表示モジュール |    |
| 8 0 0 1     | 上部カバー   |    |
| 8 0 0 2     | 下部カバー   |    |
| 8 0 0 3     | F P C   |    |
| 8 0 0 4     | タッチパネル  | 10 |
| 8 0 0 5     | F P C   |    |
| 8 0 0 6     | 表示パネル   |    |
| 8 0 0 7     | バックライト  |    |
| 8 0 0 8     | 光源      |    |
| 8 0 0 9     | フレーム    |    |
| 8 0 1 0     | プリント基板  |    |
| 8 0 1 1     | バッテリー   |    |
| 9 0 0 0     | 筐体      |    |
| 9 0 0 1     | 表示部     |    |
| 9 0 0 3     | スピーカ    | 20 |
| 9 0 0 5     | 操作キー    |    |
| 9 0 0 6     | 接続端子    |    |
| 9 0 0 7     | センサ     |    |
| 9 0 0 8     | マイクロフォン |    |
| 9 0 5 0     | 操作ボタン   |    |
| 9 0 5 1     | 情報      |    |
| 9 0 5 2     | 情報      |    |
| 9 0 5 3     | 情報      |    |
| 9 0 5 4     | 情報      |    |
| 9 0 5 5     | ヒンジ     | 30 |
| 9 1 0 0     | 携帯情報端末  |    |
| 9 1 0 1     | 携帯情報端末  |    |
| 9 1 0 2     | 携帯情報端末  |    |
| 9 2 0 0     | 携帯情報端末  |    |
| 9 2 0 1     | 携帯情報端末  |    |

【図面】

【図 1】



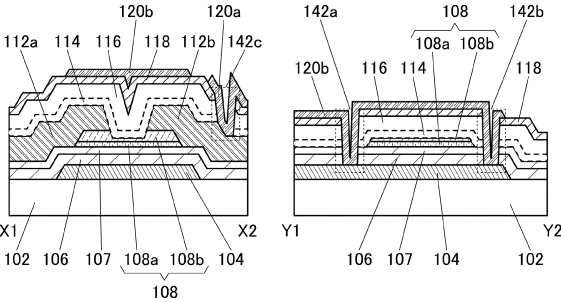
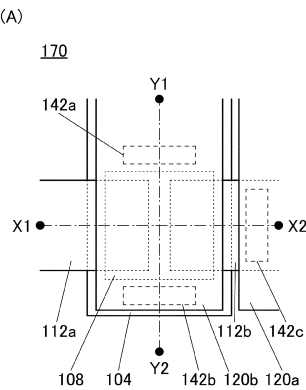
【図 2】



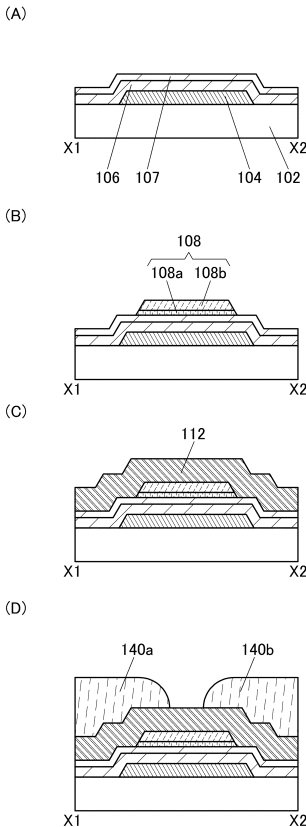
10

20

【図 3】



【図 4】

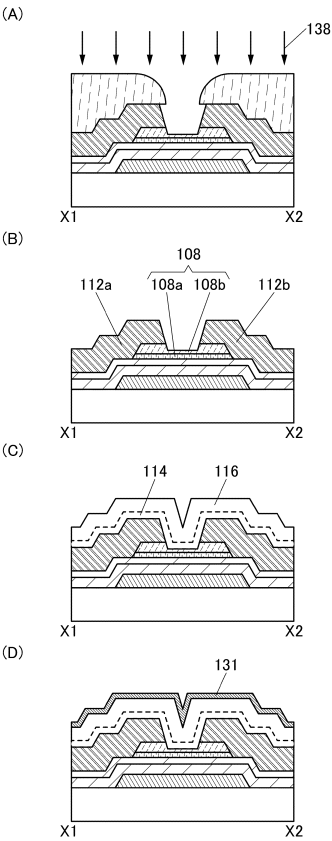


30

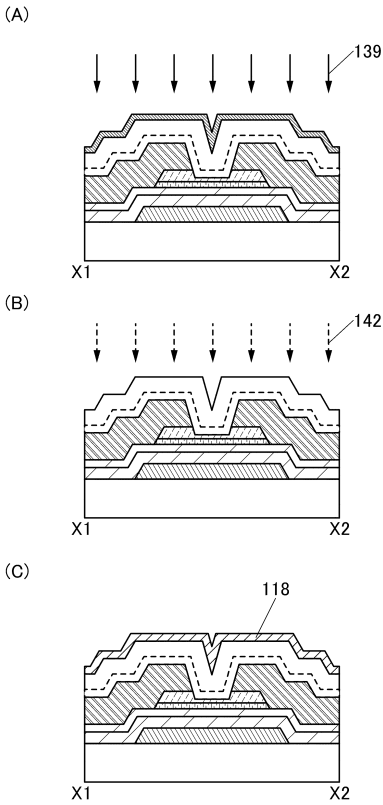
40

50

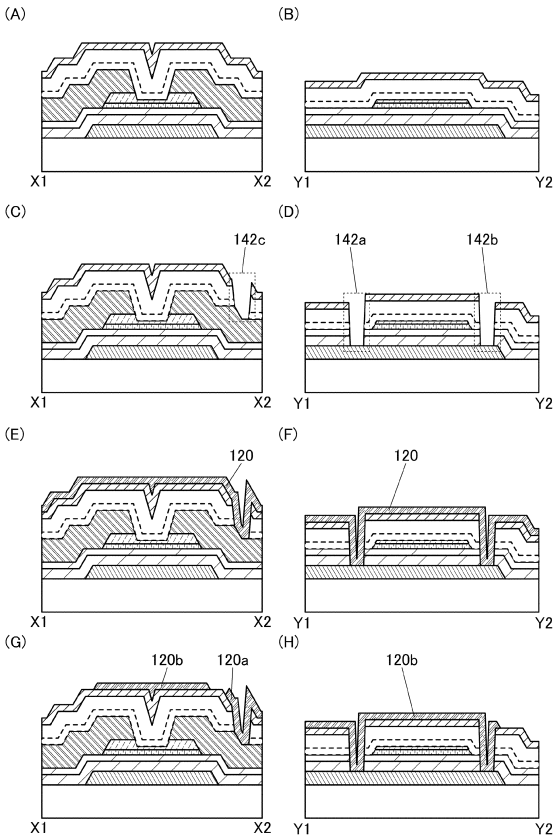
【図 5】



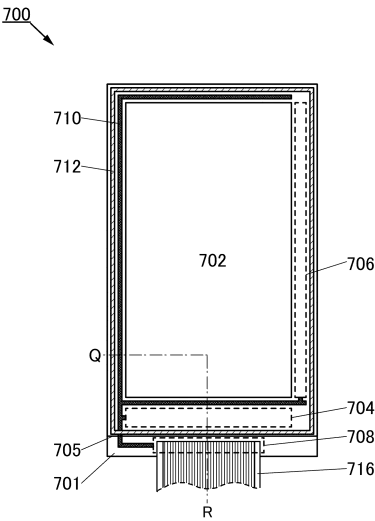
【図 6】



【図 7】



【図 8】



10

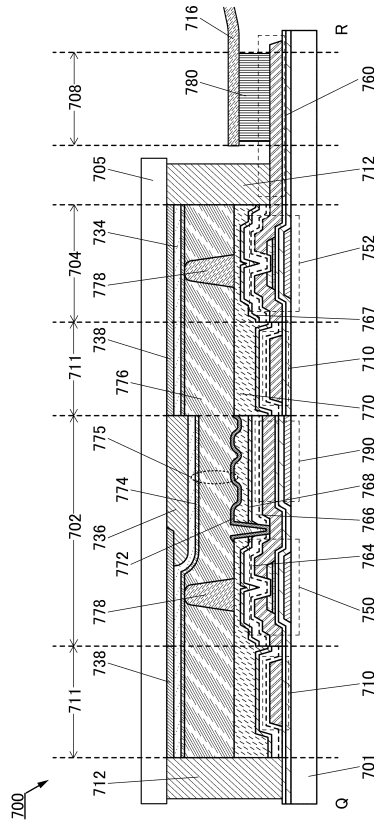
20

30

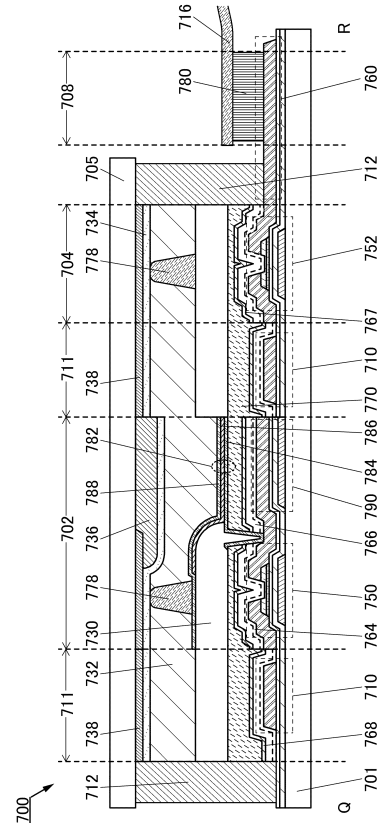
40

50

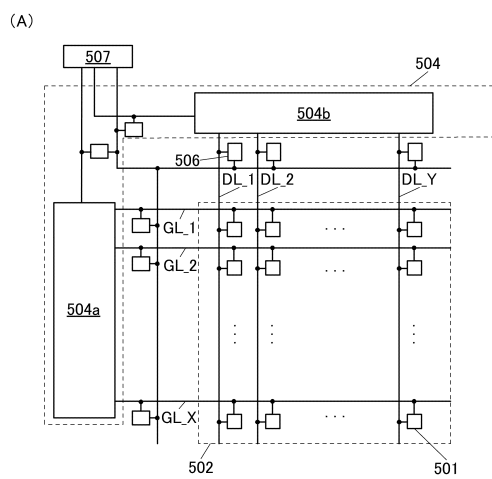
【圖 9】



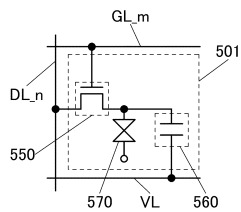
【図 10】



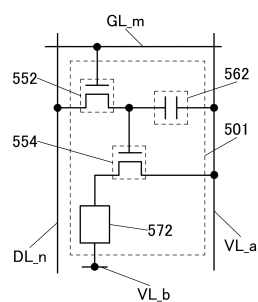
【図 1 1】



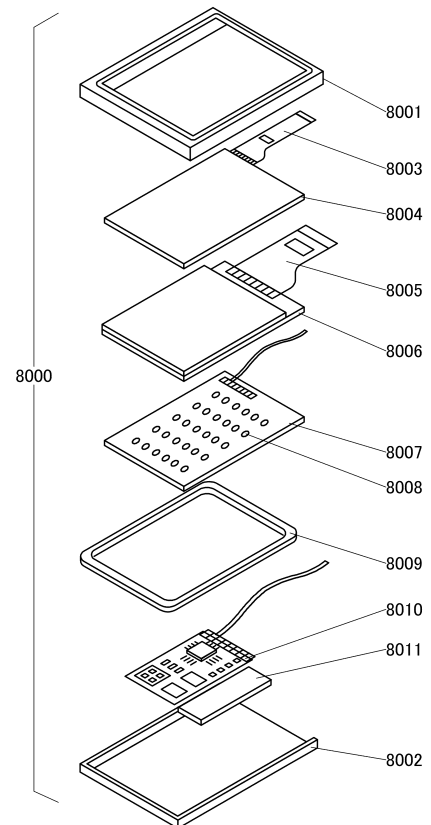
(B)



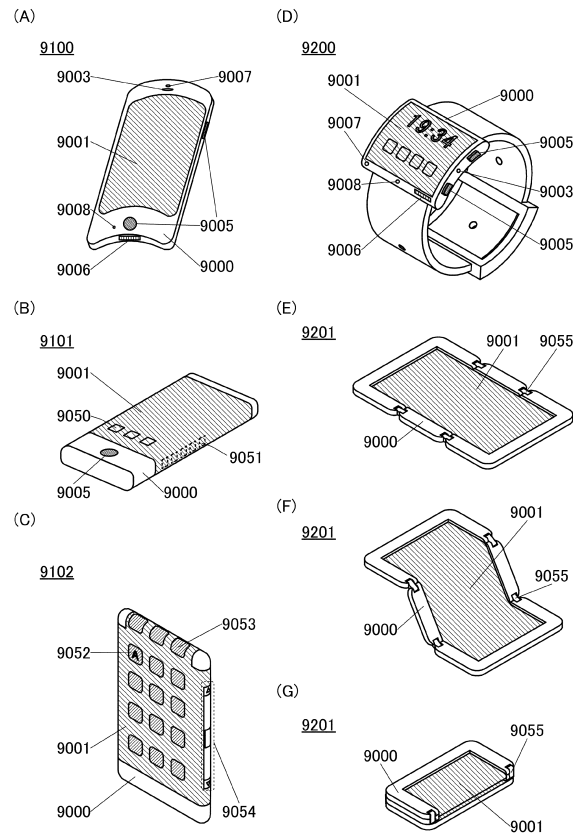
(C)



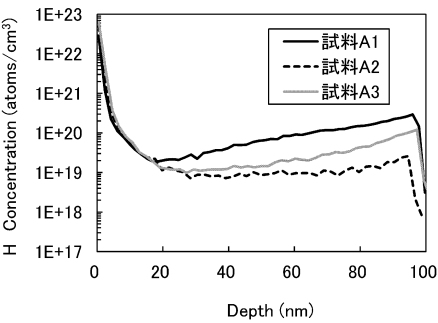
【圖 12】



【図 1 3】



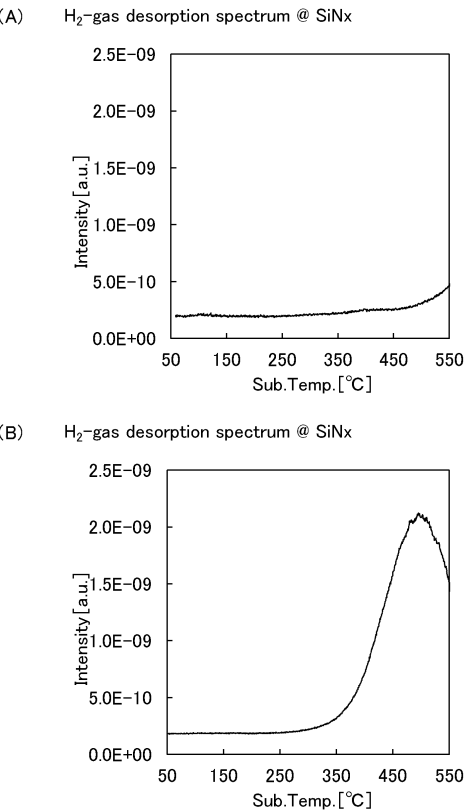
【図 1 4】



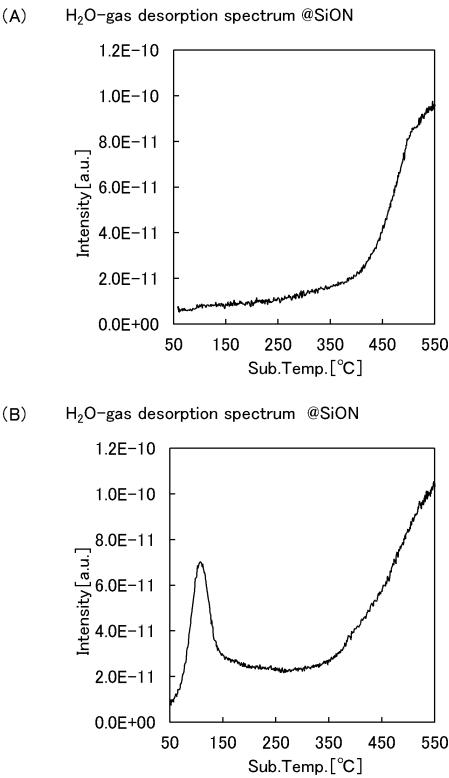
10

20

【図 1 5】



【図 1 6】

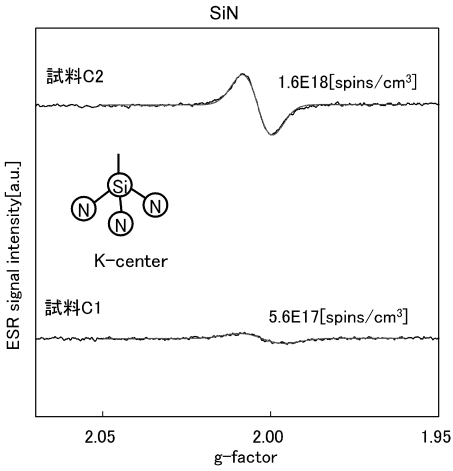


30

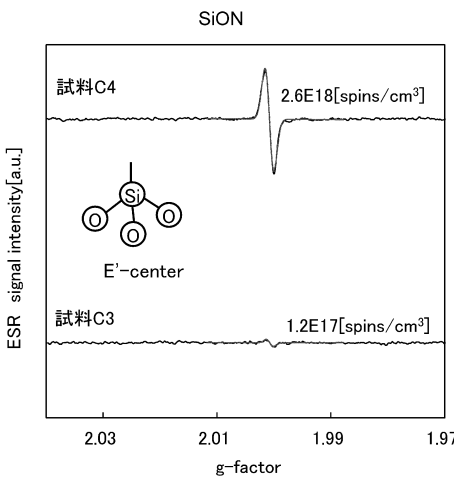
40

50

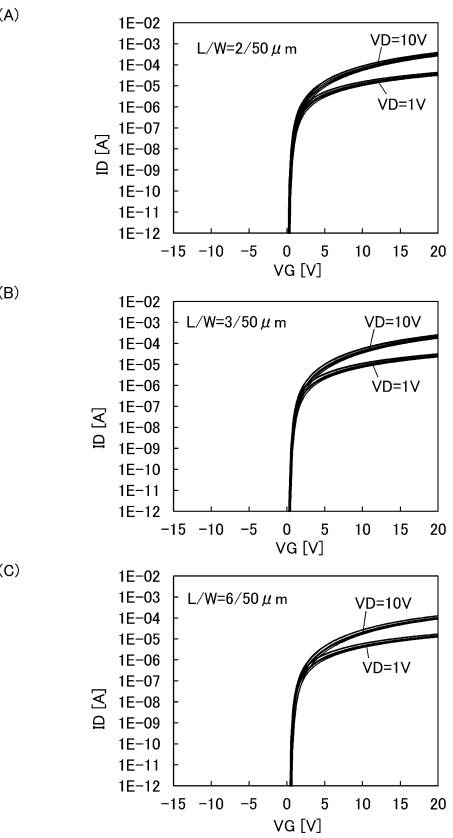
【図 17】



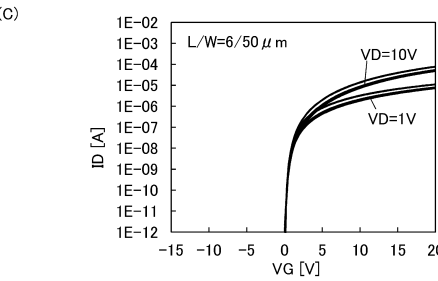
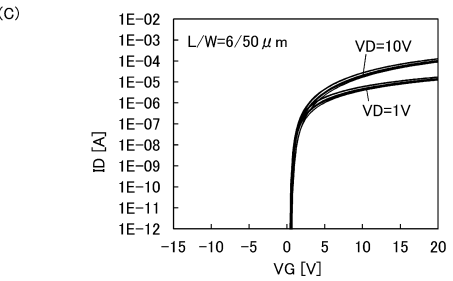
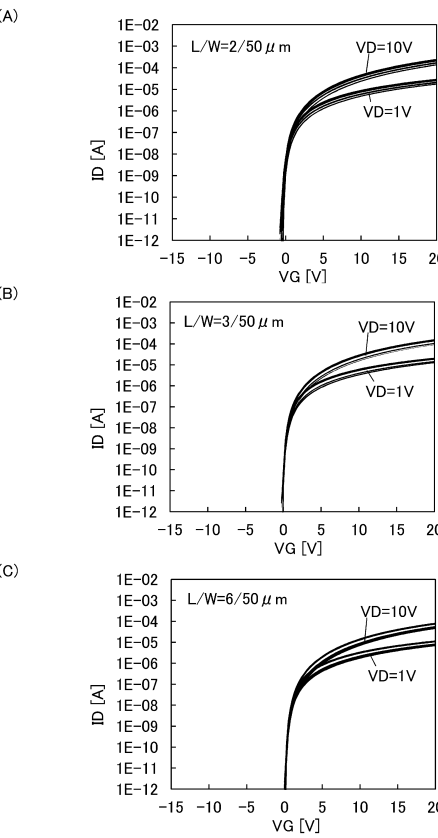
【図 18】



【図 19】



【図 20】



10

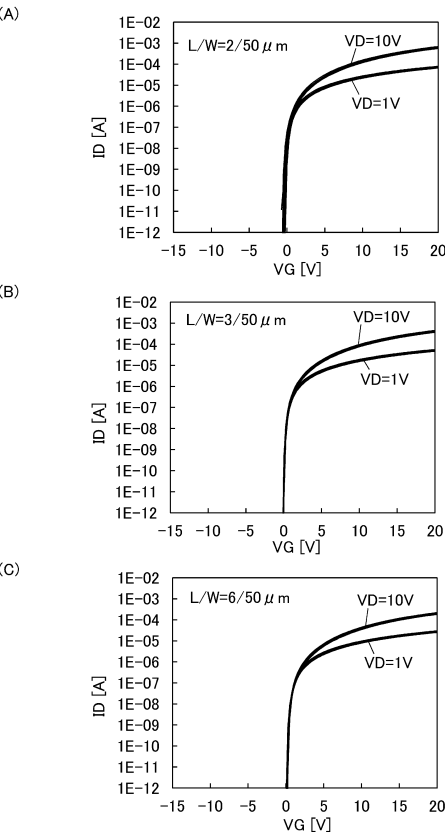
20

30

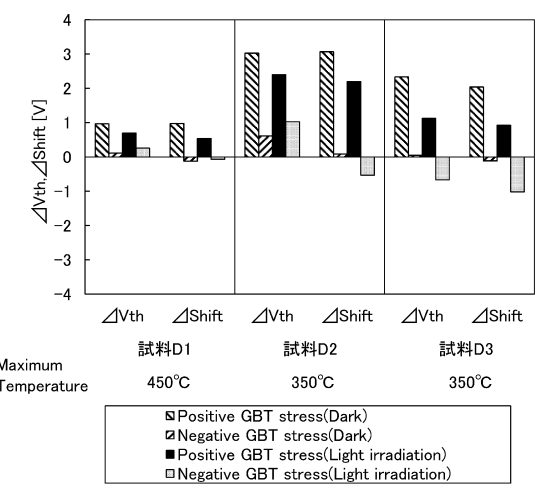
40

50

【図 2 1】

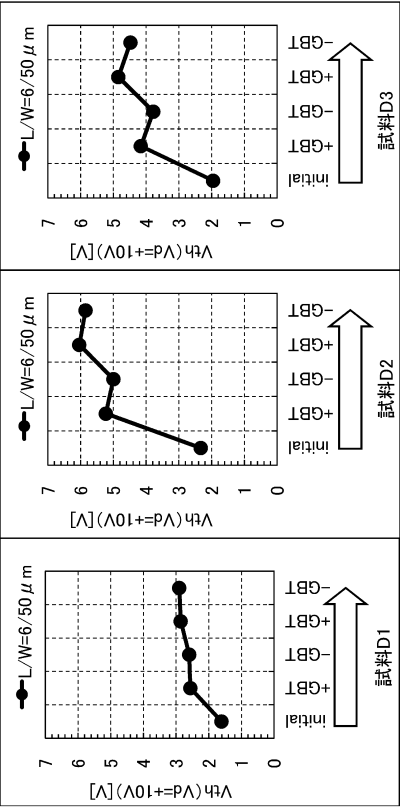


【図 2 2】

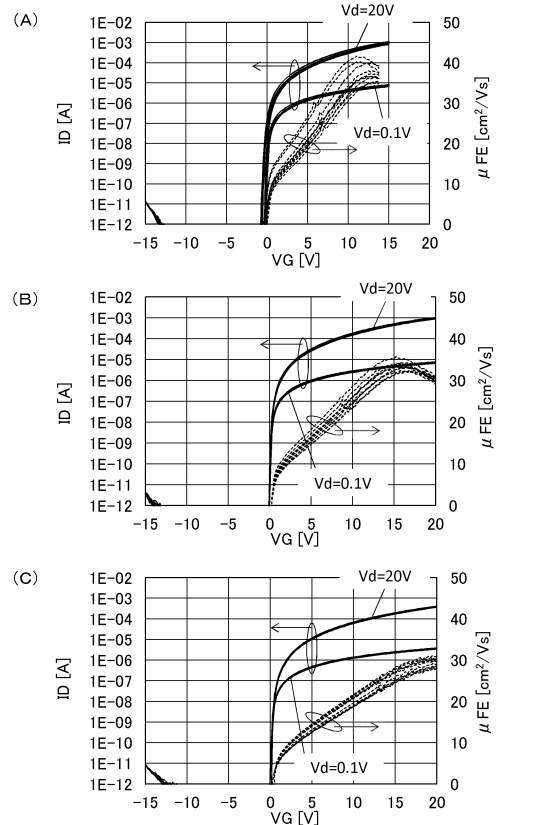


10

【図 2 3】



【図 2 4】



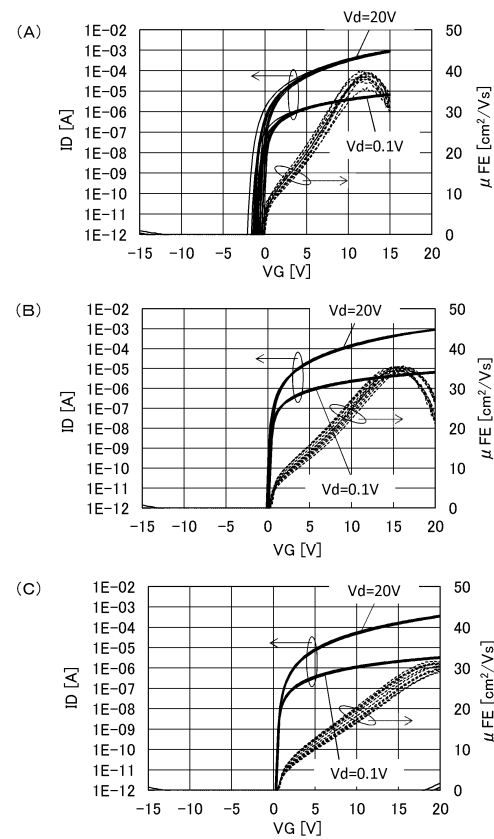
20

30

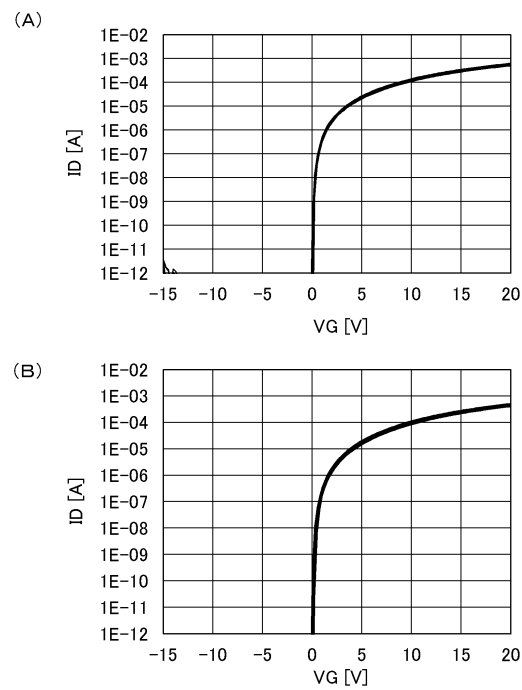
40

50

【図 2 5】



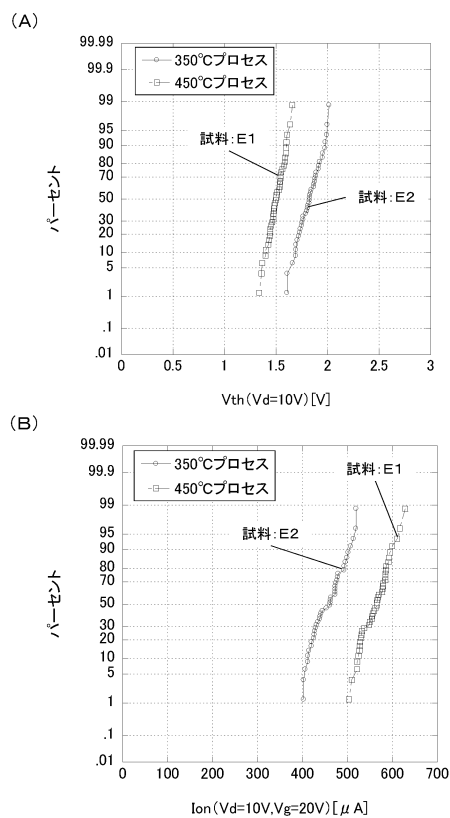
【図 2 6】



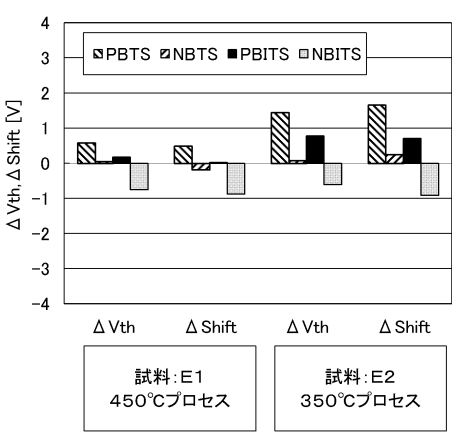
10

20

【図 2 7】



【図 2 8】

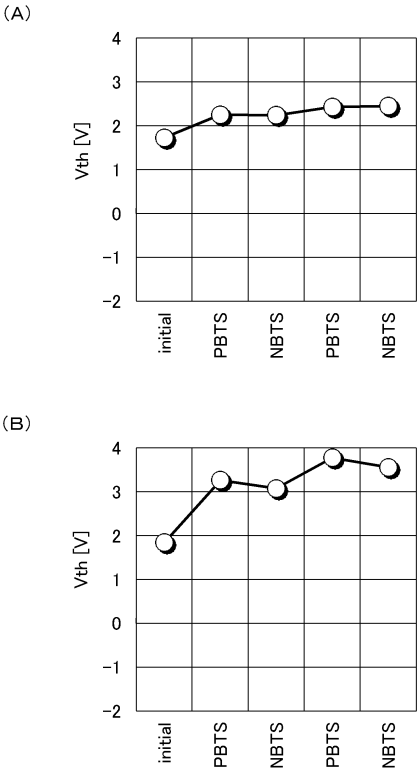


30

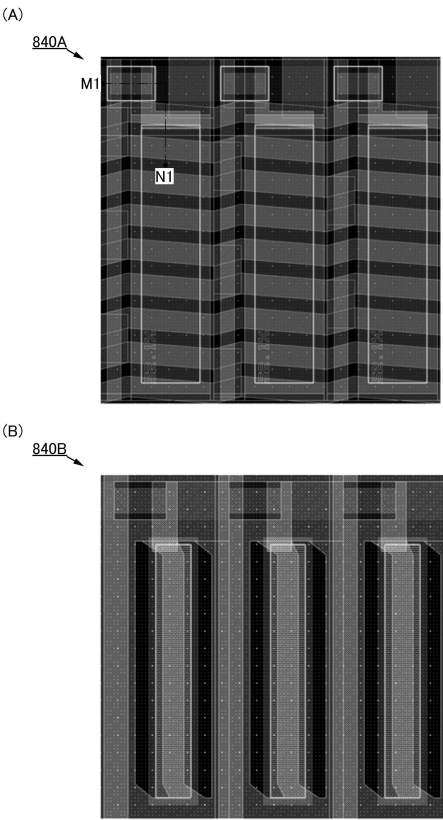
40

50

【図 29】



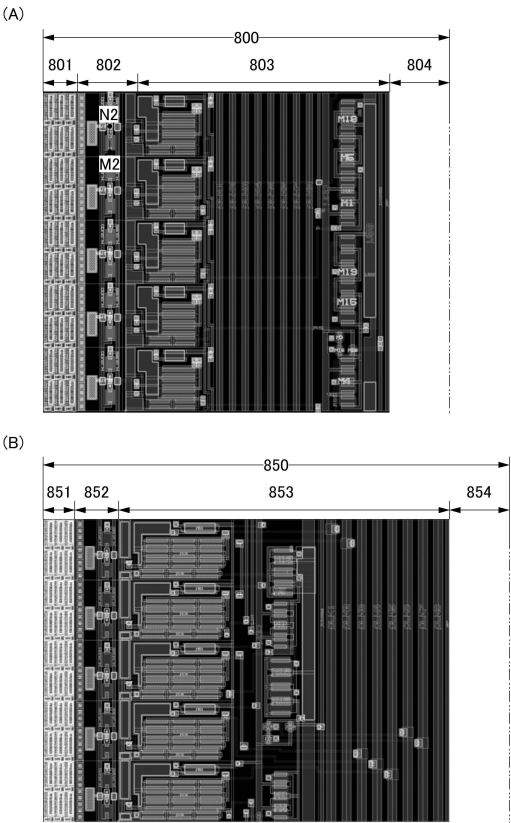
【図 30】



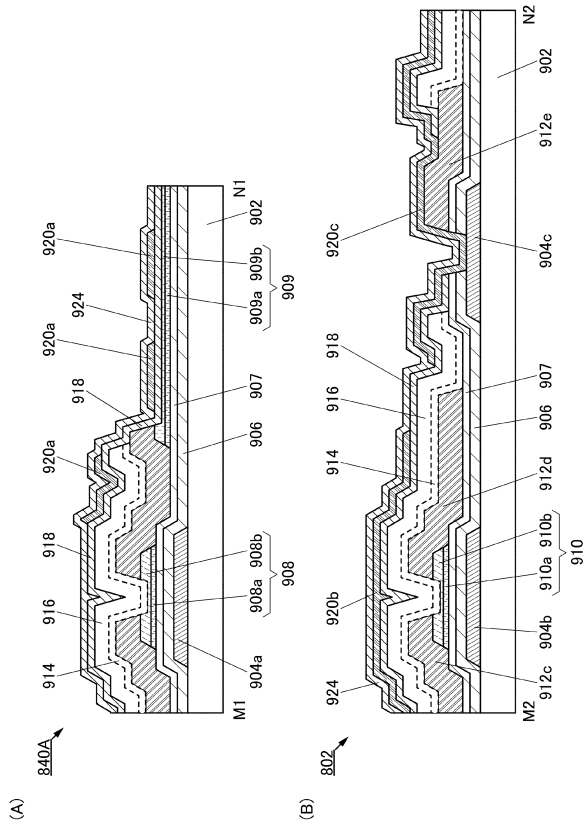
10

20

【図 31】



【図 32】

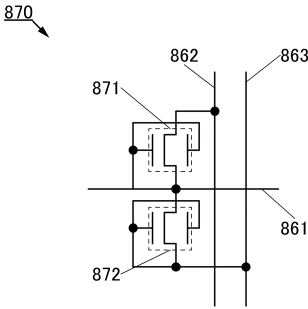


30

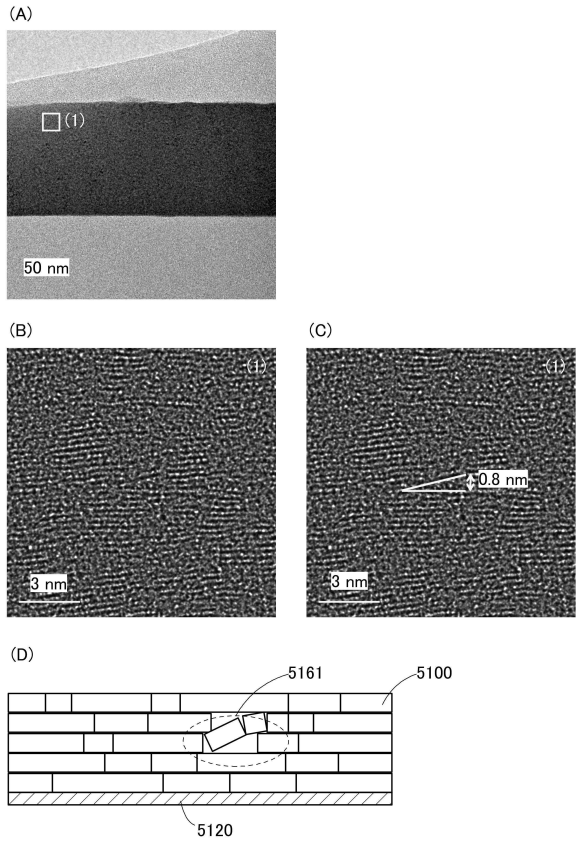
40

50

【図 3 3】



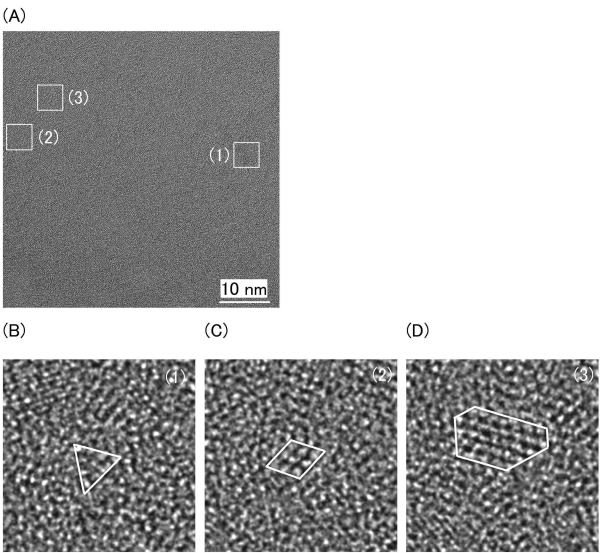
【図 3 4】



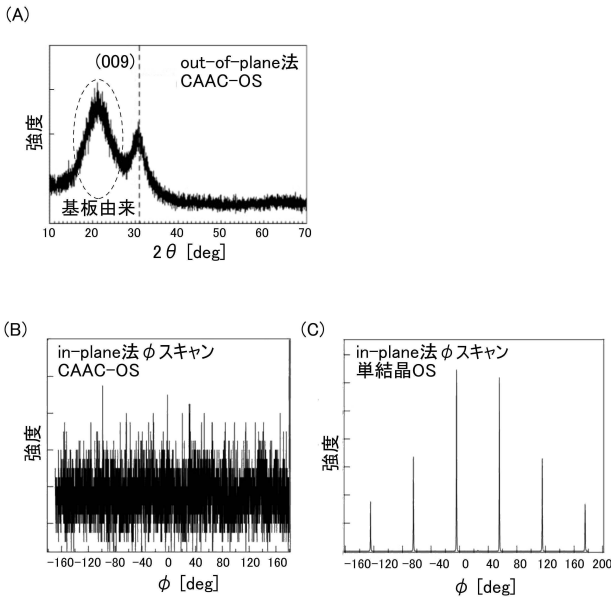
10

20

【図 3 5】



【図 3 6】

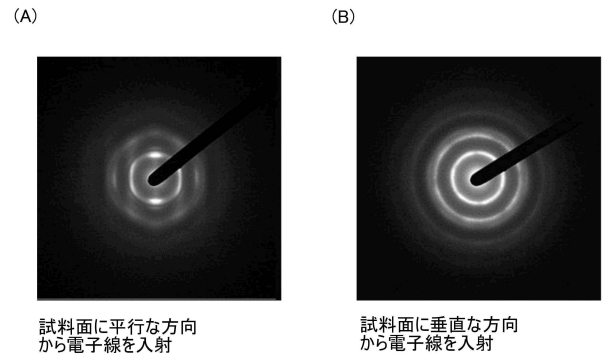


30

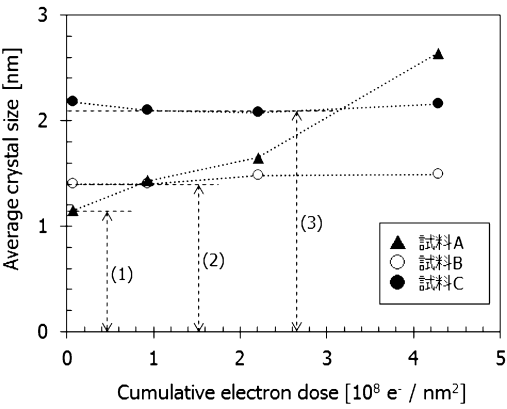
40

50

【図 3 7】

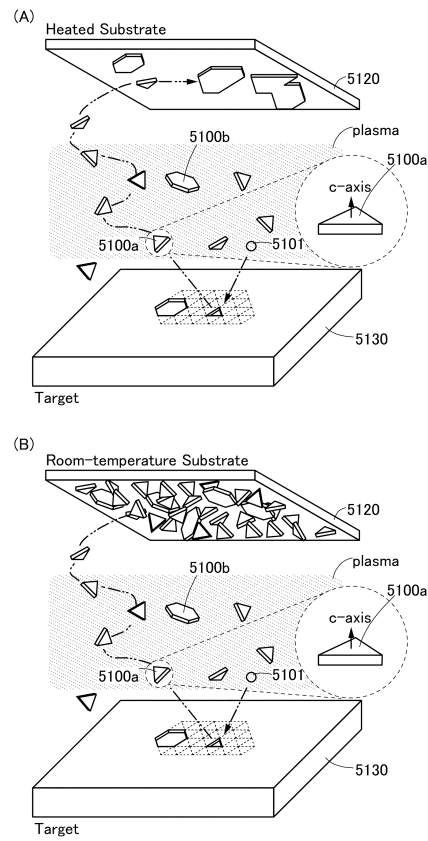


【図 3 8】

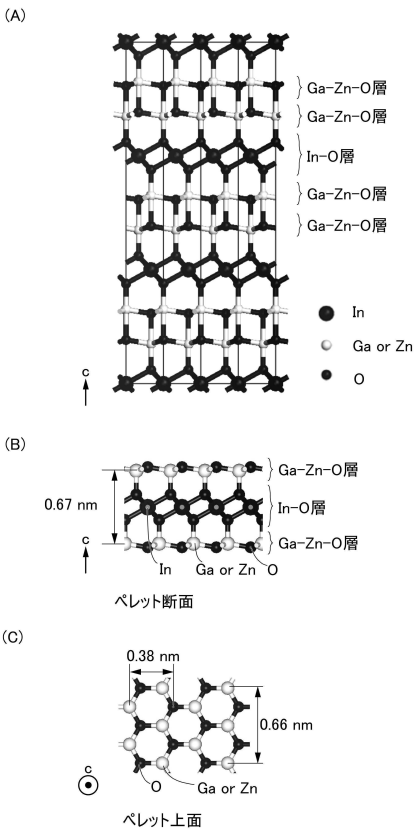


10

【図 3 9】



【図 4 0】



20

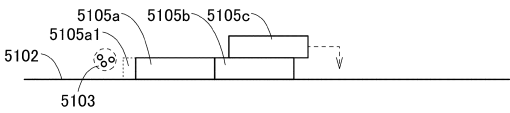
30

40

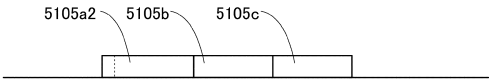
50

【図 4 1】

(A)

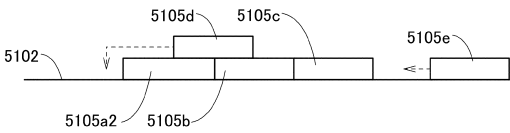


(B)

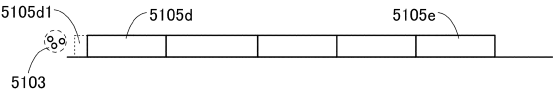


10

(C)



(D)



20

30

40

50

## フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

|         |       |         |
|---------|-------|---------|
| H 0 1 L | 29/78 | 6 1 7 T |
| H 0 1 L | 29/78 | 6 1 8 E |
| H 0 1 L | 29/78 | 6 1 6 V |

(72)発明者 保坂 泰靖

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム (参考) 5F038 BH07 BH13 EZ01 EZ06 EZ12 EZ17  
5F110 AA01 AA06 AA07 AA09 AA12 AA14 AA22 AA30 BB02 CC07  
CC10 DD01 DD02 DD03 DD04 DD05 DD12 EE01 EE02 EE03 EE04  
EE06 EE07 EE14 EE15 EE25 EE30 EE38 EE42 EE43 EE44 EE45  
FF01 FF02 FF03 FF04 FF05 FF09 FF10 FF27 FF28 FF29 FF30  
FF36 GG01 GG06 GG07 GG12 GG13 GG14 GG15 GG16 GG17 GG19  
GG22 GG24 GG25 GG26 GG28 GG29 GG32 GG33 GG34 GG35 GG42  
GG43 GG44 GG45 GG58 HK01 HK02 HK03 HK04 HK06 HK07 HK21  
HK22 HK32 HK33 HK34 HK42 HL03 HL06 HL07 HL23 HM03 NN03  
NN04 NN05 NN22 NN23 NN24 NN27 NN28 NN33 NN34 NN35 NN39  
NN40 NN71 NN73 QQ02 QQ09